

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6683729号

(P6683729)

(45) 発行日 令和2年4月22日 (2020.4.22)

(24) 登録日 令和2年3月30日 (2020.3.30)

(51) Int. Cl.	F I
H O 3 K 19/20 (2006.01)	H O 3 K 19/20 2 1 0
H O 1 L 21/8238 (2006.01)	H O 1 L 27/092 C
H O 1 L 27/092 (2006.01)	H O 1 L 27/092 K

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2017-553344 (P2017-553344)	(73) 特許権者	515351884
(86) (22) 出願日	平成27年12月29日 (2015.12.29)		ユニスト (ウルサン ナショナル インス
(65) 公表番号	特表2018-517331 (P2018-517331A)		ティテュート オブ サイエンス アンド
(43) 公表日	平成30年6月28日 (2018.6.28)		テクノロジー)
(86) 国際出願番号	PCT/KR2015/014377		大韓民国 4 4 9 1 9 ウルサン ウルチ
(87) 国際公開番号	W02017/010637		ユーグン オニャン-ウップ ユニストー
(87) 国際公開日	平成29年1月19日 (2017.1.19)		ギル 5 0
審査請求日	平成29年10月12日 (2017.10.12)	(74) 代理人	100108453
(31) 優先権主張番号	10-2015-0098638		弁理士 村山 靖彦
(32) 優先日	平成27年7月10日 (2015.7.10)	(74) 代理人	100110364
(33) 優先権主張国・地域又は機関	韓国 (KR)		弁理士 実広 信哉
		(74) 代理人	100133400
			弁理士 阿部 達彦

最終頁に続く

(54) 【発明の名称】 3進数論理回路

(57) 【特許請求の範囲】

【請求項 1】

電源電圧 V_{DD} にプルアップ素子 1 0 0 のドレインまたはソースが連結され、及び、 GND にプルダウン素子 2 0 0 のドレインまたはソースが連結され、前記プルアップ素子 1 0 0 のドレインまたはソースと前記プルダウン素子 2 0 0 のドレインまたはソースが直列に連結され、並びに、前記プルアップ素子 1 0 0 及び前記プルダウン素子 2 0 0 のゲートに入力される入力電圧 V_{IN} 、及び、前記プルアップ素子 1 0 0 のドレインまたはソース及び前記プルダウン素子 2 0 0 のドレインまたはソースの接続部から出力される出力電圧 V_{OUT} を含むが、

前記入力電圧 V_{IN} によっていずれもオフになった場合、前記プルアップ素子 1 0 0 及び前記プルダウン素子 2 0 0 がいずれも出力電圧 V_{OUT} にだけ影響を受ける単純抵抗として動作し、電圧分配を介して、第 3 の進数 (「1」状態) を形成し、前記プルアップ素子 1 0 0 またはプルダウン素子 2 0 0 の一方だけオンになって電流を流せば、 V_{DD} (「2」状態) または GND (「0」状態) が出力電圧 V_{OUT} として出力され、

前記入力電圧 V_{IN} に影響を受けず、前記出力電圧 V_{OUT} にだけ影響を受ける電流 I_{CON} 成分と、前記入力電圧 V_{IN} に影響を受け、前記出力電圧 V_{OUT} に影響を受けない電流 I_{EXT} 成分と、を有し、

前記出力電圧に影響を受ける電流 I_{CON} は、ゲート電圧に独立的な接合 $BTBT$ (Band-To-Band Tunneling) 電流 I_{BTBT} であり、前記入力電圧に影響を受ける電流 I_{EXT} は、電流 I_{sub} であり、

10

20

2進インバータにおいて、チャネルのドーピング濃度を増加させて、 $B T B T$ 電流 $I_{B T B T}$ 特性と電流 $I_{s u b}$ 特性とを得て、3進インバータ特性曲線により3進インバータで動作することを特徴とする3進数論理回路。

【請求項2】

前記出力電圧 $V_{O U T}$ に影響を受ける電流 $I_{C O N}$ は、前記出力電圧 $V_{O U T}$ が作動電圧 $V_{D D}$ の二分の一 ($V_{O U T} = V_{D D} / 2$) であるとき、電流値 I_C を有し、前記入力電圧 $V_{I N}$ に影響を受ける電流 $I_{E X T}$ は、前記入力電圧 $V_{I N}$ が作動電圧 $V_{D D}$ の二分の一 ($V_{I N} = V_{D D} / 2$) であるとき、電流値 I_E を有し、前記入力電圧 $V_{I N}$ と作動電圧 $V_{D D}$ とが同一 ($V_{I N} = V_{D D}$) である地点において、最大電流 $I_{M A X}$ に指数的に増加することを特徴とする請求項1に記載の3進数論理回路。

10

【請求項3】

前記プルアップ素子100及び前記プルダウン素子200で出力される電流は、

[数1]

$$I_{O U T}(V_{I N}, V_{O U T}) = I_{C O N}(V_{O U T}) + I_{E X P}(V_{I N}) \\ = I_C \exp [\pm \alpha (V_{O U T} = V_{D D} / 2)] + I_E \exp [\pm \beta (V_{I N} = V_{D D} / 2)]$$

と計算されるが、

前記数式において、 α と β は、各電流メカニズムの指数係数であり、前記 α 及び β の前の「+」符号と「-」符号は、それぞれ前記プルダウン素子200と前記プルアップ素子100とに適用される符号であることを特徴とする請求項2に記載の3進数論理回路。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、3進数論理回路に係り、さらに詳細には、オフ状態でのjunction $B T B T$ の漏れ電流と臨界電流とのメカニズムを利用して、 $C M O S$ 基盤の2進論理ゲートと同一な回路構成において、3進論理ゲートを作ることにより、bit densityを高めることができる3進数論理回路に関する。

【背景技術】

【0002】

従来、2進数論理基盤のデジタルシステムは、多量のデータを早く処理するために、 $C M O S$ 素子の小型化を介した情報の密度 (bit density) を高めるのに力を注いだ。しかし、最近30nm以下に集積されながら、量子的トンネリング効果による、漏れ電流と電力消費との増加により、bit densityを高めるのに制約を受けている。かようなbit densityの限界を克服するために、多重値論理 (multi-valued logic) のうち一つである3進数論理素子及びその回路への関心が急激に高まっており、特に、3進数論理具現のための基本単位として、標準3進数インバータ ($S T I$) の開発が活発に進められている。しかし、1つの電圧源に2つの $C M O S$ を使用する既存の2進数インバータと異なり、 $S T I$ に係わる従来技術は、さらに多くの電圧源を必要としたり、複雑な回路構成が要求されたりするという問題点がある。

30

【先行技術文献】

【特許文献】

40

【0003】

【特許文献1】大韓民国実用新案公報第20-1994-0008249号 (1994. 12. 05.)

【発明の概要】

【発明が解決しようとする課題】

【0004】

前述のような問題点を解決するために、本発明は、2進数の論理が直面したbit densityの限界を克服し、従来の3進数論理の複雑な回路から脱し、簡単な構成の低電力3進数論理回路を提案する。

【課題を解決するための手段】

50

【0005】

本発明による3進数論理回路は、電源電圧VDD及びGND間に直列に連結されたプルアップ素子100及びプルダウン素子200、並びに入力電圧 V_{IN} 及び出力電圧 V_{OUT} を含むが、前記入力電圧 V_{IN} によっていずれもオフになった場合、前記プルアップ素子100と前記プルダウン素子200とがいずれも出力電圧 V_{OUT} にだけ影響を受ける単純抵抗として動作し、電圧分配を介して、第3の進数（「1」状態）を形成し、前記プルアップ素子100またはプルダウン素子200の一方だけオンになって電流を流せば、VDD（「2」状態）またはGND（「0」状態）が出力電圧 V_{OUT} として出力されることを特徴とする。

【発明の効果】

10

【0006】

本発明による3進数論理回路は、オフ状態でのjunction BTBTの漏れ電流と臨界電流とのメカニズムを利用して、CMOS基盤の2進論理ゲートと同一回路構成において、3進論理ゲートを作ることにより、bit densityを確実に高めることができる。

【図面の簡単な説明】

【0007】

【図1】プルアップ素子とプルダウン素子とから構成された本発明による3進数論理回路の構成図、及びプルアップ素子とプルダウン素子との出力電流－入力電圧特性グラフ図面である。

【図2】プルアップ素子とプルダウン素子との出力電流－出力電圧特性によるSTIの作動原理を図示した図面である。

20

【図3】数学的な電圧伝達曲線を図示した図面である。

【図4】平面32nm nMOS素子構造、並びに低チャネルドーピング及び高チャネルドーピングでのBTBT発生比率を示す図面である。

【図5】チャネルドーピングによる出力電流－入力電圧特性、及び電圧伝達曲線を示す図面である。

【図6】素子シミュレーション電流－電圧データ、及び〔数式1〕に基づいた電流－電圧モデリングの比較図面である。

【図7】SNMを表現して分析した図面である。

【図8】3進数インバータ、最小値、最大値の回路構成、及び真理表の図面である。

30

【発明を実施するための形態】

【0008】

以下、添付図面を参照し、本発明の実施形態について、さらに詳細に説明する。それに先立ち、本明細書及び特許請求の範囲に使用された用語や単語は、一般的であったり辞書的であったりする意味に限定して解釈されるものではなく、発明者は、自身の発明を最も適した方法で説明するために、用語の概念を適切に定義することができるという原則に立脚し、本発明の技術的思想に符合する意味と概念とに解釈されるものである。

【0009】

従って、本明細書に記載された実施形態と、図面に図示された構成は、本発明の最も望ましい一実施形態に過ぎず、本発明の技術的思想をいずれも代弁するものではないので、本出願時点において、それらを代替することができる多様な均等物及び変形例があるということを理解しなければならない。

40

【0010】

図1は、プルアップ素子（pull-up device）とプルダウン素子（pull-down device）とから構成された本発明による3進数論理回路の構成図である。

【0011】

図1（a）に図示されているように、本発明による3進数論理回路は、プルアップ素子100とプルダウン素子200とから構成される。

【0012】

図1（a）及び図1（b）に図示されているように、本発明による3進数論理回路の電

50

流－電圧特性は、入力電圧に影響を受けず、出力電圧にだけ影響を受ける電流 I_{CON} 成分と、入力電圧に影響を受け、出力電圧に影響を受けない電流 I_{EXT} 成分とを有する。

【0013】

前記出力電圧に影響を受ける電流 I_{CON} は、出力電圧 V_{OUT} が、作動電圧 V_{DD} の二分の一 ($V_{OUT} = V_{DD} / 2$) であるとき、電流値 I_C を有し、前記入力電圧に影響を受ける電流 I_{EXT} は、入力電圧 V_{IN} が作動電圧 V_{DD} の二分の一 ($V_{IN} = V_{DD} / 2$) であるとき、電流値 I_E を有し、入力電圧 V_{IN} と作動電圧 V_{DD} とが同一 ($V_{IN} = V_{DD}$) である地点において、最大電流 I_{MAX} に指数的に増加する。

【0014】

このとき、前記 I_E 、 I_C 及び I_{MAX} の間には、「 $I_E < I_C < I_{MAX}$ 」のような等式が成立する。

10

【0015】

本発明による3進数論理回路の作動のための補完的な電流－電圧特性は、下記数式1（数1）によって表現される。

【0016】

【数1】

$$I_{OUT}(V_{IN}, V_{OUT}) = I_{CON}(V_{OUT}) + I_{EXP}(V_{IN})$$

$$= I_C \exp\left[\pm \alpha \left(V_{OUT} - \frac{V_{DD}}{2}\right)\right] + I_E \exp\left[\pm \beta \left(V_{IN} - \frac{V_{DD}}{2}\right)\right]$$

20

【0017】

前記数式1で、 α と β は、各電流メカニズムの指数係数であり、前記 α 及び β の前の「+」及び「-」の符号は、それぞれ前記プルダウン素子200とプルアップ素子100とに適用される。

【0018】

ここで、前記 $I_{MAX} = I_E \exp[\beta(V_{DD}/2)]$ は、前記プルダウン素子200及びプルアップ素子100のいずれも同様である。

30

【0019】

本発明による3進数論理回路の作動原理について、前記数式1及び図2を参照して説明する。

【0020】

図2(a)ないし図2(c)には、低い「0」、中間「1」、高い「2」の3種の状態電圧遷移過程が図示されているが、前記低い「0」、中間「1」及び高い「2」は、それぞれ前記プルアップ素子100とプルダウン素子200との出力電流 I_{OUT} －出力電圧 V_{OUT} 曲線が交差する地点によって決定される。

【0021】

前記低い「0」または高い「2」に遷移されるために、前記プルアップ素子100または前記プルダウン素子200は、 $V_{IN} > V_{IL}$ (図2(a)) または $V_{IN} \leq V_{IH}$ (図2(b)) の範囲内において、 I_{OUT} あるいは I_{EXP} として、 I_{EXP} の優勢電流を示し、それぞれ $GND(V_{OL})$ あるいは作動電圧 $V_{DD} \cdot V_{OH}$ に電流経路を作る。

40

【0022】

出力電流 V_{OUT} が、 V_{IMH} 及び V_{IML} の周辺の $V_{DD}/2$ に遷移される間、前記プルアップ素子100とプルダウン素子200は、出力電流 I_{OUT} が、定電流 I_{CON} と指数電流 I_{EXP} との和と類似しており、それは、遅い遷移過程を誘導する。

【0023】

最後に、追加的な中間「1」状態 (V_{OM}) は、 $V_{IMH} < V_{IN} < V_{IML}$ 範囲内の $V_{OUT} = V_{DD}/2$ において、1つの交差点によって得られ、ここで、前記プルアップ

50

素子100とプルダウン素子200との出力電流 I_{OUT} は、定電流 I_{CON} だけに支配される(図2(b))。

【0024】

$I_{MAX} > I_C$ である対称素子を仮定するとき、中間入力電圧($V_{IM} = V_{IML} - V_{IMH}$)と遷移電圧($V_{TR} = V_{IMH} - V_{IH} = V_{IL} - V_{IML}$)は、下の数式2(数2)と数式3(数3)とを誘導することができる。

【0025】

【数2】

$$V_{IM} = V_{DD} - \frac{2}{\beta} \ln\left(\frac{I_{MAX}}{I_C}\right) - \frac{2}{\beta} \ln\left(\frac{\beta}{2\alpha}\right) \quad 10$$

【数3】

$$V_{TR} = \frac{\alpha}{\beta} \frac{V_{DD}}{2} + \frac{1}{\beta} \ln\left(\frac{\beta}{2\alpha}\right)$$

【0026】

ここで、 V_{IL} 、 V_{IH} 、 V_{IML} 及び V_{IMH} は、前記プルアップ素子100と前記プルダウン素子200との電流方程式の組み合わせによって決定される。

【0027】

例えば、 V_{IML} は、 $V_{IN} > V_{DD}/2$ であるとき、 $\{I_{EXP} + I_{CON}\}_{pull-down} = \{I_{CON}\}_{pull-up}$ 関係から、 $dV_{OUT}/dV_{IN} = -1$ によって得られる。

【0028】

標準3進数インバータ(STI)作動のために、 $V_{IL} < V_{DD}$ 、 $V_{IML} > V_{DD}/2$ 、 $V_{IMH} < V_{DD}/2$ 及び $V_{IH} > 0$ (GND)条件を満足しなければならず、結果として、 α 及び β に係わる次の基準になる。

【0029】

【数4】

$$\alpha' = \frac{\alpha}{\ln(10)} < \log\left(\frac{I_{MAX}}{I_C}\right) / \frac{V_{DD}}{2} \ll \beta' = \frac{\beta}{\ln(10)}$$

【0030】

図2において、数学的例として、 $I_{MAX} = 10^{-5} A$ 、 $I_C = 10^{-8} A$ 、 $\log(I_{MAX}/I_C) / (V_{DD}/2) = 6$ 、 $\alpha' = 2$ 、 $\beta' = 10$ 、 $V_{DD} = 1$ が使用された。

【0031】

図3は、 β' と α' との関数として、3つの出力状態($V_{OH} = V_{DD}$ 、 $V_{OM} = V_{DD}/2$ 、 $V_{OL} = GND$)を有する標準3進数インバータ(STI)の電圧伝達曲線を示し、結果として、数式2による V_{IM} と数式3による遷移電圧との変更になる。

【0032】

図3の挿入されたグラフから分かるように、数式4によって与えられた α' 及び β' の範囲下において、低い遷移電圧 V_{TR} と高い V_{IM} は、さらに大きい β' 、とさらに小さい α' とによって得られ、それは、理想的な標準3進数インバータ(STI)の電圧伝達曲線のために望ましい。

10

20

30

40

50

【0033】

しかし、前記プルアップ素子100及び前記プルダウン素子200が、いずれも数式2と数式3とから、 $\log(\beta'/2\alpha')/\beta'$ 項のため、特定飽和された値を有する。

【0034】

β' 項において、かような非線形 $\log(x)/x$ 関数は、ただ前記プルアップ素子100及び前記プルダウン素子200の出力電流 I_{OUT} が、定電流 I_{CON} と指数電流 I_{EXP} との合に類似する $V_{DD}/2$ 近傍の V_{IMH} と V_{IML} で誘導される。

【0035】

遷移電圧 V_{TR} のみを考慮したとき、大きい β' が望ましく見えるが、しかしノイズマージンを考慮すれば、合理的な V_{IM} のために最適条件があるように予想される。

10

【0036】

標準3進数インバータ(STI)の中間「1」状態のための必須な電流メカニズムである入力電圧に独立的な定電流 I_{CON} は、ゲート電圧に独立的な接合BTBT電流 I_{BTBT} を介して実現することができる。

【0037】

また、「0」状態及び「2」状態のための入力電圧に依存する指数電流 I_{EXP} は、臨界電圧以下の電流 I_{sub} によって作ることができる。

【0038】

図4は、32nm high-k/メタルゲート平面nMOSの断面、並びに低いチャネルドーピング($N_{ch} = 2 \times 10^{18} \text{ cm}^{-3}$)、及び高いチャネルドーピング($N_{ch} = 2 \times 10^{19} \text{ cm}^{-3}$)でのBTBT発生の比率を示している。1nmの酸化物厚、 $1 \times 10^{20} \text{ cm}^{-3}$ の高ドレインドーピング(HDD)、 $2.5 \times 10^{19} \text{ cm}^{-3}$ の低いドレインドーピング(LDD)など基本的な構造情報は、ITRSで報告した32nm低い静的パワーテクノロジーを基とした。素子シミュレーションは、BTBTモデル及びバンドギャップ縮小モデルを共にSynopsys SentaurusTMで進めた。

20

【0039】

チャネルドーピングを増加させることにより、最大BTBT発生領域が、ゲート下のLDD領域からHDDとボディ接合とに移動し、それは、主オフ電流メカニズムがgateに独立なIBTBTになるようにした。

【0040】

30

図5は、チャネルドーピングによる出力電流-入力電圧特性と電圧伝達曲線とを示している。単純チャネルドーピングの増加により、2進インバータ特性曲線から3進インバータ特性曲線に変わることが分かる。

【0041】

図6は、素子シミュレーション電流-電圧データと、数式1に基づいた電流-電圧モデリングと良好に合うことを示している。

【0042】

図7は、SNMを表現して分析したものであり、代表デザインにおいて($N_{ch} = 2 \times 10^{19} \text{ cm}^{-3}$)、SNMは、200mVを、理想的なCMOSにおいては、230mVを有する。図7に挿入されたSNM等高線から、 β が大きくなり、 α が小さくなるほど、NMが大きくなるということが分かる。

40

【0043】

前述のような特性を有した本発明による3進数インバータ(STI)回路及び真理表、3進数インバータ(STI)回路が応用されたMINゲート回路及び真理表、並びにMAXゲート回路及び真理表は、図8に図示した通りである。

【0044】

プルアップ素子100と前記プルダウン素子200とが入力電圧に影響を受けない場合(いずれもオフになった場合)、2つの素子は、いずれも単純抵抗として動作し、電圧分配を介して、第3の進数(「1」状態)を形成する。一方、前記プルアップ素子100またはプルダウン素子200の一方だけオンになって電流を流せば、 V_{DD} (「2」状態)

50

またはGND（「0」状態）が伝達される。

【0045】

入力電圧に影響を受けない電流領域は、前述のように、CMOSのgateに影響を受けないjunction band-to-band tunneling（BTBT）電流特性で具現可能であり、入力電圧に指数的に増加する電流領域は、CMOSの臨界電流（subthreshold電流）特性を利用する。

【0046】

以上のように、本発明は、たとえ限定された実施形態と図面とによって説明したにしても、本発明は、それらによって限定されるものではなく、本発明が属する技術分野において当業者によって、本発明の技術思想、及び特許請求の範囲の均等範囲内で多様な修正及び変形が可能であるということはいうまでもない。

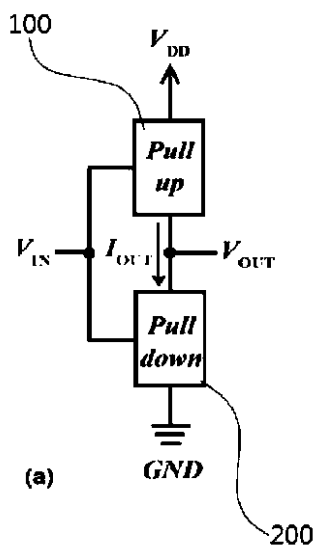
10

【符号の説明】

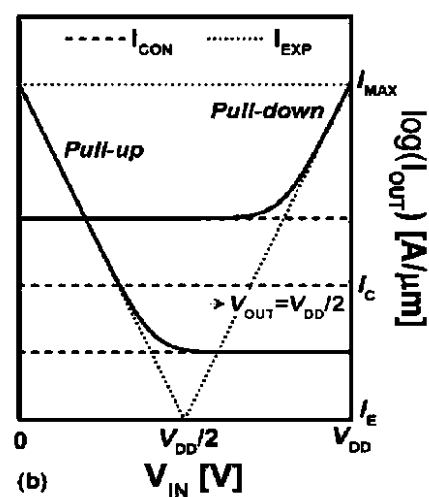
【0047】

- 100 プルアップ素子
- 200 プルダウン素子

【図1（a）】

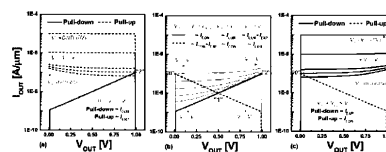


【図1（b）】



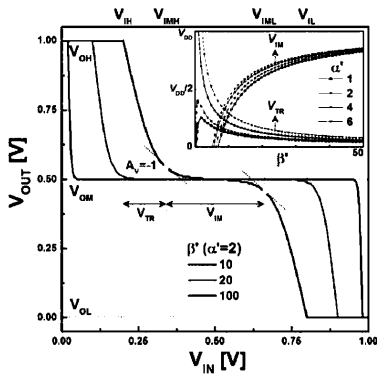
【図2】

[Fig. 2]



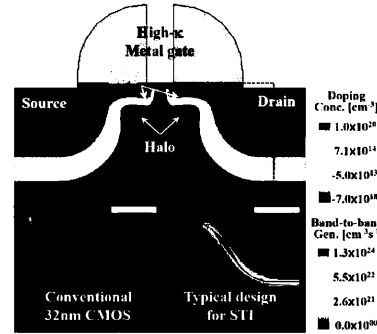
【図 3】

[Fig. 3]



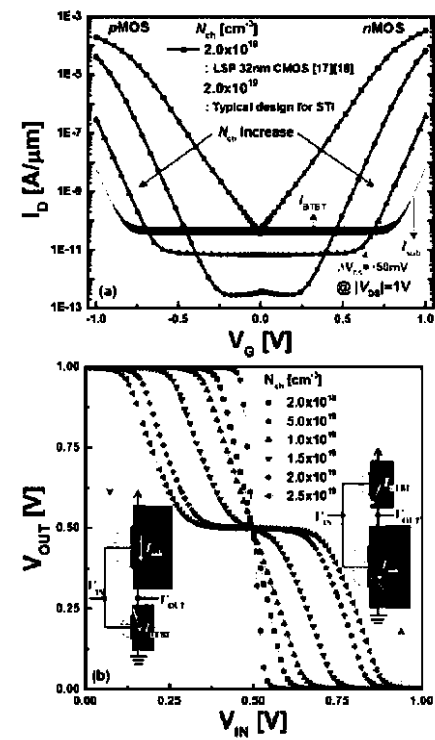
【図 4】

[Fig. 4]



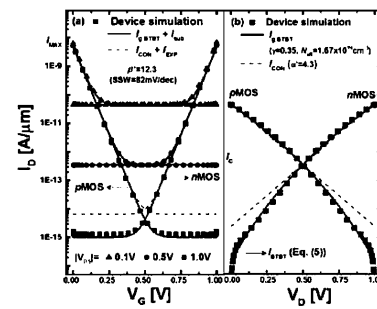
【図 5】

[Fig. 5]



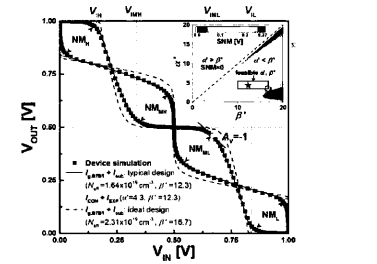
【図 6】

[Fig. 6]

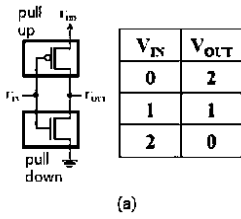


【図 7】

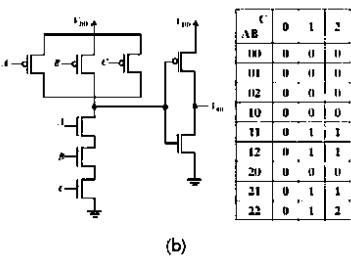
[Fig. 7]



【図 8 (a)】



【図 8 (b)】



(c)

フロントページの続き

- (72)発明者 キョン・ロク・キム
大韓民国・ウルサン・44919・ウルジューグン・オニャンーアップ・ユニストーギル・50
- (72)発明者 スン・ヘ・シン
大韓民国・ウルサン・44919・ウルジューグン・オニャンーアップ・ユニストーギル・50
- (72)発明者 エ・サン・ジャン
大韓民国・ウルサン・44919・ウルジューグン・オニャンーアップ・ユニストーギル・50
- (72)発明者 ジェ・ウォン・ジョン
大韓民国・ウルサン・44919・ウルジューグン・オニャンーアップ・ユニストーギル・50

審査官 工藤 一光

- (56)参考文献 特公昭49-38061 (JP, B1)
特開昭61-145932 (JP, A)
特開昭61-198753 (JP, A)
特開平6-85569 (JP, A)
特表2009-540750 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03K19/20
H01L21/8238
H01L27/092
H01L27/10