



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년01월13일

(11) 등록번호 10-1695770

(24) 등록일자 2017년01월06일

(51) 국제특허분류(Int. Cl.)

H01L 23/00 (2006.01) H01L 23/31 (2006.01)

H01L 25/065 (2006.01)

(21) 출원번호 10-2010-0063931

(22) 출원일자 2010년07월02일

심사청구일자 2015년04월17일

(65) 공개번호 10-2012-0003200

(43) 공개일자 2012년01월10일

(56) 선행기술조사문헌

KR1020100036064 A\*

US20090001574 A1\*

US20090267224 A1

US6133637 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

이진양

경기도 화성시 동탄원천로 315-18, 133동 1706호  
(능동, 동탄 능동마을 상록예가)

한찬민

경기도 화성시 동탄반석로 264 102동 303호 (석우  
동, 예당마을대우푸르지오아파트)

김길수

경기도 화성시 동탄면 감배산로 30, 풍성신미주아  
파트 107동 1506호

(74) 대리인

특허법인 고려

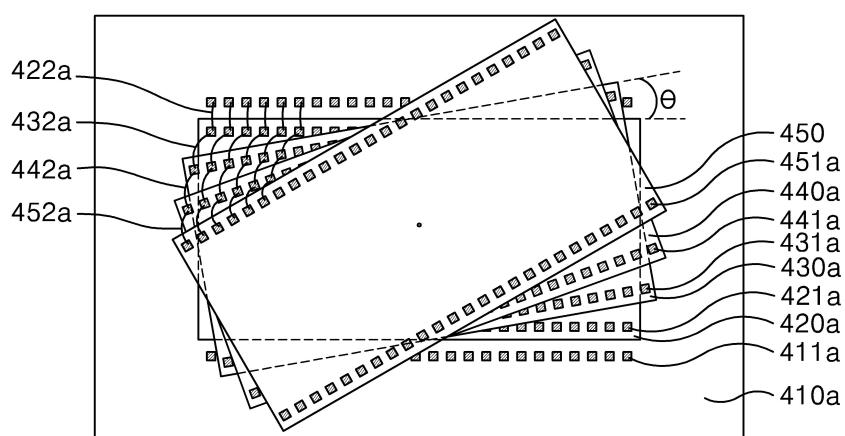
전체 청구항 수 : 총 10 항

심사관 : 곽중환

(54) 발명의 명칭 회전 적층 구조를 갖는 반도체 패키지

**(57) 요 약**

기판과 기판에 적층되는 제 1 반도체 칩 및 제 1 반도체 칩에 적층되는 제 2 반도체 칩을 갖는 반도체 패키지를 제공한다. 여기서, 제 2 반도체 칩은 회전되어 제 1 반도체 칩 상에 적층되는 반도체 패키지를 제공한다. 나아가, 그러한 반도체 패키지를 구비하는 각종 전자 시스템들을 제공한다.

**대 표 도** - 도8400a

## 명세서

### 청구범위

#### 청구항 1

기판;

상기 기판에 적층되고, 상면에 그의 길이 방향을 따라 배열된 복수의 칩 패드들을 갖는 제 1 반도체 칩; 및

상기 제 1 반도체 칩 상에 회전되어 적층되고, 상면에 그의 길이 방향을 따라 배열된 복수의 칩 패드들을 갖는 제 2 반도체 칩을 포함하되,

제1 반도체 칩의 칩 패드들은:

외부로 노출되는 적어도 하나의 노출 칩 패드; 및

상기 제2 반도체 칩에 의해 외부로 비노출되는 적어도 하나의 비노출 칩 패드를 포함하고,

상기 제2 반도체 칩의 칩 패드들은, 상기 노출 칩 패드와 전기적으로 연결되고, 상기 비 노출 칩 패드와 전기적으로 연결되지 않는 반도체 패키지.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 반도체 칩들의 길이 방향이 이루는 내각의 크기는  $0^\circ$  를 초과하고  $45^\circ$  이하인 반도체 패키지.

#### 청구항 3

제 1 항에 있어서,

상기 제 2 반도체 칩은 상기 제 1 및 제 2 반도체 칩의 중앙을 잇는 가상의 중심축을 회전축으로 하여 회전되어 적층된 반도체 패키지.

#### 청구항 4

제 1 항에 있어서,

상기 기판은 다수의 기판 패드들을 갖되,

상기 제 2 반도체 칩의 칩 패드들은 상기 노출 칩 패드들과 본딩 와이어(bonding wire)들에 의해 전기적으로 연결되며,

상기 노출 칩 패드들은 상기 기판 패드들과 본딩 와이어들에 의해 전기적으로 연결되는 반도체 패키지.

#### 청구항 5

제 4 항에 있어서,

상기 본딩 와이어들은 상기 제 1 반도체 칩들의 상기 노출 칩 패드들을 상기 제 2 반도체 칩의 칩 패드들과 전기적으로 연결하는 반도체 패키지.

#### 청구항 6

제 5 항에 있어서,

상기 본딩 와이어들은 상기 노출 칩 패드들 중 하나의 장축 노출 칩 패드들을 상기 제 2 반도체 칩의 칩 패드들과 전기적으로 연결하는 반도체 패키지.

#### 청구항 7

제 5 항에 있어서,

상기 본딩 와이어들은 상기 노출 칩패드들 중 2 개의 장측 노출 칩 패드들을 상기 제 2 반도체 칩의 칩 패드들과 전기적으로 연결하는 반도체 패키지.

### 청구항 8

제 1 항에 있어서,

상기 제 2 반도체 칩에 적층되는 제 3 반도체 칩을 더 포함하되,

상기 제 3 반도체 칩은 상기 제 1 내지 제 3 반도체 칩들의 중앙 부분을 잇는 가상의 중심축을 회전축으로 하여, 상기 제 2 반도체 칩이 상기 제 1 반도체 칩에 회전하여 적층된 회전 방향과 동일한 회전 방향으로 회전되어 적층되는 반도체 패키지.

### 청구항 9

제 8 항에 있어서,

상기 제 1 내지 제 3 반도체 칩들의 길이 방향들이 이루는 내각의 크기들은 각각 동일하며, 상기 내각의 크기는  $0^\circ$  를 초과하고  $45^\circ$  이하인 반도체 패키지.

### 청구항 10

기판과;

상기 기판 상에 순차적으로 적층되는 제1 및 제2 반도체 칩들을 포함하되, 상기 제1 및 제2 반도체 칩들은 각각의 중앙을 잇는 가상의 중심축을 회전축으로 하여 회전되어 배치되고,

상기 제1 및 제2 반도체 칩들의 각각은 상면에 그의 길이 방향을 따라 배열된 복수의 칩 패드들을 갖고,

상기 제1 반도체 칩의 칩 패드들은:

외부로 노출되는 적어도 하나의 노출 칩 패드; 및

상기 제2 반도체 칩에 의해 외부로 비노출되는 적어도 하나의 비노출 칩 패드를 포함하고,

상기 제2 반도체 칩의 칩 패드들은, 상기 노출 칩 패드와 전기적으로 연결되고, 상기 비 노출 칩 패드와 전기적으로 연결되지 않는 반도체 패키지.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 칩들이 적층된 반도체 패키지 및 이를 포함하는 전자 시스템에 관한 것이다.

### 배경 기술

[0002] 반도체 패키지는 다수의 반도체 칩들을 하나의 패키지 내에서 서로 전기적으로 연결되도록 구성한다. 그러나, 반도체 칩이 가볍고 얇아짐에 따라, 하나의 반도체 패키지 안에 적층되는 반도체 칩들의 수의 증가한다. 이에 오버행(overhang) 면적의 증가로 인하여, 반도체 칩의 처짐 또는 크랙(crack)과 같은 제조공정에 기인한 불량이 빈번하다.

### 발명의 내용

### 해결하려는 과제

[0003] 본 발명이 해결하고자 과제는 상술한 종래기술의 문제점을 개선하기 위한 것으로서, 다수의 반도체 칩을 적층함에 따른 압력을 효율적으로 분산하여 고용량의 메모리 및 우수한 양산효율을 갖는 반도체 패키지를 제공하는 데 있다.

[0004] 본 발명이 이루고자 하는 기술적 과제는 고용량의 메모리 및 우수한 양산효율을 갖는 반도체 패키지를 갖는 관

련 전자 시스템을 제공하는데 있다.

### 과제의 해결 수단

- [0005] 상기 기술적 과제를 달성하기 위하여 본 발명의 기술적 사상에 의한 반도체 패키지는 기판, 상기 기판에 적층되는 제 1 반도체 칩, 및 상기 제 1 반도체 칩에 적층되는 제 2 반도체 칩을 포함하며, 상기 제 2 반도체 칩은 회전되어 상기 제 1 반도체 칩에 적층된다.
- [0006] 상기 제 1 및 제 2 반도체 칩들의 길이 방향이 이루는 내각의 크기는  $0^\circ$  를 초과하고  $45^\circ$  이하일 수 있다.
- [0007] 상기 제 2 반도체 칩은 상기 제 1 및 제 2 반도체 칩의 중앙을 잇는 선을 회전축으로 하여 회전되어 적층될 수 있다.
- [0008] 상기 제 1 및 제 2 반도체 칩들은 각각 다수의 칩 패드들을 갖고, 상기 기판은 다수의 기판 패드들을 갖되, 상기 제 2 반도체 칩의 칩 패드들은 상기 제 1 반도체 칩의 칩 패드들과 본딩 와이어(bonding wire)들에 의해 전기적으로 연결되며, 상기 제 1 반도체 칩의 칩 패드들은 상기 기판 패드들과 본딩 와이어들에 의해 전기적으로 연결될 수 있다. 여기서, 상기 본딩 와이어들은 상기 제 1 반도체 칩들의 노출부들에 형성된 칩 패드들을 상기 제 2 반도체 칩의 칩 패드들과 전기적으로 연결할 수 있다.
- [0009] 본 발명의 기술적 사상에 의한 반도체 패키지에 의하면, 상기 본딩 와이어들은 상기 노출부들 중 하나의 장측 노출부에 형성된 칩 패드들을 상기 제 2 반도체 칩의 칩 패드들과 전기적으로 연결하고, 다른 실시예에 의하면, 상기 본딩 와이어들은 상기 노출부들 중 2 개의 장측 노출부에 형성된 칩패드들을 상기 제 2 반도체 칩의 칩 패드들과 전기적으로 연결할 수 있다.
- [0010] 한편, 상기 제 2 반도체 칩에 적층되는 제 3 반도체 칩을 더 포함하되, 상기 제 3 반도체 칩은 상기 제 1 내지 제 3 반도체 칩들의 중앙 부분을 잇는 선을 회전축으로 하여, 상기 제 2 반도체 칩이 상기 제 1 반도체 칩에 회전하여 적층된 회전 방향과 동일한 회전 방향으로 회전되어 적층되는 반도체 패키지를 제공한다.
- [0011] 상기 제 1 내지 제 3 반도체 칩들의 길이 방향들이 이루는 내각의 크기들은 각각 동일하며, 상기 내각의 크기는  $0^\circ$  를 초과하고  $45^\circ$  이하일 수 있다.
- [0012] 본 발명의 일 실시예에 의하면, 기판과 상기 기판에 적층되는 다수의 반도체 칩들을 포함하되, 상기 반도체 칩들은 각각의 중앙을 잇는 선을 회전축으로 하여 회전되어 적층되는 반도체 패키지를 제공한다.
- [0013] 상기 반도체 칩들의 길이 방향들이 이루는 내각의 크기들은  $0^\circ$  를 초과하고  $45^\circ$  이하이고, 상기 반도체 칩들은 시계 방향 또는 반 시계 방향으로 동일한 각도로 회전하여 적층될 수 있다.
- [0014] 상기 반도체 칩들은 각각 다수의 칩 패드들을 갖고, 상기 기판은 다수의 기판 패드들을 갖되,
- [0015] 상기 반도체 칩들은 각각의 하부에 인접한 반도체 칩의 칩 패드들과 본딩 와이어에 의해 전기적으로 연결되며, 상기 기판 상에 적층된 반도체 칩의 칩 패드들은 상기 기판 패드들과 본딩 와이어들에 의해 전기적으로 연결될 수 있다.
- [0016] 상기 본딩 와이어들은 상기 반도체 칩들의 노출부들에 형성된 칩 패드들을 전기적으로 연결할 수 있으며, 상기 노출부는 각각의 반도체 칩의 노출부들 중 하나의 장측 노출부 또는 2개의 장측 노출부들일 수 있다.
- [0017] 상기 기판은 경성연성회로기판(rigid printed circuit board), 연성인쇄회로기판(flexible printed circuit board), 경연성인쇄회로기판(rigid flexible printed circuit board), 테이프 배선 기판, 세라믹 기판, 및 이들의 조합으로 이루어진 군에서 선택된 하나일 수 있다.
- [0018] 상기 기판은 솔더볼(solder ball), 도전성 범프(conductive bump), 도전성 탭(conductive tap), 도전성 핀(conductive pin), 도전성 리드(conductive lead) 및 이들의 조합으로 이루어진 군에서 선택된 외부 단자를 더 포함할 수 있다.
- [0019] 상기 반도체 칩들 사이에, 및 상기 기판과 상기 기판상에 적층된 반도체 칩 사이에 NFC(Non-Conductive Film), ACF(Anisotropic Conductive Film), DAF(Die Bonding Tape), NCP(Non-Conductive Paste) 및 이들의 조합으로 이루어진 군에서 선택된 하나 이상의 접착층을 더 포함할 수 있다. 나아가, 상기 반도체 패키지는 봉지재를 더 포함할 수 있다.
- [0020] 본 발명의 다른 기술적 사상에 의하면, 입출력 장치 및 상기 입출력 장치에 인접하게 형성되고 전기적으로 접속

된 반도체 패키지를 구비하되, 상기 반도체 패키지는 기판 및 상기 기판에 적층되는 다수의 반도체 칩들을 포함하며, 상기 반도체 칩들은 각각의 중앙을 잇는 선을 회전축으로 하여 회전하여 적층되는 전자시스템(electronic system)을 제공한다.

[0021] 여기서, 상기 반도체 칩들의 길이 방향들이 이루는 내각의 크기들은  $0^\circ$  를 초과하고  $45^\circ$  이하일 수 있다.

### 발명의 효과

[0022] 본 발명의 기술적 사상에 의하면, 반도체 칩들을 일정한 방향으로 회전하여 적층하여 오버행(overhang) 면적을 최소화 할 수 있다. 이는 바로 하단의 반도체 칩이 상단의 반도체 칩을 효과적으로 지탱할 수 있는 구조이며, 따라서, 와이어 본딩 공정 또는 몰딩 공정 등에서 반도체 칩들에 가해지는 압력을 효과적으로 분산할 수 있다. 이는 결국, 다수의 반도체 칩들이 적층됨에 따라 발생하는 칩 쳐짐 현상, 와이어 본딩 시 칩 크랙(crack) 등의 공정상의 문제를 해결할 수 있고, 나아가, 몰딩 부재가 칩 사이에 일정하게 분포될 수 있는 구조를 제공하여 불안정 몰딩을 최소화한다.

[0023] 상기와 같은 효과는 결과적으로 일정한 패키지 공간 안에 적층, 수납되는 반도체 칩들의 수량을 증가시킬 수 있어서, 보다 고용량의 메모리를 구현할 수 있다. 또한 반도체 패키지의 제조상의 불량율을 낮추어 우수한 양산효율 및 높은 신뢰성을 구현할 수 있다.

[0024] 이는 결국, 본 발명의 실시예에 따른 반도체 패키지를 갖는 관련 장치의 성능 향상을 달성할 수 있다.

### 도면의 간단한 설명

[0025] 도 1은 본 발명의 기술적 사상에 따른 반도체 패키지를 나타내는 사시도이다.

도 2는 본 발명의 기술적 사상에 따른 반도체 패키지를 나타내는 평면도이다.

도 3a 및 도 3b는 도 2에서 I-I'을 따라서 절단한 절단부의 단면도이다.

도 4는 본 발명의 다른 기술적 사상에 따른 반도체 패키지의 평면도이다.

도 5 및 도 6은 본 발명의 또 다른 기술적 사상에 따른 반도체 패키지의 평면도이다.

도 7은 상기 도 5 및 도 6의 P1 부분을 확대한 확대도이다.

도 8 내지 도 9는 각각 본 발명의 기술적 사상에 따른 반도체 패키지의 평면도이다.

도 10은 본 발명의 기술적 사상에 따른 반도체 패키지의 사시도이다.

도 11은 본 발명의 기술적 사상에 따른 전자 시스템을 개략적으로 나타내는 개략도이다.

### 발명을 실시하기 위한 구체적인 내용

[0026] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시 예들을 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그들은 다른 층 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

[0027] 제 1, 제 2등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소는 제 1 구성요소로 명명될 수 있다.

[0028] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소,

부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0030] [실시예 1]

[0031] 도 1은 본 발명의 실시예 1에 따른 반도체 패키지(100)의 내부의 개략적인 사시도이고, 도 2는 실시예 1에 따른 반도체 패키지(100)의 평면도이며, 도 3a 및 도 3b는 상기 도 2에서 I-I'을 따라 절단한 단면도이다.

[0032] 도 1을 참조하면, 상기 반도체 패키지(100)은 기판(110) 및 상기 기판에 적층되는 제 1 반도체 칩(120) 및 상기 제 1 반도체 칩(120)에 적층되는 제 2 반도체 칩(130)을 포함할 수 있다. 상기 기판(110) 상에 상기 제 1 반도체 칩(120)이 적층되어 수납된다. 상기 제 1 반도체 칩(120) 상에 상기 제 2 반도체 칩(130)이 적층되어 수납된다. 도 1은 이해를 돋기 위하여, 상기 2 반도체 칩(130)과 상기 제 1 반도체 칩(120) 사이에 간격이 있는 것으로 도시되고 있으나, 접착층 등 다른 층의 재개는 논외로 하고, 실제는 그러한 간격이 없다.

[0033] 여기서, 상기 제 2 반도체 칩(130)은 상기 제 1 반도체 칩(120)의 중앙(C) 및 상기 제 2 반도체 칩(130)의 중앙(C')을 잇는 가상의 중심축(C-C')을 회전축으로 하여 일정한 각도만큼 회전하여 적층된다. 상기 중앙을 잇는 가상의 중심축(C-C')은 상기 반도체 칩들(120, 130)이 적층되는 방향, 즉 상기 기판(110)에 수직인 방향일 수 있다.

[0034] 상기 반도체 칩들(120, 130)의 길이 방향들은, 상기 반도체 칩들(120, 130)의 면 중에서 상기 기판(110)에 평행한 면을 이루는 모서리 중 긴 모서리의 방향을 의미한다. 도 1을 참조하면, 예를 들어 적층된 상기 반도체 칩들(120, 130)이 직육면체일 경우, 제 1 반도체 칩(120)의 길이 방향은 L 방향을 말하고, 제 2 반도체 칩(130)의 길이 방향은 L'을 말한다.

[0035] 도 1 및 도 2를 참조하면, 상기 제 2 반도체 칩(130)이 상기 제 1 및 제 2 반도체 칩들(120, 130)의 중앙을 잇는 가상의 중심축(C-C')을 회전축으로 하여 회전되어 적층되며, 상기 제 1 반도체 칩(120)의 길이 방향(L)과 상기 제 2 반도체 칩(130)의 길이 방향(L')이 이루는 내각의 크기( $\theta$ )는  $0^\circ$ 를 초과하고  $45^\circ$  이하 일 수 있다.

[0036] 만일 상기 내각의 크기가  $0^\circ$ 인 경우라면, 반도체 칩들(120, 130) 상에 형성된 각각의 반도체 칩 패드들이 본딩 와이어(미도시)에 의해 전기적으로 연결될 수 없다. 한편, 상기 길이 방향이 이루는 내각의 크기( $\theta$ )가  $45^\circ$ 를 초과한다면, 제 1 반도체 칩(120)에 의해 지지되지 아니하는 제 2 반도체 칩(130)의 부분, 즉 오버행 부분의 면적이 증가하게 된다. 이는 캐필러리(capillary)에 의해 상기 본딩 와이어를 형성하는 과정 등에서 상기 제 2 반도체 칩(130)에 가해지는 압력을 효과적으로 상기 제 1 반도체 칩(120)에 분산할 수 없게 된다. 또한 상기 길이 방향이 이루는 내각의 크기( $\theta$ )가 커질수록 상기 제 1 반도체 칩(120) 상에 형성된 칩 패드 및 상기 제 2 반도체 칩(130) 상에 형성된 칩 패드를 연결하는 본딩 와이어의 길이는 길어지게 된다. 따라서, 본딩 와이어에 의해 연결하려는 반도체 칩 패드의 개수를 고려하여 상기 내각의 크기( $\theta$ )는 설정될 수 있다. 그렇지만, 상기 반도체 칩들(120, 130)을 전기적으로 연결하는 방법은 본딩 와이어로 한정되는 것은 아니다. 즉, 반도체 칩들의 전극 패드들에 도전성 범프들을 형성하고 이를 접속대상 부위에 직접 접합하는 방식의 플립칩 방식의 연결도 본 발명의 범위에 포함될 수 있다. 그러나, 이하에서는 편의상 와이어 본딩(wire bonding) 방식을 예로서 설명한다.

[0037] 도 2는 실시예 1의 반도체 패키지(100)의 평면도이다. 상기 기판(110) 상에 상기 제 1 반도체 칩(120) 및 상기 제 2 반도체 칩(130)이 적층되어 포함될 수 있다. 특히, 상기 제 2 반도체 칩(130)은 상기 제 1 반도체 칩(120) 상에 각각의 반도체 칩들(120, 130)의 중앙(C, C')을 잇는 가상의 중심축을 회전축으로  $\theta$ 만큼 반 시계 방향 또는 시계 방향으로 회전되어 적층될 수 있다. 도 2는 상기 제 2 반도체 칩(130)이 반 시계 방향(S)으로 회전하여 적층될 수 있다.

[0038] 상기 제 1 반도체 칩(120)의 중앙(C) 및 상기 제 2 반도체 칩(130)의 중앙(C')은 상기 도 2에서 보았을 때 포개어져 있다. 상기 중앙(C, C')을 잇는 가상의 중심축은 지면에서 위쪽을 향하며, 상기 기판(110), 상기 제 1 반도체 칩(120) 및 상기 제 2 반도체 칩(130)에 모두 수직이다. 상기  $\theta$ 는 상기 제 1 반도체 칩(120)의 길이 방향 및 상기 제 2 반도체 칩(130)의 길이 방향이 이루는 내각의 크기이다.

- [0039] 상기 제 1 반도체 칩(120)은 그 상면에 가장자리를 따라 배열된 다수의 제 1 반도체 칩(120)의 칩 패드들(121, 122)을 포함하고 있다. 마찬가지로, 상기 제 2 반도체 칩(130)은 그 상면에 가장자리를 따라 배열된 다수의 제 2 반도체 칩(130)의 칩 패드들(131, 132)을 포함하고 있다. 도 2는 상기 반도체 칩들(120, 130)의 장축 가장자리 일단에 형성된 반도체 칩 패드(121, 122, 131, 132)들을 도시하고 있다. 상기 반도체 칩 패드들(121, 122, 131, 132)은 도전성 물질로 이루어진다. 예를 들어, 금(Au), 은(Ag), 구리(Cu), 니켈(Ni), 알루미늄(Al), 주석(Sn), 납(Pb), 백금(Pt), 비스무스(Bi) 및/또는 인듐(In) 등의 금속으로 형성될 수 있다.
- [0040] 상기 기판(110)은 그 상면에 다수의 기판 패드들(111, 112)을 포함할 수 있다. 상기 기판 패드들(111, 112)은 상기 기판(110)의 가장자리를 따라 배열될 수 있다. 도 2는 장축 가장자리 일단에 형성된 기판 패드들(111, 112)을 예시로서 도시하고 있다. 상기 기판(110) 상에 형성된 전기 회로(미도시)로 전기 신호를 입력 또는 출력하기 위한 단자로서, 도전성 물질로 이루어진다. 예를 들어, 금(Au), 은(Ag), 구리(Cu), 니켈(Ni), 알루미늄(Al), 주석(Sn), 납(Pb), 백금(Pt), 비스무스(Bi) 및/또는 인듐(In) 등의 금속으로 형성될 수 있다.
- [0041] 상기 제 1 반도체 칩(120)은 상기 기판(110)과 같은 방향으로 적층될 수 있다. 상기 제 2 반도체 칩(130)은 상기 제 1 반도체 칩(120)의 중앙(C)과 상기 제 2 반도체 칩(130)의 중앙(C)을 잇는 가상의 중심축(C-C')을 회전축으로 하여, 상기 제 1 반도체 칩(120)의 길이 방향과 상기 제 2 반도체 칩(130)의 길이 방향이 이루는 내각( $\theta$ )이  $0^\circ$  를 초과하고  $45^\circ$  이하가 되도록 회전하여 적층될 수 있다.
- [0042] 상기 회전 적층에 의해 상기 제 1 반도체 칩(120)에 P1 및 P2를 비롯하여 4개의 노출부들이 생긴다. 상기 노출부들은 도 2에서 원으로 표시하였다. 상기 노출부들 중 제 1 반도체 칩(120) 상면의 장축 모서리 부분에 형성된 칩 패드들을 많이 노출 시키는 2 개의 장축 노출부들을 P1 및 P2 라고 표시하였다. 만일 상기 반도체 칩들(120, 130)이 직육면체라면, 상기 제 2 반도체 칩(130)의 회전 적층에 의해 노출되는 상기 제 1 반도체 칩(120)의 칩 패드(111, 121)의 개수가 많은 쪽이 상기 장축 노출부들(P1, P2)이 된다. 상기 제 1 반도체 칩(120)은 상기 장축 노출부들(P1, P2)에 형성된 칩 패드들(121, 122)을 통하여 상기 제 2 반도체 칩(130)의 칩 패드(131, 132)뿐만 아니라, 상기 기판 패드(111, 112)와도 전기적으로 연결될 수 있다.
- [0043] 상기 실시예 1을 따르는 본 발명은 본딩 와이어가 상기 장축 노출부들(P1, P2) 중 어느 한 노출부(P1)에 형성될 수 있는 반도체 패키지를 제공하고 있다.
- [0044] 상기 기판(110)은 경성회로기판(rigid printed circuit board), 연성인쇄회로기판(flexible printed circuit board), 경연성인쇄회로기판(rigid flexible printed circuit board) 및/또는 이들의 조합인 인쇄회로기판(PCB), 테이프 배선 기판, 세라믹 기판 등이 될 수 있다.
- [0045] 상기 제 1 반도체 칩(120) 및 상기 제 2 반도체 칩(130)은 플래시 메모리 칩(FLASH memory chip), 상변화 메모리 칩(phase change memory chip), 앤램 칩(magnetic random access memory chip; MRAM), 저항성 메모리 칩(resistive memory chip) 및 이들의 조합을 포함할 수 있다.
- [0046] 한편, 상기 반도체 패키지(100)의 내부에는 봉지재(150)를 포함할 수 있다. 상기 봉지재는 상기 제 1 반도체 칩(120) 및 상기 제 2 반도체 칩(130) 뿐만 아니라, 후술할 본딩 와이어를 외부 충격으로부터 보호한다. 예를 들어, 상기 봉지재(150)은 애플리 몰딩 컴파운드(EPC)일 수 있다. 상기 봉지재는 통상의 사출성형의 방식으로 형성할 수 있다.
- [0047] 각 반도체 칩들(120, 130)은 장축 가장자리를 따라 형성된 칩 패드들(121, 122, 131, 132)을 통해 전기적으로 연결된다. 예를 들면, 상기 제 1 반도체 칩(120)의 제 1 칩 패드(121)은 상기 제 2 반도체 칩(130)의 제 1 칩 패드(131)와 전기적으로 연결될 수 있다. 마찬가지로, 상기 제 1 반도체 칩(120)의 제 2 칩 패드(122)는 상기 제 2 반도체 칩(130)의 제 2 칩 패드(132)와 전기적으로 연결될 수 있다.
- [0048] 나아가, 상기 제 1 반도체 칩(120)은 하부에 인접한 기판(110)과 전기적으로 연결된다. 상기 기판(110)의 가장자리를 따라 기판 패드들(111, 112)이 형성되어 있음은 전술한 바와 같다. 예를 들면, 상기 제 1 반도체 칩(120)의 상기 제 1 칩 패드(121)와 상기 기판 상에 형성된 상기 제 1 기판 패드(111)가 전기적으로 연결되며, 상기 제 1 반도체 칩(120)의 제 2 칩 패드(122)는 상기 기판(110) 상의 제 2 기판 패드(112)와 전기적으로 연결될 수 있다.
- [0049] 도 3a 및 도3b는 도 2의 I-I' 선을 따라 절단한 단면도이다. 도 3a에서 상기 반도체 패키지(100)는 기판(110) 및 상기 기판에 순차 적층되는 제 1 반도체 칩(120) 및 제 2 반도체 칩(130)을 포함하되, 상기 제 2 반도체 칩(130)은 위에서 언급한 바와 같이 회전하여 적층된다. 상기 기판(110)과 상기 제 1 반도체 칩(120) 및 상기 제

1 반도체 칩(120)과 상기 제 2 반도체 칩(130)의 전기적 연결은 본딩 와이어에 의할 수 있다. 도 3a를 참조하면, 제 2 기판 패드(112)와 상기 제 1 반도체 칩(120)의 제 2 칩 패드(122)는 제 1 본딩 와이어(bonding wire, 141)에 의해 전기적으로 연결된다. 상기 제 1 반도체 칩(120)의 제 2 칩 패드(122)와 상기 제 2 반도체 칩(130)의 제 2 칩 패드(132)는 제 2 본딩 와이어(142)에 의해 전기적으로 연결된다.

[0050] 상기 본딩 와이어는 콜드 와이어(Au wire) 또는 알루미늄 와이어(Al wire)로 형성할 수 있다.

[0051] 상기 제 1 반도체 칩(120) 및 기판(110) 사이에 제 1 접착층(161)이 포함될 수 있다. 마찬가지로, 상기 제 2 반도체 칩(130) 및 상기 제 1 반도체 칩(120) 사이에 제 2 접착층(162)이 포함될 수 있다. 상기 제 1 및 제 2 접착층은 NFC(Non-Conductive Film), ACF(Anisotropic Conductive Film), DAF(Die Bonding Tape), NCP(Non-Conductive Paste) 또는 이들의 조합일 수 있다.

[0052] 도 3b는 본 발명의 기술적 사상에 따른 반도체 패키지가 외부 단자(180)를 더 포함하고 있는 것을 나타낸다. 예를 들면, 상기 기판(110)은 솔더볼(solder ball), 도전성 범프(conductive bump), 도전성 탭(conductive tap), 도전성 핀(conductive pin), 도전성 리드(conductive lead) 및 이들의 조합으로 이루어진 군에서 선택된 외부 단자를 더 포함할 수 있다. 상기 외부 단자(180)는 외부로부터 신호를 입력받거나 반대로 처리된 신호를 외부로 출력한다. 도 3b는 외부 단자로서 솔더볼(solder ball)을 예시하고 있다. 상기 외부 단자(180)는 상기 기판 패드들(112)에 대응하도록, 일정한 간격으로 배열될 수 있다.

[0053] [실시예 2]

[0054] 도 4은 본 발명의 실시예 2에 따른 반도체 패키지(200)의 평면도이다.

[0055] 도 4를 참조하면, 상기 반도체 패키지(200)은 기판(210), 상기 기판에 적층되는 제 1 반도체 칩(220) 및 제 2 반도체 칩(230)을 포함할 수 있다. 상기 기판(210) 상에 상기 제 1 반도체 칩(220)이 적층되어 수납된다. 상기 제 1 반도체 칩(220) 상에 상기 제 2 반도체 칩(230)이 적층되어 수납된다.

[0056] 여기서, 상기 제 2 반도체 칩(230)은 상기 제 1 반도체 칩(220)의 중앙(C) 및 상기 제 2 반도체 칩(230)의 중앙(C')을 잇는 가상의 중심축(C-C')을 회전축으로 하여 일정한 각도만큼 회전하여 적층된다. 상기 중앙을 잇는 가상의 중심축(C-C')은 상기 반도체 칩들(220, 230)이 적층되는 방향이며, 상기 기판(210)에 수직인 방향일 수 있다. 상기 제 1 반도체 칩(220)의 중앙(C) 및 상기 제 2 반도체 칩(230)의 중앙(C')은 상기 도 4에서 보았을 때 포개어져 있다. 상기 중앙(C, C')을 잇는 가상의 중심축은 지면에서 위쪽을 향하며, 상기 기판(210), 상기 제 1 반도체 칩(220) 및 상기 제 2 반도체 칩(230)에 모두 수직이다. 상기 Θ는 상기 제 1 반도체 칩(220)의 길이 방향 및 상기 제 2 반도체 칩(230)의 길이 방향이 이루는 내각의 크기이다.

[0057] 여기서 상기 제 1 반도체 칩(220)의 길이 방향 및 상기 제 2 반도체 칩(230)의 길이 방향이 이루는 내각의 크기(Θ)는  $0^\circ$  를 초과하고  $45^\circ$  이하 일 수 있다. 도 4는 제 2 반도체 칩(230)이 반시계방향으로 Θ만큼 회전되어 적층된 형태를 도시하고 있다.

[0058] 상기 실시예 1의 도 2에서 설명한 바와 같이, 상기 제 2 반도체 칩(230)의 회전 적층에 의해 상기 제 1 반도체 칩(220)에 4개의 노출부들이 생긴다. 원으로 표시한 부분은 장축 노출부들(P1, P2)이다. 본 발명의 실시예 2를 따르면, 상기 2개의 장축 노출부(P1, P2)에 형성된 제 1 반도체 칩(220)의 칩 패드들(221)은 모두 상기 제 2 반도체 칩(230) 및 상기 기판(210)과의 전기적 연결에 이용된다. 즉, 상기 제 1 반도체 칩(220)의 상면 가장자리를 따라 배열된 칩 패드들(221)이 상기 제 1 반도체 칩(220)의 마주보는 2개의 장축 노출부(P1, P2)에서 상기 제 2 반도체 칩(230)의 칩 패드들(231) 및 기판 패드들(211)과 본딩 와이어에 의해 전기적으로 연결되어 있다.

[0059] 만일 기판과 전기적 신호를 입, 출력하기 위한 단자의 수가 상대적으로 많이 필요하다면 본 발명의 실시예 2를 따라서 양축 노출부를 통해 본딩 와이어로 연결함으로써, 본 발명의 기술적 사상을 구현할 수 있다. 만일 기판과 전기적 신호를 입, 출력하기 위한 단자의 수가 상대적으로 덜 필요하다면 본 발명의 실시예 1을 따라서, 일측 노출부를 통해 본딩 와이어로 연결함으로써, 제조 공정상 잇점을 취할 수 있다.

[0060] 상기 기판 패드들 및 칩 패드들의 구조 및 재료, 상기 반도체 칩들의 유형, 봉지재, 접착층 및 상기 본딩 와이어들의 형성 및 재료들은 상기 실시예 1에서 설명한 바와 같다.

[0061] [실시예 3]

[0062] 도 5는 본 발명의 일 실시예에 따른 반도체 패키지(300)을 나타낸 평면도이고, 도 6은 본 발명의 다른 실시예에 따른 반도체 패키지(300)의 평면도이다. 한편, 도 7은 상기 도 5 및 도 6에서 P1 부분을 확대한 확대도이다.

- [0063] 도 5 및 도 6을 참조하면, 상기 반도체 패키지(300)는 기판(310), 상기 기판상에 적층되는 제 1 반도체 칩(320), 상기 제 1 반도체 칩(320) 상에 적층되는 제 2 반도체 칩(330) 및 상기 제 2 반도체 칩(330) 상에 적층되는 제 3 반도체 칩(340)을 포함할 수 있다.
- [0064] 상기 제 1 반도체 칩(320)은 상기 기판(310)에 평행하게 적층될 수 있다. 상기 제 2 반도체 칩(330) 및 상기 제 3 반도체 칩(340)은 상기 제 1 내지 제 3 반도체 칩들(320, 330, 340) 각각의 중앙을 잇는 가상의 중심축을 회전축으로 하여 회전되어 적층될 수 있다. 즉, 상기 제 1 내지 제 3 반도체 칩들(320, 330, 340)의 중앙을 각각 C, C' 및 C'' 라고 한다면, C, C' 및 C'' 을 직선이 되도록 또한 상기 직선은 상기 기판(310)에 수직이 되도록 상정할 수 있다. 여기서, 상기 제 2 반도체 칩(330)은 상기 직선(C-C'')을 회전축으로 하여 회전되어 적층된다. 상기 제 1 반도체 칩(320)의 길이 방향과 상기 제 2 반도체 칩(330)의 길이 방향이 이루는 내각의 크기가  $\Theta$  만큼 회전하여 적층될 수 있다. 마찬가지로 상기 제 3 반도체 칩(340)은 상기 제 2 반도체 칩(330)을 기준으로 길이 방향들의 내각의 크기가  $\Theta'$  이 되도록 적층될 수 있다. 상기 내각의 크기들( $\Theta$ ,  $\Theta'$ )은 각각  $0^\circ$  를 초과하고  $45^\circ$  이하 일 수 있다. 한편, 상기  $\Theta$  및  $\Theta'$  는 동일할 수 있다.
- [0065] 도 5 및 도 6의 반도체 패키지(300)은 상기 반도체 칩들(320, 330, 340)이 반 시계 방향으로  $\Theta$  만큼 회전되어 적층된 형태를 나타내고 있으나, 각 반도체 칩들(320, 330, 340)이 시계 방향으로도 회전될 수 있음을 물론이다.
- [0066] 한편, 상기 회전 적층에 의해 제 1 반도체 칩(320) 및 상기 제 2 반도체 칩(330)은 각각 4개의 노출부들을 갖는다. 상기 노출부들 중 제 1 및 제 2 반도체 칩(320, 330) 상면의 장축 모서리 부분에 형성된 칩 패드들을 많이 노출시키는 2 개의 장축 노출부들(P1, P2)을 원으로 표시하였다. 상기 장축 노출부들(P1, P2)에 형성된 칩 패드들(321, 331, 341) 및 상기 기판 패드들(311)을 통하여 상기 각각의 반도체 칩들(320, 330, 340) 상호 간뿐만 아니라, 상기 제 1 반도체 칩(320)과 상기 기판(310)이 전기적으로 연결될 수 있다.
- [0067] 상기 본딩 와이어는 상기 장축 노출부들(P1, P2) 중 어느 한 노출부(P1)에 형성되거나 상기 장축 노출부들(P1, P2) 모두에 형성될 수 있다. 상기 도 5는 상기 2개의 장축 노출부들(P1, P2) 중 하나(P1)에 형성된 칩 패드들이 상기 본딩 와이어에 의해 전기적으로 연결된 반도체 패키지(300)이고, 상기 도 6은 상기 2 개의 장축 노출부들(P1, P2)에 형성된 칩 패드들이 상기 본딩 와이어에 의해 전기적으로 연결된 반도체 패키지를 나타낸 것이다.
- [0068] 도 7을 참조하면, 상기 장축 노출부(P1)에서의 본딩 와이어들에 의한 각 패드들의 연결이 확대되어 나타나있다. 상기 기판(310)은 도전성 물질로 형성된 기판 패드들(311)를 갖는다. 상기 제 1 내지 제 3 반도체 칩들(320, 330, 340)은 각각 도전성 물질로 된 칩 패드(321, 331, 341)들을 갖는다. 상기 제 3 반도체 칩의 칩 패드들(341)은 상기 제 2 반도체 칩의 칩 패드들(331)과 제 3 본딩 와이어들(342)에 의해 전기적으로 연결된다. 상기 제 2 반도체 칩의 칩 패드들(331)은 제 2 본딩 와이어들(332)에 의해 상기 제 1 반도체 칩 패드들(321)과 전기적으로 연결되며, 상기 제 1 반도체 칩(320)의 칩 패드들(322)은 상기 기판(310)의 기판 패드들(311)과 제 1 본딩 와이어들(322)에 의해 전기적으로 연결된다.
- [0069] 상기 기판 패드들 및 칩 패드들의 구조 및 재료, 상기 반도체 칩들의 유형, 봉지재, 접착층 및 상기 본딩 와이어들의 형성 및 재료들은 상기 실시예 1에서 설명한 바와 같다.
- [0070] [실시예 4]
- [0071] 도 8 및 도 9는 본 발명의 일 실시예에 따른 반도체 패키지의 평면도이다. 도 10은 본 발명의 일 실시예에 따른 반도체 패키지의 사시도이다.
- [0072] 도 8 및 도 9를 참조하면, 본 발명의 반도체 패키지(400a, 400b)은 기판(410a, 410b) 및 다수의 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)을 포함하며, 상기 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)은 각각의 중앙을 잇는 가상의 중심축을 회전축으로 하여 회전되어 적층된다. 적층되는 반도체 칩들의 개수는 16개 또는 32개일 수 있지만, 이에 한정되는 것이 아니다. 32개 이상의 반도체 칩들도 본 발명의 회전 적층에 따라서 적층될 수 있다.
- [0073] 상기 기판(410a, 410b)에 인접하여 적층되는 반도체 칩(420a, 420b)은 상기 기판(410a, 410b)에 평행하게 적층될 수 있다. 상기 기판(410a, 410b)에 인접하여 적층되는 반도체 칩(420a, 420b)상에 적층되는 반도체 칩들(430a, 440a, 450a, 430b, 440b, 450b)은 각각의 중앙을 잇는 가상의 중심축을 회전축으로 하여 회전되어 적층될 수 있다.
- [0074] 상기 각각의 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)은 시계 방향 또는 반 시계 방향으

로 회전되어 적층될 수 있다. 상기 각각의 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)의 길이 방향들이 이루는 내각의 크기( $\theta$ )들은  $0^\circ$ 를 초과하고  $45^\circ$  이하일 수 있다. 한편, 상기 내각의 크기들( $\theta$ )은 모두 동일할 수 있다.

[0075] 그러나, 상기 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)의 전기적 연결의 필요에 따라, 예를 들면 반도체 칩들의 종류 및 메모리 용량 등의 차이에 따라서, 전기적 연결에 필요한 칩 패드의 개수가 상이할 수 있다. 상기 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)의 회전 적층은 각각의 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)의 칩 패드들을 노출시키기 위함이다. 상기 언급한 것처럼 전기적 연결의 필요한 칩 패드들의 개수가 반도체 칩마다 상이할 수 있고, 이에 따라 각각의 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)의 길이 방향들이 이루는 내각의 크기들( $\theta$ )을 조절하여 노출되는 상기 칩 패드들의 개수를 조절할 수 있다. 이 경우 상기 내각의 크기들은 서로 상이할 수 있다.

[0076] 상기 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)이 회전하여 적층됨에 따라 4개의 노출부들이 생긴다. 상기 기판(410a, 410b)은 가장자리를 따라 형성된 다수의 기판 패드들(411a, 411b)을 갖는다. 상기 4개의 노출부들 중에서 상기 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)의 상면의 장축 모서리 부분에 형성된 칩 패드들(421a, 431a, 441a, 451a, 421b, 431b, 441b, 451b)을 많이 노출시키는 노출부들을 장축 노출부라 한다. 따라서 상기 반도체 칩들(420a, 430a, 440a, 450a, 420b, 430b, 440b, 450b)의 회전 적층에 의해 2개의 장축 노출부들이 생긴다. 상기 도 8은 상기 장축 노출부들 중 어느 하나의 노출부에 본딩 와이어들(422a, 432a, 442a, 452a)이 형성된 경우이고, 상기 도 9는 2개의 상기 장축 노출부들 모두에 본딩 와이어들(422b, 432b, 442b, 452b)이 형성된 경우이다.

[0077] 만일, 전기적 연결에 필요한 칩 패드들(421a, 431a, 441a, 451a, 421b, 431b, 441b, 451b)의 개수가 많이 필요한 경우에는 상기 도 9가 나타내는 것과 같이 양 장축 노출부를 모두 활용하여 와이어 본딩할 수 있고, 상대적으로 전기적 연결에 필요한 칩 패드들(421a, 431a, 441a, 451a, 421b, 431b, 441b, 451b)의 개수가 덜 필요한 경우에는 상기 도 8이 나타내는 것과 같이 어느 한 쪽의 장축 노출부를 활용하여 와이어 본딩할 수 있다.

[0078] 한편, 도 8 및 도 9는 모두 같은 크기의 반도체 칩들(420, 430, 440, 450)이 적층되는 것을 나타내고 있으나, 이에 한정되는 것은 아니다. 회전되어 적층될 수 있고, 상기 회전 적층에 의해 전기적 연결에 필요한 칩 패드를 노출할 수 있는 반도체 칩이라면 제한이 없다.

[0079] 도 10은 상기 반도체 칩들(420c, 430c, 440c, 450c)의 형태가 직육면체가 아니라 정육면체의 경우의 반도체 패키지(400c)을 나타내고 있다. 상기 반도체 칩들(420c, 430c, 440c, 450c)이 상기 기판(410c)에 순차로 회전되어 적층된다. 각각의 반도체 칩들(420c, 430c, 440c, 450c)의 길이 방향이 이루는 내각의 크기는  $\theta$ 로서 동일한 경우를 나타내고 있다. 이 경우 회전 적층 원리는 상기에서 언급한 바와 거의 같으므로 생략하기로 한다.

[0080] [실시예 5]

[0081] 도 11은 본 발명의 제 5 실시예에 따른 반도체 패키지를 채택하는 전자시스템의 구성도이다.

[0082] 도 11을 참조하면, 본 발명의 제 5 실시예에 따른 전자시스템(1100)은 제어기(1110), 입출력 장치(1120), 기억 장치(1130), 인터페이스(1140), 및 버스 구조체(1150)을 구비할 수 있다. 상기 기억 장치(1130)는 도 1 내지 도 10을 참조하여 설명한 것과 유사한 반도체 패키지들(100, 200, 300, 400)를 구비하는 것일 수 있다. 상기 버스 구조체(1150)는 상기 제어기(1110), 상기 입출력 장치(1120), 상기 기억 장치(1130), 및 상기 인터페이스(1140) 상호 간에 데이터들이 이동하는 통로를 제공하는 역할을 할 수 있다.

[0083] 상기 제어기(1110)는 적어도 하나의 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 그리고 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 상기 입출력 장치(1120)는 키패드, 키보드 및 표시 장치(display device) 등에서 선택된 적어도 하나를 포함할 수 있다. 상기 기억 장치(1130)는 데이터 및/또는 제어기(1110)에 의해 실행되는 명령어 등을 저장하는 역할을 할 수 있다.

[0084] 상기 기억 장치(1130)는 디램(dynamic random access memory; DRAM), 및 에스램(static random access memory; SRAM)과 같은 휘발성 메모리 칩, 플래시메모리(flash memory), 상변화메모리(phase change memory), 앤램(magnetic random access memory; MRAM), 또는 알램(resistive random access memory; RRAM)과 같은 비휘발성 메모리 칩, 또는 이들의 조합을 구비할 수 있다.

[0085] 상기 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 역할을 할 수 있다. 상기 인터페이스(1140)는 유무선 형태일 수 있다. 예를 들어, 상기 인터페이스(1140)는 안테나 또

는 유무선 트랜시버 등을 포함할 수 있다. 상기 전자 시스템(1100)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor:CIS), 그리고 입출력 장치 등이 더 제공될 수 있다.

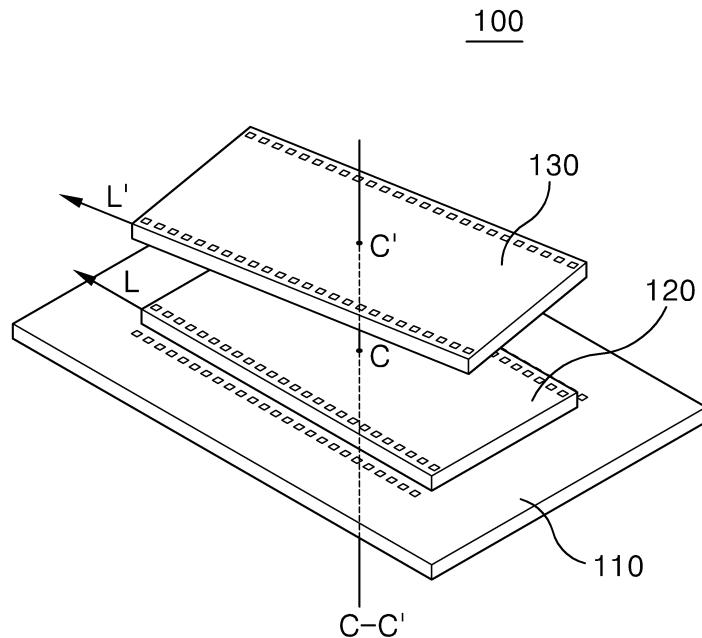
[0086] 상기 전자 시스템(1100)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 로직 시스템 등으로 구현될 수 있다. 예컨대, 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 태블릿(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 그리고 정보 전송/수신 시스템 중 어느 하나일 수 있다. 상기 전자 시스템(1100)이 무선 통신을 수행할 수 있는 장비인 경우에, 상기 전자 시스템(1100)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), NADC(North American Digital Cellular), E-TDMA(Enhanced-Time Division Multiple Access), WCDAM(Wideband Code Division Multiple Access), CDMA2000과 같은 통신 시스템에서 사용될 수 있다.

### **부호의 설명**

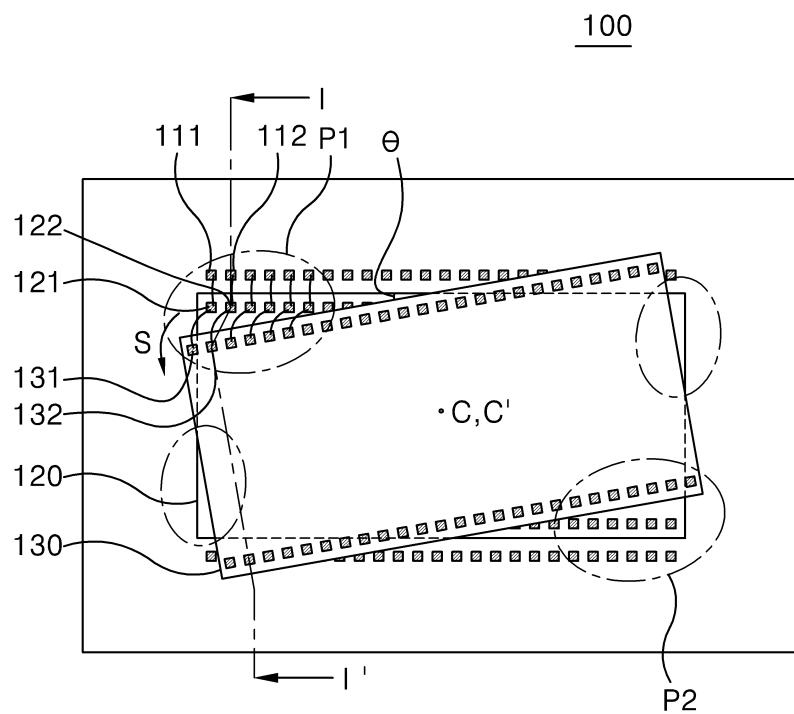
- [0087]
- 100, 200, 300, 400 : 반도체 패키지
  - 110, 210, 310, 410 : 기판
  - 120, 220, 320, 420: 제 1 반도체 칩
  - 130, 230, 330, 430: 제 2 반도체 칩
  - 340: 제 3 반도체 칩
  - 111, 211, 311, 411: 기판 패드들
  - 121, 221, 321, 421: 제 1 반도체 칩의 칩 패드들
  - 131, 231, 331, 431: 제 2 반도체 칩의 칩 패드들
  - 341: 제 3 반도체 칩의 칩 패드들
  - 150: 봉지재
  - 180: 외부 단자
  - 161: 제 1 접착층
  - 162: 제 2 접착층
  - 322, 332, 342, 422, 432, 442, 452: 본딩 와이어들

도면

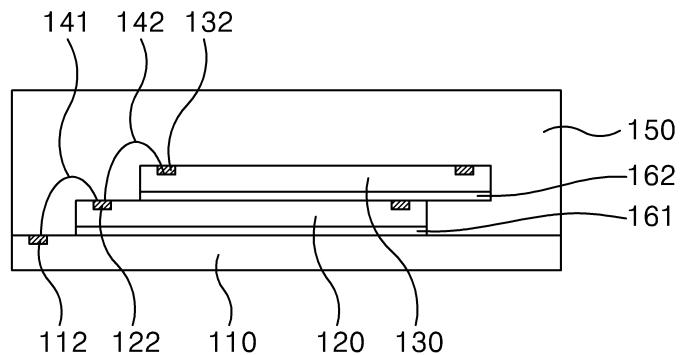
도면1



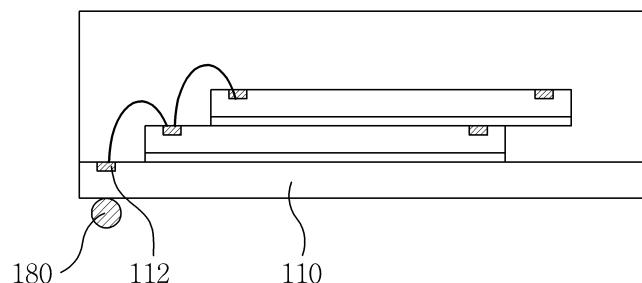
도면2



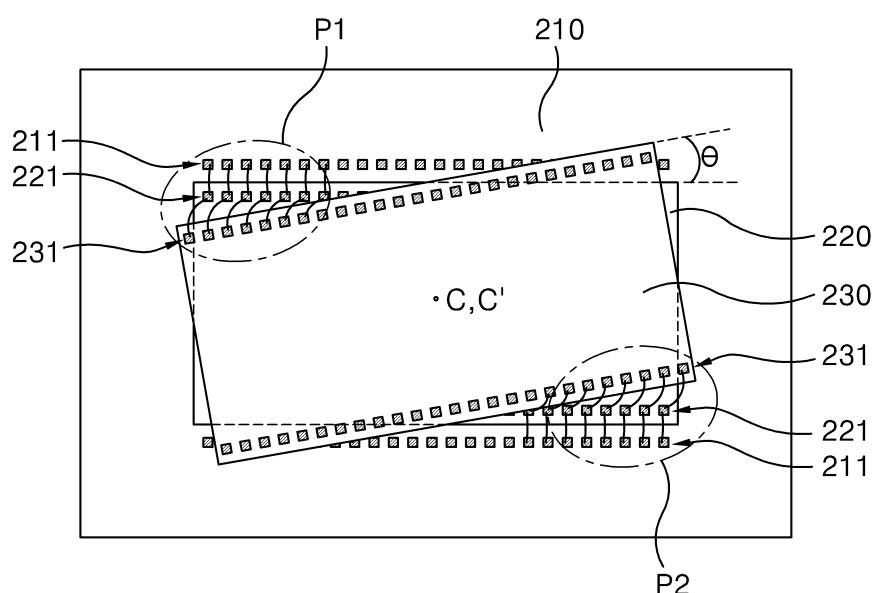
도면3a



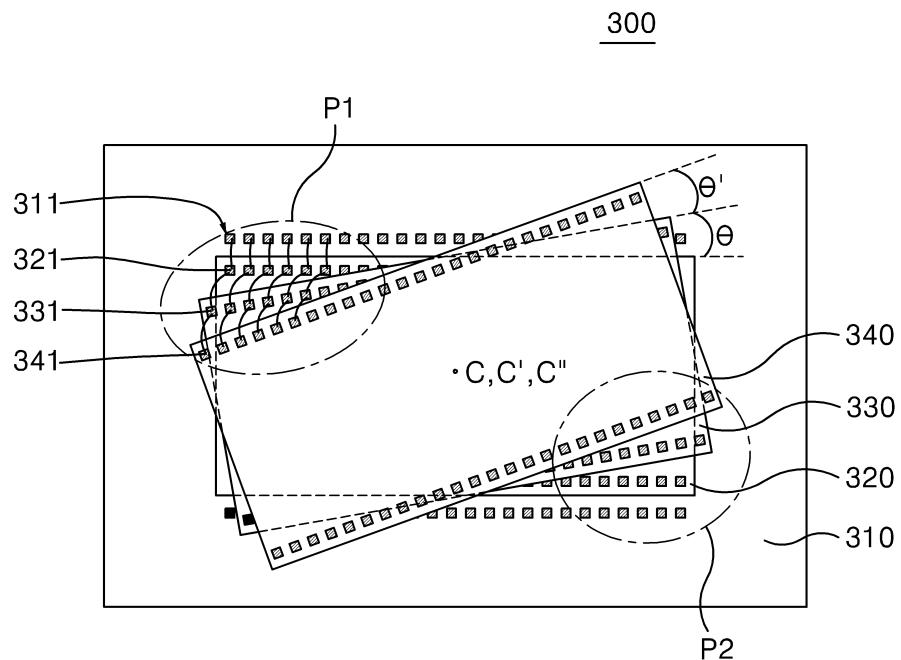
도면3b



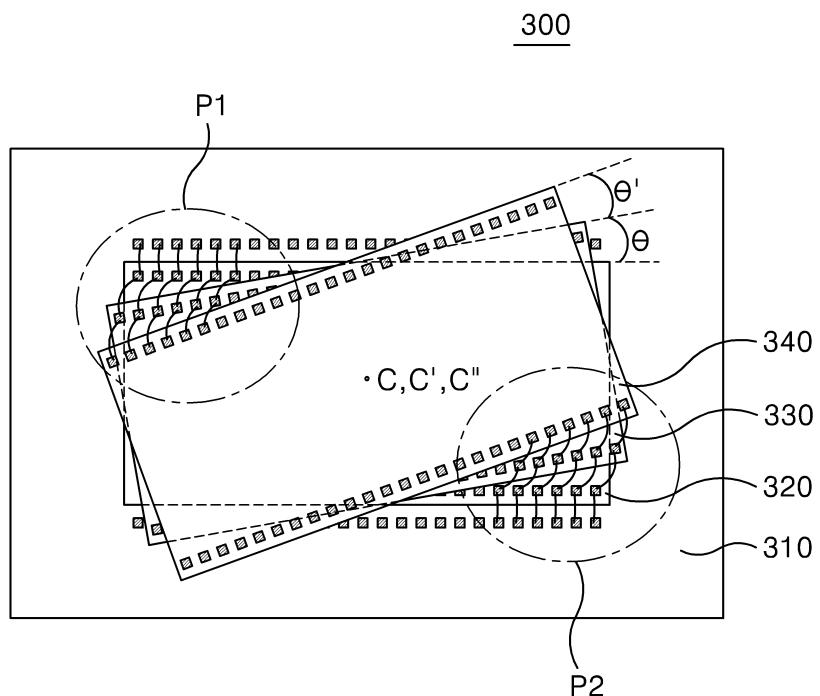
도면4

200

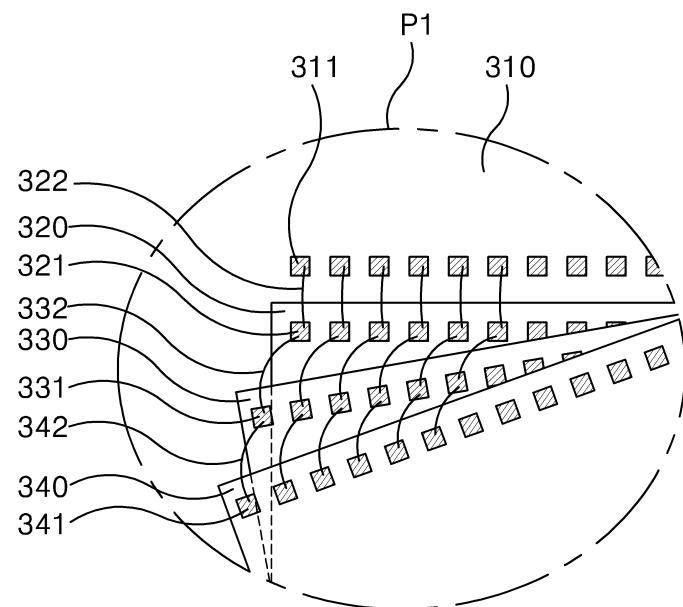
도면5



도면6

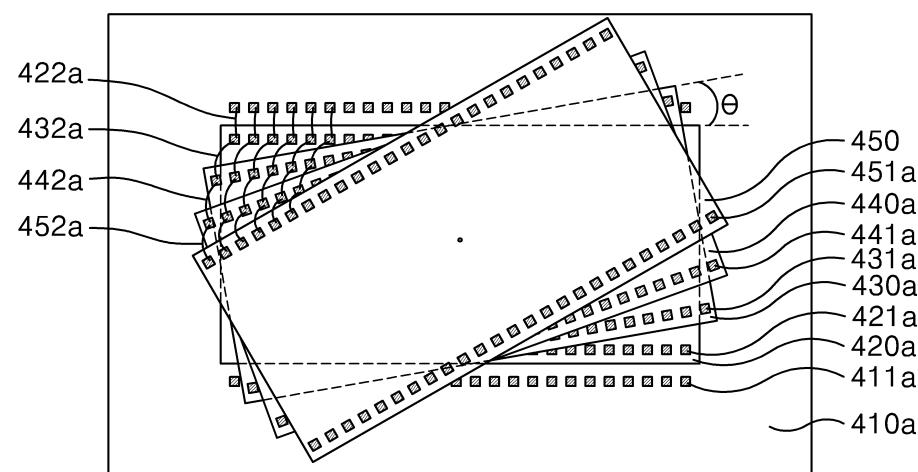


도면7

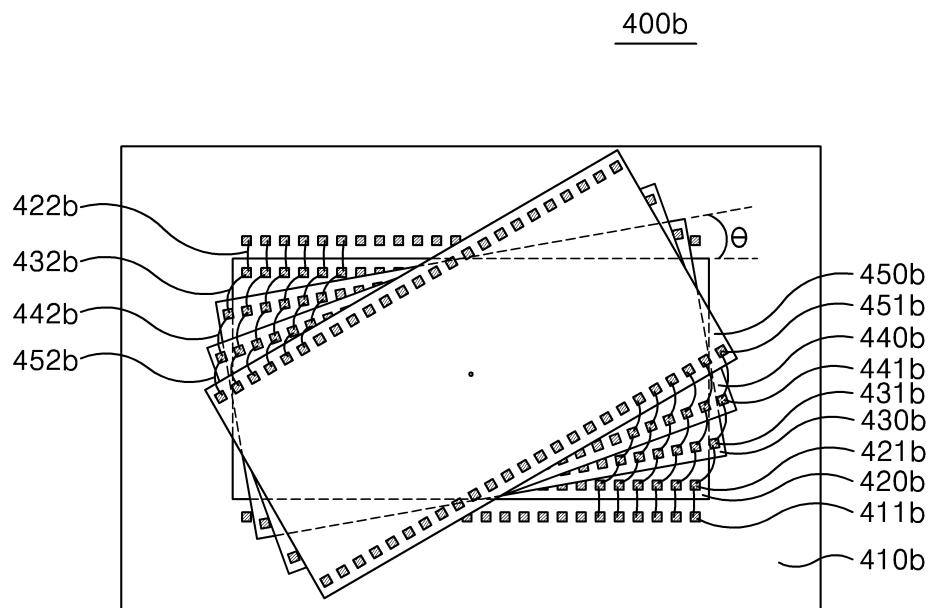


도면8

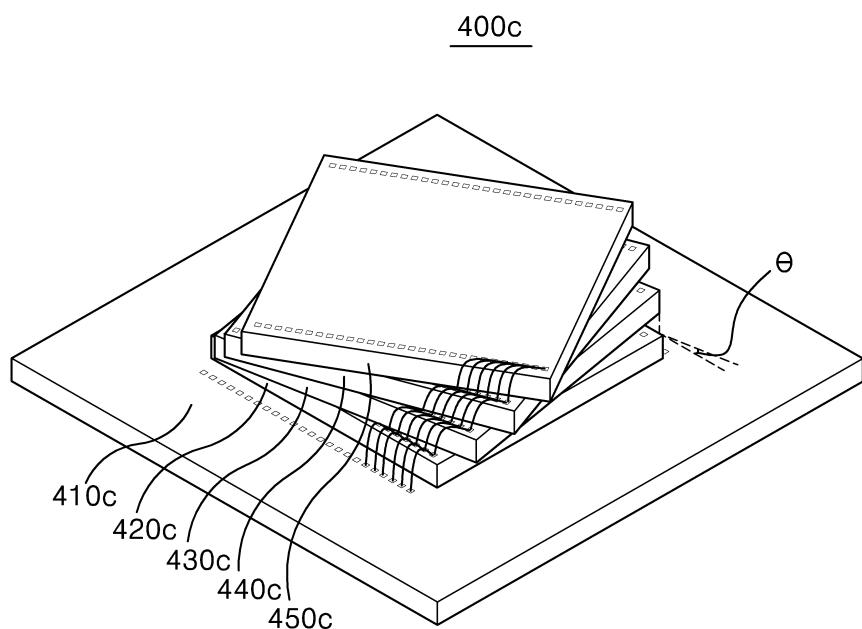
400a



도면9



도면10



도면11

