

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/036770

発行日 平成25年2月14日(2013.2.14)

(43) 国際公開日 平成23年3月31日(2011.3.31)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 29/82 (2006.01)	H01L 29/82	Z 5F064
H03K 19/0944 (2006.01)	H03K 19/094	A 5F092
H03K 3/037 (2006.01)	H03K 3/037	Z 5J043
H01L 21/82 (2006.01)	H01L 21/82	A 5J056
H01L 43/08 (2006.01)	H01L 43/08	Z

審査請求 有 予備審査請求 未請求 (全 22 頁)

出願番号	特願2011-532848 (P2011-532848)	(71) 出願人	000003078
(21) 国際出願番号	PCT/JP2009/066678		株式会社東芝
(22) 国際出願日	平成21年9月25日(2009.9.25)		東京都港区芝浦一丁目1番1号
(81) 指定国	AP (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW	(74) 代理人	100117787 弁理士 勝沼 宏仁
		(74) 代理人	100082991 弁理士 佐藤 泰和
		(74) 代理人	100103263 弁理士 川崎 康
		(74) 代理人	100107582 弁理士 関根 毅
		(74) 代理人	100118843 弁理士 赤岡 明

最終頁に続く

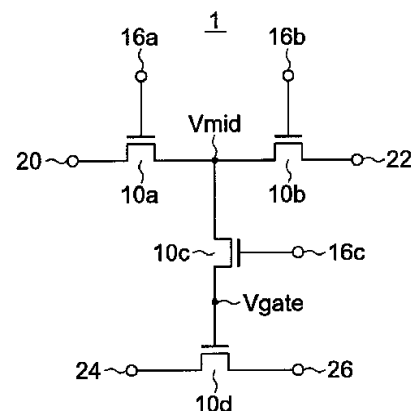
(54) 【発明の名称】 メモリ機能付きパストランジスタ回路およびこのパストランジスタ回路を有するスイッチングボックス回路

(57) 【要約】

〔課題〕 高集積化および低消費電力化が可能なパストランジスタ回路を提供する。

〔解決手段〕 第1の信号線に接続される第1の入出力端子24と、第2の信号線に接続される第2の入出力端子26と、一端が第1の電源に接続される第1の素子10aと、第1の素子の他端に一端が接続され、他端が第2の電源に接続される第2の素子10bと、第1の素子の他端にソースが接続され、ゲートに第1の制御信号を受ける第1のトランジスタ10cと、第1のトランジスタのドレインにゲートが接続され、第1の入出力端子にソースが接続され、第2の入出力端子にドレインが接続された第2のトランジスタ10dと、を備え、第1および第2の素子のうちの少なくとも一方が不揮発性メモリ素子であり、他方がMOSFETである。

【図1】



【特許請求の範囲】**【請求項 1】**

第 1 の信号線に接続される第 1 の入出力端子と、
第 2 の信号線に接続される第 2 の入出力端子と、
一端が第 1 の電源に接続される第 1 の素子と、
前記第 1 の素子の他端に一端が接続され、他端が第 2 の電源に接続される第 2 の素子と

、
前記第 1 の素子の他端にソースが接続され、ゲートに第 1 の制御信号を受ける第 1 のトランジスタと、

前記第 1 のトランジスタのドレインにゲートが接続され、前記第 1 の入出力端子にソースが接続され、前記第 2 の入出力端子にドレインが接続された第 2 のトランジスタと、

を備え、前記第 1 および第 2 の素子のうちの少なくとも一方が不揮発性メモリ素子であり、他方が MOSFET であることを特徴とするパストラジスタ回路。

【請求項 2】

前記不揮発性メモリ素子は、スピン MOSFET であることを特徴とする請求項 1 記載のパストラジスタ回路。

【請求項 3】

前記第 1 の素子は p 型 MOSFET であり、前記第 2 の素子は n 型スピン MOSFET であることを特徴とする請求項 2 記載のパストラジスタ回路。

【請求項 4】

前記第 1 の素子は p 型スピン MOSFET であり、前記第 2 の素子は n 型 MOSFET であることを特徴とする請求項 2 記載のパストラジスタ回路。

【請求項 5】

前記第 1 の素子は p 型スピン MOSFET であり、前記第 2 の素子は n 型スピン MOSFET であることを特徴とする請求項 2 記載のパストラジスタ回路。

【請求項 6】

前記第 1 および第 2 のトランジスタは、n 型 MOSFET であることを特徴とする請求項 3 記載のパストラジスタ回路。

【請求項 7】

前記第 1 および第 2 のトランジスタは、p 型 MOSFET であることを特徴とする請求項 3 記載のパストラジスタ回路。

【請求項 8】

前記第 1 の素子は MTJ 素子であり、前記第 2 の素子は MOSFET であることを特徴とする請求項 1 記載のパストラジスタ回路。

【請求項 9】

請求項 1 記載のパストラジスタ回路と、前記第 1 および第 2 の信号線と、を備えていること特徴とするスイッチングボックス回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、メモリ機能付きパストラジスタ回路およびこのパストラジスタ回路を有するスイッチングボックス回路に関する。

【背景技術】**【0002】**

近年、電子のスピン自由度を利用したスピンエレクトロニクスデバイスの研究開発が盛んに行われている。トンネル磁気抵抗効果 (TMR) を基礎とする研究開発が盛んに行われ、磁気ランダムアクセスメモリ (MRAM) やハードディスクドライブ (HDD) の再生ヘッドなどに応用されるに至っている。さらに、半導体と磁性体とを結合したスピントランジスタが注目されている。

【0003】

10

20

30

40

50

現在の半導体技術を基にしたリコンフィギャラブル論理回路として、FPGA(Field Programmable Gate Array)と呼ばれる集積回路がある。FPGAは、内部のSRAMに情報を蓄え、このメモリに記憶された情報に基づいて、リコンフィギャラブル論理回路の論理と結線とを制御することができる。このように、ソフトウェアで論理を変更できるため、ハードウェアを作製後に回路の修正が可能となる。複雑化する集積回路を短納期で安価に実現する手段として、近年急速に伸びている。

【0004】

FPGAの中で、スイッチングボックス回路が数多く使用されている。スイッチングボックス回路は、4方向から来る信号線の結線方法を記憶させておき、信号線の入力と出力および信号線間の結線と断線を決定する回路である。このスイッチングボックス回路を有する回路は、メモリを書き換えることにより任意の結線方法を実現できる。

10

【0005】

スイッチングボックス回路内ではメモリの出力を、パストランジスタ回路に接続する。パストランジスタ回路はスイッチの役割を果たし、メモリに記憶された情報に基づいて、信号線間の結線と断線を定める(例えば、非特許文献1参照)。

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】Design of Interconnection Networks for Programmable Logic, Guy Lemieux and David Lewis, Kluwer Academic Publishers, ISBN:1-4020-7700-9, Chapter6, pages 101-139

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

半導体のCMOS技術によってスイッチングボックス回路を作製する場合、情報を記憶するメモリとしてSRAMが用いられる。このため、素子数が多くなってしまう。このスイッチボックス回路は、大量のSRAMを使用しているため、動作をしていないときでもリーク電流による消費電力が大きくなってしまう。そのため、高集積化しにくい回路となっている。

【0008】

30

また、スイッチングボックス回路で多くのパストランジスタ回路を使用するため回路規模は非常に大きくなってしまい、高集積化を妨げる要因の一つとなっている。

【0009】

更に、SRAMは電源を切ると情報が失われてしまう揮発性メモリであるため、電源投入をする毎に外部メモリに蓄えていた情報を書き込む必要がある。このため、電源投入時に手間と時間がかかるという課題がある。

【0010】

また、電源切断時に情報を蓄えておくための外部メモリを確保しておく必要があり、外部メモリのために消費電力および容積が必要になるという課題がある。このため、システム全体での高集積化および低消費電力化を妨げる要因の一つとなっている。

40

【0011】

本発明は、上記事情を考慮してなされたものであって、高集積化および低消費電力化が可能なパストランジスタ回路およびスイッチングボックス回路を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明の第1の態様によるパストランジスタ回路は、第1の信号線に接続される第1の入出力端子と、第2の信号線に接続される第2の入出力端子と、一端が第1の電源に接続される第1の素子と、前記第1の素子の他端に一端が接続され、他端が第2の電源に接続される第2の素子と、前記第1の素子の他端にソースが接続され、ゲートに第1の制御信

50

号を受ける第１のトランジスタと、前記第１のトランジスタのドレインにゲートが接続され、前記第１の入出力端子にソースが接続され、前記第２の入出力端子にドレインが接続された第２のトランジスタと、を備え、前記第１および第２の素子のうちの少なくとも一方が不揮発性メモリ素子であり、他方がＭＯＳＦＥＴであることを特徴とする。

【００１３】

また、本発明の第２の態様によるスイッチングボックス回路は、第１の態様によるパストランジスタ回路と、前記第１および第２の信号線と、を備えていること特徴とする。

【発明の効果】

【００１４】

本発明によれば、高集積化および低消費電力化が可能なパストランジスタ回路およびスイッチングボックス回路を提供することができる。

10

【図面の簡単な説明】

【００１５】

【図１】一実施形態のパストランジスタ回路を示す回路図。

【図２】一実施形態のパストランジスタ回路を示す回路図。

【図３】一実施形態のパストランジスタ回路を示す回路図。

【図４】一実施形態のパストランジスタ回路を示す回路図。

【図５】第１実施形態のパストランジスタ回路を示す回路図。

【図６Ａ】第１実施形態のパストランジスタ回路の動作を説明する波形図。

【図６Ｂ】第１実施形態のパストランジスタ回路の動作を説明する波形図。

20

【図７】第２実施形態のパストランジスタ回路を示す回路図。

【図８】第３実施形態のパストランジスタ回路を示す回路図。

【図９】第３実施形態の変形例によるパストランジスタ回路を示す回路図。

【図１０】第４実施形態のパストランジスタ回路を示す回路図。

【図１１】第５実施形態のパストランジスタ回路を示す回路図。

【図１２】第５実施形態の変形例によるパストランジスタ回路を示す回路図。

【図１３】第６実施形態のパストランジスタ回路を示す回路図。

【図１４】一実施形態のスイッチングボックス回路を示す回路図。

【図１５】入出力部の一具体例を示すブロック図。

【図１６】一実施形態のスイッチングブロック回路を示す回路図。

30

【発明を実施するための形態】

【００１６】

以下に、本発明の実施形態を、図面を参照して詳細に説明する。ただし、図面は模式的なものであり、各部分の大きさ、各電圧の高さおよび各時間の長さ、部分間の大きさの比率、電圧間の比率、時間の間隔などは現実のものとは異なる。また、図面の相互間においても、同じ部分を指す場合であっても、互いの寸法や比率が異なって示されている部分もある。

【００１７】

まず、本発明の実施形態を説明する前に、本発明の各実施形態によるメモリ機能付きパストランジスタ回路の概要について説明する。本発明の各実施形態は、不揮発性メモリ素子を備えたメモリ機能付きパストランジスタ回路である。不揮発性メモリ素子としては、スピンＭＯＳＦＥＴまたはＭＴＪ（Magnetic Tunneling Junction）素子が用いられる。スピンＭＯＳＦＥＴは、通常のＭＯＳＦＥＴ構造のソースおよびドレイン電極にそれぞれ強磁性体を具備している。強磁性体の磁化の向きによりスピンＭＯＳＦＥＴの特性が異なり、かつメモリ機能を有している。また、ＭＴＪ素子は、２つの磁性体間にトンネルバリアを挟んだ構造を有しており、２つの磁性体の磁化の向きにより抵抗値が異なり、メモリ機能を有している。このため、スピンＭＯＳＦＥＴまたはＭＴＪ素子を用いると、少ない素子数でメモリ機能付きパストランジスタ回路を構成できる。そして、スピンＭＯＳＦＥＴおよびＭＴＪ素子は、強磁性体を用いてメモリ機能を実現しかつ不揮発性であるため、電源投入する毎にスイッチングボックス回路のメモリへの書き込みをしなくてすむ。そし

40

50

て、このパストラジスタ回路は内部に不揮発性メモリを有しているため、動作していない場合は電源を切断することが可能になり、低消費電力なスイッチングボックス回路を構築できる。

【0018】

スピンMOSFETは、2つの強磁性体の互いの磁化の向きにより、2つの強磁性体間の抵抗値が異なる。このスピンMOSFETにおけるソースおよびドレイン電極の磁性体の磁化の向きは略平行か略反平行のいずれかになっており、2つの強磁性体間の抵抗も低抵抗と高抵抗のいずれかの状態になっている。MTJ素子も同様に、2つの強磁性体の互いの磁化の向きにより、2つの強磁性体間の抵抗値が異なる。2つの強磁性体間の抵抗値において、低抵抗の場合を低抵抗状態、高抵抗の場合を高抵抗状態と呼ぶ。

10

【0019】

本発明の一実施形態によるメモリ機能付きパストラジスタ回路を図1に示す。このパストラジスタ回路1は、4個のトランジスタ10a、10b、10c、10dを備えている。トランジスタ10aおよび10bのうち少なくとも一方がスピンMOSFETとなっている。トランジスタ10aは、ソースが第1電源20に接続され、ゲートが第1端子16aに接続され、ドレインがトランジスタ10bのドレインに接続されている。トランジスタ10bは、ソースが第2電源22に接続され、ゲートが第2端子16bに接続されている。すなわち、トランジスタ10a、10bは直列に接続されている。トランジスタ10cは、ソースがトランジスタ10a、10bのドレインに接続され、ゲートが第3端子16cに接続され、ドレインがトランジスタ10dのゲートに接続されている。トランジスタ10dは、ソースが第1入出力端子24に接続され、ドレインが第2入出力端子26に接続されている。第1乃至第3端子16a、16b、16cにはタイミング信号（制御信号）、電源電圧Vdd、もしくは基準電圧GNDが印加される。

20

【0020】

次に、本発明の一実施形態におけるパストラジスタ回路1を備えたスイッチングボックス回路の一具体例を図14に示す。一般に、スイッチングボックス回路は、4方向からの信号線が合流する領域において、結線と断線を決定する回路である。この具体例のスイッチングボックス回路50は、4本の信号線SL₁、SL₂、SL₃、SL₄の結線と断線を決定するものであって、4個の入出力部60₁～60₄と、4個の接続ノード62₁～62₄と、6個のパストラジスタ回路1₁～1₆とを有している。パストラジスタ回路1₁～1₆は、それぞれ本発明の一実施形態におけるパストラジスタ回路1と同じ構成となっている。

30

【0021】

4本の信号線SL₁、SL₂、SL₃、SL₄は、4方向に1本ずつ配置される構成となっている。図14においては、上方には信号線SL₁が、左方には信号線SL₂が、下方には信号線SL₃が、右方には信号線SL₄が配置される。各信号線SL_i（i=1，・・・4）に入出力部60_iが接続される。各入出力部60_i（i=1，・・・4）に接続ノード62_iが接続される。パストラジスタ回路1₁は、第1および第2入出力端子の一方の入出力端子が接続ノード62₁に接続され、他方の入出力端子が接続ノード62₂に接続される。パストラジスタ回路1₂は、第1および第2入出力端子の一方の入出力端子が接続ノード62₁に接続され、他方の入出力端子が接続ノード62₃に接続される。パストラジスタ回路1₃は、第1および第2入出力端子の一方の入出力端子が接続ノード62₁に接続され、他方の入出力端子が接続ノード62₄に接続される。パストラジスタ回路1₄は、第1および第2入出力端子の一方の入出力端子が接続ノード62₂に接続され、他方の入出力端子が接続ノード62₃に接続される。パストラジスタ回路1₅は、第1および第2入出力端子の一方の入出力端子が接続ノード62₂に接続され、他方の入出力端子が接続ノード62₄に接続される。パストラジスタ回路1₆は、第1および第2入出力端子の一方の入出力端子が接続ノード62₃に接続され、他方の入出力端子が接続ノード62₄に接続される。したがって、任意の一つの信号線は、入出力部、接続ノード、パストラジスタ回路、接続ノード、入出力部を通して他の任意の信号線と

40

50

接続することができる。例えば、信号線 SL_1 は、入出力部 60_1 、接続ノード 62_1 、パストランジスタ回路 1_1 、接続ノード 62_2 、入出力部 60_2 からなるルートを通して信号線 SL_2 と接続される。

【0022】

次に、上記スイッチングボックス回路 50 の入出力部 60 の一具体例を図 15 に示す。この具体例の入出力部 60 は、入力部 $60a$ 、メモリ部 $60b$ 、および出力部 $60c$ を備えている。メモリ部 $60b$ は、図 15 に示すように、1 個の不揮発性記憶素子（スピン MOSFET）と、2 個のトランジスタとからなるパストランジスタ回路を有している。そして、入力部 $60a$ と出力部 $60c$ のいずれか一方だけが導通となるように接続される。

【0023】

したがって、パストランジスタ回路 1 がスイッチングボックス回路 50 に用いられた場合には、第 1 入出力端子 24 は、入出力部を介して、4 方向の内のある一方向における一本の信号線に接続され、第 2 入出力端子 26 は、他の入出力部を介して他の方向における一本の信号線に接続される。すなわち、トランジスタ $10d$ がパストランジスタとなる。このパストランジスタのオンまたはオフ状態に応じて、信号線間の結線と断線が決定される。

【0024】

図 1 に示す本発明の一実施形態において、トランジスタ $10a$ を p 型 MOSFET $10a1$ に置き換え、トランジスタ $10b$ を n 型スピン MOSFET $10B$ に置き換え、トランジスタ $10c$ 、 $10d$ を n 型 MOSFET $10c1$ 、 $10d1$ にそれぞれ置き換えたパストランジスタ回路 1 を図 2 に示す。このパストランジスタ回路 1 においては、第 1 電源 20 に電源電圧 V_{dd} を印加し、第 2 電源 22 に基準電圧 GND を印加する。更に、トランジスタ $10a1$ のゲートに基準電圧 GND が印加され、スピン MOSFET $10B$ のゲートおよびトランジスタ $10c1$ のゲートには制御信号 $ENABLE2$ および $ENABLE1$ がそれぞれ入力される。

【0025】

本発明の一実施形態のパストランジスタ回路 1 には、充電期間と動作期間を持つ。このパストランジスタ回路を論理動作させる前に、充電期間を設けて動作の安定化を行う。そして、動作期間の間に論理動作を行う。

【0026】

次に、本発明の一実施形態のパストランジスタ回路 1 の動作を説明する。本明細書においては、 H レベルは電源電圧 V_{dd} の半分以上の電圧とし、 L レベルは電源電圧 V_{dd} の半分未満の電圧とする。

【0027】

充電期間中の動作

$ENABLE2$ 信号が H レベルに達したときにトランジスタ $10a1$ とスピン MOSFET $10B$ に直列に電流が流れる。トランジスタ $10a1$ とスピン MOSFET $10B$ との間のノードの電圧 V_{mid} は、トランジスタ $10a1$ とスピン MOSFET $10B$ の抵抗値により決まる。また、スピン MOSFET $10B$ の抵抗状態により、電圧 V_{mid} が異なる。トランジスタ $10d1$ のゲート電圧を V_{gate} とする。

【0028】

今、 $ENABLE1$ 信号を H レベルとする。 $ENABLE1$ 信号が H レベルでは、トランジスタ $10d1$ のソースとドレイン間が導通しているため、電圧 V_{mid} と電圧 V_{gate} が略同電圧となる。このとき、第 1 入出力端子 24 もしくは第 2 入出力端子 26 のいずれか、もしくは第 1 入出力端子 24 と第 2 入出力端子 26 の両方の端子を、充電期間の間に L レベルにする。トランジスタ $10d1$ のゲートに充電される電荷量はスピン MOSFET $10B$ の抵抗状態に依存する。

【0029】

スピン MOSFET $10B$ の抵抗状態が高抵抗状態の場合、トランジスタ $10d1$ のゲートに正電荷が充電される。スピン MOSFET $10B$ の抵抗状態が低抵抗状態の場合、

10

20

30

40

50

トランジスタ 10 d 1 のゲートに正電荷が充電されないか、もしくは少ない量の正電荷だけが充電される。第 1 入出力端子 2 4 もしくは第 2 入出力端子 2 6 を、充電が完了して電圧 V_{gate} が略一定電圧になった後に、H レベルにする。その後、ENABLE 1 信号および ENABLE 2 信号をそれぞれ L レベルにする。

【0030】

動作期間中の動作

ENABLE 1 信号が L レベルなので、トランジスタ 10 c 1 は非導通状態となっている。トランジスタ 10 d 1 のゲートに十分な正電荷が充電されていれば、第 1 入出力端子 2 4 と第 2 入出力端子 2 6 は導通状態となり、第 1 入出力端子 2 4 と第 2 入出力端子 2 6 が結線された状態となる。これに対して、トランジスタ 10 d 1 のゲートに十分な正電荷が充電されていなければ、第 1 入出力端子 2 4 と第 2 入出力端子 2 6 は非導通状態となり、第 1 入出力端子 2 4 と第 2 入出力端子 2 6 が断線の状態となる。このように論理動作の直前に充電期間の動作を行う。トランジスタ 10 d 1 のゲートは、トランジスタ 10 c 1 のリーク電流により長い時間が経つと充電される。リーク電流により充電される前に、充電期間の動作を行う。

10

【0031】

本発明の一実施形態では、図 1 に示すトランジスタ 10 a を p 型 MOSFET に置き換え、トランジスタ 10 b を n 型スピン MOSFET 10 B に置き換えた。しかし、図 3 に示す本発明の他の実施形態のようにトランジスタ 10 a を p 型スピン MOSFET 10 A に置き換え、トランジスタ 10 b を n 型 MOSFET 10 b 1 に置き換えてもよい。

20

【0032】

また、上記実施形態では、トランジスタ 10 c およびトランジスタ 10 d を n 型 MOSFET としたが、p 型 MOSFET を用いても構わない。

【0033】

また上記実施形態では、トランジスタ 10 a 1 のゲートに基準電圧 GND、スピン MOSFET 10 B のゲートに ENABLE 2 信号を印加したが、図 4 に示すようにトランジスタ 10 a 1 のゲートに ENABLE 2 の反転信号を入力し、スピン MOSFET 10 B のゲートに電源電圧 V_{dd} を印加しても構わない。

【0034】

また、上記実施形態では、メモリ機能付き素子としてスピン MOSFET を用いたが、MTJ (強磁性トンネル接合) 素子を用いても構わない。この場合は、制御信号が不要となる。

30

【0035】

SRAM を用いた従来のメモリ付きパストラジスタ回路は 7 個の素子 (SRAM が 6 個の素子 + 1 個のパストラジスタ) を使用するのに対し、本発明の一実施形態では 4 個の素子でメモリ機能付きパストラジスタ回路を実現できる。また、SRAM を用いた従来のメモリ付きパストラジスタ回路は、揮発性メモリであるため電源を切断できないが、本発明の一実施形態では論理動作をしていないときは電源を切断できるため、低消費電力のメモリ機能付きパストラジスタ回路が実現できる。

【0036】

40

以上説明したように、本発明の一実施形態によれば、少ない素子数でメモリ機能付きパストラジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストラジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。また、本発明の一実施形態によるメモリ機能付きパストラジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本発明の一実施形態によるメモリ機能付きパストラジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

【0037】

また、上記スイッチングボックス回路を用いて、例えば、図 16 に示すスイッチングブロック回路 80 を構成することができる。このスイッチングブロック回路 80 は、縦方向

50

と横方向に $n(1)$ 本の信号線が配置され、縦方向の信号線と横方向の信号線との交差点に例えば図 14 に示すスイッチングボックス回路 50 を設けた構成となっている。このように構成されたスイッチングブロック回路 80 も低消費電力となる。

【0038】

(第 1 実施形態)

本発明の第 1 実施形態によるメモリ機能付きパストランジスタ回路を図 5 に示す。この実施形態のパストランジスタ回路 1 は、図 1 に示すパストランジスタ回路 1 において、トランジスタ 10a を p 型 MOSFET 10a1 (以下、トランジスタ 10a1 ともいう) に置き換え、トランジスタ 10b を n 型スピนม OSFET 10B (以下、トランジスタ 10B ともいう) に置き換え、トランジスタ 10c を n 型 MOSFET 10c1 (以下、トランジスタ 10c1 ともいう) に置き換え、トランジスタ 10d を n 型 MOSFET 10d1 (以下、トランジスタ 10d1 ともいう) に置き換えた構成となっている。トランジスタ 10a1 のゲートには基準電圧 GND が印加され、トランジスタ 10B のゲートには制御信号 ENABLE2 が入力し、トランジスタ 10c1 のゲートには制御信号 ENABLE1 が入力する。

10

【0039】

次に、本実施形態のパストランジスタ回路 1 の動作について図 6A を参照して説明する。図 6A は、制御信号 ENABLE1、ENABLE2、第 1 および第 2 入出力端子 24、26、および電圧 Vmid、Vgate の波形図である。ここで、電圧 Vmid はトランジスタ 10a1 のドレインと、トランジスタ 10B のドレインの接続ノードの電圧であり、電圧 Vgate はトランジスタ 10d1 のゲートの電圧である。

20

図 6A の電圧 Vmid の波形および電圧 Vgate の波形において、スピนม OSFET 10B が高抵抗状態の場合を実線で示し、低抵抗状態の場合を破線で示す。時刻 t_1 において、ENABLE2 信号を L レベルから H レベルにする。すると、電圧 Vmid は H レベルから、スピนม OSFET 10B の抵抗状態に応じたレベルとなる。スピนม OSFET 10B が高抵抗状態のときは Vdd と GND との間のレベルとなり、スピนม OSFET 10B が低抵抗状態のときは L レベルになる。

【0040】

次に、時刻 t_2 において、ENABLE1 信号を L レベルから H レベルにする。すると、Vmid と Vgate は略同電圧となる。なお、時刻 t_2 は、時刻 t_1 と略同時かもしくは時間 t_1 より後とする。本実施形態のように、まず、ENABLE2 信号を L レベルから H レベルにして、電圧 Vmid を H レベルから、スピนม OSFET 10B の抵抗状態に応じたレベルとし、その後、ENABLE1 信号を L レベルから H レベルにすることが好ましい。

30

【0041】

次に、時刻 t_3 において、第 1 および第 2 入出力端子 24、26 の電圧を H レベルから L レベルにする。なお、図 6A では、時刻 t_3 以前の第 1 入出力端子 24 および第 2 入出力端子 26 の電圧が H レベルとなっているが、L レベルでも構わない。また、第 1 および第 2 入出力端子 24、26 の電圧を L レベルにする時刻 t_3 は、図 6A では時刻 t_2 の後であるが、時刻 t_2 より前でかつ時刻 t_1 の後であっても構わないし、時刻 t_1 の前でも構わない。時刻 t_3 から時刻 t_4 の間に、トランジスタ 10d1 のゲートに電荷が充電、もしくはゲートから電荷が放電される。

40

【0042】

次に、時刻 t_4 において、第 1 および第 2 入出力端子 24、26 の電圧を L レベルから H レベルにする。すると、スピนม OSFET 10B が高抵抗状態のときは電圧 Vgate が上昇し、Vdd よりも大きな値となる。しかし、スピนม OSFET 10B が低抵抗状態のときは電圧 Vgate がほとんど変化しない。これは、スピนม OSFET 10B が高抵抗状態の場合において、電圧 Vgate が、トランジスタ 10c1 のゲート電圧となっている制御信号 ENABLE1 の電圧値からトランジスタ 10c1 の閾値電圧を引いた値より高い、もしくは制御信号 ENABLE1 の電圧値からトランジスタ 10c1 の閾

50

値電圧を引いた値と同程度のため、トランジスタ 10c1 にはほとんど電流が流れない。しかしトランジスタ 10d1 のゲートには正電荷が充電されているため、時刻 t_4 の直後に、電圧 V_{gate} が電源電圧 V_{dd} 以上の高電圧となる。

【0043】

次に、時刻 t_5 において、制御信号 $ENABLE_1$ を H レベルから L レベルにする。すると、電圧 V_{gate} は、その値が少し小さくなる。時刻 t_2 から時刻 t_5 の間は、電圧 V_{mid} 、 V_{gate} がスピン MOSFET 10B の抵抗状態に依存する。なお、時刻 t_5 は、時刻 t_4 より後とする。時刻 t_5 において、電圧 V_{gate} は低くなるが、電圧低下量は非常に小さいため、パストランジスタ 10d1 の動作には影響を与えない。制御信号 $ENABLE_1$ が L レベルになると、トランジスタ 10c1 は非導通状態になり、電圧 V_{mid} が変動しても、電圧 V_{gate} に小さな変動しか与えない。

10

【0044】

次に、時刻 t_6 において、制御信号 $ENABLE_2$ を H レベルから L レベルにする。制御信号 $ENABLE_1$ が L レベルであるため、トランジスタ 10c1 は非導通状態である。トランジスタ 10d1 のゲートに充電された電荷は、トランジスタ 10d1 のゲートに保持される。なお、時刻 t_6 は、時刻 t_5 と略同時、もしくは時刻 t_5 より後とする。

【0045】

上記の動作を充電動作と呼び、上記の動作を行う期間を充電期間と呼ぶ。図 6A では、時刻 t_1 から時刻 t_6 まだが充電期間となる。

【0046】

20

図 6A に示すように、上記の動作の後では、電圧 V_{gate} はスピン MOSFET 10B の高抵抗状態と低抵抗状態で大きな差がある。高抵抗状態では電圧 V_{gate} が非常に高く、低抵抗状態では電圧 V_{gate} が低い。

【0047】

スピン MOSFET 10B が高抵抗状態のときは、トランジスタ 10d1 のゲートに十分な電荷が充電されているため、トランジスタ 10d1 は導通状態となり、第 1 および第 2 入出力端子 24、26 は結線された状態となっている。

【0048】

これに対して、スピン MOSFET 10B が低抵抗状態のときは、トランジスタ 10d1 のゲートに電荷がほとんど充電されていないため、トランジスタ 10d1 は非導通状態となり、第 1 および第 2 入出力端子 24、26 は断線された状態となっている。

30

【0049】

制御信号 $ENABLE_1$ および $ENABLE_2$ が L レベルのときに、本実施形態のメモリ機能付きパストランジスタ回路は論理動作を行う。

【0050】

なお、上記の動作説明では、第 1 および第 2 入出力端子の電圧は、時刻 t_4 以降は、H レベルとなっていたが、図 6B に示すように、時刻 t_4 と時刻 t_5 との間の時刻 t_4' において、L レベルとしてもよいし、時刻 t_5 と時刻 t_6 との間に L レベルとしてもよい。

【0051】

スピン MOSFET 10B が低抵抗状態であった場合に、時間が経つと、トランジスタ 10c1 のリーク電流により、トランジスタ 10d1 のゲートに充電され、電圧 V_{gate} があがる。非常に長い時間が経つと、電圧 V_{gate} はトランジスタ 10d1 の閾値電圧 V_{th} よりも高くなり、誤動作を引き起こす。誤動作を防ぐために、論理動作を行う直前に充電動作を行うか、もしくは一定間隔毎に充電動作を行うことが好ましい。

40

【0052】

一定間隔で充電動作を行う場合の充電間隔 τ_c は、トランジスタ 10d1 のゲートのキャパシタンス成分 C_g と、トランジスタ 10c1 が非導通状態のときのトランジスタ 10c1 のソースとドレイン間の抵抗 R_{off} で決まる。一定間隔で充電動作を行う場合の充電間隔 τ_c は、 $\tau_c = C_g \times R_{off} / 2$ より短いことが必要となる。本実施形態では、 $\tau_c = 10 \mu s$ とした。

50

【 0 0 5 3 】

スピノ MOS FET 1 0 B は不揮発性メモリであるため、本実施形態のメモリ機能付きパストランジスタ回路が論理動作していないときにはメモリ機能付きパストランジスタ回路の電源を切断する。

【 0 0 5 4 】

S R A M を用いた従来のメモリ付きパストランジスタ回路は 7 個の素子を使用するのに対し、本実施形態では 4 個の素子でメモリ機能付きパストランジスタ回路を実現できる。また、S R A M を用いた従来のメモリ付きパストランジスタ回路は、揮発性メモリであるため電源を切断できないが、本実施形態では論理動作をしていないときは電源を切断できるため、低消費電力のメモリ機能付きパストランジスタ回路を実現することができる。

10

【 0 0 5 5 】

以上説明したように、本実施形態によれば、少ない素子数でメモリ機能付きパストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

【 0 0 5 6 】

また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

20

【 0 0 5 7 】

(第 2 実施形態)

次に、本発明の第 2 実施形態によるパストランジスタ回路を図 7 に示す。この実施形態のパストランジスタ回路は、図 5 に示す第 1 実施形態において、トランジスタ 1 0 a 1 のゲートに制御信号 E N A B L E 2 の反転制御信号 E N A B L E 2 - I N V を入力し、スピノ MOS FET 1 0 B のゲートに電源電圧 V d d を印加した構成となっている。

【 0 0 5 8 】

このように構成された本実施形態のパストランジスタ回路において、第 1 実施形態と同様に、充電動作を行った後に、論理動作を行う。

【 0 0 5 9 】

30

本実施形態も第 1 実施形態と同様に、低消費電力のメモリ機能付きパストランジスタ回路を実現することができる。

【 0 0 6 0 】

また、少ない素子数でメモリ機能付きパストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

【 0 0 6 1 】

また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

40

【 0 0 6 2 】

(第 3 実施形態)

次に、本発明の第 3 実施形態によるパストランジスタ回路を図 8 に示す。この実施形態のパストランジスタ回路は、図 5 に示す第 1 実施形態において、トランジスタ 1 0 a 1 を p 型スピノ MOS FET 1 0 A に置き換え、スピノ MOS FET 1 0 B を n 型 MOS FET 1 0 b 1 (以下、トランジスタ 1 0 b 1 と もいう) に置き換えた構成となっている。そして、スピノ MOS FET 1 0 A のゲートに基準電圧 G N D が印加され、トランジスタ 1 0 b 1 のゲートに制御信号 E N A B L E 2 が入力される。

【 0 0 6 3 】

50

このように構成された本実施形態のバストランジスタ回路において、第1実施形態と同様に、充電動作を行った後に、論理動作を行う。なお、本実施形態においては、第1実施形態と異なり、p型スピノMOSFET10Aが高抵抗状態の場合に、トランジスタ10d1は非導通状態となり、p型スピノMOSFET10Aが低抵抗状態の場合に、トランジスタ10d1は導通状態となる。

【0064】

本実施形態も第1実施形態と同様に、低消費電力のメモリ機能付きバストランジスタ回路を実現することができる。

【0065】

また、少ない素子数でメモリ機能付きバストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きバストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

10

【0066】

また、本実施形態によるメモリ機能付きバストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きバストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

【0067】

なお、本実施形態において、図9に示すように、p型スピノMOSFET10Aのゲートに制御信号ENABLE2-INV信号を入力し、トランジスタ10b1のゲートに電源電圧Vddを印加してもかまわない。この図9に示す、本実施形態の変形例によるバストランジスタ回路も、本実施形態と同様の効果を得ることができる。

20

【0068】

(第4実施形態)

次に、本発明の第4実施形態によるバストランジスタ回路を図10に示す。この実施形態のバストランジスタ回路は、図5に示す第1実施形態において、n型MOSFET10c1、10d1をp型MOSFET10c2、10d2にそれぞれ置き換え、p型MOSFET10c2のゲートに制御信号ENABLE1の反転信号ENABLE1-INVを入力した構成となっている。

【0069】

本実施形態のバストランジスタ回路は、第1実施形態と同様に、充電動作を行った後に、論理動作を行う。なお、本実施形態においては、n型スピノMOSFET10Bが高抵抗状態の場合に、p型MOSFET10d2は非導通状態となり、n型スピノMOSFET10Bが低抵抗状態の場合に、p型MOSFET10d2は導通状態となる。

30

【0070】

なお、第4実施形態の変形例として、図7、図8、図9に示すバストランジスタ回路において、n型MOSFET10c1、10d1を、それぞれp型MOSFETに置き換え、ENABLE1信号をENABLE1-INV信号に置き換えた構成としてもよい。

【0071】

本実施形態およびその変形例も、第1実施形態と同様に、低消費電力のメモリ機能付きバストランジスタ回路を実現することができる。

40

【0072】

また、少ない素子数でメモリ機能付きバストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きバストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

【0073】

また、本実施形態によるメモリ機能付きバストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きバストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

50

【 0 0 7 4 】

(第 5 実施形態)

次に、本発明の第 5 実施形態によるパストランジスタ回路を図 1 1 に示す。この実施形態のパストランジスタ回路は、図 5 に示す第 1 実施形態において、スピン MOS F E T 1 0 B を M T J (強磁性トンネル接合) 素子 1 0 B 1 に置き換え、トランジスタ 1 0 a 1 のゲートに制御信号 E N A B L E 2 - I N V を入力した構成となっている。M T J 素子 1 0 B 1 はトランジスタ 1 0 a 1 と直列に接続される。M T J 素子 1 0 B 1 は高抵抗状態および低抵抗状態を持ち、抵抗状態は不揮発性である。

【 0 0 7 5 】

本実施形態は第 1 実施形態と同様に、充電動作を行った後に、論理動作を行う。本実施形態においては、M T J 素子 1 0 B 1 が高抵抗状態の場合に、トランジスタ 1 0 d 1 は導通状態となり、M T J 素子 1 0 B 1 が低抵抗状態の場合に、トランジスタ 1 0 d 1 は非導通状態となる。

10

【 0 0 7 6 】

なお、第 5 実施形態の変形例として、図 1 2 に示すように、トランジスタ 1 0 a 1 を M T J 素子 1 0 A 1 に置き換えるとともに M T J 素子 1 0 B 1 を n 型 MOS F E T 1 0 b 1 に置き換え、トランジスタ 1 0 b 1 のゲートに制御信号 E N A B L E 2 を入力するように、構成してもよい。

また、第 1 乃至第 4 実施形態およびそれらの変形例において、スピン MOS F E T を、M T J 素子に置き換えてもよい。

20

【 0 0 7 7 】

本実施形態も、第 1 実施形態と同様に、低消費電力のメモリ機能付きパストランジスタ回路を実現することができる。

【 0 0 7 8 】

また、少ない素子数でメモリ機能付きパストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

【 0 0 7 9 】

また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

30

【 0 0 8 0 】

(第 6 実施形態)

次に、本発明の第 6 実施形態によるパストランジスタ回路を図 1 3 に示す。この実施形態のパストランジスタ回路は、図 5 に示す第 1 実施形態において、p 型 MOS F E T 1 0 a 1 を p 型のスピン MOS F E T 1 0 A に置き換えた構成となっている。すなわち、直列に 2 個のスピン MOS F E T 1 0 A 、 1 0 B が接続された構成となっている。

【 0 0 8 1 】

そして、本実施形態においては、2 つのスピン MOS F E T 1 0 A 、 1 0 B のうちの一方のスピン MOS F E T の磁化状態を反平行とし、他方のスピン MOS F E T の磁化状態を平行状態とする。このように、直列に接続された 2 つのスピン MOS F E T 1 0 A 、 1 0 B の磁化状態を相補的にしておくことで、大きな抵抗変化が得られるため、安定に回路動作することができる。

40

【 0 0 8 2 】

本実施形態も 本実施形態は第 1 実施形態と同様に、充電動作を行った後に、論理動作を行う。

【 0 0 8 3 】

本実施形態も、第 1 実施形態と同様に、低消費電力のメモリ機能付きパストランジスタ回路を実現することができる。

50

【 0 0 8 4 】

更に、少ない素子数でメモリ機能付きパストランジスタ回路を実現することができる。
これにより、小面積のメモリ機能付きパストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

【 0 0 8 5 】

また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

【 0 0 8 6 】

なお、本実施形態では、スピンMOSFET 10Aのゲートに基準電圧GNDを印加し、スピンMOSFET 10Bのゲートに制御信号ENABLE 2を入力したが、スピンMOSFET 10Aのゲートに制御信号ENABLE - INVを入力し、スピンMOSFET 10Bのゲートに電源電圧Vddを印加してもよい。

【 0 0 8 7 】

また、本実施形態では、トランジスタ10c1、10d1にn型MOSFETを用いたが、トランジスタ10c1、10d1にp型MOSFETを用いてもよい。

【 符号の説明 】

【 0 0 8 8 】

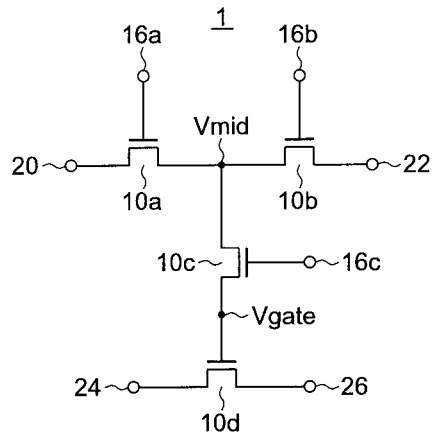
10a トランジスタ
10a1 p型MOSFET
10A p型スピンMOSFET
10A1 MTJ素子
10b トランジスタ
10b1 n型MOSFET
10B n型スピンMOSFET
10B1 MTJ素子
10c トランジスタ
10c1 n型MOSFET
10c2 p型MOSFET
10d トランジスタ（パストランジスタ）
10d1 n型MOSFET
10d2 p型MOSFET
20 第1電源
22 第2電源
24 第1入出力端子
26 第2入出力端子

10

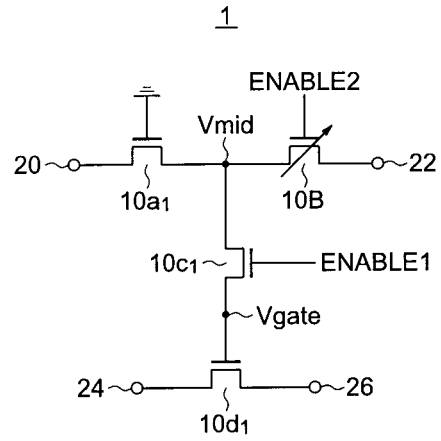
20

30

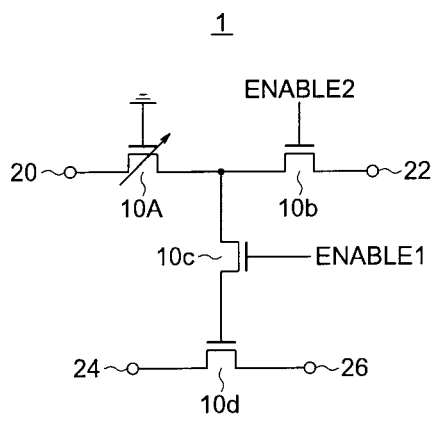
【図 1】



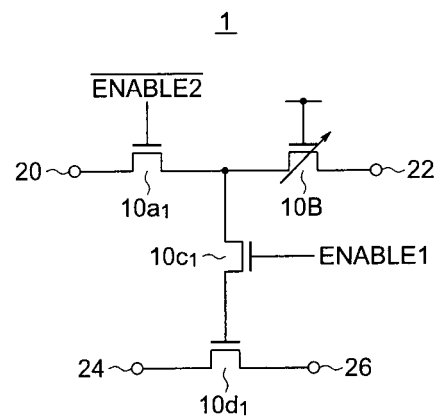
【図 2】



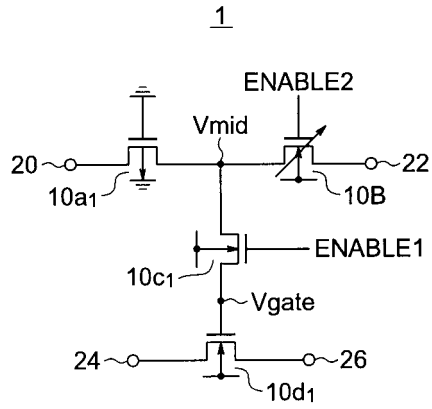
【図 3】



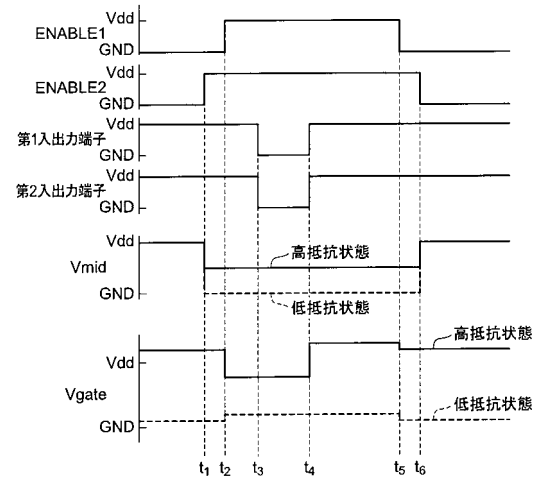
【図 4】



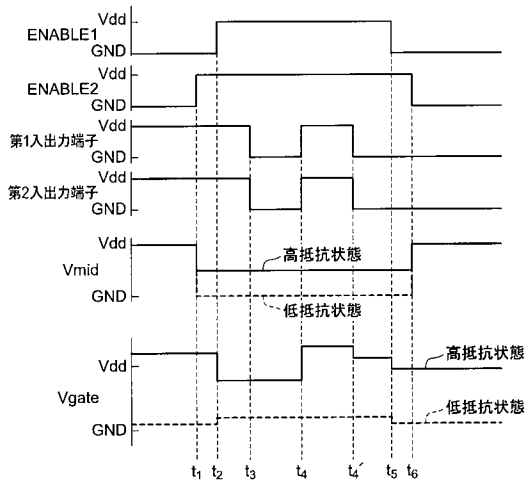
【 図 5 】



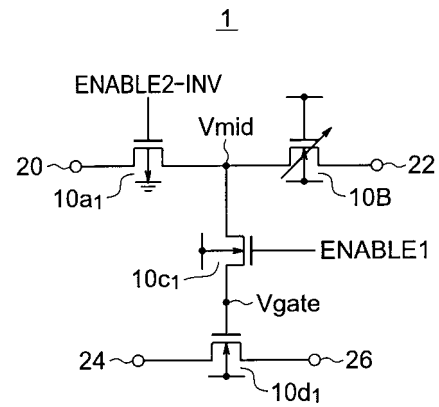
【 図 6 A 】



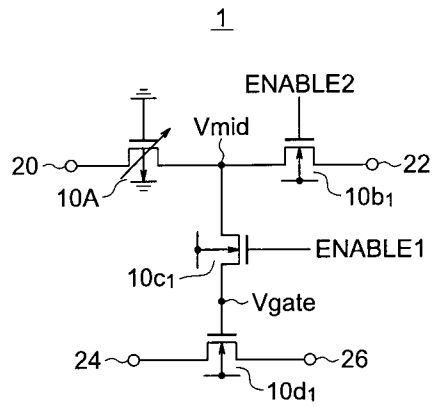
【 図 6 B 】



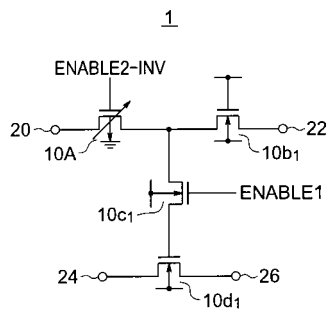
【 図 7 】



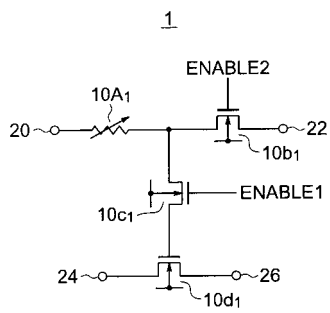
【図 8】



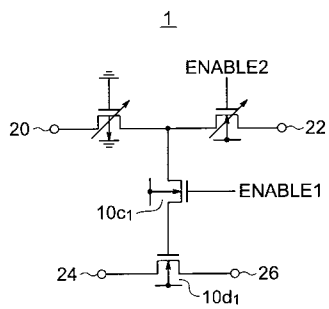
【図 9】



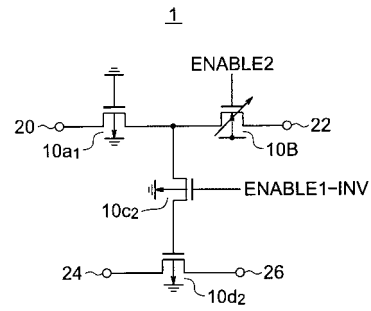
【図 1 2】



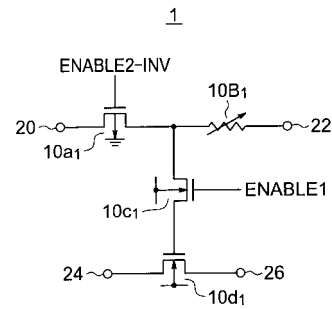
【図 1 3】



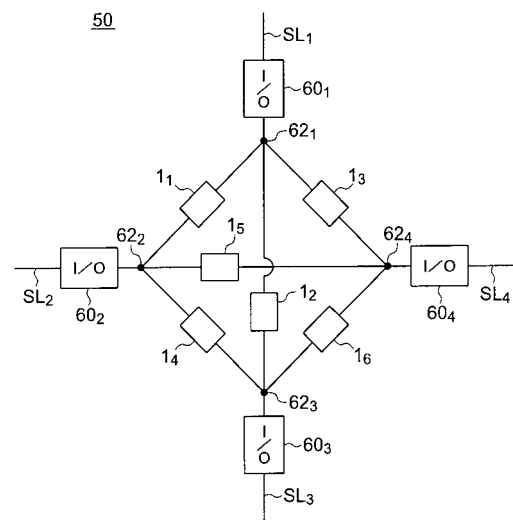
【図 1 0】



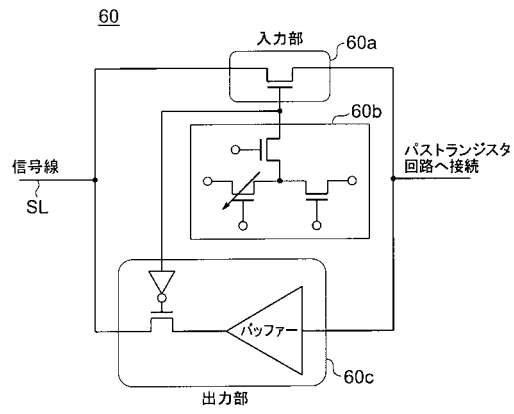
【図 1 1】



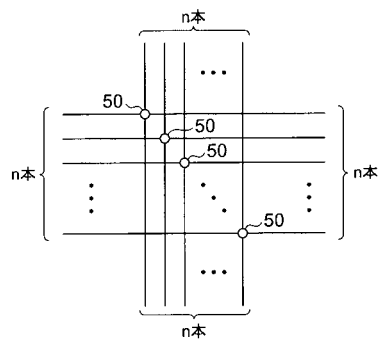
【図 1 4】



【図 15】



【図 16】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066678

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/82(2006.01)i, H01L21/8234(2006.01)i, H01L21/8246(2006.01)i,
H01L27/088(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/82, H01L21/8234, H01L21/8246, H01L27/088, H01L27/105, H01L43/08,
H03K19/173, H01L29/786, H01L29/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009
Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-509460 A (Actel Corp.), 05 March 2009 (05.03.2009), entire text & US 2007/0064484 A1 & EP 1927112 A & WO 2007/037823 A1	1-9
Y	JP 2006-339235 A (Renesas Technology Corp.), 14 December 2006 (14.12.2006), paragraphs [0002], [0046]; fig. 14 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered
to be of particular relevance

"E" earlier application or patent but published on or after the international
filing date

"L" document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than
the priority date claimed

"T" later document published after the international filing date or priority
date and not in conflict with the application but cited to understand
the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive
step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such combination
being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 December, 2009 (10.12.09)

Date of mailing of the international search report
22 December, 2009 (22.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066678

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-135533 A (Japan Science and Technology Agency), 18 June 2009 (18.06.2009), paragraphs [0002] to [0006], [0011], [0098] to [0100]; fig. 11, 17 & US 2008/0061336 A1 & EP 1555694 A1 & WO 2004/012272 A1	2-8
Y	JP 2009-124175 A (NEC Corp.), 04 June 2009 (04.06.2009), paragraphs [0003], [0082] to [0086]; fig. 19 & US 2005/0045919 A1	9
A	JP 2009-059807 A (Fujitsu Ltd.), 19 March 2009 (19.03.2009), entire text (Family: none)	1-9

国際調査報告		国際出願番号 PCT/JP2009/066678	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L29/82(2006.01)i, H01L21/8234(2006.01)i, H01L21/8246(2006.01)i, H01L27/088(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L29/82, H01L21/8234, H01L21/8246, H01L27/088, H01L27/105, H01L43/08, H03K19/173, H01L29/786, H01L29/66			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2009年 日本国実用新案登録公報 1996-2009年 日本国登録実用新案公報 1994-2009年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2009-509460 A（アクテル・コーポレーション）2009.03.05, 全文 & US 2007/0064484 A1 & EP 1927112 A & WO 2007/037823 A1	1-9	
Y	JP 2006-339235 A（株式会社ルネサステクノロジ）2006.12.14, 段落【0002】、【0046】、図14（ファミリーなし）	1-9	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 10.12.2009		国際調査報告の発送日 22.12.2009	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 川村 裕二	4M 3349 電話番号 03-3581-1101 内線 3462

国際調査報告		国際出願番号 PCT/J P 2 0 0 9 / 0 6 6 6 7 8
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-135533 A (独立行政法人科学技術振興機構) 2009.06.18, 段落【0002】－【0006】、【0011】、【0098】－【0100】、図11、17 & US 2008/0061336 A1 & EP 1555694 A1 & WO 2004/012272 A1	2-8
Y	JP 2009-124175 A (日本電気株式会社) 2009.06.04, 段落【0003】、【0082】－【0086】、図19 & US 2005/0045919 A1	9
A	JP 2009-059807 A (富士通株式会社) 2009.03.19, 全文 (ファミリーなし)	1-9

フロントページの続き

(出願人による申告)平成21年度 独立行政法人新エネルギー・産業技術総合開発機構「ナノテクノロジープログラム/ナノテク・先端部材実用化研究開発/高スピン偏極率材料を用いた スピンMOSFETの研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(72)発明者 杉 山 英 行
東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内

(72)発明者 棚 本 哲 史
東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内

(72)発明者 丸 亀 孝 生
東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内

(72)発明者 石 川 瑞 恵
東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内

(72)発明者 井 口 智 明
東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内

(72)発明者 斉 藤 好 昭
東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内

Fターム(参考) 5F064 AA08 BB12 BB37 CC09 FF04 FF36 FF46
5F092 AB10 AC24
5J043 AA03 AA05 HH01 JJ10
5J056 AA00 BB17 BB57 DD13 DD39 KK01

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。