

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6629509号
(P6629509)

(45) 発行日 令和2年1月15日 (2020.1.15)

(24) 登録日 令和1年12月13日 (2019.12.13)

(51) Int. Cl.	F I
C 3 0 B 29/22 (2006.01)	C 3 0 B 29/22 Z
C 2 3 C 14/08 (2006.01)	C 2 3 C 14/08 K
C 3 0 B 23/08 (2006.01)	C 3 0 B 23/08
H 0 1 L 21/20 (2006.01)	H 0 1 L 21/20
H 0 1 L 21/265 (2006.01)	H 0 1 L 21/265 F
請求項の数 12 (全 140 頁) 最終頁に続く	

(21) 出願番号	特願2015-28756 (P2015-28756)	(73) 特許権者	000153878
(22) 出願日	平成27年2月17日 (2015.2.17)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2016-74580 (P2016-74580A)		神奈川県厚木市長谷398番地
(43) 公開日	平成28年5月12日 (2016.5.12)	(72) 発明者	下村 明久
審査請求日	平成29年6月7日 (2017.6.7)		神奈川県厚木市長谷398番地 株式会社
審判番号	不服2018-13898 (P2018-13898/J1)		半導体エネルギー研究所内
審判請求日	平成30年10月19日 (2018.10.19)	(72) 発明者	山根 靖正
(31) 優先権主張番号	特願2014-32192 (P2014-32192)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成26年2月21日 (2014.2.21)		半導体エネルギー研究所内
(33) 優先権主張国・地域又は機関	日本国 (JP)	(72) 発明者	佐藤 裕平
(31) 優先権主張番号	特願2014-98071 (P2014-98071)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成26年5月9日 (2014.5.9)		半導体エネルギー研究所内
(33) 優先権主張国・地域又は機関	日本国 (JP)	(72) 発明者	石山 貴久
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 酸化物半導体膜

(57) 【特許請求の範囲】

【請求項1】

インジウム、ガリウム、及び亜鉛を有し、かつスピネル型の結晶構造を有さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1nmである電子線をスキャンすると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、c軸配向領域を示し、

前記第2の電子回折パターンは、微結晶領域を示し、

前記第1の電子回折パターンを示す領域の割合が90%以上である、酸化物半導体膜。

【請求項2】

インジウム、ガリウム、及び亜鉛を有し、かつスピネル型の結晶構造を有さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1nmである電子線をスキャンすると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、複数のスポットが観察されるものであり、

前記第2の電子回折パターンは、リング状に輝度の高い領域があり、前記リング状の領域に複数のスポットが観察され、

前記第1の電子回折パターンを示す領域の割合が90%以上である、酸化物半導体膜。

【請求項3】

インジウム、ガリウム、及び亜鉛を有し、かつスピネル型の結晶構造を有さない、非単

10

20

結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1 nmである電子線をスキャンすると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、c軸配向領域を示し、

前記第2の電子回折パターンは、微結晶領域を示し、

前記第1の電子回折パターンを示す領域の割合が95%以上である、酸化物半導体膜。

【請求項4】

インジウム、ガリウム、及び亜鉛を有し、かつスピネル型の結晶構造を有さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1 nmである電子線をスキャンすると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、複数のスポットが観察されるものであり、

前記第2の電子回折パターンは、リング状に輝度の高い領域があり、前記リング状の領域に複数のスポットが観察され、

前記第1の電子回折パターンを示す領域の割合が95%以上である、酸化物半導体膜。

【請求項5】

インジウム、ガリウム、及び亜鉛を有し、かつスピネル型の結晶構造を有さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1 nmである電子線をスキャンすると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、c軸配向領域を示し、

前記第2の電子回折パターンは、微結晶領域を示し、

前記第1の電子回折パターンを示す領域の割合が97%以上である、酸化物半導体膜。

【請求項6】

インジウム、ガリウム、及び亜鉛を有し、かつスピネル型の結晶構造を有さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1 nmである電子線をスキャンすると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、複数のスポットが観察されるものであり、

前記第2の電子回折パターンは、リング状に輝度の高い領域があり、前記リング状の領域に複数のスポットが観察され、

前記第1の電子回折パターンを示す領域の割合が97%以上である、酸化物半導体膜。

【請求項7】

インジウム、ガリウム、及び亜鉛を有し、かつout-plane法によるX線回折で $2\theta = 36^\circ$ のピークを示さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1 nmである電子線をスキャンすると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、c軸配向領域を示し、

前記第2の電子回折パターンは、微結晶領域を示し、

前記第1の電子回折パターンを示す領域の割合が90%以上である、酸化物半導体膜。

【請求項8】

インジウム、ガリウム、及び亜鉛を有し、かつout-plane法によるX線回折で $2\theta = 36^\circ$ のピークを示さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1 nmである電子線をスキャンすると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、複数のスポットが観察されるものであり、

前記第2の電子回折パターンは、リング状に輝度の高い領域があり、前記リング状の領域に複数のスポットが観察され、

前記第1の電子回折パターンを示す領域の割合が90%以上である、酸化物半導体膜。

【請求項9】

10

20

30

40

50

インジウム、ガリウム、及び亜鉛を有し、かつout-plane法によるX線回折で
 $2\theta = 36^\circ$ のピークを示さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1nmである電子線をスキャンす
ると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、c軸配向領域を示し、

前記第2の電子回折パターンは、微結晶領域を示し、

前記第1の電子回折パターンを示す領域の割合が95%以上である、酸化物半導体膜。

【請求項10】

インジウム、ガリウム、及び亜鉛を有し、かつout-plane法によるX線回折で
 $2\theta = 36^\circ$ のピークを示さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1nmである電子線をスキャンす
ると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、複数のスポットが観察されるものであり、

前記第2の電子回折パターンは、リング状に輝度の高い領域があり、前記リング状の領
域に複数のスポットが観察され、

前記第1の電子回折パターンを示す領域の割合が95%以上である、酸化物半導体膜。

【請求項11】

インジウム、ガリウム、及び亜鉛を有し、かつout-plane法によるX線回折で
 $2\theta = 36^\circ$ のピークを示さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1nmである電子線をスキャンす
ると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、c軸配向領域を示し、

前記第2の電子回折パターンは、微結晶領域を示し、

前記第1の電子回折パターンを示す領域の割合が97%以上である、酸化物半導体膜。

【請求項12】

インジウム、ガリウム、及び亜鉛を有し、かつout-plane法によるX線回折で
 $2\theta = 36^\circ$ のピークを示さない、非単結晶でなる酸化物半導体膜であって、

前記酸化物半導体膜に対して、プローブ径の半値幅が1nmである電子線をスキャンす
ると、第1の電子回折パターン及び第2の電子回折パターンが得られ、

前記第1の電子回折パターンは、複数のスポットが観察されるものであり、

前記第2の電子回折パターンは、リング状に輝度の高い領域があり、前記リング状の領
域に複数のスポットが観察され、

前記第1の電子回折パターンを示す領域の割合が97%以上である、酸化物半導体膜。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。

【0002】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は、半導体装置の一態様である。また、演算装置、記憶装置、撮像装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は半導体装置を有している場合がある。

【背景技術】

【0003】

非特許文献1では、 $\text{In}_{1-x}\text{Ga}_{1+x}\text{O}_3$ (ZnO)_m (x は $-1 \leq x \leq 1$ を満たす数、 m は自然数)で表されるホモロガス相が存在することが述べられている。また、ホモロガス相の固溶域（solid solution range）について述べられて

10

20

30

40

50

いる。例えば、 $m=1$ の場合のホモロガス相の固溶域は、 x が -0.33 から 0.08 の範囲であることが述べられており、 $m=2$ の場合のホモロガス相の固溶域は、 x が -0.68 から 0.32 の範囲であることが述べられている。

【0004】

また、スピネル型の結晶構造を有する化合物として、 AB_2O_4 （ A 及び B は金属元素）で表される化合物が知られている。また非特許文献1では $In_xZn_yGa_zO_w$ の例が示されており、 x 、 y 及び z が $ZnGa_2O_4$ 近傍の組成、つまり x 、 y 及び z が $(x, y, z) = (0, 1, 2)$ に近い値を有する場合には、スピネル型の結晶構造が形成、あるいは混在しやすいことが記載されている。

【0005】

10

また、半導体材料を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0006】

例えば、酸化物半導体として酸化亜鉛、または $In-Ga-Zn$ 酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1及び特許文献2参照）。

【0007】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトランジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。

20

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【非特許文献】

【0009】

【非特許文献1】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the $In_2O_3-Ga_2ZnO_4-ZnO$ System at $1350^\circ C$ 」、J. Solid State Chem.、1991、Vol. 93, pp. 298-315

30

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明の一態様は、半導体装置に良好な電気特性を付与することを課題の一とする。または、信頼性の高い半導体装置を提供することを課題の一とする。

【0011】

または、特性のばらつきの少ない良好なトランジスタを提供することを課題の一とする。または、保持特性の良好な記憶素子を有する半導体装置を提供することを課題の一とする。または、微細化に適した半導体装置を提供することを課題の一とする。または、回路面積を縮小した半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

40

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0013】

本発明の一態様は、プローブ径の半値幅が 1 nm である電子線を用いて、酸化物半導体

50

膜の被形成面に対して、酸化物半導体膜の位置と電子線の位置とを相対的に移動させながら照射し、複数の電子回折パターンを観測した場合において、複数の電子回折パターンは、互いに異なる箇所で観測された50個以上の電子回折パターンを有し、複数の電子回折パターンは、回折パターンの向きが一樣ではなく、第1の電子回折パターンを有する割合は、90%以上であり、第1の電子回折パターンは、c軸が酸化物半導体膜の被形成面に概略垂直な方向を向いていることを示す観測点を有することを特徴とする酸化物半導体膜である。

【0014】

または、本発明の一態様は、プローブ径の半値幅が1nmである電子線を用いて、酸化物半導体膜の被形成面に対して、酸化物半導体膜の位置と電子線の位置とを相対的に移動させながら照射し、複数の電子回折パターンを観測した場合において、複数の電子回折パターンは、互いに異なる箇所で観測された50個以上の電子回折パターンを有し、複数の電子回折パターンは、回折パターンの向きが一樣ではなく、50個以上の電子回折パターンのうち、第1の電子回折パターンを有する割合と、第2の電子回折パターンを有する割合の和が、100%であり、第1の電子回折パターンを有する割合は、90%以上であり、第1の電子回折パターンは、c軸が酸化物半導体膜の被形成面に概略垂直な方向を向いていることを示す観測点を有し、第2の電子回折パターンは、対称性を有さない観測点、または円を描くように（リング状に）配置された観測領域を有する酸化物半導体膜である。

10

【0015】

または、本発明の一態様は、プローブ径の半値幅が1nmである電子線を用いて、酸化物半導体膜の被形成面に対して、酸化物半導体膜の位置と電子線の位置とを相対的に移動させながら照射し、複数の電子回折パターンを観測した場合において、複数の電子回折パターンは、互いに異なる箇所で観測された50個以上の電子回折パターンのうち、第1の電子回折パターンを有する割合は、100%であり、第1の電子回折パターンはc軸が酸化物半導体膜の被形成面に概略垂直な方向を向いていることを示す観測点を有し、複数の電子回折パターンは、回折パターンの向きが一樣ではない酸化物半導体膜である。

20

【0016】

また、上記構成において、第2の電子回折パターンが観測される領域は、ナノ結晶を有する酸化物半導体膜であることが好ましい。

30

【0017】

または、本発明の一態様は、Inと、Mで表される元素と、Znと、を有する酸化物半導体膜であって、Mで表される元素は、アルミニウム、ガリウム、イットリウム、スズから少なくとも一つ選ばれ、In、M及びZnの原子数比は、 $In:M:Zn = x:y:z$ を満たし、x、y及びzはIn、元素M及びZnの3つの元素を頂点とした平衡状態図において、第1の座標($x:y:z = 2:2:1$)と、第2の座標($x:y:z = 23:27:25$)と、第3の座標($x:y:z = 8:12:35$)と、第4の座標($x:y:z = 4:0:7$)と、第5の座標($x:y:z = 2:0:3$)と、第6の座標($x:y:z = 7:1:8$)と、第7の座標($x:y:z = 15:5:8$)とを、第1の座標乃至第7の座標、前記第1の座標、の順番に線分で結んだ範囲内の原子数比を有する酸化物半導体膜である。

40

【0018】

また、上記構成において、酸化物半導体膜は、In、Mで表される元素及びZnを有するターゲットを用いてスパッタリング法により形成され、Mで表される元素は、アルミニウム、ガリウム、イットリウム、スズから少なくとも一つ選ばれ、ターゲットが有するIn、M及びZnの原子数比は $In:M:Zn = a:b:c$ を満たし、a、b及びcはIn、元素M及びZnの3つの元素を頂点とした平衡状態図において、第1の座標($a:b:c = 2:2:1$)と、第2の座標($a:b:c = 23:27:25$)と、第3の座標($a:b:c = 1:2:9$)と、第4の座標($a:b:c = 1:0:3$)と、第5の座標($a:b:c = 2:0:3$)と、第6の座標($a:b:c = 7:1:8$)と、第7の座標(a

50

： $b : c = 10 : 4 : 7$ ）とを、第1の座標乃至第7の座標、前記第1の座標、の順番に線分で結んだ範囲内の原子数比を有することが好ましい。

【0019】

または、本発明の一態様は、In、Ga及びZnを有する酸化物半導体膜であり、In、Ga及びZnの原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = x : y : z$ を満たし、 x 、 y 及び z はIn、Ga及びZnの3つの元素を頂点とした平衡状態図において、第1の座標（ $x : y : z = 2 : 2 : 1$ ）と、第2の座標（ $x : y : z = 23 : 27 : 25$ ）と、第3の座標（ $x : y : z = 8 : 12 : 35$ ）と、第4の座標（ $x : y : z = 4 : 0 : 7$ ）と、第5の座標（ $x : y : z = 2 : 0 : 3$ ）と、第6の座標（ $x : y : z = 7 : 1 : 8$ ）と、第7の座標（ $x : y : z = 15 : 5 : 8$ ）とを、第1の座標乃至第7の座標、前記第1の座標、の順番に線分で結んだ範囲内の原子数比を有する酸化物半導体膜である。

10

【0020】

または、本発明の一態様は、上記に記載の酸化物半導体膜を有する半導体装置である。

【0021】

または、本発明の一態様は、上記に記載の酸化物半導体膜をチャネル領域に有するトランジスタである。

【0022】

また、上記構成において、第2の酸化物膜及び第3の酸化物膜を有し、酸化物半導体膜は、第2の酸化物膜の上面と接し、第3の酸化物膜は、酸化物半導体膜の上面と接することが好ましい。また、上記構成において、第3の酸化物膜は、第2の酸化物膜の側面、酸化物半導体膜の側面及び上面と接することが好ましい。また、上記構成において、酸化物半導体膜が有する酸化物の電子親和力は、第2の酸化物膜が有する酸化物及び第3の酸化物膜が有する酸化物の電子親和力よりも大きいことが好ましい。

20

【0023】

または、本発明の一態様は、第1の酸化物膜と、第1の酸化物膜に接する第2の酸化物膜と、を有する半導体装置であり、第1の酸化物膜はインジウム、元素M、及び亜鉛を有し、第1の酸化物膜が有するインジウム、元素M、及び亜鉛の原子数比はインジウム：元素M：亜鉛 $= x_a : y_a : z_a$ を満たし、 x_a 、 y_a 、 z_a 及び α は、 $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 1$ かつ $-0.33 \leq \alpha \leq +0.08$ 、または $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 2$ かつ $-0.68 \leq \alpha \leq +0.32$ 、または $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 3$ かつ $-1 \leq \alpha \leq +0.46$ 、または $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 4$ かつ $-1 \leq \alpha \leq +0.54$ 、または $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 5$ かつ $-1 \leq \alpha \leq +0.72$ のいずれか一を満たす半導体装置である。

30

【0024】

または、本発明の一態様は、第1の酸化物膜と、第1の酸化物膜に接する第2の酸化物膜と、を有する半導体装置であり、第1の酸化物膜はインジウム、元素M、及び亜鉛を有し、第1の酸化物膜が有するインジウム、元素M、及び亜鉛の原子数比はインジウム：元素M：亜鉛 $= x_a : y_a : z_a$ を満たし、第2の酸化物膜はインジウム、元素M、及び亜鉛を有し、第2の酸化物膜が有するインジウム、元素M、及び亜鉛の原子数比はインジウム：元素M：亜鉛 $= x_b : y_b : z_b$ を満たし、 x_a 、 y_a 及び z_a はインジウム、元素M及び亜鉛の3つの元素を頂点とした平衡状態図において、第1の座標（ $x_a : y_a : z_a = 8 : 14 : 7$ ）と、第2の座標（ $x_a : y_a : z_a = 2 : 5 : 7$ ）と、第3の座標（ $x_a : y_a : z_a = 51 : 149 : 300$ ）と、第4の座標（ $x_a : y_a : z_a = 46 : 288 : 833$ ）と、第5の座標（ $x_a : y_a : z_a = 0 : 2 : 11$ ）と、第6の座標（ $x_a : y_a : z_a = 0 : 0 : 1$ ）と、第7の座標（ $x_a : y_a : z_a = 2 : 2 : 1$ ）と、前記第1の座標とを、順番に線分で結んだ範囲内の原子数比を有し、 x_b 、 y_b 及び z_b はインジウム、元素M及び亜鉛の3つの元素を頂点とした平衡状態図において、第1の座標（ $x_b : y_b : z_b = 2 : 2 : 1$ ）と、第2の座標（ $x_b : y_b : z_b = 23 : 27 : 25$ ）と、第3の座標（ $x_b : y_b : z_b = 8 : 12 : 35$ ）と、第4の座標（ $x_b : y$

40

50

$x_b : y_b : z_b = 4 : 0 : 7$) と、第5の座標 ($x_b : y_b : z_b = 2 : 0 : 3$) と、第6の座標 ($x_b : y_b : z_b = 7 : 1 : 8$) と、第7の座標 ($x_b : y_b : z_b = 10 : 4 : 7$) と、前記第1の座標とを、順番に線分で結んだ範囲内の原子数比を有する半導体装置である。

【0025】

上記構成において、半導体装置は第1のトランジスタを有し、第2の酸化物膜は、第1のトランジスタのチャネル領域としての機能を有することが好ましい。また、上記構成において、 x_b 及び y_b は、 $x_b > y_b$ を満たすことが好ましい。また、上記構成において、第1の酸化物膜の電子親和力は、第2の酸化物膜の電子親和力よりも小さいことが好ましい。また、上記構成において、半導体装置は、第2の酸化物膜に接する第3の酸化物膜を有し、第3の酸化物膜の電子親和力は、第2の酸化物膜の電子親和力よりも小さいことが好ましい。

10

【0026】

また、上記構成において、 x_a 、 y_a 、 z_a 及び α が、 $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 1$ かつ $-0.33 \leq \alpha \leq +0.08$ 、または $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 2$ かつ $-0.68 \leq \alpha \leq +0.32$ 、または $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 3$ かつ $-1 \leq \alpha \leq +0.46$ 、または $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 4$ かつ $-1 \leq \alpha \leq +0.54$ 、または $x_a : y_a : z_a = (1 - \alpha) : (1 + \alpha) : 5$ かつ $-1 \leq \alpha \leq +0.72$ のいずれか一を満たすことが好ましい。

【0027】

また、上記構成において、 x_b 、 y_b 、 z_b 及び β が、 $x_b : y_b : z_b = (1 - \beta) : (1 + \beta) : 1$ かつ $-0.33 \leq \beta \leq +0.08$ 、または $x_b : y_b : z_b = (1 - \beta) : (1 + \beta) : 2$ かつ $-0.68 \leq \beta \leq +0.32$ 、または $x_b : y_b : z_b = (1 - \beta) : (1 + \beta) : 3$ かつ $-1 \leq \beta \leq +0.46$ 、または $x_b : y_b : z_b = (1 - \beta) : (1 + \beta) : 4$ かつ $-1 \leq \beta \leq +0.54$ 、または $x_b : y_b : z_b = (1 - \beta) : (1 + \beta) : 5$ かつ $-1 \leq \beta \leq +0.72$ のいずれか一を満たすことが好ましい。

20

【発明の効果】

【0028】

本発明の一態様により、半導体装置に良好な電気特性を付与することができる。また、信頼性の高い半導体装置を提供することができる。

30

【0029】

また、特性のばらつきの少ない良好なトランジスタを提供することができる。また、保持特性の良好な記憶素子を有する半導体装置を提供することができる。また、微細化に適した半導体装置を提供することができる。また、回路面積を縮小した半導体装置を提供することができる。また、新規な構成の半導体装置を提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

40

【0030】

【図1】本発明の一態様に係る酸化物膜の原子数比を説明する図。

【図2】本発明の一態様に係る酸化物膜の原子数比を説明する相図。

【図3】相図の説明。

【図4】本発明の一態様に係るターゲットの原子数比を説明する相図。

【図5】本発明の一態様に係るトランジスタの一例を示す図。

【図6】本発明の一態様に係るトランジスタの一例を示す図。

【図7】本発明の一態様に係るトランジスタの一例を示す図。

【図8】本発明の一態様に係るトランジスタの一例を示す図。

【図9】本発明の一態様に係るトランジスタの一例を示す図。

50

- 【図 1 0】本発明の一態様に係るトランジスタの一例を示す図。
- 【図 1 1】本発明の一態様に係るトランジスタの一例を示す図。
- 【図 1 2】本発明の一態様に係る回路図。
- 【図 1 3】本発明の一態様に係る半導体装置の一例を示す図。
- 【図 1 4】本発明の一態様に係る半導体装置の一例を示す図。
- 【図 1 5】本発明の一態様に係る半導体装置の一例を示す図。
- 【図 1 6】本発明の一態様に係る半導体装置の作製方法を示す図。
- 【図 1 7】本発明の一態様に係る半導体装置の作製方法を示す図。
- 【図 1 8】本発明の一態様に係る半導体装置の作製方法を示す図。
- 【図 1 9】本発明の一態様に係る半導体装置の作製方法を示す図。 10
- 【図 2 0】本発明の一態様に係るトランジスタの一部のバンド構造を示す図及び導通時の電流の経路を説明する図。
- 【図 2 1】酸化物半導体の断面 T E M 像及び局所的なフーリエ変換像。
- 【図 2 2】酸化物半導体膜のナノビーム電子回折パターンを示す図、及び透過電子回折測定装置の一例を示す図。
- 【図 2 3】透過電子回折測定による構造解析の一例を示す図、及び平面 T E M 像。
- 【図 2 4】実施の形態に係る、回路図。
- 【図 2 5】実施の形態に係る、R F タグの構成例。
- 【図 2 6】実施の形態に係る、C P U の構成例。
- 【図 2 7】実施の形態に係る、記憶素子の回路図。 20
- 【図 2 8】実施の形態に係る、表示装置の上面図及び回路図。
- 【図 2 9】実施の形態に係る、電子機器。
- 【図 3 0】実施の形態に係る、R F タグの使用例。
- 【図 3 1】ターゲットの原子数比と酸化物半導体膜の原子数比の関係を示す図。
- 【図 3 2】酸化物半導体膜の S I M S 分析結果。
- 【図 3 3】酸化物半導体膜の断面 T E M 観察結果。
- 【図 3 4】酸化物半導体膜の T D S 分析結果。
- 【図 3 5】酸化物半導体膜の T D S 分析結果。
- 【図 3 6】本発明の一態様に係る酸化物半導体膜の X R D 評価結果。
- 【図 3 7】酸化物半導体膜の断面 T E M 観察結果。 30
- 【図 3 8】酸化物半導体膜の断面 T E M 観察結果。
- 【図 3 9】酸化物半導体膜の断面 T E M 観察結果。
- 【図 4 0】酸化物半導体膜の断面 T E M 観察結果。
- 【図 4 1】酸化物半導体膜の断面 T E M 観察結果。
- 【図 4 2】酸化物半導体膜の断面 T E M 観察結果。
- 【図 4 3】酸化物半導体膜の平面 T E M 観察結果。
- 【図 4 4】酸化物半導体膜の C A A C 比率を示す図。
- 【図 4 5】酸化物半導体膜の電子回折パターン。
- 【図 4 6】酸化物半導体膜の電子回折パターン。
- 【図 4 7】酸化物半導体膜の電子回折パターン。 40
- 【図 4 8】酸化物半導体膜の電子回折パターン。
- 【図 4 9】酸化物半導体膜の電子回折パターン。
- 【図 5 0】酸化物半導体膜の電子回折パターン。
- 【図 5 1】酸化物半導体膜の電子回折パターン。
- 【図 5 2】酸化物半導体膜の電子回折パターン。
- 【図 5 3】酸化物半導体膜の電子回折パターン。
- 【図 5 4】酸化物半導体膜の電子回折パターン。
- 【図 5 5】酸化物半導体膜の平面 T E M 観察結果。
- 【図 5 6】酸化物半導体膜の電子回折パターン。
- 【図 5 7】トランジスタの $V_g - I_d$ 特性を示す図。 50

- 【図58】トランジスタの $V_g - I_d$ 特性を示す図。
- 【図59】酸化物半導体膜の断面TEM観察結果。
- 【図60】実施の形態に係る、半導体装置の回路図。
- 【図61】In-Ga-Zn酸化物中の酸素の移動経路を説明する図。
- 【図62】本発明の一態様に係るトランジスタの一例を示す図。
- 【図63】本発明の一態様に係るトランジスタの一例を示す図。
- 【図64】本発明の一態様に係るトランジスタの一例を示す図。
- 【図65】本発明の一態様に係るトランジスタの一例を示す図。
- 【図66】本発明の一態様に係るトランジスタの一例を示す図。
- 【図67】本発明の一態様に係るトランジスタの一例を示す図。 10
- 【図68】本発明の一態様に係る酸化物半導体膜のXRD評価結果。
- 【図69】トランジスタの $V_g - I_d$ 特性を示す図。
- 【図70】トランジスタの $V_g - I_d$ 特性を示す図。
- 【図71】酸化物半導体膜のCPM評価結果。
- 【図72】トランジスタの $V_g - I_d$ 特性を示す図。
- 【図73】トランジスタのしきい値変化を示す図。
- 【図74】トランジスタのしきい値変化を示す図。
- 【図75】トランジスタのしきい値変化を示す図。
- 【図76】トランジスタの $V_g - I_d$ 特性の計算結果を示す図。
- 【図77】本発明の一態様に係るトランジスタを示す断面写真。 20
- 【図78】トランジスタの $V_g - I_d$ 特性を示す図。
- 【図79】トランジスタの $V_d - I_d$ 特性を示す図。
- 【図80】本発明の一態様に係る酸化物のXRD評価結果。
- 【図81】本発明の一態様に係る酸化物のXRD評価結果。
- 【図82】本発明の一態様に係る酸化物の平面TEM観察結果。
- 【図83】本発明の一態様に係る酸化物の平面TEM観察結果。
- 【図84】本発明の一態様に係る酸化物の平面TEM観察結果。
- 【図85】トランジスタの $V_g - I_d$ 特性を示す図。
- 【図86】トランジスタの $V_g - I_d$ 特性を示す図。
- 【図87】トランジスタの $V_g - I_d$ 特性を示す図。 30
- 【図88】トランジスタの $V_g - I_d$ 特性を示す図。
- 【図89】トランジスタの $V_g - I_d$ 特性を示す図。
- 【発明を実施するための形態】
- 【0031】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0032】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0033】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0034】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0035】

10

20

30

40

50

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

【0036】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

10

【0037】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0038】

(実施の形態1)

本実施の形態では、本発明の一態様である酸化物半導体について説明する。

【0039】

20

ここで酸化物半導体は、例えば、インジウムを含む酸化物半導体である。酸化物半導体がインジウムを含むと、例えばキャリア移動度（電子移動度）が高くなる。また、酸化物半導体は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはズズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体は、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

30

【0040】

[酸化物半導体膜の構造]

以下では、酸化物半導体膜の構造について説明する。

【0041】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0042】

40

まずは、CAAC-OS膜について説明する。

【0043】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0044】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によってCAAC-OS膜の明視野像および回折パターンの複合解析像 (高分解能TEM像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能TEMによっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶

50

粒界に起因する電子移動度の低下が起こりにくいといえる。

【0045】

試料面と略平行な方向から、CAAC-O S膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-O S膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-O S膜の被形成面または上面と平行に配列する。

【0046】

一方、試料面と略垂直な方向から、CAAC-O S膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性はみられない。

10

【0047】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0048】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

20

【0049】

図21(a)は、CAAC-O S膜の断面の高分解能TEM像である。また、図21(b)は、図21(a)をさらに拡大した断面の高分解能TEM像であり、理解を容易にするために原子配列を強調表示している。

【0050】

図21(c)は、図21(a)のA-O-A'間において、丸で囲んだ領域（直径約4 nm）の局所的なフーリエ変換像である。図21(c)より、各領域においてc軸配向性が確認できる。また、A-O間とO-A'間とでは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A-O間では、c軸の角度が 14.3° 、 16.6° 、 26.4° のように少しずつ連続的に変化していることがわかる。同様に、O-A'間では、c軸の角度が -18.3° 、 -17.6° 、 -15.9° と少しずつ連続的に変化していることがわかる。

30

【0051】

なお、CAAC-O S膜に対し、電子回折を行うと、配向性を示すスポット（輝点）が観測される。例えば、CAAC-O S膜の上面に対し、例えば1 nm以上30 nm以下の電子線を用いる電子回折（ナノビーム電子回折ともいう。）を行うと、スポットが観測される（図22(A)参照。）。

【0052】

断面の高分解能TEM像及び平面の高分解能TEM像より、CAAC-O S膜の結晶部は配向性を有していることがわかる。

40

【0053】

なお、CAAC-O S膜に含まれるほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、CAAC-O S膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-O S膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面の高分解能TEM像において、 2500 nm^2 以上、 $5\text{ }\mu\text{m}^2$ 以上または $1000\text{ }\mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

【0054】

CAAC-O S膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-O S

50

膜の *out-of-plane* 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (009) 面に帰属されることから、CAAC-OS 膜の結晶が c 軸配向性を有し、 c 軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0055】

一方、CAAC-OS 膜に対し、 c 軸に略垂直な方向から X 線を入射させる *in-plane* 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ϕ 軸) として試料を回転させながら分析 (ϕ スキャン) を行くと、(110) 面と等価な結晶面に

10

【0056】

以上のことから、CAAC-OS 膜では、異なる結晶部間では a 軸及び b 軸の配向は不規則であるが、 c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面の高分解能 TEM 観察で確認された層状に配列した金属原子の各層は、結晶の ab 面に平行な面である。

【0057】

なお、結晶部は、CAAC-OS 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、CAAC-OS 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が CAAC-OS 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

20

【0058】

また、CAAC-OS 膜中において、 c 軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OS 膜の結晶部が、CAAC-OS 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも c 軸配向した結晶部の割合が高くなることもある。また、不純物の添加された CAAC-OS 膜は、不純物が添加された領域が変質し、部分的に c 軸配向した結晶部の割合の異なる領域が形成されることもある。

30

【0059】

なお、 InGaZnO_4 の結晶を有する CAAC-OS 膜の *out-of-plane* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OS 膜中の一部に、 c 軸配向性を有さない結晶、例えば代表的にはスピネル型の結晶構造が含まれることを示している。CAAC-OS 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0060】

CAAC-OS 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

40

【0061】

また、CAAC-OS 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となる場合がある。

50

【0062】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。ここで、当該酸化物半導体膜をトランジスタに用いる場合について説明する。当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。不純物および酸素欠損の少ないCAAC-OSS膜は、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSS膜は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

10

【0063】

また、CAAC-OSS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

20

【0064】

次に、多結晶酸化物半導体膜について説明する。

【0065】

多結晶酸化物半導体膜は、高分解能TEMにおいて結晶粒を確認することができる。多結晶酸化物半導体膜に含まれる結晶粒は、例えば、高分解能TEM像で、2nm以上300nm以下、3nm以上100nm以下または5nm以上50nm以下の粒径であることが多い。また、多結晶酸化物半導体膜は、高分解能TEM像で、結晶粒界を確認できる場合がある。

【0066】

多結晶酸化物半導体膜は、複数の結晶粒を有し、当該複数の結晶粒間において結晶の方位が異なっている場合がある。また、多結晶酸化物半導体膜に対し、XRD装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有する多結晶酸化物半導体膜のout-of-plane法による解析では、2θが31°近傍のピーク、2θが36°近傍のピーク、またはそのほかのピークが現れる場合がある。

30

【0067】

多結晶酸化物半導体膜は、高い結晶性を有するため、高い電子移動度を有する場合がある。従って、多結晶酸化物半導体膜を用いたトランジスタは、高い電界効果移動度を有する。ただし、多結晶酸化物半導体膜は、結晶粒界に不純物が偏析する場合がある。また、多結晶酸化物半導体膜の結晶粒界は欠陥準位となる。多結晶酸化物半導体膜は、結晶粒界がキャリアトラップやキャリア発生源となる場合があるため、多結晶酸化物半導体膜を用いたトランジスタは、CAAC-OSS膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる場合がある。

40

【0068】

次に、微結晶酸化物半導体膜について説明する。

【0069】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の

50

微結晶であるナノ結晶 (nc : nanocrystal) を有する酸化物半導体膜を、nc-OS (nanocrystalline Oxide Semiconductor) 膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0070】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある（図22（B）参照。）。

【0071】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0072】

従って、nc-OS膜は、CAAC-OS膜と比べて、キャリア密度が高くなる場合がある。キャリア密度が高い酸化物半導体膜は、電子移動度が高くなる場合がある。従って、nc-OS膜を用いたトランジスタは、高い電界効果移動度を有する場合がある。また、nc-OS膜は、CAAC-OS膜と比べて、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。従って、nc-OS膜を用いたトランジスタは、CAAC-OS膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。ただし、nc-OS膜は、比較的純物が多く含まれていても形成することができるため、CAAC-OS膜よりも形成が容易となり、用途によっては好適に用いることができる場合がある。そのため、nc-OS膜を用いたトランジスタを有する半導体装置は、生産性高く作製することができる場合がある。

【0073】

次に、非晶質酸化物半導体膜について説明する。

【0074】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0075】

非晶質酸化物半導体膜は、高分解能TEMにおいて結晶部を確認することができない。

【0076】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0077】

非晶質酸化物半導体膜は、水素などの不純物を高い濃度で含む酸化物半導体膜である。

また、非晶質酸化物半導体膜は、欠陥準位密度の高い酸化物半導体膜である。

【0078】

不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜は、キャリアトラップやキャリア発生源が多い酸化物半導体膜である。

【0079】

従って、非晶質酸化物半導体膜は、nc-OS膜と比べて、さらにキャリア密度が高くなる場合がある。そのため、非晶質酸化物半導体膜を用いたトランジスタは、ノーマリーオンの電気特性になりやすい。従って、ノーマリーオンの電気特性が求められるトランジスタに好適に用いることができる場合がある。非晶質酸化物半導体膜は、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。従って、非晶質酸化物半導体膜を用いたトランジスタは、CAAC-OS膜やnc-OS膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。

10

【0080】

次に、単結晶酸化物半導体膜について説明する。

【0081】

単結晶酸化物半導体膜は、不純物濃度が低く、欠陥準位密度が低い（酸素欠損が少ない）酸化物半導体膜である。そのため、キャリア密度を低くすることができる。従って、単結晶酸化物半導体膜を用いたトランジスタは、ノーマリーオンの電気特性になることが少ない。また、単結晶酸化物半導体膜は、不純物濃度が低く、欠陥準位密度が低いため、キャリアトラップが少なくなる場合がある。従って、単結晶酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

20

【0082】

なお、単結晶を形成するためには、例えば約1000℃以上の高い温度において焼成を行うことで形成することができる。一方、CAAC-OS膜は室温乃至500℃程度の低い温度において形成することが可能であり、産業上好ましい。

【0083】

なお、酸化物半導体膜は、欠陥が少ないと密度が高くなる。また、酸化物半導体膜は、結晶性が高いと密度が高くなる。また、酸化物半導体膜は、水素などの不純物濃度が低いと密度が高くなる。単結晶酸化物半導体膜は、CAAC-OS膜よりも密度が高い。また、CAAC-OS膜は、微結晶酸化物半導体膜よりも密度が高い。また、多結晶酸化物半導体膜は、微結晶酸化物半導体膜よりも密度が高い。また、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも密度が高い。

30

【0084】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体（a-like OS: amorphous-like Oxide Semiconductor）膜と呼ぶ。

【0085】

a-like OS膜は、高分解能TEM像において鬆（ボイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起り、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

40

【0086】

なお、a-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、（009）面

50

の格子面間隔（ d 値ともいう。）と同程度であり、結晶構造解析からその値は 0.29 nm と求められている。そのため、高分解能 TEM 像における格子縞に着目し、格子縞の間隔が 0.28 nm 以上 0.30 nm 以下である箇所においては、それぞれの格子縞が InGaZnO_4 の結晶の $a-b$ 面に対応する。

【0087】

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、 $a\text{-like OS}$ 膜の密度は 78.6% 以上 92.3% 未満となる。また、例えば、単結晶の密度に対し、 $nc\text{-OS}$ 膜の密度および $CAC\text{-OS}$ 膜の密度は 92.3% 以上 100% 未満となる。なお、単結晶の密度に対し密度が 78% 未満となる酸化物半導体膜は、成膜すること自体が困難である。

【0088】

上記について、具体例を用いて説明する。例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体膜において、 $a\text{-like OS}$ 膜の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体膜において、 $nc\text{-OS}$ 膜の密度および $CAC\text{-OS}$ 膜の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0089】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることで、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて算出することが好ましい。

【0090】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、 $a\text{-like OS}$ 膜、微結晶酸化物半導体膜、 $CAC\text{-OS}$ 膜のうち、二種以上を有する積層膜であってもよい。

【0091】

以上のように、 $CAC\text{-OS}$ 膜は産業上の観点でも好ましい。また多結晶及び微結晶と比較して結晶粒界に起因するキャリアの散乱が小さいためにキャリア移動度の低下が起こりにくい利点がある。また、 $CAC\text{-OS}$ 膜は、欠陥準位密度が低い酸化物半導体膜でありキャリアトラップが少ないため、 $CAC\text{-OS}$ 膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高い優れたトランジスタとなる。

【0092】

ここで、 $CAC\text{-OS}$ 膜は複数の構造を有する場合がある。 $CAC\text{-OS}$ 膜が複数の構造を有する場合、後述するナノビーム電子回折を用いることで構造解析が可能となる場合がある。ここで、 c 軸配向した複数の結晶部を、 CAC 構造と呼ぶ。また $CAC\text{-OS}$ 膜に代表的にみられる回折パターン、すなわち c 軸配向を示す回折パターンを、 CAC 構造の回折パターンと呼ぶ。例えば、 c 軸配向した複数の結晶部、すなわち CAC 構造を有する $CAC\text{-OS}$ 膜は、ナノビーム電子回折を用いた場合に、 CAC 構造の回折パターン以外の回折パターンが部分的に観測される場合がある。例えば $nc\text{-OS}$ 膜と同様の回折パターン、すなわち nc 構造の回折パターンが観測される場合や、スピネル型の結晶構造の回折パターンが観測される場合がある。このように酸化物半導体膜が複数の構造を有する場合、それらの構造と、 $CAC\text{-OS}$ 膜の回折パターンが観測される領域との境界において例えばキャリアの散乱が増大し、キャリア移動度が低下することがある。また、境界部は不純物の移動経路になりやすく、また不純物を捕獲しやすいと考えられるため、 $CAC\text{-OS}$ 膜の不純物濃度が高まる懸念がある。

【0093】

[ナノビーム電子回折]

次に、ナノビーム電子回折について説明する。酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

【0094】

図22(C)に、電子銃室610と、電子銃室610の下光学系612と、光学系612の下試料室614と、試料室614の下光学系616と、光学系616の下観察室620と、観察室620に設置されたカメラ618と、観察室620の下フィルム室622と、を有する透過電子回折測定装置を示す。カメラ618は、観察室620内部に向けて設置される。なお、フィルム室622を有さなくても構わない。

10

【0095】

また、図22(D)に、図22(C)で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室610に設置された電子銃から放出された電子が、光学系612を介して試料室614に配置された物質628に照射される。物質628を通過した電子は、光学系616を介して観察室620内部に設置された蛍光板632に入射する。蛍光板632では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

【0096】

カメラ618は、蛍光板632を向いて設置されており、蛍光板632に現れたパターンを撮影することが可能である。カメラ618のレンズの中央、及び蛍光板632の中央を通る直線と、蛍光板632との為す角度は、例えば、 15° 以上 80° 以下、 30° 以上 75° 以下、または 45° 以上 70° 以下とする。該角度が小さいほど、カメラ618で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかっているならば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ618をフィルム室622に設置しても構わない場合がある。例えば、カメラ618をフィルム室622に、電子624の入射方向と対向するように設置してもよい。この場合、蛍光板632の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

20

【0097】

試料室614には、試料である物質628を固定するためのホルダが設置されている。ホルダは、物質628を通過する電子を透過するような構造をしている。ホルダは、例えば、物質628をX軸、Y軸、Z軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、 1 nm 以上 10 nm 以下、 5 nm 以上 50 nm 以下、 10 nm 以上 100 nm 以下、 50 nm 以上 500 nm 以下、 100 nm 以上 $1\text{ }\mu\text{ m}$ 以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質628の構造によって最適な範囲を設定すればよい。

30

【0098】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

【0099】

例えば、図22(D)に示すように物質におけるナノビームである電子624の照射位置を変化させる（スキャンする）ことで、物質の構造が変化していく様子を確認することができる。このとき、物質628がCAAC-Os膜であれば、図22(A)に示したような回折パターンが観測される。または、物質628がnc-Os膜であれば、図22(B)に示したような、輝点を伴ったリング状の回折パターンが観測される。

40

【0100】

図22(A)に示すように、CAAC-Os膜の回折パターンでは、例えば六角形の頂点に位置するスポットが確認される。CAAC-Os膜では、照射位置を変化させる（スキャンする）ことにより、この六角形の向きが一樣ではなく、少しずつ回転している様子がみられる。また、回転の角度はある幅を有する。

50

【0101】

または、C A A C－O S膜の回折パターンでは、照射位置を変化させる（スキャンすることにより、c軸を中心として少しずつ回転する様子が見られる。これは、例えばa軸とb軸が形成する面が回転しているともいえる。

【0102】

[C A A C比率]

ここで、物質628がC A A C－O S膜であったとしても、部分的にn c構造などと同様の回折パターンが観測される場合がある。したがって、C A A C－O S膜の良否は、一定の範囲におけるC A A C構造の回折パターンが観測される領域の割合（C A A C比率、またはC A A C化率ともいう。）で表すことができる場合がある。ここで、C A A C比率は、好ましくは90%以上、より好ましくは95%以上、さらに好ましくは97%以上100%以下である。

10

【0103】

以下に、C A A C－O S膜のC A A C比率の評価方法について説明する。無作為に測定点を選び、透過電子回折パターンを取得し、全測定点の数に対し、C A A C構造の回折パターンが観測される測定点の数の割合を算出する。ここで、測定点数は、50点以上が好ましく、100点以上がより好ましい。

【0104】

無作為に測定点を選ぶ方法として、例えば直線状に照射位置をスキャンし、ある等間隔の時間毎に回折パターンを取得すればよい。照射位置をスキャンすることによりC A A C構造を有する領域と、その他の領域の境界などが確認できるため、好ましい。

20

【0105】

一例として、成膜直後（a s－s p u t t e r e dと表記。）、または酸素を含む雰囲気における450℃加熱処理後のC A A C－O S膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5nm/秒の速度で60秒間スキャンしながら回折パターンを観測し、観測された回折パターンを0.5秒ごとに静止画に変換することで、C A A C比率を導出した。なお、電子線としては、プローブ径が1nmのナノビームを用いた。なお、同様の測定は6試料に対して行った。そしてC A A C比率の算出には、6試料における平均値を用いた。

【0106】

30

また、T E M像の観察や電子回折の測定等による電子線照射により、結晶構造が変化しないことが好ましい。例えば、日立ハイテクノロジーズ製H－9000NARを用いた場合には、例えば加速電圧300kV以下で、例えば電子線の累積照射量（電流密度×時間）は $1 \times 10^7 \text{ e}^-/\text{nm}^2$ 以下であることが好ましい。また、例えばT E M像の観察などにより、照射前後に顕著な結晶構造の変化がないことを例えばT E M像などで確認することが好ましい。

【0107】

各試料におけるC A A C比率を図23（A）に示す。成膜直後のC A A C－O S膜のC A A C比率は75.7%（非C A A C比率は24.3%）であった。また、450℃加熱処理後のC A A C－O S膜のC A A C比率は85.3%（非C A A C比率は14.7%）であった。成膜直後と比べて、450℃加熱処理後のC A A C比率が高いことがわかる。即ち、高い温度（例えば400℃以上）における加熱処理によって、非C A A C比率が低くなる（C A A C比率が高くなる）ことがわかる。また、500℃未満の加熱処理においても高いC A A C比率を有するC A A C－O S膜が得られることがわかる。

40

【0108】

ここで、C A A C構造と異なる回折パターンのほとんどはn c構造の回折パターンであった。また、測定領域において非晶質酸化物半導体膜と同様の回折パターンは、確認することができなかった。したがって、加熱処理によって、n c－構造を有する領域が、隣接する領域の構造の影響を受けて再配列し、C A A C化していることが示唆される。

【0109】

50

図23(B)及び図23(C)は、成膜直後及び450℃加熱処理後のCAAC-O-S膜の平面TEM像である。図23(B)と図23(C)とを比較することにより、450℃加熱処理後のCAAC-O-S膜は、膜質がより均質であることがわかる。即ち、高い温度における加熱処理によって、CAAC-O-S膜の膜質が向上することがわかる。

【0110】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能となる場合がある。

【0111】

また、例えばCAAC-O-S膜を断面TEM観察すると、CAAC比率が高いほど金属原子が層状に規則的に配列する領域が増大するといえる。後の実施例で詳しく述べるが、例えばCAAC比率の異なる二つのCAAC-O-S膜を断面TEM観察すると、CAAC比率がより大きい膜では金属原子が層状に規則的に配列する領域が増大することがある。図59(A)は、CAAC比率が約90%のCAAC-O-S膜の、図59(B)はCAAC比率が約98%のCAAC-O-S膜の断面を観察した結果である。図中に線で表記した領域は、金属原子が層状に規則的に並んだ領域を示す。また、規則的に配列した領域間には、配列が不明瞭な領域が存在することがあるが、CAAC-O-S膜のCAAC比率が高いほど、不明瞭な領域はより減少することがある。

【0112】

ここでナノビーム電子回折を行った場合に、CAAC-O-S膜が部分的にCAAC構造以外の構造を有する領域、例えばnc構造の回折パターンが観測される領域や、スピネル型の結晶構造の回折パターンが観測される領域を有する場合を考える。このような場合には、CAAC構造の回折パターンが観測される領域と、他の構造の回折パターンが観測される領域との境界では、例えばキャリアの散乱が増大し、キャリア移動度が低下することがある。また、境界部は不純物の移動経路になりやすく、また不純物を捕獲しやすいと考えられるため、CAAC-O-S膜の不純物濃度が高まる懸念がある。

【0113】

特に、他の構造を有する領域がスピネル型の結晶構造を有する領域であった場合には、CAAC構造を有する領域との間に明確な境界が観測されることがあるため、その境界部ではキャリアの散乱などにより電子移動度が低下する場合がある。また、CAAC-O-S膜上に導電膜を形成する場合に、導電膜の有する元素、例えば金属等がスピネルと他の領域の境界に拡散してしまうことがある。また、スピネル型の結晶構造を有する膜では膜中の不純物濃度、例えば水素濃度が上昇することがあり、例えば粒界部分に水素等の不純物が捕獲されている可能性などが考えられる。よって、CAAC-O-S膜には、特にスピネル型の結晶構造が含まれない、または少ないことがより好ましい。

【0114】

[原子数比について]

酸化物半導体膜が、インジウム、元素M及び亜鉛を有する場合を考える。ここで、元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはズズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。酸化物半導体膜が有するインジウム、元素M及び亜鉛の原子数比、 $x:y:z$ の好ましい範囲について、図1及び図2を用いて説明する。

【0115】

ここで、各元素の原子数比について、図3を用いて説明する。図3(A)及び図3(B)には、X、Y及びZを頂点とする正三角形と、座標点の例として座標点R(4:2:1)を示す。ここで各頂点はそれぞれ元素X、Y及びZを表す。それぞれの原子数比は、各頂点に近いほど高く、遠いほど低い。また、図3(A)に示すようにそれぞれの原子数比は、座標点から、その三角形の頂点の対辺までの垂線の長さであらわされる。例えば、元

素Xであれば、座標点から頂点Xの対辺、すなわち辺YZまでの垂線21の長さで表される。よって、図3に示す座標Rは、元素X、元素Y及び元素Zの原子数比が垂線21、垂線22及び垂線23の長さの比、すなわち $x : y : z = 4 : 2 : 1$ であることを表す。また、頂点Xと座標点Rを通る直線が辺YZと交わる点を γ とする。この時、線分Y γ の長さで線分 γ Zの長さの比をY $\gamma : \gamma$ Zとすると、Y $\gamma : \gamma$ Z = (元素Zの原子数) : (元素Yの原子数)となる。

【0116】

また、図3(B)に示すように、座標点Rを通り、三角形の3辺とそれぞれ平行な3つの直線を引く。この時3つの直線と3辺との交点を用いて、 x 、 y 、及び z は図3(B)に示す通り表すことができる。

10

【0117】

図1及び図2は、酸化物半導体膜が有するインジウム、元素M及び亜鉛の原子数比の範囲について示している。ここで図1及び図2では、元素MがGaの例を示している。なお、酸素の原子数比については図1及び図2には記載しない。

【0118】

例えば非特許文献1に記載されているように、インジウム、元素M及び亜鉛を有する酸化物では、 $\text{InMO}_3(\text{ZnO})_m$ (m は自然数)で表されるホモロガス相(ホモロガスシリーズ)が存在することが知られている。ここで、例として元素MがGaである場合を考える。図1に太い直線で示した領域は、例えば In_2O_3 、 Ga_2O_3 、及び ZnO の粉末を図1に示す領域の割合で混合し、 1350°C で焼成した場合に、単一相の固溶域をとり得ることが知られている領域である。また、図1に四角のシンボルで示す座標は、スピネル型の結晶構造が混在しやすいことが知られている組成である。

20

【0119】

例えば、スピネル型の結晶構造を有する化合物として、 ZnGa_2O_4 などの ZnM_2O_4 で表される化合物が知られている。また、図1に示すように ZnGa_2O_4 の近傍の組成、つまり x 、 y 及び z が $(x : y : z) = (0 : 1 : 2)$ に近い値を有する場合には、スピネル型の結晶構造が形成、あるいは混在しやすいことが、例えば非特許文献1に記載されている。

【0120】

ここで、酸化物半導体膜はCAAC-OS膜であることが好ましい。また、CAAC-OS膜は、特にスピネル型の結晶構造が含まれないことが好ましい。また、キャリア移動度を高めるためにはInの含有率を高めることが好ましい。インジウム、元素M及び亜鉛を有する酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を多くすることにより、より多くのs軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、酸化物半導体膜にインジウムの含有率が多い酸化物を用いることで、キャリア移動度を高めることができる。

30

【0121】

よって、酸化物半導体膜の有するインジウム、元素M及び亜鉛の原子数比、 $x : y : z$ は、例えば図1(B)に示す領域11の範囲であることが好ましい。ここで、領域11は、第1の座標K($x : y : z = 8 : 14 : 7$)と、第2の座標L($x : y : z = 2 : 5 : 7$)と、第3の座標M($x : y : z = 51 : 149 : 300$)と、第4の座標N($x : y : z = 46 : 288 : 833$)と、第5の座標O($x : y : z = 0 : 2 : 11$)と、第6の座標P($x : y : z = 0 : 0 : 1$)と、第7の座標Q($x : y : z = 1 : 0 : 0$)と、前記第1の座標Kとを、順番に線分で結んだ範囲内の原子数比を有する領域である。なお、領域11には、線分上の座標も含む。

40

【0122】

$x : y : z$ を図1(B)に示す領域11とすることにより、ナノビーム電子回折においてスピネル型の結晶構造が観測される割合をなくすることができる、または極めて低くすることができる。よって、優れたCAAC-OS膜を得ることができる。また、CAAC構

50

造とスピネル型の結晶構造の境界におけるキャリア散乱等を減少させることができるため、酸化物半導体膜をトランジスタに用いた場合に、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0123】

ここで、酸化物半導体膜のCAAC比率をより高めるためには、亜鉛の原子数比を高めることが好ましい。図1及び図2には、インジウム、元素M及び亜鉛の原子数比、 $x:y:z$ が以下の数式(1)を満たす場合について、その範囲を点線で示している。

【0124】

【数1】

$$x:y:z=(1-\alpha):(1+\alpha):m \quad (-1 \leq \alpha \leq 1) \quad (1)$$

10

【0125】

ここで、図1及び図2には $m=1, 2, 3, 4, 5$ の場合を示す。また、図1に示す太線は、例えば元素Mがガリウムの場合に、 $In-Ga-Zn$ 酸化物が単一相の固溶域をとり得ることが知られている領域である。例えば、 $In-Ga-Zn$ 酸化物の原子数比を固溶域をとり得る範囲とすることにより、CAAC比率をより高めることができる場合がある。固溶域をとり得る範囲は、インジウムとガリウムの原子数の和に対して亜鉛の原子数比を高めると広がる傾向がある。よって、インジウムとガリウムの原子数の和に対して亜鉛の原子数比を高めることにより、酸化物半導体膜のCAAC比率をより高めることができる場合がある。

20

【0126】

ここで、図1に示す太線の領域、すなわち固溶域をとり得る範囲は、 $m=1$ 乃至5において以下の式(2)乃至式(6)で表される。

【0127】

【数2】

$$x:y:z=(1-\alpha):(1+\alpha):1 \quad (-0.33 \leq \alpha \leq +0.08) \quad (2)$$

【0128】

【数3】

$$x:y:z=(1-\alpha):(1+\alpha):2 \quad (-0.68 \leq \alpha \leq +0.32) \quad (3)$$

30

【0129】

【数4】

$$x:y:z=(1-\alpha):(1+\alpha):3 \quad (-1 \leq \alpha \leq +0.46) \quad (4)$$

【0130】

【数5】

$$x:y:z=(1-\alpha):(1+\alpha):4 \quad (-1 \leq \alpha \leq +0.54) \quad (5)$$

【0131】

【数6】

$$x:y:z=(1-\alpha):(1+\alpha):5 \quad (-1 \leq \alpha \leq +0.72) \quad (6)$$

40

【0132】

よって、酸化物半導体膜のCAAC比率をより高めるためには、酸化物半導体膜の有するインジウム、元素M及び亜鉛の原子数比、 $x:y:z$ を、図2(A)に示す領域12の範囲とすることが好ましく、図2(B)に示す領域13の範囲とすることがより好ましい。ここで領域12及び領域13はいずれも領域11に含まれるため、酸化物半導体膜のスピネル型の結晶構造が観測される領域をなくす、または少なくすることができるため好ましい。

50

【0133】

ここで、領域12は、第1の座標A ($x:y:z=2:2:1$) と、第2の座標B ($x:y:z=23:27:25$) と、第3の座標C ($x:y:z=8:12:35$) と、第4の座標D ($x:y:z=4:0:7$) と、第5の座標E ($x:y:z=2:0:3$) と、第6の座標F ($x:y:z=7:1:8$) と、第7の座標G ($x:y:z=15:5:8$) と、前記第1の座標Aとを、順番に線分で結んだ範囲内の原子数比を有する領域である。なお、領域12には、線分上の座標も含む。

【0134】

また、領域13は、第1の座標H ($x:y:z=35:20:22$) と、第2の座標I ($x:y:z=7:4:11$) と、第3の座標J ($x:y:z=5:1:6$) と、第4の座標U ($x:y:z=25:10:14$) と、前記第1の座標Hとを、順番に線分で結んだ範囲内の原子数比を有する領域である。なお、領域13には、線分上の座標も含む。例えば、インジウムの原子数比を高めることにより、キャリア移動度を高めることができるため好ましい。例えば、 x は y の1.75倍以上であると好ましい。

10

【0135】

領域12及び領域13の範囲内において、 x 、 y 及び z が数式(1)、または式(2)乃至式(6)の関係を満たす場合には、特にCAAC比率が高くなることもあり、さらに好ましい。ここで、 x 、 y 及び z は式(1)乃至式(6)の関係を満たす値から、例えば10%程度ずれた値を有してもよい。例えば、 $(x:y:z)=(x_1:y_1:z_1)$ が数式(1)を満たす場合、例えば x 、 y 及び z の値は $0.9 \times x_1 \leq x \leq 1.1 \times x_1$ 、 $0.9 \times y_1 \leq y \leq 1.1 \times y_1$ 及び $0.9 \times z_1 \leq z \leq 1.1 \times z_1$ が好ましい。

20

【0136】

本発明の一態様により、CAAC比率の高い酸化物半導体膜を実現することができる。すなわち、良質なCAAC-Os膜を実現することができる。また、本発明の一態様により、スピネル型の結晶構造が観測される領域のない、または極めて少ないCAAC-Os膜を実現することができる。ここで、CAAC比率は、好ましくは95%以上、より好ましくは97%以上100%以下であるとよい。

【0137】

また、酸化物半導体膜をスパッタリング法で成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される場合がある。特に、亜鉛は、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40%以上90%程度以下となる場合がある。ここで、用いるターゲットは多結晶であることが好ましい。

30

【0138】

ここで、インジウム、ガリウム及び亜鉛について、ターゲットの原子数比とスパッタリング法で得られる酸化物半導体膜の原子数比との関係を調べた結果について述べる。用いたターゲットの原子数比と、スパッタリング法により得られた酸化物半導体膜の原子数比を表1に示す。

【0139】

【表 1】

ターゲット 原子数比 In:Ga:Zn	膜の原子数比		
	In	Ga	Zn
1:1:1	1	0.99	0.66
1:1:1.2	1	0.98	0.84
1:1:1.5	1	0.92	1.04
1:3:2	1	2.89	1.24
1:3:4	1	3.02	2.56
1:3:6	1	3.06	4.19
3:1:2	3	0.98	1.40
3:1:3	3	1.01	2.30

【0140】

成膜条件として、成膜ガスにアルゴン及び酸素を用い、酸素流量比を33%とした。ここで酸素流量比とは、 $\text{酸素流量} \div (\text{酸素流量} + \text{アルゴン流量}) \times 100 [\%]$ で表される量である。また、圧力は0.4 Paから0.7 Paの範囲とし、基板温度を200℃乃至300℃、電源電力を0.5 kW (DC)とした。

【0141】

それぞれの原子数比のターゲットを用いて得られた酸化物半導体膜の各元素の濃度をICP-MS (Inductively Coupled Plasma Mass Spectrometry)を用いて評価した。図31には、ターゲットの原子数比と、亜鉛の残留率との関係を示す。図中の数字は、ターゲットのインジウム：ガリウム：亜鉛の原子数比を表し、縦軸は、亜鉛の残留率を示す。ここで亜鉛の残留率について説明する。成膜によって得られた膜の亜鉛の原子数比を、インジウム、ガリウム及び亜鉛の原子数比の和で割った値をZn (Film)とする。また、ターゲットの亜鉛の原子数比を、ターゲットのインジウム、ガリウム及び亜鉛の原子数比の和で割った値をZn (Target)とする。ここで、亜鉛の残留率を、 $A = \text{Zn (Film)} \div \text{Zn (Target)} \times 100 [\%]$ で表される値と定義する。図31 (A)は横軸にターゲットのガリウムの原子数比に対する亜鉛の原子数比 (Zn / Ga)を、図31 (B)は横軸にターゲットのインジウムの原子数比に対するガリウムの原子数比 (Ga / In)を、図31 (C)は横軸にターゲットのインジウムの原子数比に対する亜鉛の原子数比 (Zn / In)をそれぞれ示している。またそれぞれの縦軸は亜鉛の残留率Aを示す。

【0142】

ここで図31より、スパッタリング法により得られる酸化物半導体膜の亜鉛の残留率は、およそ50%以上90%以下の範囲内であることがわかる。すなわち、ターゲットの原子数比と比較して、亜鉛は大きく減少することがわかる。また、表1に記載したインジウムおよびガリウムの原子数比から、インジウムおよびガリウムは、亜鉛と比較してターゲットの原子数比からは大きく変化しないといえる。また、ターゲットのガリウムに対する亜鉛の原子数比 (Zn / Ga)が例えば1の場合には亜鉛の残留率Aは約66%、2の場合には約74%、3の場合には約83%である。

【0143】

また図31 (A)より、ターゲットのガリウムに対する亜鉛の原子数比 (z / y)と、

亜鉛の残留率との間には良好な相関があることがわかる。すなわち、ガリウムに対して亜鉛が少ない方が、残留率はより低くなっている。

【0144】

ここで、酸化物半導体膜のインジウム、ガリウム及び亜鉛の原子数比 x 、 y 及び z が数式(1)を満たす場合には、酸化物半導体膜の C A A C 比率をより高めることができる場合がある。

【0145】

数式(1)を満たす原子数比の例として、 $x : y : z = 4 : 2 : 3$ 、 $x : y : z = 1 : 1 : 2$ 、 $9 : 6$ 、 $x : y : z = 1 : 2 : 3$ の3つの例を考える。

【0146】

例えば、 $x : y : z = 4 : 2 : 3$ とすることにより、インジウムの原子数比をガリウムの2倍に高めることができ、インジウムの含有率を高めることができる。よって、高い移動度を得られることができる場合がある。

【0147】

また、例えば $x : y : z = 1 : 1 : 2$ 、 $9 : 6$ とすることにより、数式(1)を満たし、かつ図1に太線で示す固溶域をとり得る範囲内とすることができるため、高い C A A C 比率が得られる場合があり、好ましい。また、インジウムの含有率を低くすることにより、電子親和力を小さくすることができる。例えば、 $x : y : z = 1 : 1 : 2$ 、 $9 : 6$ の原子数比を有する酸化物半導体膜は、領域12や領域13の原子数比を有する酸化物半導体膜と比較してインジウムの含有率が低いため、電子親和力を相対的に小さくすることができる。

【0148】

同様に、例えば $x : y : z = 1 : 2 : 3$ とすることにより、数式(1)を満たし、かつ固溶域をとり得る範囲内とすることができるため、高い C A A C 比率が得られる場合があり、好ましい。また、領域12や領域13の原子数比を有する酸化物半導体膜と比較してインジウムの含有率が低いため、電子親和力を相対的に小さくすることができる。

【0149】

ターゲットのインジウム、ガリウム及び亜鉛の原子数比を a 、 b 及び c とする。図31より、亜鉛の残留率 A と、 b 及び c の間には以下の数式(7)で表される近似式が成り立つ。

【0150】

【数7】

$$A[\%] = \{0.0811 \times (c/b) + 0.5825\} \times 100 \quad (7)$$

【0151】

よって、インジウム及びガリウムの残留率を100%と仮定すると、 $I n : G a : Z n = a : b : c$ のターゲットを用いてスパッタリング法により酸化物半導体膜を形成する場合には、得られる酸化物半導体膜の原子数比 $x : y : z = a : b : \{0.0811 \times (c/b) + 0.5825\} \times c$ となる。

【0152】

ここで、得られる酸化物半導体膜のインジウム、ガリウム及び亜鉛の原子数比 $x : y : z = 4 : 2 : 3$ を狙う場合には、ターゲットの亜鉛の原子数比 c は下記の数式(3)を満たせばよい。なお、 $a = x = 4$ 、 $b = y = 2$ 、 $z = 3$ とする。

【0153】

【数8】

$$3 = \{0.0811 \times (c/2) + 0.5825\} \times c \quad (8)$$

【0154】

10

20

30

40

50

数式(8)は c の2次方程式であり、その解は4.0234及び-18.3883と求まる。ここで負の値は適さない為、 $x:y:z=4:2:3$ を狙う為には、 $a:b:c=4:2:4$ とすればよいことがわかる。

【0155】

同様に、 $x:y:z=1.1:2.9:6$ を狙う場合には $a:b:c=1.1:2.9:7.6$ とすればよく、 $x:y:z=1:2:3$ を狙う場合には $a:b:c=1:2:4$ とすればよい。

【0156】

また、例えば図2に示す領域12の酸化物半導体膜を得るためには、ターゲットの原子数比は、図2に示す領域12よりも亜鉛の原子数比が多くなることが好ましい。ここでターゲットが有するインジウム、元素M及び亜鉛の原子数比を $a:b:c$ とする。ここで、スパッタリング法により得られる酸化物半導体膜のインジウム、元素M及び亜鉛の原子数比を $x:y:z$ とするためには、 c/b が1の場合には、例えば $c/(a+b+c)$ の値を、 $z/(x+y+z)$ の約1.5倍($100 \div 66 = 1.51$)程度とすればよく、 c/b が2の場合には、例えば $c/(a+b+c)$ の値を、 $z/(x+y+z)$ の約1.35倍($100 \div 74 = 1.35$)程度とすればよく、 c/b が3の場合には、例えば $c/(a+b+c)$ の値を、 $z/(x+y+z)$ の約1.20倍($100 \div 83 = 1.20$)程度とすればよい。

【0157】

酸化物半導体膜の原子数比を領域12の範囲とすることにより、CAAC比率をさらに高めることができるため好ましい。

【0158】

よってCAAC比率のさらに高い酸化物半導体膜を得るためには、ターゲットの原子数比は、 $c/b \geq 2$ であれば、例えば $c/(a+b+c)$ の値を $z/(x+y+z)$ の1.4倍程度とすればよい。具体的には、ターゲットの原子数比は例えば、図4に示す領域14の範囲内の値をとることが好ましい。ここで領域14は、第1の座標A($a:b:c=2:2:1$)と、第2の座標B($a:b:c=23:27:25$)と、第3の座標S($a:b:c=2:4:15$)と、第4の座標T($a:b:c=2:0:5$)と、第5の座標E($a:b:c=2:0:3$)と、第6の座標F($a:b:c=7:1:8$)と、第7の座標G($a:b:c=15:5:8$)と、前記第1の座標Aとを、順番に線分で結んだ範囲内の原子数比を有する領域である。なお、領域14には、線分上の座標も含む。

【0159】

ここで、本発明の一態様である酸化物半導体膜は、複数の膜を積層してもよい。また複数の膜のそれぞれのCAAC比率が異なってもよい。また、積層された複数の膜のうち、少なくとも一層の膜は例えばCAAC比率が90%より高いことが好ましく、95%以上であることがより好ましく、97%以上100%以下であることがさらに好ましい。

【0160】

ここで、酸化物半導体膜の膜密度について、説明する。

【0161】

[膜密度評価結果]

CAAC-OS膜は、 c 軸に配向した複数の結晶部を有し、また結晶部同士では明確な粒界が観測されないため、緻密な膜を得ることができる。後の実施例に詳しく条件を述べるが、スパッタリング法を用いて、ターゲットとして、原子数比が $In:Ga:Zn=1:1:1$ の $In-Ga-Zn$ 酸化物を用いて形成したCAAC-OS膜と、原子数比が $In:Ga:Zn=2:1:3$ の $In-Ga-Zn$ 酸化物を用いて形成したCAAC-OS膜の膜密度を評価したところ、その密度はいずれも約 6.3 g/cm^3 であった。酸素流量比は33%、成膜時の基板温度は200℃以上、300℃以下の条件を用いた。また、膜密度は、X線反射率(XRR:X-Ray Reflectivity)法により求めた。

【0162】

一方、酸化物半導体膜の形成条件によっては、膜密度が低い膜が得られることがある。また、膜密度の低下に伴い、いわゆる鬆を有する膜が得られることがある。ここで鬆とは、例えば、密度が極めて低い領域、または空間である。このような膜は結晶性も低く、また不純物をトラップしやすい場合があり、良好なトランジスタ特性を得ることが難しい。

【0163】

ここで、鬆の多い膜の膜密度について説明する。例えばスパッタリング法を用いて、酸素流量比の低い条件を用いて、低い基板温度で成膜を行うことにより鬆の多い膜が形成されることがある。表2に示す条件を用いて、酸化物半導体膜をスパッタリング法を用いて形成した。ターゲットとして原子数比がIn:Ga:Zn=1:1:1のIn-Ga-Zn酸化物を用いた。電源は、RF電源を用いた。

10

【0164】

【表2】

	電源 電力	ガス流量		基板温度 [°C]	圧力 [Pa]
		Ar [sccm]	O ₂ [sccm]		
条件C	100W	98	2	室温	1.0
条件D	100W	98	2	室温	0.4

20

【0165】

表2に示す条件Cの成膜レートは0.48nm/分、条件Dの成膜レートは1.78nm/分であった。

【0166】

表3は、表2に示す条件C及び条件Dを用いて形成した酸化物半導体膜の膜密度の測定を行った結果である。

【0167】

【表3】

	膜密度 [g/cm ³]
条件C	5.57
条件D	6.10

30

【0168】

条件C、条件Dともに膜密度が低い傾向がみられた。これは、酸素流量比が2%と低いことと、成膜温度が低いことに起因すると考えられる。また、条件Dと比較して成膜圧力の高い条件Cでは、膜密度がより低い結果となった。

【0169】

[膜中水素濃度]

次に、条件C及び条件Dを用いて形成した酸化物半導体膜の膜中水素濃度を図32に示す。条件Cでは水素の濃度が顕著に高い結果が得られた。

40

【0170】

条件C及び条件Dを用いて成膜した酸化物半導体膜の、断面TEM像を観察した結果を図33に示す。図33(A)は条件Cを用いた膜、図33(B)は条件Dを用いた膜の断面TEM像である。条件Cでは膜が疎な部分、いわゆる鬆が観察された。鬆が見られる領域の一例を点線で囲み、示した。

【0171】

条件C及び条件Dを用いて成膜した酸化物半導体膜のTDS(Thermal Des

50

orption Spectroscopy：昇温脱離ガス分光法）分析結果を図34に示す。図34は分子量＝18における放出量を示す。図34（A）は条件Cを用いた膜、図34（B）は条件Dを用いた膜の結果である。膜密度の低い条件Cを用いて形成した酸化物半導体膜では、TDS分析において分子量＝18における放出が顕著に観測され、H₂O、つまり水分の放出であることが示唆される。つまり水分の吸着が多い膜であると考えられる。

【0172】

水分の吸着についてより詳細に調べるため、条件Cを用いて成膜した酸化物半導体膜について、TDS分析を行った後に、平均温度24℃、平均湿度61%の大気中に24時間放置した後、再度TDS分析を行った。その結果を図35に示す。図35（A）は1回目の分析結果を、図35（B）は大気中に放置した後の分析結果、すなわち2回目の分析結果を示す。2回目の分析において、分子量18に起因するピークは再び観測された。このことから、1回目のTDS分析により水分が放出された後、大気中で再び水分を吸着したと考えられる。つまり、密度が低く、鬆を有する膜は、水分を吸着しやすいといえる。

【0173】

（実施の形態2）

本実施の形態では、本発明の一態様である酸化物半導体を用いたトランジスタの一例について説明する。

【0174】

従来のシリコンやゲルマニウム、及びその化合物を用いたトランジスタでは、特に微細なチャンネル長を有する素子では短チャンネル効果を抑制するために、ゲート電界を強くすることが好ましく、ゲート電界を強くするためにはゲート絶縁膜の薄膜化が好ましい。

【0175】

一方、酸化物半導体膜を用いたトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、pn接合を有する反転型トランジスタと比較して短チャンネル効果の一つであるDIBL（Drain-Induced Barrier Lowering）の影響が小さい。酸化物半導体膜を用いたトランジスタは、短チャンネル効果に対する耐性を有すると言い換えることもできる。

【0176】

短チャンネル効果に対する耐性が高いために、酸化物半導体膜を用いたトランジスタではシリコン等を用いた従来のトランジスタよりもゲート絶縁膜を厚くすることが可能となる。例えばチャンネル長及びチャンネル幅が50nm以下の微細なトランジスタにおいても、10nm程度の厚いゲート絶縁膜を用いてもよい。ここで、ゲート絶縁膜を厚くすることにより寄生容量を低減することができる。よって、回路の動特性を向上できる場合がある。またゲート絶縁膜を厚くすることにより、リーク電流を低減し、消費電力を下げられる場合がある。

【0177】

また、チャンネル長が微細化するのに伴いドレイン電界が強まるため、シリコン等を用いた従来のトランジスタにおいては、特に微細なチャンネル長を有する場合にホットキャリア劣化による信頼性の低下がより顕著となる。一方、酸化物半導体ではバンドギャップが大きく（例えばインジウム、ガリウム及び亜鉛を有する酸化物半導体では2.5eV以上）、電子が励起されにくいことや、ホールの有効質量が大きいことなどから、従来のシリコン等を用いたトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。よって、例えばアバランシェ崩壊に起因するホットキャリア劣化等を抑制できる場合がある。

【0178】

ゲート絶縁膜を厚くすることによりゲート絶縁膜の耐圧を高めることができ、より高いゲート電圧でトランジスタを駆動することができる。また、ホットキャリア劣化を抑制することにより、チャンネル長を長くせずとも高いドレイン電圧でトランジスタを駆動することができる。よって、高い電圧が入力される回路においてトランジスタの信頼性を高める

ことができるとともに、チャネル長の縮小が可能となり回路の集積度を高めることができる。

【0179】

また、真性または実質的に真性の酸化物半導体膜を用いたトランジスタでは、ソース電極及びドレイン電極間の距離が充分小さいときには、ソース電界及びドレイン電界の影響により伝導帯下端のエネルギーが低くなり、伝導帯下端のエネルギーとフェルミ準位が近くなる。この現象を、Conduction Band Lowering Effect (CBL効果)と呼ぶ。CBL効果によって、 $V_g - I_d$ 特性において0V付近の低いゲート電圧からドレイン電流が流れ始めるために、トランジスタの駆動電圧を低くすることができる場合がある。

10

【0180】

ここで、酸化物半導体膜としてCAAC-Os膜を用いることが好ましい。CAAC-Os膜のCAAC比率は高いことが好ましい。CAAC比率を高めることにより、例えばトランジスタのキャリア散乱の影響を小さくすることができ、高い電界効果移動度を得ることができる。また、粒界の影響を小さくすることができるため、トランジスタのオン特性のばらつきを小さくすることができる。よって、信頼性の高い半導体装置を得ることができる。また、バラツキの小さいトランジスタを用いることにより駆動電圧を小さくし、消費電力を下げる可以降低。また、例えば欠陥密度の低いCAAC-Os膜を実現することができる。また、不純物の少ないCAAC-Os膜を実現することができる。欠陥密度を低減することにより、例えば極めて低いオフ電流特性を実現することができる。

20

【0181】

[酸化物半導体膜を用いたトランジスタ]

酸化物半導体膜を用いたトランジスタの一例について、図5を用いて説明する。

【0182】

図5(A)はトランジスタ100の上面図を示す。また、図5(B)は図5(A)に示す一点鎖線X-X'における断面を、図5(C)は一点鎖線Y-Y'における断面を示す。図5に示すトランジスタ100は、半導体層101と、導電層104a及び導電層104bと、半導体層101上のゲート絶縁膜102と、ゲート絶縁膜102を介して半導体層101と重なるゲート電極103と、を有する。またトランジスタ100を覆って、絶縁膜112及び絶縁膜113が設けられている。また、トランジスタ100は、導電層105を有してもよい。ここで、図5に示すようにトランジスタ100は基板50上に設けられることが好ましい。また、基板とトランジスタ100の間に、基板50の上面に接する絶縁膜51と、絶縁膜51の上面に接する絶縁膜114と、を有してもよい。また、図5において半導体層101は絶縁膜114の上面に接する。また、基板50と絶縁膜114の間に、絶縁膜を設けなくてもよい。

30

【0183】

半導体層101は、単層で形成してもよく、また図5に示す例のように、半導体層101a、半導体層101b及び半導体層101cの積層構造で形成されることがより好ましい。このような場合には図5に示すトランジスタ100は、半導体層101aと、半導体層101aの上面に接する半導体層101bと、半導体層101bの上面と接し、半導体層101bと重なる領域で離間する導電層104a及び導電層104bと、半導体層101bの上面に接する半導体層101cと、半導体層101c上にゲート絶縁膜102と、ゲート絶縁膜102及び半導体層101cを介して半導体層101bと重なるゲート電極103と、を有する。半導体層101aは、絶縁膜114と半導体層101bの間に設けられている。また、半導体層101cは、半導体層101bとゲート絶縁膜102の間に設けられている。また、導電層104a及び導電層104bは、半導体層101bの上面に接し、半導体層101cの下面と接する。

40

【0184】

導電層104a及び導電層104bはソース電極またはドレイン電極としての機能を有する。また、導電層105に、ソース電極よりも低い電圧または高い電圧を印加し、トラ

50

ンジスタのしきい値電圧をプラス方向またはマイナス方向へ変動させてもよい。例えば、トランジスタのしきい値電圧をプラス方向に変動させることで、ゲート電圧が0 Vであってもトランジスタが非導通状態（オフ状態）となる、ノーマリーオフが実現できる場合がある。なお、導電層105に印加する電圧は、可変であってもよいし、固定であってもよい。導電層105に印加する電圧を可変にする場合、電圧を制御する回路を導電層105に接続してもよい。また、導電層105は、ゲート電極103と接続してもよい。

【0185】

トランジスタに設けられる導電層104a及び導電層104bとして、タングステン、チタン、アルミニウム、銅、モリブデン、クロム、またはタンタル単体若しくは合金等の酸素と結合しやすい導電材料を用いることができる。この結果、半導体層101に含まれる酸素と、導電層104a及び導電層104bに含まれる導電材料とが結合し、半導体層101において、酸素欠損領域が形成される。また、半導体層101に導電層104a及び導電層104bを形成する導電材料の構成元素の一部が混入する場合もある。これらの結果、半導体層101において、導電層104a、及び導電層104bと接する領域近傍に、第1の低抵抗領域、及び第2の低抵抗領域が形成される。第1の低抵抗領域、及び第2の低抵抗領域は、導電性が高いため、半導体層101と、導電層104a及び導電層104bとの接触抵抗を低減することが可能であり、トランジスタのオン電流を増大させることが可能である。

【0186】

なお、第1の低抵抗領域と、第2の低抵抗領域の端部は、導電層104aと、導電層104bの端部と略一致してもよい。または、導電層104aと導電層104bの端部より内側に、第1の低抵抗領域と第2の低抵抗領域の端部が位置してもよい。半導体層101において、第1の低抵抗領域と第2の低抵抗領域が形成される場合、チャネル長は半導体層101とゲート絶縁膜102の界面における第1の低抵抗領域と第2の低抵抗領域との間の距離となる。

【0187】

半導体層101bは、半導体層101a及び半導体層101cよりも電子親和力の大きい酸化物を用いることが好ましい。例えば、半導体層101bとして、半導体層101a及び半導体層101cよりも電子親和力の0.07 eV以上1.3 eV以下、好ましくは0.1 eV以上0.7 eV以下、さらに好ましくは0.15 eV以上0.4 eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0188】

半導体層101bとして、半導体層101a及び半導体層101cよりも電子親和力の大きい酸化物を用いることにより、ゲート電極に電界を印加すると、半導体層101a、半導体層101b、半導体層101cのうち、電子親和力の大きい半導体層101bにチャネルが形成される。ここで、半導体層101bにチャネルが形成されることにより、例えばチャネル形成領域がゲート絶縁膜102との界面から離れるために、ゲート絶縁膜との界面での散乱の影響を小さくすることができる。よって、トランジスタの電界効果移動度を高くすることができる。ここで、半導体層101bと半導体層101cは後述する通り、構成する元素が共通しているため、界面散乱がほとんど生じない。

【0189】

また、ゲート絶縁膜に酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜または窒化シリコン膜等を用いる場合、ゲート絶縁膜に含まれるシリコンが、酸化物半導体膜に混入することがある。酸化物半導体膜にシリコンが含まれると、酸化物半導体膜の結晶性の低下、キャリア移動度の低下などが起こる場合がある。従って、チャネルが形成される半導体層101bの不純物濃度、例えばシリコン濃度を低減するために、半導体層101bとゲート絶縁膜との間に半導体層101cを設けることが好ましい。同様の理由により、絶縁膜114からの不純物拡散の影響を低減するために、半導体層101bと絶縁膜114の間に半導体層101aを設けることが好ましい。

【0190】

半導体層101bは、例えば、インジウムを含む酸化物半導体である。半導体層101bは、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、半導体層101bは、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体層101bは、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

10

【0191】

半導体層101bは、例えば、エネルギーギャップが大きい酸化物を用いる。半導体層101bのエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.7 eV以上3.7 eV以下、さらに好ましくは2.8 eV以上3.3 eV以下とする。

【0192】

ここで、半導体層101bにはCAAC-OS膜を用いることが好ましい。CAAC-OS膜を用いることにより、キャリアの散乱が小さく、高い電界効果移動度のトラジスタを実現することができる。また、半導体層101bのCAAC比率を高めることが好ましい。CAAC比率は例えば、好ましくは90%以上、より好ましくは95%以上、さらに好ましくは97%以上100%以下である。

20

【0193】

次に、半導体層101a及び半導体層101cについて説明する。例えば、半導体層101a及び半導体層101cは、半導体層101bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体層101bを構成する酸素以外の元素一種以上、または二種以上から半導体層101a及び半導体層101cが構成されるため、半導体層101aと半導体層101bとの界面、及び半導体層101bと半導体層101cとの界面において、界面準位が形成されにくい。

30

【0194】

ここで、半導体層101a及び半導体層101cにはCAAC-OS膜を用いることが好ましい。

【0195】

例えば、c軸配向した複数の結晶部を有するCAAC-OS膜を半導体層101aとして用いることにより、その上に積層される半導体層101bは、半導体層101aとの界面近傍においても、良好なc軸配向を有する領域を形成することができる。

【0196】

また、CAAC-OS膜のCAAC比率を高めることにより、例えば、欠陥をより少なくすることができる。また、例えばスピネル型の構造を有する領域を少なくすることができる。また、例えばキャリアの散乱を小さくすることができる。また、例えば不純物に対するブロック能の高い膜とすることができる。よって、半導体層101a及び半導体層101cのCAAC比率を高めることにより、チャンネルが形成される半導体層101bと良好な界面を形成し、キャリア散乱を小さく抑えることができる。また、半導体層101bへの不純物の混入を抑制することができ、半導体層101bの不純物濃度を低減することができる。

40

【0197】

ここでバンド構造について図20(A)に示す。図20(A)には、真空準位(vacuum levelと表記。)、各層の伝導帯下端のエネルギー(E_c と表記。)及び価

50

電子帯上端のエネルギー（ E_v と表記。）を示す。

【0198】

ここで、半導体層101aと半導体層101bとの間には、半導体層101aと半導体層101bとの混合領域を有する場合がある。また、半導体層101bと半導体層101cとの間には、半導体層101bと半導体層101cとの混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、半導体層101a、半導体層101b及び半導体層101cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

【0199】

なお、図20（A）では、半導体層101aと半導体層101cの E_c が同様である場合について示したが、それぞれが異なってもよい。例えば、半導体層101aよりも半導体層101cの E_c が高いエネルギーを有してもよい。

【0200】

このとき、電子は、半導体層101a中及び半導体層101c中ではなく、半導体層101b中を主として移動する（図20（B）参照。）。上述したように、半導体層101a及び半導体層101bの界面における界面準位密度、半導体層101bと半導体層101cとの界面における界面準位密度が低くすることによって、半導体層101b中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

【0201】

図5（B）に示すように、半導体層101bの側面は、導電層104a及び導電層104bと接する。また、図5（C）に示すように、ゲート電極103の電界によって、半導体層101bを電氣的に取り囲むことができる（導電体の電界によって、半導体を電氣的に取り囲むトランジスタの構造を、*surrounded channel*（*s-channel*）構造とよぶ。）。そのため、半導体層101bの全体（バルク）にチャンネルが形成される場合がある。*s-channel*構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通時の電流（オン電流）を高くすることができる。

【0202】

高いオン電流が得られるため、*s-channel*構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャンネル長が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有し、かつ、トランジスタは、チャンネル幅が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有する。

【0203】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0204】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小

10

20

30

40

50

値または平均値とする。

【0205】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャネル領域の割合に対して、半導体の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の方が大きくなる。

10

【0206】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

【0207】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

20

【0208】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

30

【0209】

ここでは、図5に例として示すように、酸化物半導体として半導体層101a、半導体層101b及び半導体層101cの3層を積層して用いる例を示すが、トランジスタ100に用いることのできる酸化物半導体は、単層でもよい。また、半導体層101a、半導体層101b及び半導体層101cのうち、いずれか一、または二を有さない構造としてもよい。

【0210】

半導体層101a、半導体層101b及び半導体層101cは、少なくともインジウムを含むと好ましい。なお、半導体層101aがIn-M-Zn酸化物のとき、In及びMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、半導体層101bがIn-M-Zn酸化物のとき、In及びMの和を100atomic%としたとき、好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。また、半導体層101cがIn-M-Zn酸化物のとき、In及びMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。なお、半導体層101cは、半導体層101aと同種の酸化物を用いても構わない。

40

50

【0211】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、例えば半導体層101cはインジウムガリウム酸化物を含んでもよい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

【0212】

ここで、半導体層101bは、半導体層101a及び半導体層101cよりも電子親和力が、0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物であることが好ましい。

【0213】

高いCAAC比率を有する、より優れたCAAC-Os膜を得るためには、例えば半導体層101bがインジウム、元素M及び亜鉛を有する場合には、インジウム、元素M及び亜鉛の原子数比、 $x : y : z$ は、実施の形態1で示した図2の領域12の範囲内の値であることが好ましく、領域13に示す範囲内の値であることがより好ましい。

【0214】

また、半導体層101a、半導体層101b及び半導体層101cは、スピネル型の結晶構造が含まれない、または少ないことが好ましい。また、半導体層101a、半導体層101b及び半導体層101cは、CAAC-Os膜であることが好ましい。

【0215】

ここで、より具体的な例として、半導体層101a、半導体層101b及び半導体層101cがそれぞれインジウム、元素M及び亜鉛を有する酸化物である場合を考える。ここで、半導体層101aのインジウム、元素M及び亜鉛の原子数比をインジウム：元素M：亜鉛 $= x_a : y_a : z_a$ とする。同様に、半導体層101bのインジウム、元素M及び亜鉛の原子数比をインジウム：元素M：亜鉛 $= x_b : y_b : z_b$ とし、半導体層101cのインジウム、元素M及び亜鉛の原子数比をインジウム：元素M：亜鉛 $= x_c : y_c : z_c$ とする。

【0216】

半導体層101a及び半導体層101cはスピネル型の結晶構造が含まれない、または少ないことが好ましい。よって、 $x_a : y_a : z_a$ 及び $x_c : y_c : z_c$ は、例えば図1(B)の領域11の範囲内であることが好ましい。また、半導体層101bは、半導体層101a及び半導体層101cよりも電子親和力の大きい酸化物であることが好ましい。

【0217】

よって、例えば $x_a : y_a : z_a$ 及び $x_c : y_c : z_c$ は、例えば領域11の範囲内であり、かつ半導体層101bよりも電子親和力が小さくなる値を取ることが好ましい。

【0218】

ここで、半導体層101bの電子親和力を半導体層101a及び半導体層101cより大きくするには、例えば半導体層101bのインジウムの含有率を半導体層101a及び半導体層101cよりも高めることが好ましい。例えば、 $x_b / (x_b + y_b + z_b) > x_a / (x_a + y_a + z_a)$ 、及び $x_b / (x_b + y_b + z_b) > x_c / (x_c + y_c + z_c)$ を満たすことが好ましい。

【0219】

または、半導体層101aは、例えば領域11の範囲内であり、かつ $x_a \leq 2y_a$ を満たすことが好ましい。また、半導体層101cは、例えば領域11の範囲内であり、かつ $x_c \leq y_c$ を満たすことがより好ましい。

【0220】

同様に、半導体層101cは、例えば領域11の範囲内であり、かつ $x_c \leq 2y_c$ を満たすことが好ましい。また、半導体層101cは、例えば領域11の範囲内であり、かつ $x_c \leq y_c$ を満たすことがより好ましい。

【0221】

すなわち、半導体層101aは、座標K(8:14:7)と、座標L(2:5:7)と

10

20

30

40

50

、座標M (51:149:300)と、座標N (46:288:833)と、座標O (0:2:11)と、座標P (0:0:1)と、座標A (2:2:1)と、前記座標Kとを、順番に線分で結んだ範囲内の原子数比を有することが好ましい。

【0222】

また、半導体層101cは、座標K (8:14:7)と、座標L (2:5:7)と、座標M (51:149:300)と、座標N (46:288:833)と、座標O (0:2:11)と、座標P (0:0:1)と、座標A (2:2:1)と、前記座標Kとを、順番に線分で結んだ範囲内の原子数比を有することが好ましい。

【0223】

また、半導体層101aや、半導体層101cは、座標K (8:14:7)と、座標L (2:5:7)と、座標M (51:149:300)と、座標N (46:288:833)と、座標P (0:0:1)と、座標C (8:12:25)と、座標B (23:27:25)と、座標A (2:2:1)と、前記座標Kとを、順番に線分で結んだ範囲内の原子数比を有することが好ましい。

【0224】

なお、トランジスタがs-channel構造を有する場合、半導体層101bの全体にチャンネルが形成される。したがって、半導体層101bが厚いほどチャンネル領域は大きくなる。即ち、半導体層101bが厚いほど、トランジスタのオン電流を高くすることができる。例えば、20nm以上、好ましくは40nm以上、さらに好ましくは60nm以上、より好ましくは100nm以上の厚さの領域を有する半導体層101bとすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300nm以下、好ましくは200nm以下、さらに好ましくは150nm以下の厚さの領域を有する半導体層101bとすればよい。

【0225】

また、トランジスタのオン電流を高くするためには、半導体層101cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有する半導体層101cとすればよい。一方、半導体層101cは、チャンネルの形成される半導体層101bへ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、半導体層101cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する半導体層101cとすればよい。また、半導体層101cは、ゲート絶縁膜102などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

【0226】

また、信頼性を高くするためには、半導体層101aは厚く、半導体層101cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する半導体層101aとすればよい。半導体層101aの厚さを、厚くすることで、隣接する絶縁体と半導体層101aとの界面からチャンネルの形成される半導体層101bまでの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する半導体層101aとすればよい。

【0227】

酸化物半導体膜に水素が多量に含まれると、水素に起因してドナー準位が形成される場合がある。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0228】

なお、酸化物半導体膜への脱水処理（脱水素化処理）によって、酸化物半導体膜から

10

20

30

40

50

酸素も同時に減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

【0229】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、*i* 型（真性）化または *i* 型に限りなく近く実質的に *i* 型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

10

【0230】

またこのように、*i* 型又は実質的に *i* 型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25℃程度）にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-24} \text{ A}$ 以下、または 85℃にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、*n* チャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも 1 V 以上、2 V 以上または 3 V 以上小さければ、トランジスタはオフ状態となる。

20

【0231】

ここで、トランジスタの半導体の形状による電気特性の違いを、デバイスシミュレーションによって計算した。計算で用いたトランジスタのモデルを図 65 に示す。なお、計算には、Synopsys 社の Sentaurus を用いた。

【0232】

図 65（A）及び図 65（B）は、積層構造の半導体層を有するトランジスタ 60a の断面構造である。図 65（A）はチャネル長方向の断面図であり、図 65（B）のチャネル幅方向の断面図である。

30

【0233】

トランジスタ 60a は、基板（図示しない。）の上面に接する絶縁膜 61 と、絶縁膜 61 の上面に接する半導体層 62 と、半導体層 62 の上面に接する半導体層 63 と、半導体層 63 の上面と接し、半導体層 63 と重なる領域で離間する導電層 65s 及び導電層 65d と、半導体層 63 の上面に接する半導体層 66 と、半導体層 66 上の絶縁膜 67 と、絶縁膜 67 を介して半導体層 63 と重なるゲート電極 68 と、を有する。なお、半導体層 63 において、導電層 65s、65d と接する領域は、低抵抗層 64s、64d を有する。また、絶縁膜 67 はゲート絶縁膜としての機能を有する。導電層 65s、65d は、ソース電極またはドレイン電極としての機能を有する。また、トランジスタ 60a を覆って、絶縁膜 69 が設けられている。

40

【0234】

図 65（C）及び図 65（D）は、単層構造の半導体層を有するトランジスタ 60b の断面構造である。図 65（C）はチャネル長方向の断面図であり、図 65（D）のチャネル幅方向の断面図である。

【0235】

トランジスタ 60b は、基板（図示しない。）の上面に接する絶縁膜 61 と、絶縁膜 61 の上面に接する絶縁膜 72 と、絶縁膜 72 の上面に接する半導体層 63 と、半導体層 63 の上面と接し、半導体層 63 と重なる領域で離間する導電層 65s 及び導電層 65d と、半導体層 63 の上面に接する絶縁膜 76 と、絶縁膜 76 上の絶縁膜 67 と、絶縁膜 67

50

を介して半導体層 6 3 と重なるゲート電極 6 8 と、を有する。なお、半導体層 6 3 において、導電層 6 5 s、6 5 d と接する領域は、低抵抗層 6 4 s、6 4 d を有する。また、絶縁膜 6 7 及び絶縁膜 7 6 は、ゲート絶縁膜としての機能を有する。また、トランジスタ 6 0 b を覆って、絶縁膜 6 9 が設けられている。

【0 2 3 6】

計算に用いた条件を以下に示す。トランジスタ 6 0 a、6 0 b において、チャンネル長 L を 6 0 nm、チャンネル幅を 6 0 nm とし、半導体層 6 3 の長さ L_1 を 1 4 0 nm とし、チャンネル長方向において、導電層 6 5 s、6 5 d と、ゲート電極 6 8 との重なる長さを 2 0 nm とした。また、絶縁膜 6 1 の比誘電率を 4. 1 とし、膜厚を 4 0 0 nm とした。導電層 6 5 s、6 5 d の仕事関数を 4. 6 e V とした。絶縁膜 6 7 の比誘電率を 4. 1 とし、膜厚を 1 0 nm とした。ゲート電極 6 8 の仕事関数を 5. 0 e V とした。

10

【0 2 3 7】

また、トランジスタ 6 0 a、6 0 b の半導体層 6 3 の条件を表 4 に示す。

【0 2 3 8】

【表 4】

組成比	IGZO (In:Ga:Zn=1:1:1)
電子親和力	4.6 eV
E_g	3.2 eV
比誘電率	15
ドナー密度	$6.60E-09 \text{ cm}^{-3}$
ドナー密度 (66s,66d)	$5.00E+18 \text{ cm}^{-3}$
電子移動度	$10 \text{ cm}^2/\text{Vs}$
正孔移動度	$0.01 \text{ cm}^2/\text{Vs}$
N_c	$5.00E+18 \text{ cm}^{-3}$
N_v	$5.00E+18 \text{ cm}^{-3}$
膜厚	15 nm

20

【0 2 3 9】

また、トランジスタ 6 0 a において、半導体層 6 2、6 6 として、In-Ga-Zn 酸化物 (In:Ga:Zn=1:3:2) を用い、半導体層 6 2、6 6 の、電子親和力を 4. 3 e V、バンドギャップを 3. 7 e V、比誘電率を 1 5、ドナー密度を $6. 6 \times 10^{-9}$ 個/cm³、電子移動度を $0. 1 \text{ cm}^2/\text{Vs}$ 、正孔移動度を $0. 0 1 \text{ cm}^2/\text{Vs}$ 、 N_c 及び N_v をそれぞれ 5×10^{18} 個/cm³ とした。また、半導体層 6 2 の厚さを 2 0 nm、半導体層 6 6 の厚さを 5 nm とした。

30

【0 2 4 0】

また、トランジスタ 6 0 b において、絶縁膜 7 2、7 6 の、電子親和力を 0. 9 e V、バンドギャップを 9 e V、比誘電率を 1 5 とした。また、絶縁膜 7 2 の厚さを 2 0 nm、絶縁膜 7 6 の厚さを 5 nm とした。

【0 2 4 1】

また、トランジスタ 6 0 a の半導体層 6 6 と絶縁膜 6 7 の界面に電子トラップを設けた。また、トランジスタ 6 0 b の半導体層 6 3 と絶縁膜 7 6 の界面に電子トラップを設けた。電子トラップの分布 f は、正規分布をしているため、数式 9 で求めることができる。

40

【0 2 4 2】

【数 9】

$$f = N_0 \exp\left(-\frac{(E - E_0)^2}{2E_s^2}\right) \quad (9)$$

なお、数式 9 において、 N_0 は電子トラップの最大密度であり、 E_0 は伝導帯の下端のエネルギーであり、 E は伝導帯の下端から価電子帯へ向けて分布する電子トラップの準位であり、 E_s は電子トラップのばらつきの大きさを示す。ここでは、 $N_0 = 1. 7 \times 10$

50

$1.3 / \text{eV cm}^2$ 、 $E_0 = 0 \text{ eV}$ 、 $E_s = 0.1 \text{ eV}$ として計算を行った。

【0243】

図76(A)に、トランジスタ60aの $V_g - I_d$ 特性の計算結果を示し、図76(B)にトランジスタ60bの $V_g - I_d$ 特性の計算結果を示す。なお、図76において、横軸はゲート電圧 V_g を示し、第1縦軸はドレイン電流 I_d を示し、第2縦軸は電界効果移動度を示す。また、実線は電子トラップを設けなかったトランジスタの計算結果であり、破線は電子トラップを設けたトランジスタの計算結果である。また、細線はドレイン電圧 $V_d = 0.1 \text{ V}$ としたときの計算結果であり、太線はドレイン電圧 $V_d = 1 \text{ V}$ としたときの計算結果である。

【0244】

図76(B)に示すように、半導体層63と絶縁膜76の界面に電子トラップを設けると、オン電流の低下がみられる。しかしながら、図76(A)に示すように、半導体層66と絶縁膜67の界面に電子トラップを設けても、オン電流の低下はわずかである。積層構造の半導体層において、半導体層63は、半導体層62及び半導体層66よりも電子親和力の大きい酸化物である。ゲート電極に電界を印加すると、半導体層62、半導体層63、半導体層66のうち、電子親和力の大きい半導体層63にチャンネルが形成される。チャンネルが、半導体層66と絶縁膜67との界面から離れるため、チャンネルにおいて、半導体層66と絶縁膜67との界面での電子トラップの影響を小さくすることができる。よって、トランジスタのオン電流の低下を抑制することができる。また、トランジスタのしきい値電圧の変動を抑制することが可能であり、トランジスタの信頼性を高めることができる。

【0245】

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。例えば、本発明の一態様として、酸化物半導体を有するトランジスタを用いた場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、酸化物半導体を用いないトランジスタを用いてもよい。あるいは、場合によっては、または、状況に応じて、本発明の一態様は、酸化物半導体とは異なる半導体材料を用いたトランジスタを用いてもよい。そのようなトランジスタとして、例えば、本発明の一態様は、Si(シリコン)、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、炭化シリコン、窒化物半導体、化合物半導体、有機半導体などを有するトランジスタを用いてもよい。また、半導体の結晶性として、場合によっては、または、状況に応じて、非晶質半導体、微結晶半導体、多結晶半導体、単結晶半導体等を用いてもよい。また、例えば、本発明の一態様として、所定の原子比で所定の原子を有する半導体の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、所定の原子比に合致しない比率で原子を有する半導体を用いてもよい。

【0246】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0247】

(実施の形態3)

以下では、本発明の一態様の酸化物半導体を用いたトランジスタの構造及び半導体装置について説明する。

【0248】

[トランジスタの変形例]

酸化物半導体を用いたトランジスタ100は、実施の形態2で示した図5の構造に限定されない。例えばトランジスタ100は、図6に示す構造でもよい。図6は、導電層104a及び導電層104bの形状が図5と異なる。図5(B)に示す断面では、導電層104a及び導電層104bは、半導体層101aの側面、半導体層101bの側面及び半導

10

20

30

40

50

体層 101b の上面と接する。図 6 (A) では、導電層 104a 及び導電層 104b は、半導体層 101b の上面と接し、導電層 104a の端部及び導電層 104b の端部は、半導体層 101b の端部と概略揃う領域を有する。なお、図 6 (B) は、図 6 (A) に示す一点鎖線 A-B を通り、図 6 (A) と垂直な面の断面を示す。

【0249】

また、トランジスタ 100 は、図 66 に示す構造でもよい。図 66 は、絶縁膜 114 の表面の平坦化を行っていないことが、図 6 と異なる主な点である。

【0250】

また、トランジスタ 100 は、図 7 に示す構造でもよい。図 7 は、ゲート絶縁膜 102 及び半導体層 101c の形状が図 5 と異なる。図 5 (B) 及び図 5 (C) では、ゲート絶縁膜 102 及び半導体層 101c の端部は、ゲート電極 103 の端部と概略揃う領域を有する。一方、図 7 (A) 及び図 7 (B) では、ゲート絶縁膜 102 及び半導体層 101c の端部は、ゲート電極 103 の端部よりも外側に位置する領域を有する。なお、図 7 (B) は、図 7 (A) に示す一点鎖線 A-B を通り、図 7 (A) と垂直な面の断面を示す。

【0251】

また、トランジスタ 100 は図 8 に示す構造でもよい。図 5 では、半導体層 101c が導電層 104a 及び導電層 104b の上面に接するのに対し、図 8 では、導電層 104a 及び導電層 104b の下面に接する。なお、図 8 (B) は、図 8 (A) に示す一点鎖線 A-B を通り、図 8 (A) と垂直な面の断面を示す。このような構成とすることで、半導体層 101a、半導体層 101b 及び半導体層 101c を構成するそれぞれの膜の成膜時において、大気に触れさせることなく連続的に成膜することができるため、各々の界面欠陥を低減することができる。

【0252】

また、トランジスタ 100 は、図 67 に示すように、層 119a 及び層 119b を有してもよい。

【0253】

層 119a 及び層 119b としては、例えば、透明導電体、酸化物半導体、窒化物半導体または酸化窒化物半導体を用いればよい。層 119a 及び層 119b としては、例えば、インジウム、スズおよび酸素を含む層、インジウムおよび亜鉛を含む層、インジウム、タングステンおよび亜鉛を含む層、スズおよび亜鉛を含む層、亜鉛およびガリウムを含む層、亜鉛およびアルミニウムを含む層、亜鉛およびフッ素を含む層、亜鉛およびホウ素を含む層、スズおよびアンチモンを含む層、スズおよびフッ素を含む層またはチタンおよびニオブを含む層などを用いればよい。または、これらの層が水素、炭素、窒素、シリコン、ゲルマニウムまたはアルゴンを含んでも構わない。

【0254】

層 119a 及び層 119b は、可視光線を透過する性質を有しても構わない。または、層 119a 及び層 119b は、可視光線、紫外線、赤外線もしくは X 線を、反射もしくは吸収することで透過させない性質を有しても構わない。このような性質を有することで、迷光によるトランジスタの電気特性の変動を抑制できる場合がある。

【0255】

また、層 119a 及び層 119b は、半導体層 101b などとの間にショットキー障壁を形成しない層を用いると好ましい場合がある。こうすることで、トランジスタのオン特性を向上させることができる。

【0256】

なお、層 119a 及び層 119b は、導電層 104a 及び導電層 104b よりも高抵抗の層を用いると好ましい場合がある。また、層 119a 及び層 119b は、トランジスタのチャネルよりも低抵抗の層を用いると好ましい場合がある。例えば、層 119a 及び層 119b の抵抗率を、 $0.1 \Omega \text{ cm}$ 以上 $100 \Omega \text{ cm}$ 以下、 $0.5 \Omega \text{ cm}$ 以上 $50 \Omega \text{ cm}$ 以下、または $1 \Omega \text{ cm}$ 以上 $10 \Omega \text{ cm}$ 以下とすればよい。層 119a 及び層 119b の抵抗率を上述の範囲とすることにより、チャネルとドレインとの境界部における電界集中を

緩和することができる。そのため、トランジスタの電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルー電流を低減することができる。そのため、チャネル長の短いトランジスタにおいても、飽和特性を良好にすることができる。なお、ソースとドレインとが入れ替わらない回路構成であれば、層 119a 及び層 119b のいずれか一方のみ（例えば、ドレイン側）を配置するほうが好ましい場合がある。

【0257】

また、トランジスタ 100 は、図 9 に示す構造でもよい。なお、図 9 (B) は、図 9 (A) に示す一点鎖線 A-B を通り、図 9 (A) と垂直な面の断面を示す。図 9 は、導電層 104a 及び導電層 104b を有さない点が、図 5 と異なる。ここで図 9 (C) に示すように、トランジスタ 100 は低抵抗層 171a 及び低抵抗層 171b を有してもよい。低抵抗層 171a 及び低抵抗層 171b はソース領域またはドレイン領域として機能することが好ましい。また、低抵抗層 171a 及び低抵抗層 171b は不純物が添加されていてもよい。不純物を添加することにより半導体層 101 の抵抗を下げるができる。添加する不純物としては、例えばアルゴン、ホウ素、炭素、マグネシウム、アルミニウム、シリコン、リン、カルシウム、スカンジウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ガリウム、ゲルマニウム、ヒ素、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンから選択された一種以上を添加することが好ましい。低抵抗層 171a 及び低抵抗層 171b は例えば、半導体層 101 中に、上述の不純物元素を $5 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2 \times 10^{20} \text{ atoms/cm}^3$ 以上、より好ましくは $5 \times 10^{20} \text{ atoms/cm}^3$ 以上含む領域である。図 9 (D) は、図 9 (C) の領域 324 の拡大図である。

【0258】

なお、このような抵抗の低い領域に不純物、例えば不要な水素などをトラップできる場合がある。不要な水素を低抵抗層にトラップすることによりチャネル領域の水素濃度を低くし、トランジスタ 100 の特性として、良好な特性を得ることができる。

【0259】

また、トランジスタ 100 は、図 10 に示す構造でもよい。図 10 は、半導体層 101c とゲート絶縁膜 102 の形状が図 9 と異なる。図 9 (A) 及び図 9 (B) ではゲート絶縁膜 102 の端部は、ゲート電極 103 の端部と概略揃う領域を有し、半導体層 101c はゲート電極 103 の端部よりも外側に位置する領域を有する。図 10 (A) 及び (B) では、半導体層 101c とゲート絶縁膜 102 の端部は、ゲート電極 103 の端部よりも外側に位置し、半導体層 101c が半導体層 101a 及び半導体層 101b の側面と接する領域を有する。なお、図 10 (B) は、図 10 (A) に示す一点鎖線 A-B を通り、図 10 (A) と垂直な面の断面を示す。

【0260】

また、図 6 乃至図 10 に示した構造では、半導体層 101b に接して半導体層 101a 及び半導体層 101c を設ける構成を説明したが、半導体層 101a または半導体層 101c の一方、またはその両方を設けない構成としてもよい。

【0261】

また、トランジスタ 100 は、図 11 に示すように、ゲート電極 103 がゲート絶縁膜 102 を介して半導体層 101 の下側に設けられる構造としてもよい。図 11 (A) 及び図 11 (B) に、トランジスタ 100 の上面図及び断面図を示す。図 11 (A) はトランジスタ 100 の上面図であり、図 11 (B) は、図 11 (A) の一点鎖線 A-B 間の断面図、図 11 (C) は、図 11 (A) の一点鎖線 C-D 間の断面図である。なお、図 11 (A) では、明瞭化のため、基板 50、ゲート絶縁膜 102、保護膜 25 などを省略している。図 11 に示すトランジスタ 100 は、基板 50 上に設けられるゲート電極 103 と、基板 50 及びゲート電極 103 上に形成されるゲート絶縁膜 102 と、ゲート絶縁膜 10

2を介してゲート電極103と重なる半導体層101と、半導体層101に接する導電層104a及び導電層104bを有する。また、ゲート絶縁膜102、半導体層101、導電層104a及び導電層104b上には、保護膜25が形成される。

【0262】

なお、保護膜25は、半導体層101において、ゲート絶縁膜102が接する面と反対側の面において接する。すなわち、保護膜25は、半導体層101において、チャンネルが形成される領域の反対側（以下、バックチャンネル領域という。）において、半導体層101と接することで、半導体層101のバックチャンネル領域を保護する機能を有する。

【0263】

ここで、保護膜25は、例えば2層以上の積層としてもよい。また、保護膜25は、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する膜を有することが好ましい。保護膜25は、例えば酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などを用いればよい。

10

【0264】

また、トランジスタ100は図62に示すように、保護膜25上に電極126を有してもよい。

【0265】

また、トランジスタ100は図63に示す構造でもよい。ここで、図11及び図62に示したトランジスタ100は、チャンネルエッチ型のトランジスタであったが、図63に示すトランジスタ100は、チャンネル保護型のトランジスタである。

20

【0266】

ここで、チャンネルエッチ型のトランジスタの作製工程について説明する。チャンネルエッチ型のトランジスタの半導体層101として、CAAC-Os膜を用いることにより、一対の導電層104a及び導電層104bを形成するときのエッチングの際に半導体層101が露出しても、半導体層101の結晶性が高いためにエッチングのダメージを受けにくく、良好なトランジスタ特性を得ることができる。チャンネルエッチ型のトランジスタを用いることにより、構造を簡略化することができる。よって、例えばトランジスタの作製に要する価格を低減することができる。

【0267】

また、CAAC-Os膜は結晶粒界が存在しないために、銅のバリア膜として機能し、例えば導電層104a及び導電層104bに銅を用いた場合に、導電層104a及び導電層104bに含まれる銅がトランジスタのチャンネル領域へ拡散することを防ぐと考えられる。

30

【0268】

図63(A)に示すトランジスタ100は、基板50上に設けられるゲート電極103と、基板50及びゲート電極103上に形成されるゲート絶縁膜102と、ゲート絶縁膜102を介して、ゲート電極103と重なる半導体層101と、ゲート絶縁膜102及び半導体層101上の絶縁膜127と、該絶縁膜の開口部において半導体層101に接する一対の導電層104a及び導電層104bとを有する。

【0269】

なお、図63(B)に示すトランジスタ100のように、半導体層101上に形成される絶縁膜128と、絶縁膜128上に端部が形成され、且つ半導体層101と接する一対の導電層104a及び導電層104bとを有してもよい。

40

【0270】

図63(A)、図63(B)に示すトランジスタ100はいずれも、一対の導電層104a及び導電層104bを形成する際に半導体層101が絶縁膜127、128に覆われているため、一対の導電層104a及び導電層104bを形成するエッチングによって、半導体層101はダメージを受けない。さらに、絶縁膜127、128を、窒素を有し、且つ欠陥量の少ない酸化物絶縁膜とすることで、電気特性の変動が抑制され、信頼性が向上されたトランジスタを作製することができる。

50

【0271】

また、図63(A)、図63(B)に示すトランジスタ100は、図62に示すような保護膜25や電極126を有してもよい。

【0272】

[構成例1]

図12(A)は、本発明の一態様の半導体装置の回路図の一例である。図12(A)に示す半導体装置は、トランジスタ100と、トランジスタ130と、容量素子150と、配線BLと、配線WLと、配線CL、配線SL、及び配線BGとを有する。

【0273】

トランジスタ130は、ソースまたはドレインの一方が配線BLと電氣的に接続し、他方が配線SLと電氣的に接続し、ゲートがトランジスタ100のソースまたはドレインの一方及び容量素子150の一方の電極と電氣的に接続する。トランジスタ100は、ソースまたはドレインの他方が配線BLと電氣的に接続し、ゲートが配線WLと電氣的に接続する。容量素子150は、他方の電極が配線CLと電氣的に接続する。また配線BGはトランジスタ100の第2のゲートと電氣的に接続する。なお、トランジスタ130のゲートと、トランジスタ100のソースまたはドレインの一方と、容量素子150の一方の電極の間のノードをノードFNと呼ぶ。

【0274】

図12(A)に示す半導体装置は、トランジスタ100が導通状態(オン状態)の時に配線BLの電位に応じた電位を、ノードFNに与える。また、トランジスタ100が非導通状態(オフ状態)のときに、ノードFNの電位を保持する機能を有する。すなわち、図12(A)に示す半導体装置は、記憶装置のメモリセルとしての機能を有する。なお、ノードFNと電氣的に接続する液晶素子や有機EL(Electroluminescence)素子などの表示素子を有する場合、図12(A)の半導体装置は表示装置の画素として機能させることもできる。

【0275】

トランジスタ100の導通状態、非導通状態の選択は、配線WLまたは配線BGに与える電位によって制御することができる。また配線WLまたは配線BGに与える電位によってトランジスタ100のしきい値電圧を制御することができる。トランジスタ100として、オフ電流の小さいトランジスタを用いることによって、非導通状態におけるノードFNの電位を長期間に渡って保持することができる。したがって、半導体装置のリフレッシュ頻度を低減することができるため、消費電力の小さい半導体装置を実現することができる。なお、オフ電流の小さいトランジスタの一例として、酸化物半導体を用いたトランジスタが挙げられる。

【0276】

なお、配線CLには基準電位や接地電位、または任意の固定電位などの定電位が与えられる。このとき、ノードFNの電位によって、トランジスタ100の見かけ上のしきい値電圧が変動する。見かけ上のしきい値電圧の変動により、トランジスタ130の導通状態、非導通状態が変化することを利用し、ノードFNに保持された電位の情報をデータとして読み出すことができる。

【0277】

なお、ノードFNに保持された電位を85℃において10年間(3.15×10^8 秒)保持するためには、容量1fFあたり、トランジスタのチャネル幅1μmあたりのオフ電流の値が4.3yA(ヨクトアンペア:1yAは 10^{-24} A)未満であることが好ましい。このとき、許容されるノードFNの電位の変動が0.5V以内であることが好ましい。または、95℃において、上記オフ電流が1.5yA未満であることが好ましい。本発明の一態様の半導体装置は、バリア膜よりも下層の水素濃度が十分に低減されているため、その結果、その上層の酸化物半導体を用いたトランジスタは、このように極めて低いオフ電流を実現することができる。

【0278】

また、容量を多くすることにより、より長く、ノードFNに電位を保持することができる。つまり、保持時間を長くすることができる。

【0279】

図12(A)に示す半導体装置をマトリクス状に配置することで、記憶装置(メモリセルアレイ)を構成することができる。

【0280】

図13に、図12(A)で示した回路を実現可能な半導体装置の断面構成の一例を示す。なお、図13(B)は、図13(A)に示す一点鎖線A-Bを通り、図13(A)と垂直な面の断面を示す。また、図13(C)は、図13(A)に示す一点鎖線C-Dを通り、図13(A)と垂直な面の断面を示す。

10

【0281】

半導体装置は、トランジスタ130、トランジスタ100、及び容量素子150を有する。トランジスタ100はトランジスタ130の上方に設けられ、トランジスタ130とトランジスタ100の間には少なくとも1層以上のバリア膜が設けられている。また、複数のバリア膜を形成してもよい。

【0282】

図13では、トランジスタ100として、図7に示したトランジスタ構造を用いる。

【0283】

トランジスタ130は、第1の半導体材料を含んで構成される。また、トランジスタ100は第2の半導体材料を含んで構成される。第1の半導体材料と第2の半導体材料は、同一の材料であってもよいが、異なる半導体材料とすることがより好ましい。

20

【0284】

第1の半導体材料、または第2の半導体材料として用いることのできる半導体としては、例えばシリコンやゲルマニウムやガリウムやヒ素などの半導体材料、シリコンやゲルマニウムやガリウムやヒ素やアルミニウムなどを有する化合物半導体材料、有機半導体材料、または酸化物半導体材料などが挙げられる。

【0285】

ここでは、第1の半導体材料として単結晶シリコンを、第2の半導体材料として酸化物半導体を用いた場合について説明する。

【0286】

30

〔第1のトランジスタ〕

トランジスタ130は、半導体基板131に設けられ、半導体基板131の一部からなる半導体層132、ゲート絶縁膜134、ゲート電極135、及びソース領域またはドレイン領域として機能する低抵抗層133a及び低抵抗層133bを有する。

【0287】

トランジスタ130は、pチャネル型、nチャネル型のいずれでもよいが、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0288】

半導体層132のチャネルが形成される領域やその近傍の領域や、ソース領域またはドレイン領域となる低抵抗層133a及び低抵抗層133b等において、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に歪みを有するシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ130をHEMT(High Electron Mobility Transistor)としてもよい。

40

【0289】

また、トランジスタ130は、LDD(Lightly Doped Drain)領域である領域176aと領域176bを有してもよい。

【0290】

50

低抵抗層 1 3 3 a 及び低抵抗層 1 3 3 b は、半導体層 1 3 2 に適用される半導体材料に加え、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

【0 2 9 1】

ゲート電極 1 3 5 は、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。

【0 2 9 2】

ここで、トランジスタ 1 3 0 に換えて図 1 5 (C) 及び図 1 5 (D) に示すようなトランジスタ 1 9 0 を用いてもよい。図 1 5 (D) は、図 1 5 (C) に示す一点鎖線 E-F を通り、図 1 5 (C) と垂直な面の断面を示す。トランジスタ 1 9 0 はチャンネルが形成される半導体層 1 3 2 (半導体基板の一部) が凸形状を有し、その側面及び上面に沿ってゲート絶縁膜 1 3 4 及びゲート電極 1 3 5 が設けられている。またトランジスタの間には素子分離層 1 8 1 が設けられている。このようなトランジスタ 1 9 0 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁膜を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I (S i l i c o n o n I n s u l a t o r) 基板を加工して凸形状を有する半導体層を形成してもよい。

【0 2 9 3】

トランジスタ 1 3 0 を覆って、絶縁膜 1 3 6、絶縁膜 1 3 7、及び絶縁膜 1 3 8 が順に積層して設けられている。

【0 2 9 4】

絶縁膜 1 3 6 は半導体装置の作製工程において、低抵抗層 1 3 3 a 及び低抵抗層 1 3 3 b に添加された導電性を付与する元素の活性化の際の保護膜として機能する。絶縁膜 1 3 6 は不要であれば設けなくてもよい。

【0 2 9 5】

半導体層 1 3 2 にシリコン系半導体材料を用いた場合、絶縁膜 1 3 7 は水素を含む絶縁材料を含むことが好ましい。水素を含む絶縁膜 1 3 7 をトランジスタ 1 3 0 上に設け、加熱処理を行うことで絶縁膜 1 3 7 中の水素により半導体層 1 3 2 中のダングリングボンドが終端され、トランジスタ 1 3 0 の信頼性を向上させることができる。

【0 2 9 6】

絶縁膜 1 3 8 はその下層に設けられるトランジスタ 1 3 0 などによって生じる段差を平坦化する平坦化層として機能する。絶縁膜 1 3 8 の上面は、その上面の平坦性を高めるために C M P (C h e m i c a l M e c h a n i c a l P o l i s h i n g) 法等を用いた平坦化処理により平坦化されていてもよい。

【0 2 9 7】

また、絶縁膜 1 3 6、絶縁膜 1 3 7、絶縁膜 1 3 8 には低抵抗層 1 3 3 a や低抵抗層 1 3 3 b 等と電氣的に接続するプラグ 1 4 0、トランジスタ 1 3 0 のゲート電極 1 3 5 と電氣的に接続するプラグ 1 3 9 等が埋め込まれていてもよい。

【0 2 9 8】

〔容量素子〕

トランジスタ 1 3 0 と、トランジスタ 1 0 0 の間には、バリア膜 1 1 1 が設けられている。バリア膜は図 1 3 に示すように単層でもよく、複数でもよい。

【0 2 9 9】

バリア膜 1 1 1 は、これよりも下層から水及び水素が上層に拡散することを抑制する機能を有する層である。また、バリア膜 1 1 1 は酸素透過性が低いことが好ましい。また、バリア膜 1 1 1 はこの上方に設けられる電極または配線と、下方に設けられる電極または配線とを電氣的に接続するための開口やプラグを有していてもよい。ここで、水及び酸素

の拡散を抑制する、とは、例えば一般的に絶縁膜として用いられる酸化シリコン等と比較して、水及び水素を拡散しにくい又は透過性が低いことを示す。また、酸素透過性が低いとは、一般的に絶縁膜として用いられる酸化シリコン等と比較して、酸素の透過性が低いことを示す。

【0300】

絶縁膜112はバリア膜111と同様、水や水素が拡散しにくい材料を用いることが好ましい。また、特に、絶縁膜112として酸素を透過しにくい材料を用いることが好ましい。なお、絶縁膜112を2層以上の積層構造としてもよい。その場合には、例えば絶縁膜112を2層の積層構造とし、下層に例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。また上層にはバリア膜111と同様に水や水素が拡散しにくい材料を用いることが好ましい。また下層に設ける絶縁膜は、後述する絶縁膜114と同様の、加熱により酸素が脱離する絶縁膜としてゲート絶縁膜102を介して半導体層101の上側からも酸素を供給する構成としてもよい。

10

【0301】

酸素を透過しにくい材料を含む絶縁膜112で半導体層101を覆うことで、半導体層101から絶縁膜112よりも上方に酸素が放出されることを抑制することができる。さらに、絶縁膜114から脱離した酸素を絶縁膜112よりも下側に閉じ込めることができるため、半導体層101に供給しうる酸素の量を増大させることができる。

20

【0302】

また、水や水素を透過しにくい絶縁膜112により、外部から酸化物半導体にとっての不純物である水や水素が混入することを抑制でき、トランジスタ100の電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0303】

なお、絶縁膜112よりも下側に、絶縁膜114と同様の、加熱により酸素が脱離する絶縁膜を設け、ゲート絶縁膜102を介して半導体層101の上側からも酸素を供給する構成としてもよい。

【0304】

ここで、バリア膜111よりも下層では、水素や水などを出来る限り低減させておくことが好ましい。あるいは、脱離ガスを抑制することが好ましい。水素や水は酸化物半導体にとって電気特性の変動を引き起こす要因となりうる。またバリア膜111を介して下層から上層へ拡散する水素や水は、バリア膜111により抑制することができるが、バリア膜111に設けられる開口やプラグ等を介して水素や水が上層に拡散してしまう場合がある。

30

【0305】

バリア膜111よりも下層に位置する各層に含まれる水素や水を低減させるため、あるいは脱離ガスを抑制するため、バリア膜111を形成する前、またはバリア膜111にプラグを形成するための開口を形成した直後に、バリア膜111よりも下層に含まれる水素や水を除去するため、あるいは脱離ガスを抑制するための加熱処理を施すことが好ましい。半導体装置を構成する導電膜などの耐熱性や、トランジスタの電気特性が劣化しない程度であれば、加熱処理の温度は高いほど好ましい。具体的には、例えば450℃以上、好ましくは490℃以上、より好ましくは530℃以上の温度とすればよいが、650℃以上で行ってもよい。不活性ガス雰囲気下または減圧雰囲気下で1時間以上、好ましくは5時間以上、より好ましくは10時間以上の加熱処理を行うことが好ましい。バリア膜111よりも下層に位置する配線または電極の材料の耐熱性を考慮して決定すればよいが、例えば当該材料の耐熱性が低い場合には、550℃以下、または600℃以下、または650℃以下、または800℃以下の温度で行えばよい。またこのような加熱処理は、少なくとも1回以上行えばよいが、複数回行うとより好ましい。

40

【0306】

バリア膜111より下層に設けられる絶縁膜は、昇温脱離ガス分光法分析（TDS分析

50

ともよぶ)によって測定される、基板表面温度が400℃での水素分子の脱離量が、300℃で水素分子の脱離量の130%以下、好ましくは110%以下であることが好ましい。または、TDS分析によって測定される、基板表面温度が450℃での水素分子の脱離量が、350℃での脱離量の130%以下、好ましくは110%以下であることが好ましい。

【0307】

また、バリア膜111自体に含まれる水や水素も低減されていることが好ましい。あるいは脱離ガスを抑制されていることが好ましい。例えばバリア膜111として、TDS分析によって測定される、基板表面温度が20℃から600℃の範囲における水素分子($M/z=2$)の脱離量が、 2×10^{15} 個/cm²未満、好ましくは 1×10^{15} 個/cm²未満、より好ましくは 5×10^{14} 個/cm²未満である材料をバリア膜111に用いることが好ましい。または、TDS分析によって測定される、基板表面温度が20℃から600℃の範囲における水分子($M/z=18$)の脱離量が、 1×10^{16} 個/cm²未満、好ましくは 5×10^{15} 個/cm²未満、より好ましくは 2×10^{12} 個/cm²未満である材料をバリア膜111に用いることが好ましい。

10

【0308】

また、トランジスタ130の半導体層に単結晶シリコンを用いた場合では、当該加熱処理は、シリコンの不對結合手(ダングリングボンドともいう)を水素によって終端化する処理(水素化処理とも呼ぶ)を兼ねることができる。水素化処理によりトランジスタ130のゲート絶縁膜や、バリア膜111より下層に形成されるその他の絶縁膜に含まれる水素の一部が脱離して第1のトランジスタの半導体層に拡散し、シリコン中のダングリングボンドを終端させることで、第2のトランジスタの信頼性を向上させることができる。

20

【0309】

バリア膜111に用いることのできる材料としては、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム($SrTiO_3$)または(Ba, Sr) TiO_3 (BST)などのいわゆるhigh-k材料を含む絶縁膜を単層または積層で用いることができる。またはこれらの絶縁膜に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウム、酸化ガリウムを添加してもよい。またはこれらの絶縁膜を窒化処理して酸化窒化膜としてもよい。上記の絶縁膜に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。特に、酸化アルミニウムは水や水素に対するバリア性に優れているため好ましい。

30

【0310】

バリア膜111は水や水素を透過しにくい材料の層のほかに、他の絶縁材料を含む層を積層させて用いてもよい。例えば、酸化シリコンまたは酸化窒化シリコンを含む層、金属酸化物を含む層などを積層させて用いてもよい。

【0311】

また、バリア膜111は、酸素を透過しにくい材料を用いることが好ましい。上述した材料は、水素、水に加え酸素に対してもバリア性に優れた材料である。このような材料を用いることで、絶縁膜114を加熱した時に放出される酸素がバリア膜111よりも下層に拡散することを抑制することができる。その結果、絶縁膜114から放出され、トランジスタ100の半導体層に供給されうる酸素の量を増大させることができる。

40

【0312】

このように、バリア膜111よりも下層に位置する各層に含まれる水素や水の濃度を減少する、または脱離ガスを抑制し、さらにバリア膜111により水素や水がトランジスタ100へ拡散することを抑制する。そのため、絶縁膜114や、トランジスタ100を構成する各層における水素及び水の含有量を、極めて低いものとすることができる。例えば、絶縁膜114、トランジスタ100の半導体層101、またはゲート絶縁膜102に含まれる水素濃度を 5×10^{18} cm⁻³未満、好ましくは 1×10^{18} cm⁻³未満、さ

50

らに好ましくは $3 \times 10^{17} \text{ cm}^{-3}$ 未満にまで低減することができる。

【0313】

以上の構成により、第1のトランジスタと第2のトランジスタのいずれにおいても高い信頼性を両立することが可能となり、極めて信頼性の高い半導体装置を実現できる。

【0314】

バリア膜111を挟むように、導電層151、導電層152a及び導電層152bが設けられ、容量素子150を形成している。プラグ140、導電層251はトランジスタ100の導電層104bと電氣的に接続されている。導電層151は、トランジスタ100の導電層104aと電氣的に接続する。導電層151、導電層143及び導電層251は絶縁膜115に設けられた開口部に埋め込まれるように形成される。

10

【0315】

バリア膜111、導電層152a、導電層152b、導電層105等を覆って、絶縁膜114が設けられている。

【0316】

絶縁膜114の上面はCMP法等を用いた平坦化処理により平坦化されていることが好ましい。

【0317】

絶縁膜114は、酸化物を含むことが好ましい。特に加熱により一部の酸素が脱離する酸化物材料を含むことが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。第2の半導体材料として酸化物半導体を用いた場合、絶縁膜114から脱離した酸素が酸化物半導体に供給され、酸化物半導体中の酸素欠損を低減することが可能となる。その結果、第2のトランジスタの電気特性の変動を抑制し、信頼性を高めることができる。

20

【0318】

また絶縁膜114は、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物材料として、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、昇温脱離ガス分光法分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

30

【0319】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。金属酸化物として、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いる事ができる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

40

【0320】

また絶縁膜114に酸素を過剰に含有させるために、絶縁膜114に酸素を導入して酸素を過剰に含有する領域を形成してもよい。例えば、成膜後の絶縁膜114に酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

【0321】

〔第2のトランジスタ〕

絶縁膜114の上部には、トランジスタ100の半導体層101が設けられている。

50

【0322】

トランジスタ100は、絶縁膜114の上面に接する半導体層101と、導電層104a及び導電層104bと、半導体層101上にゲート絶縁膜102と、ゲート絶縁膜102を介して半導体層101と重なるゲート電極103と、を有する。またトランジスタ100を覆って、絶縁膜112、絶縁膜113、及び絶縁膜116が設けられている。また、トランジスタ100は、第2のゲート電極として機能する導電層105を有してもよい。

【0323】

なお、半導体層101は、単層で形成してもよく、また図13に示す例のように、半導体層101a、半導体層101b及び半導体層101cの積層構造で形成されることがより好ましい。図13に示すトランジスタ100は、半導体層101aと、半導体層101aの上面に接する半導体層101bと、半導体層101bの上面と接し、半導体層101bと重なる領域で離間する導電層104a及び導電層104bと、半導体層101bの上面に接する半導体層101cと、半導体層101c上にゲート絶縁膜102と、ゲート絶縁膜102及び半導体層101cを介して半導体層101bと重なるゲート電極103と、を有する。また、図13に示すトランジスタ100は、第2のゲート電極として機能する導電層105を有する。導電層105は、容量素子150の一部を形成する導電層152a及び導電層152bと同時に形成してもよい。半導体層101aは、絶縁膜114と半導体層101bの間に設けられている。また、半導体層101cは、半導体層101bとゲート絶縁膜102の間に設けられている。また、導電層104a及び導電層104bは、半導体層101bの上面に接し、半導体層103cの下面と接する。

【0324】

またトランジスタ100を覆って、絶縁膜112、絶縁膜113、及び絶縁膜116が設けられている。

【0325】

ここで、半導体層101bには酸化物半導体を用いることが好ましい。加熱により絶縁膜114から脱離する酸素は、半導体層101bに供給され、半導体層101b中の酸素欠損を低減することが可能となる。その結果、例えばトランジスタ100の電気特性の変動を抑制し、信頼性を高めることができる。

【0326】

以下では、半導体層101bがIn-Ga-Zn酸化物である場合の結晶性と、酸素透過性との関係を説明する。

【0327】

In-Ga-Zn酸化物の結晶における、過剰酸素（酸素）の移動に係るエネルギー障壁について計算により求める。計算には、密度汎関数理論に基づく平面波基底第一原理計算ソフトVASP (Vienna ab-initio simulation package) を用いる。なお、汎関数としてはGGA-PBEを用いる。また、平面波のカットオフエネルギーを400eVとする。また、PAW (Projector Augmented Wave) 法により内殻電子の効果を取り入れる。

【0328】

ここでは、図61に示すIn-Ga-Zn酸化物の結晶において、過剰酸素（酸素）の移動経路1、移動経路2、移動経路3および移動経路4の移動しやすさを計算する。

【0329】

なお、移動経路1は、三つのインジウム原子および一つの亜鉛原子と結合した酸素に結合した過剰酸素（酸素）が、隣接する三つのインジウム原子および一つの亜鉛原子と結合した酸素に結合する経路である。また、移動経路2は、三つのインジウム原子および一つのガリウム原子と結合した酸素に結合した過剰酸素（酸素）が、インジウムおよび酸素を含む層を横切って、隣接する三つのインジウム原子および一つの亜鉛原子と結合した酸素に結合する経路である。また、移動経路3は、二つのガリウム原子および一つの亜鉛原子と結合した酸素に結合した過剰酸素（酸素）が、隣接する二つの亜鉛原子および一つのガ

リウム原子と結合した酸素に結合する経路である。また、移動経路 4 は、二つのガリウム原子および一つの亜鉛原子と結合した酸素に結合した過剰酸素（酸素）が、ガリウム、亜鉛および酸素を含む層を横切って、隣接する三つのインジウム原子および一つのガリウム原子と結合した酸素に結合する経路である。

【0330】

単位時間あたりに拡散のエネルギー障壁 E_a を越える頻度を拡散頻度 R とすると、 R は下に示す式で表すことができる。

【0331】

$$R = v \cdot \exp \left[-E_a / (k_B T) \right]$$

【0332】

なお、 v は拡散原子の熱振動の振動数、 k_B はボルツマン定数、 T は絶対温度である。 v にデバイ振動数として $10^{13} [1/\text{sec}]$ を与えた場合の、 350°C および 450°C における拡散頻度 R は表 5 のようになる。

【0333】

【表 5】

	エネルギー障壁 [eV]	拡散頻度 R [1/sec]	
		350°C	450°C
移動経路1	0.50	9.0×10^8	3.3×10^9
移動経路2	1.97	1.2×10^{-3}	1.9×10^{-1}
移動経路3	0.53	5.2×10^8	2.0×10^9
移動経路4	0.56	3.0×10^8	1.3×10^9

【0334】

表 5 に示すように、インジウムおよび酸素を含む層を横切る移動経路 2 において、他の移動経路よりも高いエネルギー障壁を有することがわかる。これは、 In-Ga-Zn 酸化物の結晶は、 c 軸方向における過剰酸素（酸素）の移動が起こりにくいことを示している。即ち、 CAAC-OS などのように、 c 軸配向性を有し、被形成面または上面に概略垂直な方向を向いている構造を有する場合、被形成面または上面に概略垂直な方向における過剰酸素（酸素）の移動が起こりにくいことを示している。

【0335】

よって、半導体層 101b に過剰酸素を供給する場合には、被形成面または上面に垂直な方向から角度の少しずれた方向から酸素を供給すればよい。例えば、半導体層 101b を形成した後、その側面から酸素を供給すればよい。

【0336】

また、例えば半導体層 101a 上に半導体層 101b を積層する場合、半導体層 101a の上面、すなわち半導体層 101b との界面は過剰酸素の移動が起こりにくい。よって、半導体層 101b へ供給された酸素の再放出を抑制することができる。同様に、半導体層 101b 上に半導体層 101c を積層する場合、半導体層 101b と半導体層 101c の界面は、過剰酸素の移動が起こりにくく、半導体層 101b からの酸素の再放出を抑制することができる。一方、半導体層 101b の側面からの酸素の再放出は生じやすい可能性があるので、例えば図 5 に示すように、半導体層 101b の側面を半導体層 101c で覆うことが好ましい。あるいは、例えば図 6 に示すように、半導体層 101b の側面を絶縁膜 112 や、ゲート絶縁膜 102 を介してゲート電極 103 等で覆うことが好ましい。

【0337】

なお、導電層 104a（及び／又は、導電層 104b）の、少なくとも一部（又は全部）は、半導体層 101b（及び／又は、半導体層 101a）などの半導体層の、表面、側面、上面、及び／又は、下面の少なくとも一部（又は全部）に設けられている。

【0338】

または、導電層 104a（及び／又は、導電層 104b）の、少なくとも一部（又は全部）は、半導体層 101b（及び／又は、半導体層 101a）などの半導体層の、表面、

側面、上面、及び／又は、下面の少なくとも一部（又は全部）と、接触している。または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の少なくとも一部（又は全部）と、接触している。

【0339】

または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の、表面、側面、上面、及び／又は、下面の少なくとも一部（又は全部）と、電氣的に接続されている。または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の一部（又は全部）と、電氣的に接続されている。

10

【0340】

または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の、表面、側面、上面、及び／又は、下面の少なくとも一部（又は全部）に、近接して配置されている。または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の一部（又は全部）に、近接して配置されている。

【0341】

または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の、表面、側面、上面、及び／又は、下面の少なくとも一部（又は全部）の横側に配置されている。または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の一部（又は全部）の横側に配置されている。

20

【0342】

または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の、表面、側面、上面、及び／又は、下面の少なくとも一部（又は全部）の斜め上側に配置されている。または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の一部（又は全部）の斜め上側に配置されている。

30

【0343】

または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の、表面、側面、上面、及び／又は、下面の少なくとも一部（又は全部）の上側に配置されている。または、導電層104a（及び／又は、導電層104b）の、少なくとも一部（又は全部）は、半導体層101b（及び／又は、半導体層101a）などの半導体層の一部（又は全部）の上側に配置されている。

【0344】

半導体層101は、チャンネルが形成される領域において、シリコン系半導体などの半導体を含んでいてもよい。特に、半導体層101は、シリコンよりもバンドギャップの大きな半導体を含むことが好ましい。好適には、半導体層101は酸化物半導体を含んで構成される。シリコンよりもバンドギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

40

【0345】

半導体層としてこのような材料を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0346】

半導体層に適用可能な酸化物半導体の好ましい形態については、例えば実施の形態1に

50

示す酸化物半導体を参照すればよい。

【0347】

なお、本明細書等において実質的に真性という場合、酸化物半導体層のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満である。酸化物半導体層を高純度真性化することで、トランジスタに安定した電気特性を付与することができる。

【0348】

導電層104a及び導電層104bは、一方がソース電極として機能し、他方がドレイン電極として機能する。

【0349】

導電層104a及び導電層104bは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0350】

ゲート絶縁膜102は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn系金属酸化物、窒化シリコンなどを用いればよく、積層または単層で設ける。

【0351】

また、ゲート絶縁膜102として、ハフニウムシリケート(HfSiO_x)、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化イットリウムなどのhigh-k材料を用いてもよい。

【0352】

また、ゲート絶縁膜102として、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、または上記材料を混合した膜を用いて形成することができる。

【0353】

また、ゲート絶縁膜102として、絶縁膜114と同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いることが好ましい。

【0354】

なお、特定の材料をゲート絶縁膜に用いると、特定の条件でゲート絶縁膜に電子を捕獲せしめて、しきい値電圧を増大させることもできる。例えば、酸化シリコンと酸化ハフニウムの積層膜のように、ゲート絶縁膜の一部に酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用い、より高い温度(半導体装置の使用温度あるいは保管温度よりも高い温度、あるいは、 125°C 以上 450°C 以下、代表的には 150°C 以上 300°C 以下)の下で、ゲート電極の電位をソース電極やドレイン電極の電位より高い状態を、1秒以上、代表的には1分以上維持することで、半導体層からゲート電極に向かって、電子が移動し、そのうちのいくらかは電子捕獲準位に捕獲される。

【0355】

このように電子捕獲準位に電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。ゲート電極の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。また、電子を捕獲せしめる処理は、トランジスタの作製過程におこなえばよい。

【0356】

例えば、トランジスタのソース電極あるいはドレイン電極に接続する配線メタルの形成後、あるいは、前工程（ウェハー処理）の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階で行うとよい。いずれの場合にも、その後125℃以上の温度に1時間以上さらされないことが好ましい。

【0357】

ゲート電極103は、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。また、ゲート電極103は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくはこれらの窒化膜を用いてもよい。

【0358】

また、ゲート電極103は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0359】

また、ゲート電極103とゲート絶縁膜102の間に、In-Ga-Zn系酸窒化物半導体膜、In-Sn系酸窒化物半導体膜、In-Ga系酸窒化物半導体膜、In-Zn系酸窒化物半導体膜、Sn系酸窒化物半導体膜、In系酸窒化物半導体膜、金属窒化膜（InN、ZnN等）等を設けてもよい。これらの膜は5eV以上、好ましくは5.5eV以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧をプラスにシフトすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn系酸窒化物半導体膜を用いる場合、少なくとも半導体層101より高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn系酸窒化物半導体膜を用いる。

【0360】

絶縁膜112は、バリア膜111と同様、水や水素が拡散しにくい材料を用いることが好ましい。また、特に、絶縁膜112として酸素を透過しにくい材料を用いることが好ましい。

【0361】

酸素を透過しにくい材料を含む絶縁膜112で半導体層101を覆うことで、半導体層101から絶縁膜112よりも上方に酸素が放出されることを抑制することができる。さらに、絶縁膜114から脱離した酸素を絶縁膜112よりも下側に閉じ込めることができるため、半導体層101に供給しうる酸素の量を増大させることができる。

【0362】

また、水や水素を透過しにくい絶縁膜 112 により、外部から酸化物半導体にとっての不純物である水や水素が混入することを抑制でき、トランジスタ 100 の電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0363】

なお、絶縁膜 112 よりも下側に、絶縁膜 114 と同様の、加熱により酸素が脱離する絶縁膜を設け、ゲート絶縁膜 102 を介して半導体層 101 の上側からも酸素を供給する構成としてもよい。

【0364】

また、図 13 (B) に示すように、トランジスタのチャネル幅方向の断面において、ゲート電極 103 が半導体層 101b の上面及び側面に面して設けられることで、半導体層 101b の上面近傍だけでなく側面近傍にまでチャネルが形成され、実効的なチャネル幅が増大し、オン状態における電流（オン電流）を高めることができる。特に、半導体層 101b の幅が極めて小さい（例えば 50 nm 以下、好ましくは 30 nm 以下、より好ましくは 20 nm 以下）場合には、半導体層 101b の内部にまでチャネルが形成される領域が広がるため、微細化するほどオン電流に対する寄与が高まる。

【0365】

以上がトランジスタ 100 についての説明である。

【0366】

トランジスタ 100 を覆う絶縁膜 116 は、その下層の凹凸形状を被覆する平坦化層として機能する。また絶縁膜 113 は、絶縁膜 116 を成膜する際の保護膜としての機能を有していてもよい。絶縁膜 113 は不要であれば設けなくてもよい。

【0367】

絶縁膜 112、絶縁膜 113 及び絶縁膜 116 には、導電層 104b や導電層 104a と電氣的に接続するプラグ 321、プラグ 322、プラグ 123 が埋め込まれている。

【0368】

絶縁膜 116 の上部には、プラグ 322 と電氣的に接続する配線 124 等が設けられている。

【0369】

ここで、図 13 (A) に示す配線 124 が図 12 に示す配線 BL に相当する。同様に、図 13 (B) に示す配線 166 が配線 BG に相当し、また図示しないが、図 13 のゲート電極 103 に接続する配線が配線 WL に相当する。また、導電層 152a 及び導電層 152b に接続する配線が配線 CL に相当する。また、トランジスタ 130 の低抵抗層 133b に接続する配線が、配線 SL に相当する。またトランジスタ 130 のゲート電極 135、容量素子 150 の第 1 の電極として機能する導電層 151、及びトランジスタ 100 の導電層 104a を含むノードが、図 12 (A) に示すノード FN に相当する。

【0370】

また図 13 に示すように、水素を含む絶縁膜 136 上に、バリア膜 111 と同様の材料を含む絶縁膜 137 を設ける構成としてもよい。このような構成とすることで、水素を含む絶縁膜 136 中に残存した水や水素が上方に拡散することを効果的に抑制することができる。この場合、絶縁膜 137 を形成する前と、絶縁膜 137 を形成した後であってバリア膜 111 を形成するよりも前に、水や水素を除去するための加熱処理を合計 2 回以上行ってもよい。

【0371】

配線 124、配線 166 等の配線は、材料として金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。

【0372】

また、導電層 151、導電層 152a、導電層 152b、導電層 251、導電層 143 等の導電層や、プラグ 123、プラグ 139、プラグ 140、プラグ 164、プラグ 16

5等のプラグには、材料として金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、窒化チタンやチタンなどの材料を、他の材料と積層して用いてもよい。例えば、窒化チタンやチタンを用いることにより、開口部への密着性を向上させることができる。導電層151、導電層152a、導電層152b、導電層251、導電層143等の導電層や、プラグ123、プラグ139、プラグ140、プラグ164、プラグ165等のプラグは、絶縁膜に埋め込まれるように設けられ、各々の上面は平坦化されていることが好ましい。

【0373】

10

本発明の一態様の半導体装置は、トランジスタ130と、トランジスタ130の上方に位置するトランジスタ100とを有するため、これらを積層して設けることにより素子の占有面積を縮小することができる。さらに、トランジスタ130とトランジスタ100との間に設けられたバリア膜111により、これよりも下層に存在する水や水素等の不純物がトランジスタ100側に拡散することを抑制できる。さらに、当該バリア膜111を挟んで、一部が第1の電極として機能する導電層151と、一部が第2の電極として機能する導電層152a及び導電層152bが設けられ、容量素子150を形成するため、容量素子150を作製するための工程を別途追加することなく容量素子150を容易に作製することができる。

【0374】

20

[構成例2]

次に、図12(B)に示す回路は、pチャネル型のトランジスタとnチャネル型のトランジスタを直列に接続し、且つそれぞれのゲートを接続した、いわゆるCMOS回路が2段接続した構成を示している。ここで例えば、nチャネル型のトランジスタとして第2の半導体材料を含んで構成されるトランジスタ100及びトランジスタ201を用い、pチャネル型のトランジスタとして第1の半導体材料を含んで構成されるトランジスタ130及びトランジスタ230を用いればよい。

【0375】

図14に、図12(B)で示した回路を実現可能な半導体装置の断面構成の一例を示す。なお、図14(B)は、図14(A)に示す一点鎖線A-Bを通り、図14(A)と垂直な面の断面を示す。図14に示すようにpチャネル型のトランジスタとnチャネル型のトランジスタを上下に積層することにより、回路面積を縮小できる場合がある。

30

【0376】

図14に示す半導体装置は、トランジスタ230、トランジスタ231及びトランジスタ100を有する。図14(A)に示すように、トランジスタ100はトランジスタ230の上方に設けられ、トランジスタ230とトランジスタ100の間には少なくとも1層以上のバリア膜が設けられている。また、図14(B)に示すように、トランジスタ100はトランジスタ231の上方に設けられ、トランジスタ231とトランジスタ100の間には少なくとも一層以上のバリア層が設けられている。なお、図14にはトランジスタ201は図示していない。

40

【0377】

トランジスタ230及びトランジスタ231は、第1の半導体材料を含んで構成される。また、トランジスタ100及びトランジスタ201は第2の半導体材料を含んで構成される。第1の半導体材料と第2の半導体材料は、同一の材料であってもよいが、異なる半導体材料とすることがより好ましい。

【0378】

第1の半導体材料、または第2の半導体材料として用いることのできる半導体としては、例えばシリコンやゲルマニウムやガリウムやヒ素などの半導体材料、シリコンやゲルマニウムやガリウムやヒ素やアルミニウムなどを有する化合物半導体材料、有機半導体材料、または酸化物半導体材料などが挙げられる。

50

【0379】

ここでは、第1の半導体材料として単結晶シリコンを、第2の半導体材料として酸化物半導体を用いた場合について説明する。

【0380】

トランジスタ230及びトランジスタ231と、トランジスタ100は積層して設けられる。ここでトランジスタ230はpチャネル型のトランジスタであり、トランジスタ100はnチャネル型のトランジスタである。

【0381】

トランジスタ230は、半導体基板131に設けられ、半導体基板131の一部からなる半導体層132、ゲート絶縁膜134、ゲート電極135、及びソース領域またはドレイン領域として機能する低抵抗層233a及び低抵抗層233bを有する。また、トランジスタ231は、半導体基板131に設けられ、半導体基板131の一部からなる半導体層132b、ゲート絶縁膜134b、ゲート電極135b、及びソース領域またはドレイン領域として機能する低抵抗層233c及び低抵抗層233dを有する。図14(C)に、図14(B)の一点鎖線C-Dにおける断面を示す。

10

【0382】

半導体層132のチャンネルが形成される領域やその近傍の領域や、ソース領域またはドレイン領域となる低抵抗層233a、低抵抗層233b、低抵抗層233c及び低抵抗層233d等において、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に歪みを有するシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ230をHEMT(High Electron Mobility Transistor)としてもよい。

20

【0383】

また、トランジスタ230は、LDD領域である領域276a、領域276b、領域276c及び領域276dを有してもよい。

【0384】

低抵抗層233a、低抵抗層233b、低抵抗層233c及び低抵抗層233dは、半導体層132に適用される半導体材料に加え、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。ここでは例として、ホウ素などのp型導電性を付与する元素を含む場合を考える。

30

【0385】

ゲート電極135は、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。

【0386】

図14(A)に示すように、トランジスタ230の低抵抗層233aは、プラグ140、導電層251を介してトランジスタ100の導電層104bと電気的に接続している。ここで、導電層104bは絶縁膜114及びバリア膜211の開口部に埋め込むように形成されることが好ましい。ここで、絶縁膜114及びバリア膜211の開口部に埋め込むように形成することにより、導電層104bを導電層251を電気的に接続するためのプラグを別途形成する必要がなく、工程が簡略化できるだけでなく、導電層104bとプラグとの位置精度を考慮して設計しなくてもよいため、集積化が可能である。

40

【0387】

また、図14(B)に示すように、トランジスタ230のゲート電極135、トランジスタ231の低抵抗層233c及びゲート電極103は、プラグ139、プラグ323、

50

導電層151及び導電層104cを介して電氣的に接続している。ここで、導電層104cは、導電層104a及び導電層104bと同時に形成することが好ましい。導電層104a、導電層104b及び導電層104cを同時に形成することにより、バリア膜211及び絶縁膜114の開口部へ別途、プラグ形成する必要がなくなるため、工程を簡略化できる。

【0388】

なお、トランジスタ230及びトランジスタ231として、図15(C)及び図15(D)に示したようないわゆるFIN型トランジスタと呼ばれる構造を用いてもよい。

【0389】

また図14に示すトランジスタ100については、図13に示すトランジスタ100の記載を参照すればよい。

10

【0390】

次に、図14に示す半導体装置の構成の変形例を、図15(A)に示す。また、図15(B)は、図15(A)に示す一点鎖線A-Bを通り、図15(A)と垂直な面の断面を示す。図15では、トランジスタ100として、図9(A)に示したトランジスタ構造を用いる。

【0391】

図15は、導電層104a、導電層104b及び導電層104cを有さないこと、プラグ121及びプラグ122を設けること、及びプラグ322の形状が異なること等が図14と異なる点である。

20

【0392】

ここで、本実施の形態で示すCMOS回路は、NAND回路、NOR回路、エンコーダ、デコーダ、MUX(multiplexer)、DEMUX(demultiplexer)などの論理回路の基本素子として利用される。

【0393】

以上が構成例についての説明である。

【0394】

[作製方法例]

以下では、上記構成例で示した半導体装置のうち、図13に示した半導体装置の作製方法の一例について、図16乃至図19を用いて説明する。

30

【0395】

まず、半導体基板131を準備する。半導体基板131としては、例えば単結晶シリコン基板(p型の半導体基板、またはn型の半導体基板を含む)、炭化シリコンや窒化ガリウムからなる化合物半導体基板などを用いることができる。また、半導体基板131として、SOI基板を用いてもよい。以下では、半導体基板131として単結晶シリコンを用いた場合について説明する。

【0396】

続いて、半導体基板131に素子分離層(図示せず)を形成する。素子分離層はLOCOS(Local Oxidation of Silicon)法またはSTI(Shallow Trench Isolation)法、メサ分離法等を用いて形成すればよい。

40

【0397】

同一基板上にp型のトランジスタとn型のトランジスタを形成する場合、半導体基板131の一部にnウェルまたはpウェルを形成してもよい。例えば、n型の半導体基板131にp型の導電性を付与するホウ素などの不純物元素を添加してpウェルを形成し、同一基板上にn型のトランジスタとp型のトランジスタを形成してもよい。

【0398】

続いて、半導体基板131上にゲート絶縁膜134となる絶縁膜を形成する。例えば、半導体基板131の表面を酸化し酸化シリコン膜を形成する。または、熱酸化法により酸化シリコンを形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化す

50

ることにより、酸化シリコン膜と、酸化窒化シリコン膜の積層構造を形成してもよい。または、酸化シリコン、酸化窒化シリコン、高誘電率物質（high-k材料ともいう）であるタンタル酸化物、酸化ハフニウム、酸化ハフニウムシリケート、酸化ジルコニウム、酸化アルミニウム、酸化チタンなどの金属酸化物、または酸化ランタンなどの希土類酸化物等を用いてもよい。

【0399】

当該絶縁膜は、スパッタリング法、CVD（Chemical Vapor Deposition）法（熱CVD法、MOCVD（Metal Organic CVD）法、PECVD（Plasma Enhanced CVD）法等を含む）、MBE（Molecular Beam Epitaxy）法、ALD（Atomic Layer Deposition）法、またはPLD（Pulsed Laser Deposition）法等で成膜することにより形成してもよい。

10

【0400】

続いて、ゲート電極135となる導電膜を成膜する。導電膜としては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造を用いてもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

20

【0401】

導電膜は、スパッタリング法、蒸着法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）などにより成膜することができる。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0402】

続いて、当該導電膜上にリソグラフィ法等を用いてレジストマスクを形成し、当該導電膜の不要な部分を除去する。その後、レジストマスクを除去することにより、ゲート電極135を形成することができる。

【0403】

ここで、被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、フォトリソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、フォトリソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて、被加工膜をエッチングしてもよい。また被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

30

【0404】

レジストマスクの形成に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV：Extreme Ultra-violet）やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

40

【0405】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピコート法などにより、その下層の段差を被覆して表面を平坦化するように形成するこ

50

とができ、当該有機樹脂膜の上層に設けられるレジストマスクの厚さのばらつきを低減できる。また特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばBARC (Bottom Anti-Reflection Coating) 膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

【0406】

ゲート電極135の形成後、ゲート電極135の側面を覆うサイドウォールを形成してもよい。サイドウォールは、ゲート電極135の厚さよりも厚い絶縁膜を成膜した後に、異方性エッチングを施し、ゲート電極135の側面部分のみ当該絶縁膜を残存させることにより形成できる。

10

【0407】

図16には、サイドウォールの形成時にゲート絶縁膜のエッチングを行わない例を示すが、サイドウォールの形成時にゲート絶縁膜134となる絶縁膜も同時にエッチングしてもよい。この場合はゲート電極135及びサイドウォールの下部にゲート絶縁膜134が形成される。

【0408】

続いて、半導体基板131のゲート電極135（及びサイドウォール）が設けられていない領域にリンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を添加する。この段階における断面概略図が図16（A）に相当する。

20

【0409】

続いて、絶縁膜136を形成した後、上述した導電性を付与する元素の活性化のための第1の加熱処理を行う。

【0410】

絶縁膜136は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。絶縁膜136はスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

30

【0411】

第1の加熱処理は、希ガスや窒素ガスなどの不活性ガス雰囲気下、または減圧雰囲気下にて、例えば400℃以上基板の歪み点未満で行うことができる。

【0412】

この段階でトランジスタ130が形成される。また、トランジスタ130を形成すると同様の方法で、第3のトランジスタ160を形成してもよい。

【0413】

続いて、絶縁膜137及び絶縁膜138を形成する。

40

【0414】

絶縁膜137は、絶縁膜136に用いることのできる材料のほか、酸素と水素を含む窒化シリコン（SiNOH）を用いると、加熱によって脱離する水素の量を大きくすることができるため好ましい。また、絶縁膜138は、絶縁膜136に用いることのできる材料のほか、TEOS（Tetra-Ethyl-Ortho-Silicate）若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性の良い酸化シリコンを用いることが好ましい。

【0415】

絶縁膜137及び絶縁膜138は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用い

50

て形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0416】

続いて絶縁膜138の上面をCMP法等を用いて平坦化する。また、絶縁膜138として平坦化膜を用いてもよい。その場合は、必ずしもCMP法等で平坦化しなくともよい。平坦化膜の形成には、例えば常圧CVD法や、塗布法などを用いることができる。常圧CVD法を用いて形成できる膜としては例えば、BPSG(Boron Phosphorus Silicate Glass)等が挙げられる。また、塗布法を用いて形成できる膜としては例えば、HSQ(水素シルセスキオキサン)等が挙げられる。

10

【0417】

その後、半導体層132中のダングリングボンドを絶縁膜137から脱離する水素によって終端するための第2の加熱処理を行う。また、第2の加熱処理によって各々の層に含まれる水や水素を脱離させることにより、水や水素の含有量を低減することができる。

【0418】

第2の加熱処理は、上記積層構造の説明で例示した条件で行うことができる。例えば第1の加熱処理で説明した条件などを用いることができる。

【0419】

続いて、絶縁膜136、絶縁膜137、及び絶縁膜138に低抵抗層133a、低抵抗層133b及びゲート電極135等に達する開口を形成する(図16(B)参照)。その後、開口を埋めるように導電膜を形成する(図16(C)参照)。その後、絶縁膜138の上面が露出するように、該導電膜に平坦化処理を施すことにより、プラグ139やプラグ140等を形成する(図16(D)参照)。導電膜の形成は、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。

20

【0420】

続いて、絶縁膜138上に絶縁膜215を成膜する。絶縁膜215は、絶縁膜136等と同様の材料及び方法により形成することができる。

【0421】

絶縁膜215を形成した後、第3の加熱処理を行うことが好ましい。第3の加熱処理により、各層に含まれる水や水素を脱離させることにより、水や水素の含有量を低減することができる。バリア膜111を形成する直前に第3の加熱処理を施し、バリア膜111よりも下層に含まれる水素や水を徹底的に除去した後に、バリア膜111を形成することで、後の工程でバリア膜111よりも下層側に水や水素が再度拡散してしまうことを抑制することができる。

30

【0422】

第3の加熱処理は、上記積層構造の説明で例示した条件で行うことができる。例えば第1の加熱処理で説明した条件などを用いることができる。

【0423】

続いて絶縁膜215に開口部を形成する。その後、開口を埋めるように導電膜を形成し、絶縁膜215の上面が露出するように、該導電膜に平坦化処理を施すことにより、導電層251、導電層143及び導電層151等を形成する(図16(E)参照)。

40

【0424】

続いて、バリア膜111を成膜し、開口部を形成する(図17(A)参照)。バリア膜111は、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0425】

50

続いて、導電層105、導電層152a及び導電層152bとなる導電膜を成膜する。その後、エッチング等により導電層105、導電層152a及び導電層152bを形成する(図17(B)参照)。

【0426】

次に、絶縁膜114を成膜する。絶縁膜114は、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

10

【0427】

絶縁膜114に酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁膜114の成膜を行えばよい。または、成膜後の絶縁膜114に酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

【0428】

例えば、成膜後の絶縁膜114に酸素(少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む)を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、プラズマ処理などを用いることができる。

【0429】

20

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、例えば酸素、亜酸化窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。または、水素等を含ませてもよい。例えば、二酸化炭素、水素及びアルゴンの混合ガスを用いるとよい。

【0430】

また、絶縁膜114を成型した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

【0431】

次に、半導体層101aとなる半導体膜と、半導体層101bとなる半導体膜を順に成膜する(図17(C)参照)。当該半導体膜は、大気に触れさせることなく連続して成膜することが好ましい。半導体層101aとなる半導体、及び半導体層101bとなる半導体は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて成膜すればよい。

30

【0432】

なお、半導体層101aとなる半導体、及び半導体層101bとなる半導体として、In-Ga-Zn酸化物層をMOCVD法によって成膜する場合、原料ガスとしてトリメチルインジウム、トリメチルガリウム及びジメチル亜鉛などを用いればよい。なお、上記原料ガスの組み合わせに限定されず、トリメチルインジウムに代えてトリエチルインジウムなどを用いてもよい。また、トリメチルガリウムに代えてトリエチルガリウムなどを用いてもよい。また、ジメチル亜鉛に代えてジエチル亜鉛などを用いてもよい。

40

【0433】

ここで、半導体層101aを形成した後に、半導体層101aに酸素を導入してもよい。例えば、成膜後の半導体層101aに酸素(少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む)を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、プラズマ処理などを用いることができる。

【0434】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、例えば酸素、亜酸化窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができ

50

る。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。または、水素等を含ませてもよい。例えば、二酸化炭素、水素及びアルゴンの混合ガスを用いるとよい。

【0435】

半導体層101a及び半導体層101bを成膜後、第4の加熱処理を行うことが好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態でいえばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。加熱処理は、半導体膜を成膜した直後に行ってもよいし、半導体膜を加工して島状の半導体層101a及び101bを形成した後に行ってもよい。加熱処理により、絶縁膜114や酸化物膜から半導体膜に酸素が供給され、半導体膜中の酸素欠損を低減することができる。

10

【0436】

その後、レジストマスクを形成し、不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、島状の半導体層101aと島状の半導体層101bの積層構造を形成することができる(図17(D)参照)。なお、半導体膜のエッチングの際に、絶縁膜114の一部がエッチングされ、半導体層101a及び半導体層101bに覆われていない領域における絶縁膜114が薄膜化することがある。したがって、当該エッチングにより絶縁膜114が消失しないよう、予め厚く形成しておくことが好ましい。

20

【0437】

なお、半導体膜のエッチング条件によっては、レジストがエッチング時に消失してしまう場合があるため、エッチングの耐性が高い材料、例えば無機膜または金属膜からなるいわゆるハードマスクを用いてもよい。ここでハードマスク281として、導電膜を用いる例を示す。図18(A)は、ハードマスク281を用いて半導体膜を加工し、半導体層101a及び半導体層101bを形成する例をしめす。ここで、ハードマスク281に導電層104a及び導電層104bとして用いることができる材料を用いれば、ハードマスク281を加工し、導電層104a及び導電層104bを形成することができる。このような方法を用いることにより、例えば図6に示すトランジスタ100を作製することができる。

30

【0438】

図17(D)に示す構造を形成した後、絶縁膜114に導電層151、導電層251等に達する開口部を設ける(図18(B)参照)。その後、絶縁膜114に設けた開口部を埋め込むように、導電層104a、導電層104b等となる導電膜を成膜する。導電層104a、導電層104b等となる導電膜の形成は、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

40

【0439】

次に、レジストマスクを形成し、導電層104a、導電層104b等となる導電膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去し、導電層104a及び導電層104b等を形成する(図18(C)参照)。ここで、導電膜のエッチングの際に、半導体層101bや絶縁膜114の上部の一部がエッチングされ、導電層104a及び導電層104bと重ならない部分が薄膜化することがある。したがって、半導体層101bとなる半導体膜等の厚さを、エッチングされる深さを考慮して予め厚く形成しておくことが好ましい。

【0440】

次に、半導体層101c及びゲート絶縁膜102を成膜する。その後、レジストマスク

50

を形成し、エッチングにより加工し、その後レジストマスクを除去する（図19（A）参照）。次にゲート電極103となる導電膜を成膜し、レジストマスクを形成し、エッチングにより該導電膜を加工し、その後レジストマスクを除去してゲート電極103を形成する（図19（B）参照）。半導体層101cとなる半導体は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて成膜すればよい。

【0441】

あるいは、半導体層101c及びゲート絶縁膜102は、ゲート電極形成後にエッチングしてもよい。エッチングは、例えばレジストマスクを用いて行えばよい。または、形成したゲート電極103をマスクとしてゲート絶縁膜102及び半導体層101cをエッチングしてもよい。ゲート電極103をマスクとすることにより、図5や図6に示すようにゲート電極103、ゲート絶縁膜102及び半導体層101cの側面が概略連なるような形状を作製することができる。

10

【0442】

なお、半導体層101cとなる半導体として、In-Ga-Zn酸化物層をMOCVD法によって成膜する場合、原料ガスとしてトリメチルインジウム、トリメチルガリウム及びジメチル亜鉛などを用いればよい。なお、上記原料ガスの組み合わせに限定されず、トリメチルインジウムに代えてトリエチルインジウムなどを用いてもよい。また、トリメチルガリウムに代えてトリエチルガリウムなどを用いてもよい。また、ジメチル亜鉛に代えてジエチル亜鉛などを用いてもよい。

【0443】

また半導体層101cを形成した後に、半導体層101cに酸素を導入してもよい。例えば、成膜後の半導体層101cに酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

20

【0444】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、例えば酸素、亜酸化窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。または、水素等を含ませてもよい。例えば、二酸化炭素、水素及びアルゴンの混合ガスを用いるとよい。

30

【0445】

この段階でトランジスタ100が形成される。

【0446】

次に、絶縁膜112を形成する。絶縁膜112は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

40

【0447】

絶縁膜112の成膜後、第5の加熱処理を行うことが好ましい。加熱処理により、絶縁膜114等から半導体層101に対して酸素を供給し、半導体層101中の酸素欠損を低減することができる。またこのとき、絶縁膜114から脱離した酸素は、バリア膜111及び絶縁膜112によってブロックされ、バリア膜111よりも下層及び絶縁膜114よりも上層には拡散しないため、当該酸素を効果的に閉じ込めることができる。そのため半導体層101に供給しうる酸素の量を増大させることができ、半導体層101中の酸素欠損を効果的に低減することができる。

【0448】

また、絶縁膜112を2層以上の積層構造としてもよい。その場合には、例えば絶縁膜

50

112を2層の積層構造とし、下層に例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。また上層にはバリア膜111と同様に水や水素が拡散しにくい材料を用いることが好ましい。また下層に設ける絶縁膜は、絶縁膜114と同様の、加熱により酸素が脱離する絶縁膜としてゲート絶縁膜102を介して半導体層101の上側からも酸素を供給する構成としてもよい。

【0449】

続いて、絶縁膜113を形成する。絶縁膜113は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。絶縁膜113は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、CVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を良好なものとすることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0450】

続いて、絶縁膜113、絶縁膜112、ゲート絶縁膜102及び半導体層101cに、導電層104a等に達する開口部を設ける。次いで、開口部を埋め込むように導電膜を形成した後、レジストマスクを用いて不要部分を除去し、レジストマスクを除去してプラグ321及びプラグ322を形成する。

【0451】

続いて、絶縁膜116を形成する。絶縁膜116は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。絶縁膜116は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。また絶縁膜116として有機樹脂などの有機絶縁材料を用いる場合には、スピコート法などの塗布法を用いて形成してもよい。また、絶縁膜116を形成した後にその上面に対して平坦化処理を行うことが好ましい。また、絶縁膜116として、絶縁膜138に示す材料や、形成方法を用いてもよい。

【0452】

続いて、上記と同様の方法により、絶縁膜116に、プラグ322に達するプラグ123等を形成する。

【0453】

続いて、絶縁膜116上に導電膜を成膜する。その後上記と同様の方法によりレジストマスクを形成し、導電膜の不要部分をエッチングにより除去する。その後レジストマスクを除去することにより、配線124等を形成することができる。

【0454】

以上の工程により、本発明の一態様の半導体装置を作製することができる。

【0455】

（実施の形態4）

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

【0456】

〔回路構成例〕

実施の形態1に示した構成において、トランジスタや配線、電極の接続構成を異ならせることにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

【0457】

〔CMOS回路〕

図24(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、且つそれぞれのゲートを接続した、いわゆるCMOS回路の構成を示している。なお図中、第2の半導体材料が適用されたトランジスタには「OS」の記号を付して示している。

【0458】

〔アナログスイッチ〕

また図24(B)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【0459】

〔記憶装置の例〕

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、且つ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図24に示す。

【0460】

図24(C)に示す半導体装置は、第1の半導体材料を用いたトランジスタ3200と第2の半導体材料を用いたトランジスタ3300、及び容量素子3400を有している。なお、トランジスタ3300としては、上記実施の形態で例示したトランジスタを用いることができる。

【0461】

本実施の形態では、トランジスタ3300として、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタを用いる例を示す。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0462】

図24(C)において、第1の配線3001はトランジスタ3200のソース電極と電氣的に接続され、第2の配線3002はトランジスタ3200のドレイン電極と電氣的に接続されている。また、第3の配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲート電極と電氣的に接続されている。そして、トランジスタ3200のゲート電極、及びトランジスタ3300のソース電極またはドレイン電極の他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

【0463】

図24(C)に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0464】

情報の書き込み及び保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート電極、及び容量素子3400に与えられる。すなわち、トランジスタ3200のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲート電極に与えられた電荷が保持される（保持）。

【0465】

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲート電極の電荷は長時間にわたって保持される。

【0466】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、トランジスタ3200のゲート電極に保持された電荷量に応じて、第2の配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3002の電位を判別することで、保持されている情報を読み出すことができる。

10

【0467】

20

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線3005に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線3005に与えればよい。

【0468】

図24(D)に示す半導体装置は、トランジスタ3200を設けていない点で主に図24(C)と相違している。この場合も上記と同様の動作により情報の書き込み及び保持動作が可能である。

30

【0469】

次に、情報の読み出しについて説明する。トランジスタ3300がオン状態となると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位（あるいは容量素子3400に蓄積された電荷）によって、異なる値をとる。

【0470】

例えば、容量素子3400の電極の一方の電位を V 、容量素子3400の容量を C 、第3の配線3003が有する容量成分を CB 、電荷が再分配される前の第3の配線3003の電位を $VB0$ とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の電極の一方の電位が $V1$ と $V0$ ($V1 > V0$) の2状態をとるとすると、電位 $V1$ を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) は、電位 $V0$ を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V0) / (CB + C)$) よりも高くなることがわかる。

40

【0471】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0472】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体材料が適用され

50

たトランジスタを用い、トランジスタ 3 3 0 0 として第 2 の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【0 4 7 3】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0 4 7 4】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0 4 7 5】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0 4 7 6】

（実施の形態 5）

本実施の形態では、本発明の一態様であるトランジスタを使用した半導体装置の一例について、図面を用いて説明する。図 6 0 は、本発明の一態様に係る半導体装置の回路図の一例である。

【0 4 7 7】

図 6 0 に示す半導体装置は、容量素子 6 6 0 a と、容量素子 6 6 0 b と、トランジスタ 6 6 1 a と、トランジスタ 6 6 1 b と、トランジスタ 6 6 2 a と、トランジスタ 6 6 2 b と、インバータ 6 6 3 a と、インバータ 6 6 3 b と、配線 B L と、配線 B L B と、配線 W L と、配線 C L と、配線 G L と、を有する。

【0 4 7 8】

図 6 0 に示す半導体装置は、インバータ 6 6 3 a 及びインバータ 6 6 3 b がリング接続することでフリップフロップが構成されるメモリセルである。インバータ 6 6 3 b の出力信号が出力されるノードをノード V N 1 とし、インバータ 6 6 3 a の出力信号が出力されるノードをノード V N 2 とする。なお、該メモリセルをマトリクス状に配置することで、記憶装置（メモリセルアレイ）を構成することができる。

【0 4 7 9】

トランジスタ 6 6 2 a のソース、ドレインの一方は配線 B L と電氣的に接続し、ソース、ドレインの他方はノード V N 1 と電氣的に接続し、ゲートは配線 W L と電氣的に接続する。トランジスタ 6 6 2 b のソース、ドレインの一方はノード V N 2 と電氣的に接続し、ソース、ドレインの他方は配線 B L B と電氣的に接続し、ゲートは配線 W L と電氣的に接続する。

【0 4 8 0】

トランジスタ 6 6 1 a のソース、ドレインの一方はノード V N 1 と電氣的に接続し、ソース、ドレインの他方は容量素子 6 6 0 a の一方の電極と電氣的に接続し、ゲートは配線 G L と電氣的に接続する。ここで、トランジスタ 6 6 1 a のソース、ドレインの他方と、容量素子 6 6 0 a の一方の電極と、の間のノードをノード N V N 1 とする。トランジスタ 6 6 1 b のソース、ドレインの一方はノード V N 2 と電氣的に接続し、ソース、ドレインの他方は容量素子 6 6 0 b の一方の電極と電氣的に接続し、ゲートは配線 G L と電氣的に接続する。ここで、トランジスタ 6 6 1 b のソース、ドレインの他方と、容量素子 6 6 0

10

20

30

40

50

bの一方の電極と、の間のノードをノードNVN2とする。

【0481】

容量素子660aの他方の電極は配線CLと電氣的に接続する。容量素子660bの他方の電極は配線CLと電氣的に接続する。

【0482】

トランジスタ662a及びトランジスタ662bの導通状態、非導通状態の選択は、配線WLに与える電位によって制御することができる。トランジスタ661a及びトランジスタ661bの導通状態、非導通状態の選択は、配線GLに与える電位によって制御することができる。

【0483】

図60に示したメモリセルの書き込み、保持及び読み出しについて以下に説明する。

【0484】

書き込み時は、まず配線BL及び配線BLBにデータ0またはデータ1に対応する電位を印加する。

【0485】

例えば、データ1を書き込みたい場合、配線BLをハイレベルの電源電位(VDD)、配線BLBを接地電位とする。次に、配線WLにトランジスタ662a、トランジスタ662bのしきい値電圧にVDDを加えた電位以上の電位(VH)を印加する。

【0486】

次に、配線WLの電位をトランジスタ662a、トランジスタ662bのしきい値電圧未満とすることで、フリップフロップに書き込んだデータ1が保持される。

【0487】

読み出し時は、あらかじめ配線BL及び配線BLBをVDDとする。次に、配線WLにVHを印加することで、配線BLはVDDのまま変化しないが、配線BLBはトランジスタ662a及びインバータ663aを介して放電し、接地電位となる。この配線BLと配線BLBとの電位差をセンスアンプ(図示せず)にて増幅することにより保持されたデータ1を読み出すことができる。

【0488】

なお、データ0を書き込みたい場合は、配線BLを接地電位、配線BLBをVDDとし、その後配線WLにVHを印加すればよい。次に、配線WLの電位をトランジスタ662a、トランジスタ662bのしきい値電圧未満とすることで、フリップフロップに書き込んだデータ0が保持される。読み出し時は、あらかじめ配線BL及び配線BLBをVDDとし、配線WLにVHを印加することで、配線BLBはVDDのまま変化しないが、配線BLはトランジスタ662b及びインバータ663bを介して放電し、接地電位となる。この配線BLと配線BLBとの電位差をセンスアンプにて増幅することにより保持されたデータ0を読み出すことができる。

【0489】

したがって、図60に示す半導体装置はいわゆるSRAM(Static Random Access Memory)として機能する。SRAMはフリップフロップを用いてデータを保持するため、リフレッシュ動作が不要である。そのため、データの保持時の消費電力を抑えることができる。また、フリップフロップにおいて容量素子を用いないため、高速動作の求められる用途に好適である。

【0490】

また、図60に示す半導体装置は、トランジスタ661aを介して、ノードVN1からノードNVN1にデータを書き込むことが可能である。同様に、トランジスタ661bを介して、ノードVN2からノードNVN2にデータを書き込むことが可能である。書き込まれたデータは、トランジスタ661aまたはトランジスタ661bを非導通状態とすることによって保持される。例えば、電源電位の供給を止めた場合でも、ノードVN1及びノードVN2のデータを保持できる場合がある。

【0491】

10

20

30

40

50

電源電位の供給を止めると、直ちにデータが消失する従来のSRAMと異なり、図60に示す半導体装置は、電源電位の供給を止めた後でもデータを保持できる。そのため、適宜電源電位をオンまたはオフすることによって、消費電力の小さい半導体装置を実現することができる。例えば、CPUの記憶領域に図60に示す半導体装置を用いることで、CPUの消費電力を小さくすることもできる。

【0492】

なお、ノードNVN1及びノードNVN2にデータを保持する期間は、トランジスタ661a及びトランジスタ661bのオフ電流によって変化することがわかる。したがって、データの保持期間を長くするためには、トランジスタ661a及びトランジスタ661bには、オフ電流の低いトランジスタを用いればよいことになる。または、容量素子660a及び容量素子660bの容量を大きくすればよいことになる。

10

【0493】

例えば、実施の形態1に示したトランジスタ100及び容量素子150を、トランジスタ661a及び容量素子660aとして用いれば、ノードNVN1に長期間に渡ってデータを保持することが可能となる。同様に、トランジスタ100及び容量素子150を、トランジスタ661b及び容量素子660bとして用いれば、ノードNVN2に長期間に渡ってデータを保持することが可能となる。したがって、トランジスタ661a及びトランジスタ661bについては、トランジスタ100についての記載を参照すればよい。また、容量素子660a及び容量素子660bについては、容量素子150についての記載を参照すればよい。

20

【0494】

また、上記実施の形態で説明したように、トランジスタ100及び容量素子150は、トランジスタ130と少なくとも一部を重ねて作製することができる。図60に示すトランジスタ662a、トランジスタ662b、インバータ663aに含まれるトランジスタ及びインバータ663bに含まれるトランジスタは、トランジスタ661a、トランジスタ661b、容量素子660a及び容量素子660bと少なくとも一部を重ねて作製することができる。したがって、図60に示す半導体装置は、従来のSRAMと比べて占有面積を大きく増大させることなく、作製することができる場合がある。トランジスタ662a、トランジスタ662b、インバータ663aに含まれるトランジスタ及びインバータ663bに含まれるトランジスタについては、トランジスタ130についての記載を参照すればよい。

30

【0495】

以上に示したように、本発明の一態様に係る半導体装置は、占有面積に対して高い性能を有することがわかる。また、生産性の高い半導体装置であることがわかる。

【0496】

本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0497】

(実施の形態6)

本実施の形態では、上記実施の形態で例示したトランジスタ、または記憶装置を含むRFタグについて、図25を用いて説明する。

40

【0498】

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

【0499】

RFタグの構成について図25を用いて説明する。図25は、RFタグの構成例を示すブロック図である。

【0500】

50

図25に示すようにRFタグ800は、通信器801（質問器、リーダ／ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式に用いることも可能である。

10

【0501】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

20

【0502】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0503】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調をおこなうための回路である。

30

【0504】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号（ID）などを格納し、処理に応じて出力を行うための回路である。

【0505】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0506】

ここで、先の実施の形態で説明した記憶回路を、記憶回路810に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力（電圧）が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

40

【0507】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷すること

50

で、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

【0508】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0509】

(実施の形態7)

本実施の形態では、少なくとも実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

10

【0510】

図26は、先の実施の形態で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0511】

図26に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus I/F)、書き換え可能なROM1199、及びROMインターフェース1189(ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199及びROMインターフェース1189は、別チップに設けてもよい。もちろん、図26に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図26に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

20

【0512】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

30

【0513】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

40

【0514】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0515】

図26に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジス

50

タ 1 1 9 6 のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0516】

図 2 6 に示す CPU において、レジスタコントローラ 1 1 9 7 は、ALU 1 1 9 1 からの指示に従い、レジスタ 1 1 9 6 における保持動作の選択を行う。すなわち、レジスタ 1 1 9 6 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1 1 9 6 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1 1 9 6 内のメモリセルへの電源電圧の供給を停止することができる。

10

【0517】

図 2 7 は、レジスタ 1 1 9 6 として用いることのできる記憶素子の回路図の一例である。記憶素子 1 2 0 0 は、電源遮断で記憶データが揮発する回路 1 2 0 1 と、電源遮断で記憶データが揮発しない回路 1 2 0 2 と、スイッチ 1 2 0 3 と、スイッチ 1 2 0 4 と、論理素子 1 2 0 6 と、容量素子 1 2 0 7 と、選択機能を有する回路 1 2 2 0 と、を有する。回路 1 2 0 2 は、容量素子 1 2 0 8 と、トランジスタ 1 2 0 9 と、トランジスタ 1 2 1 0 と、を有する。なお、記憶素子 1 2 0 0 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。トランジスタ 1 2 0 9 は酸化物半導体層にチャネルが形成されるトランジスタであることが好ましい。

20

【0518】

ここで、回路 1 2 0 2 には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子 1 2 0 0 への電源電圧の供給が停止した際、回路 1 2 0 2 のトランジスタ 1 2 0 9 のゲートには接地電位 (0 V)、またはトランジスタ 1 2 0 9 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1 2 0 9 のゲートが抵抗等の負荷を介して接地される構成とする。

【0519】

スイッチ 1 2 0 3 は、一導電型 (例えば、n チャンネル型) のトランジスタ 1 2 1 3 を用いて構成され、スイッチ 1 2 0 4 は、一導電型とは逆の導電型 (例えば、p チャンネル型) のトランジスタ 1 2 1 4 を用いて構成した例を示す。ここで、スイッチ 1 2 0 3 の第 1 の端子はトランジスタ 1 2 1 3 のソースとドレインの一方に対応し、スイッチ 1 2 0 3 の第 2 の端子はトランジスタ 1 2 1 3 のソースとドレインの他方に対応し、スイッチ 1 2 0 3 はトランジスタ 1 2 1 3 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1 2 1 3 のオン状態またはオフ状態) が選択される。スイッチ 1 2 0 4 の第 1 の端子はトランジスタ 1 2 1 4 のソースとドレインの一方に対応し、スイッチ 1 2 0 4 の第 2 の端子はトランジスタ 1 2 1 4 のソースとドレインの他方に対応し、スイッチ 1 2 0 4 はトランジスタ 1 2 1 4 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1 2 1 4 のオン状態またはオフ状態) が選択される。

30

【0520】

トランジスタ 1 2 0 9 のソースとドレインの一方は、容量素子 1 2 0 8 の一对の電極のうち的一方、及びトランジスタ 1 2 1 0 のゲートと電気的に接続される。ここで、接続部分をノード M 2 とする。トランジスタ 1 2 1 0 のソースとドレインの一方は、低電源電圧を供給することのできる配線 (例えば GND 線) に電気的に接続され、他方は、スイッチ 1 2 0 3 の第 1 の端子 (トランジスタ 1 2 1 3 のソースとドレインの一方) と電気的に接続される。スイッチ 1 2 0 3 の第 2 の端子 (トランジスタ 1 2 1 3 のソースとドレインの他方) はスイッチ 1 2 0 4 の第 1 の端子 (トランジスタ 1 2 1 4 のソースとドレインの一方) と電気的に接続される。スイッチ 1 2 0 4 の第 2 の端子 (トランジスタ 1 2 1 4 のソースとドレインの他方) は電源電位 VDD を供給することのできる配線と電気的に接続される。スイッチ 1 2 0 3 の第 2 の端子 (トランジスタ 1 2 1 3 のソースとドレインの他方

40

50

）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。容量素子1208の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。

10

【0521】

なお、容量素子1207及び容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0522】

トランジスタ1209の第1ゲート（第1のゲート電極）には、制御信号WEが入力される。スイッチ1203及びスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

20

【0523】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図27では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0524】

なお、図27では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206及び回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

30

【0525】

また、図27において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャンネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

40

【0526】

図27における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

50

【0527】

本発明の一態様における半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

【0528】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

10

【0529】

また、スイッチ1203及びスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

【0530】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態（オン状態、またはオフ状態）に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

20

【0531】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

30

【0532】

本実施の形態では、記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP（Digital Signal Processor）、カスタムLSI、PLD（Programmable Logic Device）等のLSI、RF-ID（Radio Frequency Identification）にも応用可能である。

【0533】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0534】

（実施の形態8）

本実施の形態では、本発明の一態様の表示パネルの構成例について説明する。

40

【0535】

〔構成例〕

図28（A）は、本発明の一態様の表示パネルの上面図であり、図28（B）は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図28（C）は、本発明の一態様の表示パネルの画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0536】

50

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはnチャネル型とすることが容易なので、駆動回路のうち、nチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0537】

アクティブマトリクス型表示装置のブロック図の一例を図28(A)に示す。表示装置の基板700上には、画素部701、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704を有する。画素部701には、複数の信号線が信号線駆動回路704から延伸して配置され、複数の走査線が第1の走査線駆動回路702、及び第2の走査線駆動回路703から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板700はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

10

【0538】

図28(A)では、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704は、画素部701と同じ基板700上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板700外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板700上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

20

【0539】

〔液晶パネル〕

また、画素の回路構成の一例を図28(B)に示す。ここでは、VA型液晶表示パネルの画素に適用することができる画素回路を示す。

【0540】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

30

【0541】

トランジスタ716のゲート配線712と、トランジスタ717のゲート配線713には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極層又はドレイン電極層714は、トランジスタ716とトランジスタ717で共通に用いられている。トランジスタ716とトランジスタ717は上記実施の形態で説明するトランジスタ100を適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

【0542】

トランジスタ716と電氣的に接続する第1の画素電極層と、トランジスタ717と電氣的に接続する第2の画素電極層の形状について説明する。第1の画素電極層と第2の画素電極層の形状は、スリットによって分離されている。第1の画素電極層はV字型に広がる形状を有し、第2の画素電極層は第1の画素電極層の外側を囲むように形成される。

40

【0543】

トランジスタ716のゲート電極はゲート配線712と接続され、トランジスタ717のゲート電極はゲート配線713と接続されている。ゲート配線712とゲート配線713に異なるゲート信号を与えてトランジスタ716とトランジスタ717の動作タイミングを異ならせ、液晶の配向を制御できる。

【0544】

また、容量配線710と、誘電体として機能するゲート絶縁膜と、第1の画素電極層ま

50

たは第2の画素電極層と電氣的に接続する容量電極とで保持容量を形成してもよい。

【0545】

マルチドメイン構造は、一画素に第1の液晶素子718と第2の液晶素子719を備える。第1の液晶素子718は第1の画素電極層と対向電極層とその間の液晶層とで構成され、第2の液晶素子719は第2の画素電極層と対向電極層とその間の液晶層とで構成される。

【0546】

なお、図28(B)に示す画素回路は、これに限定されない。例えば、図28(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路などを追加してもよい。

【0547】

〔有機ELパネル〕

画素の回路構成の他の一例を図28(C)に示す。ここでは、有機EL素子を用いた表示パネルの画素構造を示す。

【0548】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子及び正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0549】

図28(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0550】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0551】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724及び容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極層が走査線726に接続され、第1電極（ソース電極層及びドレイン電極層の一方）が信号線725に接続され、第2電極（ソース電極層及びドレイン電極層の他方）が駆動用トランジスタ722のゲート電極層に接続されている。駆動用トランジスタ722は、ゲート電極層が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極（画素電極）に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電氣的に接続される。

【0552】

スイッチング用トランジスタ721及び駆動用トランジスタ722は上記実施の形態で説明するトランジスタ100を適宜用いることができる。これにより、信頼性の高い有機EL表示パネルを提供することができる。

【0553】

発光素子724の第2電極（共通電極728）の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に供給される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

10

20

30

40

50

【0554】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャンネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0555】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極層にかける。また、信号線725には、電源線電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。

10

【0556】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極層に発光素子724の順方向電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ722が飽和領域で動作するようにビデオ信号を入力し、発光素子724に電流を流す。また、駆動用トランジスタ722を飽和領域で動作させるために、電源線727の電位を、駆動用トランジスタ722のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子724にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

20

【0557】

なお、画素回路の構成は、図28(C)に示す画素構成に限定されない。例えば、図28(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。

【0558】

図28で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第1の電極）、高電位側にドレイン電極（第2の電極）がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【0559】

30

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置は、例えば、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、MIRASOL（登録商標）、IMOD（インターフェアレンス・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子の少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）又はSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）

40

50

などがある。電子インク、電子粉流体（登録商標）、又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【0560】

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半10
導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例として20
は、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0561】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するた30
めに用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

【0562】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布40
基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【0563】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0564】

（実施の形態9）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を50

備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図29に示す。

【0565】

10

図29（A）は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図29（A）に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0566】

図29（B）は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度に従って、切り替える構成としても良い。また、第1表示部913及び第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

20

【0567】

図29（C）はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

30

【0568】

図29（D）は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

【0569】

図29（E）はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944及びレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度に従って切り替える構成としても良い。

40

【0570】

図29（F）は普通自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0571】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0572】

（実施の形態10）

50

本実施の形態では、本発明の一態様に係るＲＦタグの使用例について図３０を用いながら説明する。ＲＦタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図３０（Ａ）参照）、包装用容器類（包装紙やボトル等、図３０（Ｃ）参照）、記録媒体（ＤＶＤやビデオテープ等、図３０（Ｂ）参照）、乗り物類（自転車等、図３０（Ｄ）参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、ＥＬ表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図３０（Ｅ）、図３０（Ｆ）参照）等に設けて使用することができる。

【０５７３】

本発明の一態様に係るＲＦタグ４０００は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るＲＦタグ４０００は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るＲＦタグ４０００を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るＲＦタグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るＲＦタグを取り付け

【０５７４】

以上のように、本発明の一態様に係わるＲＦタグを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【０５７５】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【０５７６】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【０５７７】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【０５７８】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【０５７９】

なお、明細書の中の図面や文章において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することが出来る。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規定することができる。

【0580】

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

10

【0581】

別の具体例としては、ある値について、例えば、「ある電圧が、3 V以上10 V以下であることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V以上1 V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13 V以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、その電圧が、5 V以上8 V以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略9 Vであると発明を規定することも可能である。なお、例えば、その電圧が、3 V以上10 V以下であるが、9 Vである場合を除くと発明を規定することも可能である。なお、ある値について、「このような範囲であることが好ましい」、「これらを満たすことが好適である」となどと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」、「好適である」などと記載されていたとしても、必ずしも、それらの記載には、限定されない。

20

【0582】

別の具体例としては、ある値について、例えば、「ある電圧が、10 Vであることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V以上1 V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13 V以上である場合を除く、と発明の一態様を規定することが可能である。

【0583】

別の具体例としては、ある物質の性質について、例えば、「ある膜は、絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が、有機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その絶縁膜が、無機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、導電膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、半導体膜である場合を除く、と発明の一態様を規定することが可能である。

30

【0584】

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、A膜とその膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

40

【0585】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。し

50

たがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【0586】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

10

【0587】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であると言える。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個（Nは整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M個（Mは整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個（Nは整数）の層を有して構成される断面図から、M個（Mは整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個（Nは整数）の要素を有して構成されるフローチャートから、M個（Mは整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、「Aは、B、C、D、E、または、Fを有する」と記載されている文章から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一態様を構成することは可能である。

20

30

【0588】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であると言える。

40

【0589】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であると言える。

【実施例1】

50

【0590】

本実施例では、本発明の一態様である酸化物半導体膜の評価結果について説明する。

【0591】

[作製方法]

基板にシリコンウェハを用い、シリコンウェハ上に酸化物半導体膜を形成した。酸化物半導体膜は、ターゲットにIn-Ga-Zn酸化物を用いてスパッタリング法によりIn-Ga-Zn酸化物膜を形成した。成膜条件の主な項目を表6に示す。

【0592】

【表6】

	装置	パワー [kW]	ガス流量		基板 温度	圧力 [Pa]	ターゲット	ターゲット- 基板間距離
			Ar [sccm]	O ₂ [sccm]				
条件A1	装置A	0.5(DC)	30	15	300℃	0.7	In:Ga:Zn= 1:1:1	60mm
条件A2		0.5(DC)	30	15	300℃	0.4	In:Ga:Zn= 1:1:1	60mm
条件A3	装置B	0.5(DC)	30	15	300℃	0.4	In:Ga:Zn= 1:1:1	60mm
条件B1	装置A	0.5(DC)	30	15	200℃	0.7	In:Ga:Zn= 2:1:3	60mm
条件B2		0.5(DC)	30	15	300℃	0.7	In:Ga:Zn= 2:1:3	60mm
条件E1	装置C	0.5(DC)	20	10	200℃	0.4	In:Ga:Zn= 4:2:4.1	130mm

【0593】

ここで表6の条件A3では、圧力はキャノンアネルバ製B-AゲージBRG-1Bを用いて測定し、他の5条件では圧力はキャノンアネルバ製ミニチュアゲージMG-2を用いて測定した。表6に記載している通り、ターゲットとして、条件A1及び条件A2は原子数比がIn:Ga:Zn=1:1:1のIn-Ga-Zn酸化物を用い、条件B1及び条件B2は原子数比がIn:Ga:Zn=2:1:3のIn-Ga-Zn酸化物を用い、条件E1はIn:Ga:Zn=4:2:4.1のIn-Ga-Zn酸化物を用いた。電源は、DC電源を用いた。

【0594】

[XRD評価]

以下に、条件A1、条件B1、条件B2及び条件E1を用いて酸化物半導体膜を形成し、XRD装置を用いて評価を行った結果について説明する。まず、評価用の試料を作製した。シリコンウェハ上に酸化物半導体膜を100nm形成した。表6に記載の条件A1、条件B1、条件B2及び条件E1の各条件を用いて酸化物半導体膜を成膜した試料をそれぞれ試料A1-1、試料B1-1、試料B2-1及び試料E1-1とする。

【0595】

次に、XRD装置による評価を行う前に、各試料に対して熱処理を行った。熱処理条件は、450℃にて、窒素雰囲気下において加熱処理を1時間行った後、同じ処理室内にて、酸素雰囲気下において加熱処理を1時間行った。その後、多機能薄膜材料評価X線回折装置D8 DISCOVER Hybrid (Bruker AXS社製)を用いて、各試料の評価を行った。図36はOut-Of-Plane法による解析結果である。試料A1-1、試料B1-1、試料B2-1及び試料E1-1の解析結果をそれぞれ、図36(A)、図36(B)、図36(C)及び図36(D)に示す。いずれの試料でも $2\theta = 31^\circ$ 近傍にピークがみられた。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、いずれの試料も酸化物半導体膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが示唆された。また、得られた $2\theta = 31^\circ$ 近傍のピークを比較すると、試料A1-1と比較して、他の試料ではピークの幅がより狭く、鋭いことがわかる。よってCAAC比率が高いことが示唆される。こ

で、各試料の $2\theta = 31^\circ$ 近傍のピークの半値幅を表 7 に示す。半値幅は、バックグラウンドを差し引いた後、ローレンツ関数によりフィッティングを行った。バックグラウンドには、線形関数とローレンツ関数の和を用いた。表 7 より、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ の原子数比のターゲットを用いて形成した試料 A 1-1 では半値幅が 4.68° であったのに対し、 $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ の原子数比のターゲットを用いて形成した試料 B 1-1 及び試料 B 2-1 では半値幅が 2.10° 及び 2.19° 、試料 E 1-1 では半値幅が 3.47° と、いずれも小さい半値幅が得られ、鋭いピークが得られることがわかった。

【0596】

【表 7】

	$2\theta [^\circ]$	半値幅 $[^\circ]$
試料 A1-1	30.6	4.68
試料 B1-1	31.1	2.10
試料 B2-1	30.8	2.19
試料 E1-1	30.7	3.47

【0597】

〔膜密度評価〕

次に、前述の試料 A 1-1、試料 B 1-1 及び試料 B 2-1 の膜密度を測定した。膜密度評価を行う前に、各試料に対して熱処理を行った。熱処理条件は、 450°C にて、窒素雰囲気下において加熱処理を 1 時間行った後、同じ処理室内にて、酸素雰囲気下において加熱処理を 1 時間行った。得られた膜密度を表 8 に示す。いずれの条件においても緻密で良好な膜が得られた。c 軸に配向した複数の結晶部を有する酸化物半導体膜、すなわち C A A C-O S 膜は、緻密な膜が得られることがわかった。

【0598】

【表 8】

	膜密度 $[\text{g}/\text{cm}^3]$
試料 A1-1	6.27
試料 B1-1	6.33
試料 B2-1	6.29

【0599】

〔ICP-MS による評価結果〕

前述の試料 A 1-1、試料 B 1-1 及び試料 B 2-1 について、誘導結合プラズマ質量分析法 (Inductively Coupled Plasma Mass Spectrometry: ICP-MS 分析法) によりインジウム、ガリウム及び亜鉛の含有率を評価した。得られた結果より、各元素の原子数比を算出した結果を表 9 に示す。

【0600】

【表 9】

	原子数比		
	In	Ga	Zn
試料 A1-1	1	0.99	0.66
試料 B1-1	2	0.98	2.3
試料 B2-1	2	0.99	2.2

【0601】

表 9 より、試料 A 1-1 ではターゲット比に対して亜鉛の原子数比が約 44% 減少し、試料 B 1-1 では約 23%、試料 B 2-1 では約 26% 減少した。一方、インジウム及びガリウムの原子数比は、ターゲットの原子数比と 1% 乃至 2% 程度の違いしかなく、ほとんど減少しない結果となった。

【0602】

〔断面 TEM 観察 1〕

10

20

30

40

50

【0603】

次に、断面TEM像の観察結果について説明する。観察用試料を以下のように作製した。まず、シリコンウェハ上に絶縁膜を形成した。絶縁膜として、熱酸化を用いて酸化シリコン膜を100nm形成した。その後スパッタリング法により酸化シリコン膜を300nm成膜した。酸化シリコンの成膜条件は、酸化シリコンのターゲットを用いて酸素流量を50sccm、圧力0.4Pa、RF電源を用いて1.5kWとし、基板温度を100℃とした。ターゲットと基板の距離は60mmとした。その後、CMPを用いて研磨を行い、表面を平坦化した。

【0604】

以上の通り、シリコンウェハ上に絶縁膜を形成した後、酸化物半導体膜を20nm形成した。表6に記載のA1、B1及びB2の各条件を用いて酸化物半導体膜を成膜した試料をそれぞれ試料A1-2、試料B1-2及び試料B2-2とする。

10

【0605】

以上の通り、試料A1-2、試料B1-2及び試料B2-2を作製した。次に、得られた各試料に熱処理を行った。熱処理条件は、窒素雰囲気中で450℃1時間処理を行った後、酸素雰囲気中で450℃1時間処理を行った。その後、薄片化加工を行った。

【0606】

次に、試料A1-2、試料B1-2及び試料B2-2の酸化物半導体膜の断面について、球面収差補正(Spherical Aberration Corrector)機能を用いたTEM像を観察した。なお、TEM観察による明視野像および回折パターンの複合解析像を高分解能TEM像と呼ぶ。そして、球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得には、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fを用いた。加速電圧は200kVとした。

20

【0607】

図37に試料A1-2の、図38に試料B1-2の、図39に試料B2-2の断面TEM像の観察結果をそれぞれ示す。ターゲットに原子数比がIn:Ga:Zn=2:1:3のIn-Ga-Zn酸化物を用いた試料B1-2及び試料B2-2の酸化物半導体膜では、試料A1-2の酸化物半導体膜と比較して、原子が層状に並んでいる様子がより顕著にみられた。これは金属原子が層状の構造を形成していることを示し、c軸に、より強く配向していることを示唆している。

30

【0608】

また図59(A)は、試料A1-2の、図37とは異なる場所の断面TEM像であり、図59(B)は、試料B1-2の、図38と異なる場所を断面TEM像である。また図40(A)及び図40(B)は、図59(A)及び図59(B)について、ある一部の領域において金属原子が層状に規則的に並んだ領域を線で示した図である。試料A1-2の酸化物半導体膜では単結晶のように金属原子が規則的に並んだ領域と、規則性が不明瞭な領域とが確認される。また、試料B1-2の酸化物半導体膜では、試料A1-2に比べて、規則的に並んだ領域が増加して不明瞭な領域が減少していることがわかる。

40

【0609】

[断面TEM観察2]

次に、より厚い酸化物半導体膜を準備し、その断面TEM像を観察した。TEM像の取得には、日立ハイテクノロジーズ製H-9500を用いた。加速電圧は300kVを用いた。

【0610】

観察用の試料として、条件A2及び条件B1を用いて、それぞれシリコンウェハ上に酸化物半導体膜を50nm形成した。次に、薄片化加工を行った後、断面TEMにより観察を行った。条件A2及び条件B1を用いて酸化物半導体膜を形成した試料をそれぞれ試料A2-3及び試料B1-3とする。試料A2-3の観察結果を図41に、試料B1-3の観察結果を図42に示す。図41(A)は全体像、図41(B)は膜上部、図41(C)

50

は膜中央部、図4-1(D)はシリコンウェハとの界面近傍をそれぞれ観察した結果である。同様に、図4-2(A)は全体像、図4-2(B)は膜上部、図4-2(C)は膜中央部、図4-2(D)はシリコンウェハとの界面近傍をそれぞれ観察した結果である。ターゲットに原子数比が $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ の In-Ga-Zn 酸化物を用いた試料B1-3の酸化物半導体膜では、試料A2-3酸化物半導体膜と比較して、原子が層状に並んでいる様子がより顕著にみられ、図3-8乃至図3-9と同様に、 c 軸により強く配向していることを示唆する結果となった。

【0611】

[平面TEM観察]

次に、平面TEM像の観察結果について説明する。TEM像の取得は、日立ハイテクノロジーズ製H-9000NARを用いた。加速電圧は300kVとした。前述の試料A1-2及び試料B1-2へ熱処理を行った後、平面TEM像を観察した。熱処理条件は、窒素雰囲気中で450℃1時間処理を行った後、酸素雰囲気中で450℃1時間処理を行った。

【0612】

試料A1-2の観察結果を図4-3(A)に、試料B1-2の観察結果を図4-3(B)に示す。異なる結晶部間の金属原子の配列は単結晶とは異なるものの、試料A1-2と比較して試料B1-2では、より規則的に配列していることがわかる。また、試料A1-2と比較して試料B1-2では、格子像がより明瞭にみえるために、より規則的に原子が配列していると考えられる。

【0613】

[CAAC比率評価]

次に、前述の試料A1-2及び試料B1-2について、ナノビーム電子回折を用いてCAAC比率の評価を行った。電子回折の取得には、日立ハイテクノロジーズ製「HF-2000」を用いた。加速電圧は200kVとした。

【0614】

酸化物半導体膜を有する各試料の上面に対し、少しずつサンプルステージを移動してスキャンを行いながら透過電子回折パターンを取得した。電子線としてプローブ径が1nmのナノビーム電子線を用いた。また各試料とも3箇所と同様の測定を行った。つまりスキャン1乃至スキャン3の合計3回のスキャンを行った。

【0615】

5nm/秒の速度でスキャンしながら回折パターンを観測し、動画を取得した。次に、得られた回折パターンの動画を、0.5秒ごとに静止画に変換した。変換した静止画を解析し、CAAC-OS膜のパターンと、CAAC-OS膜のパターンかまたはnc-OS膜のパターンかの判別が難しいものと、nc-OS膜のパターンと、スピネル型の結晶構造のパターンと、の4つに分類した。結果を表10に示す。なお、表10に示すCAAC比率は、CAAC-OS膜のパターンかまたはnc-OS膜のパターンかの判別が難しいものについてはCAACでないと仮定した場合の比率である。

【0616】

【表10】

		画像数					CAAC比率 (②はCAACでないと仮定)
		解析を行った数	① CAAC	② CAAC or nc?	③ nc	④ スピネル型	
試料A1-2	scan1	130	87	27	16	0	66.9%
	scan2	132	118	4	10	0	89.4%
	scan3	189	163	5	21	0	86.2%
試料B1-2	scan1	140	136	2	2	0	97.1%
	scan2	145	137	5	3	0	94.5%
	scan3	216	200	11	5	0	92.6%

【0617】

次に、CAAC-OS膜のパターンかまたはnc-OS膜のパターンか、その判別が難

しいものについて、取得した動画で該当する時間の前後の映像を確認し、C A A C - O S 膜のパターンが観測されるものと、n c - O S 膜のパターンが観測されるものとに分類し、C A A C 比率を導出した。結果を表 1 1 に示す。表 1 1 には、C A A C 比率を算出するのに使用した回折パターンの画像数、観察された各種パターンの画像数及び算出した C A A C 比率をそれぞれのスキャン毎に表した。

【0 6 1 8】

【表 1 1】

		画像数				CAAC比率
		解析を行った数	CAAC	nc	スピネル型	
試料A1-2	scan1	130	114	16	0	87.7%
	scan2	132	122	10	0	92.4%
	scan3	189	168	21	0	88.9%
試料B1-2	scan1	140	138	2	0	98.6%
	scan2	145	142	3	0	97.9%
	scan3	216	211	5	0	97.7%

10

【0 6 1 9】

表 1 1 に示した C A A C 比率をグラフで表したものを図 4 4 (A) に示す。図 4 4 (A) に示した通り、C A A C - O S 膜以外の回折パターンとして、n c - O S 膜のパターンが観測され、スピネル型の構造の回折パターンは観測されなかった。

【0 6 2 0】

20

表 1 1 に示す通り、I n : G a : Z n = 2 : 1 : 3 の原子数比のターゲットを用いて形成した試料 B 1 - 2 の C A A C 比率は極めて高いことがわかった。

【0 6 2 1】

次に、試料 B 1 - 2 について、図 4 3 (B) とは異なる箇所で平面 T E M 観察を行った結果を図 5 5 に示す。また、図 5 5 に示す 3 点 (p o i n t 1 乃至 3) について、ナノビーム電子回折を用いた構造解析を行った。電子線として、プローブ径が 1 n m のナノビームを用いた。ここで、プローブ径は ± 2 0 % の誤差を含む。p o i n t 1、2 及び 3 で得られた回折スポットと、回折スポットから結晶構造を同定した結果を図 5 6 (A)、(B) 及び (C) に示す。解析の結果、得られた回折スポットは J C P D S カードに記載された I n G a O ₃ (Z n O) ₂ の構造と同定された。

30

【0 6 2 2】

次に、膜厚が 1 0 0 n m の酸化物半導体膜についても同様に、C A A C 比率の評価を行った。酸化物半導体膜の成膜条件として、表 6 の A 3 と B 1 を用いた。

【0 6 2 3】

シリコンウェハ上に熱酸化により酸化シリコン膜を 1 0 0 n m 形成した。その後、表 6 に記載の条件 A 3 を用いて酸化物半導体膜を 1 0 0 n m 形成し、試料 A 3 - 1 とした。条件 B 1 の試料については、試料 B 1 - 1 を用いた。

【0 6 2 4】

次に、試料 A 3 - 1 及び試料 B 1 - 1 に対し、熱処理を行った。熱処理条件は、4 5 0 °C にて、窒素雰囲気下において加熱処理を 1 時間行った後、同じ処理室内にて、酸素雰囲気下において加熱処理を 1 時間行った。

40

【0 6 2 5】

次に、各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。電子線としてプローブ径が 1 n m のナノビームを用いた。また各試料とも 3 箇所と同様の測定を行った。つまりスキャン 1 乃至スキャン 3 の合計 3 回のスキャンを行った。

【0 6 2 6】

5 n m / 秒の速度でスキャンしながら回折パターンを観測し、動画を取得した。次に、得られた動画で観測された回折パターンを、0. 5 秒ごとに静止画に変換した。試料 A 3 - 1 のスキャン 2 の回折パターンを変換した静止画を、図 4 5 乃至図 4 9 に示す。また、試料 B 1 - 1 のスキャン 2 の回折パターンを変換した静止画を、図 5 0 乃至図 5 4 に示す

50

。図45乃図54に示す通り、いずれの試料においてもCAAC構造を示す回折パターンが観測され、またスキャンに伴いその回折パターンの角度が少しずつ回転する様子がみられる。

【0627】

変換した静止画を解析し、CAAC-OS膜のパターンと、CAAC-OS膜のパターンかまたはnc-OS膜のパターンかの判別が難しいものと、nc-OS膜のパターンと、スピネル型の結晶構造のパターンと、の4つに分類した。結果を表12に示す。なお、表12に示すCAAC比率は、CAAC-OS膜のパターンかまたはnc-OS膜のパターンかの判別が難しいものについてはCAACでないと仮定した場合の比率である。

【0628】

【表12】

		画像数					CAAC比率 (②はCAACでないと仮定)
		解析を行った数	① CAAC	② CAAC or nc?	③ nc	④ スピネル型	
試料A3-1	scan1	126	118	0	8	0	93.7%
	scan2	132	119	0	13	0	90.2%
	scan3	190	168	2	20	0	88.4%
試料B1-1	scan1	144	141	2	1	0	97.9%
	scan2	141	141	0	0	0	100.0%
	scan3	246	242	3	1	0	98.4%

【0629】

次に、CAAC-OS膜のパターンかまたはnc-OS膜のパターンか、その判別が難しいものについて、取得した動画で該当する時間の前後の映像を確認し、CAAC-OS膜のパターンが観測されるものと、nc-OS膜のパターンが観測されるものとに分類し、CAAC比率を導出した。結果を表13に示す。

【0630】

【表13】

		画像数				CAAC化率
		解析を行った数	CAAC	nc	スピネル型	
試料A3-1	scan1	126	118	8	0	93.7%
	scan2	132	119	13	0	90.2%
	scan3	190	170	20	0	89.5%
試料B1-1	scan1	144	143	1	0	99.3%
	scan2	141	141	0	0	100.0%
	scan3	246	245	1	0	99.6%

【0631】

また、表13に示したCAAC化率をグラフで表したものを図44(B)に示す。膜厚20nmでの結果と同様に、In:Ga:Zn=2:1:3の原子数比のターゲットを用いて形成した試料B1-1のCAAC比率は、極めて高い結果となった。

【0632】

次に、試料B1-2について平面TEM観察を行った後、3箇所についてEDX(Energy Dispersive X-ray spectroscopy)分析により評価を行った。得られた結果からインジウム、ガリウム及び亜鉛の原子数比を求めた結果を表14に示す。

【0633】

【表 1 4】

	原子数比		
	In	Ga	Zn
point 1	2	0.80	1.57
point 2	2	0.85	1.64
point 3	2	0.70	1.36

【0 6 3 4】

インジウムに対するガリウムの原子数比 (Ga/In) は、ICP-MSで得られた値に対しておよそ70%以上83%以下の値となり、インジウムに対する亜鉛の原子数比 (Zn/In) は、およそ58%以上76%以下の値となった。

10

【実施例 2】

【0 6 3 5】

[トランジスタの作製]

本実施例では、実施例 1 の表 6 で示した条件 A 1 の酸化物半導体膜を用いたトランジスタを基板上に作製した試料 A 1-4 と、成膜条件 B 1 の酸化物半導体膜を用いたトランジスタを基板上に作製した試料 B 1-4 を作製し、その特性を評価した。なお、本実施例では、試料 A 1-4 と、試料 B 1-4 との間で条件振りを行っている場合のみ、その旨を記載する。よって条件振りの記載がない場合には、試料 A 1-4 及び試料 B 1-4 とともに同じ条件で処理を行ったことを示す。

【0 6 3 6】

20

トランジスタ特性の評価には、図 5 に示す断面構造を有するトランジスタを用いた。但し、用いたトランジスタは導電層 105 を有さない構造とした。以下に、トランジスタの具体的な作製方法について述べる。

【0 6 3 7】

基板 50 として p 型、CZ 結晶、面方位 (100) のシリコンウェハを準備した。次に基板の洗浄を行った後、絶縁膜 51 を形成した。絶縁膜 51 は、酸化シリコン膜と酸化窒化シリコン膜の積層膜とした。酸化シリコン膜は、950℃にて熱酸化を行い、100nm 形成した。その後、酸化窒化シリコン膜は、PECVD 装置を用いて 300nm 成膜した。成膜条件は、基板温度 400℃とし、ガス流量をシラン 2 sccm 及び亜酸化窒素 800 sccm とし、圧力を 40 Pa とし、成膜電力 (RF, 27 MHz) を 50 W とし、電極間距離を 15 mm とした。絶縁膜 51 の成膜後、CMP 法を用いて平坦化処理を行った。その後、減圧雰囲気で 450℃1 時間の熱処理を行った。

30

【0 6 3 8】

次に、イオン注入法を用いて酸素イオン ($^{16}O^+$) の注入を行った。注入条件は、加速電圧を 60 kV、ドーズ量を $2.0 \times 10^{16} \text{ ions/cm}^2$ 、チルト角を 7°、ツイスト角を 72°とした。

【0 6 3 9】

次に、絶縁膜 51 上に、半導体層 101a となる第 1 の半導体膜を形成した。第 1 の半導体膜として、原子数比が $In:Ga:Zn=1:3:4$ の $In-Ga-Zn$ 酸化物をターゲットに用いたスパッタリング法により、膜厚 20 nm の $In-Ga-Zn$ 酸化物膜を形成した。成膜条件は、アルゴン流量を 40 sccm、酸素流量を 5 sccm、圧力を 0.7 Pa、電源電力 (DC) を 0.5 kW、基板温度を 200℃、基板とターゲット間の距離を 60 mm とした。ここで圧力計はキャノンアネルバ製ミニチュアゲージを用いた。

40

【0 6 4 0】

その後、続けて半導体層 101b となる第 2 の半導体膜を形成した。第 1 の半導体膜と第 2 の半導体膜の成膜は異なるチャンバー室を用いて行い、チャンバー室間の搬送は大気雰囲気に暴露せずに真空雰囲気内で行った。第 2 の半導体膜として、 $In-Ga-Zn$ 酸化物膜を 15 nm 形成した。第 2 の半導体膜の成膜条件については、試料 A 1-4 では原子数比 $In:Ga:Zn=1:1:1$ の $In-Ga-Zn$ 酸化物をターゲットに用い、試料 B 1-4 では原子数比 $In:Ga:Zn=2:1:3$ の $In-Ga-Zn$ 酸化物をター

50

ゲットに用いた。基板とターゲット間の距離は60 mmとした。電源はDC電源を用いた。その他の主な条件を表15に示す。ここで圧力計はキャノンアネルバ製ミニチュアゲージを用いた。

【0641】

【表15】

	パワー [kW]	ガス流量		基板温度 [°C]	圧力 [Pa]	ターゲット
		Ar [sccm]	O ₂ [sccm]			
試料A1-4	0.5	30	15	300°C	0.7	In:Ga:Zn=1:1:1
試料B1-4	0.5	30	15	200°C	0.7	In:Ga:Zn=2:1:3

10

【0642】

次いで、450°Cにて、窒素雰囲気下において加熱処理を1時間行った後、同じ処理室内にて、酸素雰囲気下において加熱処理を1時間行った。

【0643】

次に、スパッタリング法を用いてタングステン膜を15 nm成膜した。成膜条件は、タングステンをターゲットに用い、アルゴン流量を80 sccmと、圧力を0.8 Pa、電源電力(DC)を1 kW、基板とターゲット間の距離を60 mmとした。基板温度は約130°Cとした。また、基板裏面にも更にアルゴンを10 sccm供給した。

20

【0644】

次に、フォトリソグラフィ工程によりタングステン膜上にマスクを形成し、該マスクを用いてタングステン膜の一部を誘導結合型プラズマ(ICP: Inductively Coupled Plasma)エッチング法により、流量60 sccmの四フッ化炭素(CF₄)ガス及び流量40 sccmの酸素(O₂)ガス混合雰囲気下、電源電力1000 W、バイアス電力25 W、圧力2.0 Paにてエッチングを行い、ハードマスクを形成した。

【0645】

次に、タングステン層をマスクとし、第1の半導体膜及び第2の半導体膜の形状をエッチングにより加工することで、島状の第1の半導体層101aと第2の半導体層101bを形成した。なお、上記エッチングには、ICPエッチング法を用いた。エッチング条件は、基板温度を70°Cとし、エッチングガスとして、メタン(CH₄)とアルゴン(Ar)の混合ガス(CH₄=16 sccm, Ar=32 sccm)とし、電源電力600 W、バイアス電力50 W、圧力3.0 Paとし、処理時間を3秒として第1のエッチングを行った。次いで、基板温度を70°Cとし、エッチングガスをメタンとアルゴンの混合ガス(CH₄=16 sccm, Ar=32 sccm)とし、電源電力600 W、バイアス電力50 W、圧力1.0 Paとし、第2のエッチングを行った。

30

【0646】

次に、タングステン層をエッチングした。エッチングはICPエッチング法により行い、流量45 sccmの塩素(Cl₂)ガス、流量55 sccmの四フッ化炭素(CF₄)ガス及び流量55 sccmの酸素(O₂)ガス混合雰囲気下、電源電力1000 W、バイアス電力25 W、圧力2.0 Paにてエッチングを行った。

40

【0647】

次に、導電層104a及び導電層104bとなる導電膜として、タングステン膜をスパッタリング法により100 nm形成した。成膜条件は、タングステンをターゲットとし、アルゴン流量を80 sccm、圧力を0.8 Pa、電源電力(DC)を1 kWとした。また、基板裏面へアルゴンを更に10 sccm供給した。基板温度は約130°Cとした。

【0648】

次いで、導電層104a及び導電層104bとなる導電膜の形状をエッチングにより加工することで、導電層104a及び導電層104bを形成した。また、上記導電膜のエッ

50

チングは、具体的には、以下のように行った。まず、エッチング条件を、基板温度を40℃とし、エッチングガスを塩素と四フッ化炭素と酸素の混合ガス($\text{Cl}_2 = 45 \text{ sccm}$, $\text{CF}_4 = 55 \text{ sccm}$, $\text{O}_2 = 55 \text{ sccm}$)とし、電源電力3000W、バイアス電力110W、圧力0.67Paとし、処理時間を13秒として、第1のエッチングを行った。次いで、エッチング条件を、基板温度を40℃とし、エッチングガスを塩素($\text{Cl}_2 = 100 \text{ sccm}$)とし、電源電力2000W、バイアス電力0W、圧力3.00Paとし、処理時間を15秒として、第2のエッチングを行った。次いで、エッチング条件を、基板温度を40℃とし、エッチングガスを塩素と四フッ化炭素と酸素の混合ガス($\text{Cl}_2 = 45 \text{ sccm}$, $\text{CF}_4 = 55 \text{ sccm}$, $\text{O}_2 = 55 \text{ sccm}$)とし、電源電力3000W、バイアス電力110W、圧力0.67Paとし、第3のエッチングを行った。

10

【0649】

次いで、導電層104a及び導電層104b上に、半導体層101cとなる第3の半導体膜を形成した。第3の半導体膜として、原子数比がIn:Ga:Zn=1:3:2[原子数比]のIn-Ga-Zn酸化物ターゲットを用いたスパッタリング法により、膜厚5nmのIn-Ga-Zn酸化物膜を形成した。成膜条件は、アルゴン流量を30sccm、酸素流量を15sccm、圧力0.4Pa、電源電力(DC)0.5kW、基板温度200℃、基板とターゲット間の距離を60mmとした。ここで圧力計はB-Aゲージを用いた。

【0650】

次いで、ゲート絶縁膜102として酸化窒化シリコン膜を、PECVD法を用いて20nm成膜した。成膜条件は、基板温度450℃とし、ガス流量をシラン1sccm及び亜酸化窒素800sccmとし、圧力を200Paとし、成膜電力(RF, 60MHz)を150Wとし、電極間距離を28mmとした。続けて、ゲート電極103となる導電膜として、窒化タンタル膜を30nm形成した後にタングステン膜を135nm形成した。窒化タンタル膜は、成膜条件を、アルゴン及び窒素(アルゴン=50sccm, 窒素=10sccm)雰囲気下、圧力0.6Pa、電源電力(DC)1.0kW、基板温度室温、基板とターゲット間の距離を60mmとした。タングステン膜は、成膜条件を、アルゴン(アルゴン=100sccm)雰囲気下、圧力2.0Pa、電源電力(DC)4.0kW、基板温度を約130℃、基板とターゲット間の距離を60mmとした。また、基板裏面へアルゴンを更に10sccm供給した。

20

30

【0651】

次いで、ゲート電極103となる導電膜の形状をエッチングにより加工することで、ゲート電極103を形成した。また、上記導電膜のエッチングは、具体的には、以下のように行った。まず、エッチング条件を、基板温度を40℃とし、エッチングガスを塩素と四フッ化炭素と酸素の混合ガス($\text{Cl}_2 = 45 \text{ sccm}$, $\text{CF}_4 = 55 \text{ sccm}$, $\text{O}_2 = 55 \text{ sccm}$)とし、電源電力3000W、バイアス電力110W、圧力0.67Paとし、第1のエッチングを行った。次いで、エッチング条件を、基板温度を40℃とし、エッチングガスを塩素($\text{Cl}_2 = 100 \text{ sccm}$)とし、電源電力2000W、バイアス電力50W、圧力0.67Paとし、第2のエッチングを行った。

【0652】

40

次いで、ゲート電極103をマスクとして、ゲート絶縁膜102と、第3の半導体膜の形状をエッチングにより加工することで、形状が加工されたゲート絶縁膜102及び半導体層101cとを、形成した。なお、上記エッチングには、ICPエッチング法を用いた。エッチング条件は、基板温度を70℃とし、エッチングガスを三塩化ホウ素($\text{BCl}_3 = 80 \text{ sccm}$)とし、電源電力450W、バイアス電力100W、圧力1.0Paとし、処理時間を36秒とした。

【0653】

次いで、トランジスタを覆うように、絶縁膜112として、膜厚70nmの酸化アルミニウム膜を形成した。酸化アルミニウム膜はスパッタリング法を用いて形成した。酸化アルミニウム膜の成膜条件は、ターゲットとして酸化アルミニウムを用い、アルゴン及び酸

50

素（アルゴン＝25 sccm、酸素＝25 sccm）雰囲気下、圧力0.4 Pa、電源電力（RF）2.5 kW、基板温度250℃、基板とターゲット間の距離を60 mmとした。

【0654】

次いで、絶縁膜113として、膜厚300 nmの酸化窒化シリコン膜を形成した。酸化窒化シリコン膜はPECVD法を用いて形成した。成膜条件は、基板温度325℃とし、ガス流量をシラン5 sccm及び亜酸化窒素1000 sccmとし、圧力を133.30 Paとし、成膜電力（RF）を35 W（13.56 MHz）とし、電極間距離を20 mmとした。

【0655】

次いで、導電層104a及び導電層104bに達する開口部を、エッチングにより形成した。上記エッチングは、ICPエッチング法を用いた。

【0656】

具体的に、絶縁膜113に用いた酸化窒化シリコン膜のエッチングは、以下のように行った。まず、エッチング条件を、基板温度を70℃とし、エッチングガスをトリフルオロメタンとヘリウムの混合ガス（ $\text{CHF}_3 = 50 \text{ sccm}$, $\text{He} = 100 \text{ sccm}$ ）とし、電源電力475 W、バイアス電力300 W、圧力5.5 Paとし、処理時間を3秒として、第1のエッチングを行った。次いで、エッチング条件を、基板温度を70℃とし、エッチングガスをトリフルオロメタンとヘリウムの混合ガス（ $\text{CHF}_3 = 7.5 \text{ sccm}$, $\text{He} = 142.5 \text{ sccm}$ ）とし、電源電力475 W、バイアス電力300 W、圧力5.5 Paとし、処理時間を61秒として、第2のエッチングを行った。次いで、エッチング条件を、基板温度を70℃とし、エッチングガスをトリフルオロメタンとヘリウムの混合ガス（ $\text{CHF}_3 = 50 \text{ sccm}$, $\text{He} = 100 \text{ sccm}$ ）とし、電源電力475 W、バイアス電力150 W、圧力5.5 Paとし、処理時間を3秒として、第3のエッチングを行った。次いで、エッチング条件を、基板温度を70℃とし、エッチングガスをトリフルオロメタンとヘリウムの混合ガス（ $\text{CHF}_3 = 7.5 \text{ sccm}$, $\text{He} = 142.5 \text{ sccm}$ ）とし、電源電力475 W、バイアス電力150 W、圧力5.5 Paとし、処理時間を36秒として、第4のエッチングを行った。

【0657】

また、具体的に、絶縁膜112に用いた酸化アルミニウム膜のエッチング条件は、基板温度を70℃とし、エッチングガスを三塩化ホウ素（ $\text{BCl}_3 = 80 \text{ sccm}$ ）とし、電源電力450 W、バイアス電力100 W、圧力1.9 Paとし、処理時間を185秒とした。

【0658】

次いで、開口部内及び絶縁膜113上に、膜厚50 nmのチタン膜と、膜厚200 nmのアルミニウム膜と、膜厚50 nmのチタン膜とを順に積層させた導電膜を、スパッタリング法を用いて形成した。最下層と最上層のチタン膜の成膜条件は、アルゴン雰囲気下（流量20 sccm）、圧力0.1 Pa、電源電力（DC）12 kW、基板温度室温、基板とターゲット間の距離を400 mmとした。また、アルミニウム膜の成膜条件は、アルゴン雰囲気下（流量50 sccm）、圧力0.4 Pa、電源電力（DC）1 kW、基板温度室温、基板とターゲット間の距離を60 mmとした。

【0659】

次いで、開口部内及び絶縁膜113上の導電膜の形状をエッチングにより加工し、配線を形成した。上記エッチングには、ICPエッチング法を用いた。具体的には、まず、エッチング条件を、基板温度を70℃とし、エッチングガスを三塩化ホウ素と塩素の混合ガス（ $\text{BCl}_3 = 60 \text{ sccm}$, $\text{Cl}_2 = 20 \text{ sccm}$ ）とし、電源電力450 W、バイアス電力100 W、圧力1.9 Paとし、第1のエッチングを行った。次いで、エッチング条件を、基板温度を70℃とし、エッチングガスを四フッ化炭素（ $\text{CF}_4 = 80 \text{ sccm}$ ）とし、電源電力500 W、バイアス電力50 W、圧力2.0 Paとし、処理時間を約15秒として、第2のエッチングを行った。

【0660】

次いで、膜厚1.6 μm のポリイミド膜を、塗布法を用いて形成した後、大気雰囲気下において、300℃で1時間程度、加熱処理を行った。

【0661】

以上の工程によって、試料A1-4及び試料B1-4を作製した。

【0662】

[トランジスタ特性の評価]

図57にトランジスタ特性を示す。試料A1-4、試料B1-4ともに、チャンネル長Lが0.46 μm 、チャンネル幅Wが0.8 μm のnチャンネル型トランジスタを面内で25個、評価した。図57(A)は試料A1-4の、図57(B)は試料B1-4のトランジスタの V_g-I_d 測定をそれぞれ示す。ここで V_g はソースゲート間の電圧、 I_d はソースドレイン間の電流を示す。また、横軸にはゲート電圧 V_g を、左の縦軸にはドレイン電圧 I_d を、右の縦軸には電界効果移動度 μ_{FE} を示す。ドレイン電圧 V_d が0.1Vと、3Vの2条件で測定した。ここで、電界効果移動度は、 $V_d=0.1\text{V}$ で算出した電界効果移動度を示している。

10

【0663】

図57の結果より、いずれの試料においても良好なトランジスタが得られた。試料B1-4のトランジスタの方が、試料A1-4のトランジスタと比較してしきい値電圧が小さく、高い電界効果移動度を有し、より優れる特性が得られた。

20

【0664】

[比較例]

本比較例では、酸化物半導体膜の密度とトランジスタ特性の関係について説明する。

【0665】

実施例1に示した通り、c軸に配向した複数の結晶部を有するCAAC-OS膜は、緻密な膜を得ることができる。一方、実施の形態3で述べた通り、酸化物半導体膜の形成条件によっては、膜密度が低い膜が得られることがある。また膜密度の低下に伴い、いわゆる鬆を有する膜が得られることがある。

【0666】

膜密度が低く鬆の多い酸化物半導体膜を用いた場合に、トランジスタ特性にどのような影響を与えるかを調べるため、膜密度が異なる2条件を用いて酸化物半導体膜を形成し、形成された該酸化物半導体膜を用いてトランジスタを作製した。

30

【0667】

酸化物半導体膜はスパッタリング法を用いて形成した。ターゲットとして原子数比がIn:Ga:Zn=1:1:1のIn-Ga-Zn酸化物を用いた。また、基板とターゲット間の距離を130mmとした。条件振りの主な項目を表16に示す。電源は、RF電源を用いた。

【0668】

【表16】

	電源 電力	ガス流量		基板温度 [°C]	圧力 [Pa]
		Ar [sccm]	O ₂ [sccm]		
条件C	100W	98	2	室温	1.0
条件D	100W	98	2	室温	0.4

40

【0669】

[トランジスタの作製]

次に、表16に記載した条件Cで成膜した酸化物半導体膜を用いたトランジスタを基板上に作製した試料C-2と、条件Dで成膜した酸化物半導体膜を用いたトランジスタを基板上に作製した試料D-2とを作製した。なお、本実施例では、試料C-2及び試料D-2との間で条件振りを行っている場合のみ、その旨を記載する。よって条件振りの記載がない場合には、試料C-2及び試料D-2を同じ条件で処理したことを示す。トランジス

50

タ構造として、図62に示すトランジスタ構造を用いた。

【0670】

まず、基板50としてガラス基板を準備し、ガラス基板上にゲート電極を形成した。

【0671】

ゲート電極103として、スパッタリング法で厚さ100nmのタングステン膜を形成し、フォトリソグラフィ工程により該タングステン膜上にマスクを形成し、該マスクを用いて該タングステン膜の一部をエッチングして形成した。

【0672】

次に、ゲート電極103上にゲート絶縁膜102を形成した。

【0673】

ゲート絶縁膜102として、厚さ400nmの窒化シリコン膜と、厚さ50nmの酸化窒化シリコン膜を積層して形成した。

【0674】

次に、ゲート絶縁膜102を介してゲート電極103に重なる半導体層101を形成した。半導体層101には酸化物半導体層を用いた。ここでは、ゲート絶縁膜上に厚さ35nmの酸化物半導体膜をスパッタリング法で形成した後、マスクを用いて該酸化物半導体膜の一部をエッチングして、半導体層101を形成した。

【0675】

また酸化物半導体膜としてIn-Ga-Zn酸化物膜を形成した。酸化物半導体膜の成膜条件は、試料C-2及び試料D-2で条件振りを行った。試料C-2は、前述の条件Cを、試料D-2は前述の条件Dを用いて成膜した。

【0676】

次に、加熱処理を行った。ここでは450℃の窒素雰囲気中で1時間加熱処理を行った後、450℃の窒素及び酸素の混合ガス雰囲気中で1時間の加熱処理を行った。

【0677】

次に、酸化物半導体膜に接する一対の導電層である、導電層104aおよび導電層104bを形成した。

【0678】

まず、ゲート絶縁膜102及び半導体層101上に導電膜を形成した。該導電膜として、厚さ50nmのタングステン膜上に厚さ400nmのアルミニウム膜を形成し、該アルミニウム膜上に厚さ100nmのチタン膜を形成した。次に、フォトリソグラフィ工程により該導電膜上にマスクを形成し、該マスクを用いて該導電膜の一部をエッチングし、導電層104aおよび導電層104bを形成した。

【0679】

次に、半導体層101及び導電層104aおよび導電層104b上に保護膜25を形成した。保護膜として、酸化窒化シリコン膜450nmを形成した後、窒化シリコン膜を100nm形成した。

【0680】

次に、保護膜25の一部に、導電層104aおよび導電層104bの一方に達する開口部を形成した。当該開口部は、保護膜25上にマスクを形成し、該マスクを用いて、保護膜25の一部をエッチングすることにより形成した。

【0681】

次に、保護膜25上に画素電極である電極126を形成した。電極126は、保護膜25の一部に設けられた開口部を介して、一対の導電層である、導電層104aおよび導電層104bの一方と電氣的に接続する構成とした。

【0682】

ここでは、電極126として、スパッタリング法により酸化シリコンを含む酸化インジウム-酸化スズ化合物(ITO-SiO_2)の導電膜を形成した。なお該導電膜に用いたターゲットの組成は、 $\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{SiO}_2 = 85 : 10 : 5$ [重量%]とした。この後、窒素雰囲気中で、300℃、1時間の加熱処理を行った。

10

20

30

40

50

【0683】

以上の工程により、試料C-2及び試料D-2を得た。

【0684】

[トランジスタ特性の評価]

ここでトランジスタの初期特性として V_g-I_d 特性を測定した。試料C-2、試料D-2ともにチャンネル長 L が $3\mu m$ 、チャンネル幅 W が $50\mu m$ の n チャンネル型トランジスタを面内で4個、評価した。ここでは、基板温度を $25^\circ C$ とし、ソースドレイン間の電位差（以下、ドレイン電圧、 V_d ともいう）を $1V$ 、 $10V$ とし、ソースゲート電極間の電位差（以下、ゲート電圧、 V_g ともいう）を $-20V$ から $20V$ まで変化させたときのソースドレイン間に流れる電流（以下、ドレイン電流、 I_d ともいう）の変化特性、すなわち V_g-I_d 特性を測定した。

10

【0685】

図58(A)に試料C-2のトランジスタ、図58(B)に試料D-2のトランジスタの評価結果を示す。図58の横軸はゲート電圧 V_g を、縦軸はドレイン電流 I_d を、それぞれ示す。また、面内で4個のトランジスタを測定した。

【0686】

膜密度が低い試料C-2のトランジスタでは、良好なオンオフ特性を得ることができなかった。また、膜密度が比較的高い試料D-2のトランジスタでは、オンオフ比は得られたもののばらつきが多い結果となった。酸化物半導体膜の膜密度はトランジスタ特性と関係があり、良好な特性を得るためには、実施例2に示すように緻密な膜を用いることが好ましい。

20

【実施例3】

【0687】

本実施例では、本発明の一態様である酸化物半導体膜の評価結果について説明する。酸化物半導体膜は、表17に示す条件を用いてスパッタリング法により成膜した。条件A1乃至条件A3、条件B1及び条件B2、条件E1については表6に示す条件を再度示している。表17に記載の装置Bでは、圧力はキャノンANELBA製B-AゲージBRG-1Bを用いて測定し、装置A及び装置Cでは圧力はキャノンANELBA製ミニチュアゲージMG-2を用いて測定した。またターゲットとして、条件A1乃至条件A3は原子数比が $In:Ga:Zn=1:1:1$ の $In-Ga-Zn$ 酸化物の多結晶を用い、条件B1及び条件B2は原子数比が $In:Ga:Zn=2:1:3$ の $In-Ga-Zn$ 酸化物の多結晶を用い、条件E1乃至条件E3は $In:Ga:Zn=4:2:4.1$ の $In-Ga-Zn$ 酸化物の多結晶を用い、条件F1乃至条件F3は $In:Ga:Zn=1:3:4$ の $In-Ga-Zn$ 酸化物の多結晶を用い、条件F4は $In:Ga:Zn=1:3:2$ の $In-Ga-Zn$ 酸化物の多結晶を用いた。電源はDC電源を用いた。

30

【0688】

【表 17】

	装置	パワー [kW]	ガス流量		基板 温度	圧力 [Pa]	ターゲット	ターゲットー 基板間距離
			Ar [sccm]	O ₂ [sccm]				
条件A1	装置A	0.5(DC)	30	15	300℃	0.7	In:Ga:Zn=1:1:1	60mm
条件A2		0.5(DC)	30	15	300℃	0.4	In:Ga:Zn=1:1:1	60mm
条件A3	装置B	0.5(DC)	30	15	300℃	0.4	In:Ga:Zn=1:1:1	60mm
条件B1	装置A	0.5(DC)	30	15	200℃	0.7	In:Ga:Zn=2:1:3	60mm
条件B2		0.5(DC)	30	15	300℃	0.7	In:Ga:Zn=2:1:3	60mm
条件E1	装置C	0.2(DC)	20	10	200℃	0.4	In:Ga:Zn=4:2:4.1	130mm
条件E2		0.2(DC)	20	10	300℃	0.4	In:Ga:Zn=4:2:4.1	130mm
条件E3	装置A	0.5(DC)	30	15	200℃	0.7	In:Ga:Zn=4:2:4.1	60mm
条件E4		0.5(DC)	30	15	300℃	0.7	In:Ga:Zn=4:2:4.1	60mm
条件F1	装置A	0.5(DC)	40	5	200℃	0.7	In:Ga:Zn=1:3:4	60mm
条件F2	装置B	0.5(DC)	40	5	200℃	0.4	In:Ga:Zn=1:3:4	60mm
条件F3	装置C	0.2(DC)	27	3	200℃	0.4	In:Ga:Zn=1:3:4	130mm
条件F4	装置B	0.5(DC)	30	15	200℃	0.4	In:Ga:Zn=1:3:2	60mm

【0689】

[XRD評価2]

表17の条件E2乃至条件E4を用いて酸化物半導体膜を形成し、XRD装置を用いて評価を行った結果について説明する。

【0690】

まず、評価用の試料を作製した。シリコンウェハ上に、スパッタリング法を用いて酸化物半導体膜を成膜した。成膜条件として、表17の条件E2乃至条件E4を用いた。成膜後、各試料に対して熱処理を行った。熱処理条件は、450℃にて、窒素雰囲気下において加熱処理を1時間行った後、同じ処理室内にて、酸素雰囲気下において加熱処理を1時間行った。条件E2、条件E3及び条件E4を用いて作製した試料をそれぞれ試料E2-1、条件E3-1及び条件E4-1とする。なお、試料E2-1は実施例1に示した試料E1-1の成膜温度を200℃から300℃に変えた成膜条件を用いた試料である。

【0691】

XRD装置を用いて評価を行った結果を示す。測定に用いた装置は実施例1に示す装置と同じである。図68(A)は、試料E2-1の、図68(B)は試料E3-1の、図68(C)は試料E4-1の、Out-Of-Plane法による解析結果である。いずれの試料でも $2\theta = 31^\circ$ 近傍にピークがみられた。このピークは、 InGaZnO_4 の結晶の(009)面に帰属されることから、いずれの試料も酸化物半導体膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが示唆された。ここで、各試料の $2\theta = 31^\circ$ 近傍のピークの極大値となる角度、及び半値幅を表18に示す。バックグラウンドを差し引いた後、ローレンツ関数によりフィッティングを行い、ピークの極大値となる角度、及び半値幅を算出した。バックグラウンドは、線形関数とローレンツ関数の和として算出した。半値幅は、試料E4-1では 3.21° なのに対して試料E3-1では 3.67° であった。また、試料E2-1では 3.10° なのに対し

て実施例 1 に記載の試料 E 1 - 1 では 3. 47 °であった。よって、成膜温度が高い方が鋭いピークが得られ半値幅も小さいことがわかった。

【0692】

【表 18】

	2θ [°]	半値幅 [°]
試料E2-1	30.3	3.10
試料E3-1	30.9	3.67
試料E4-1	30.5	3.21

【0693】

[ICP-M Sによる評価結果 (2)]

10

前述の試料 E 2 - 1、試料 E 3 - 1 及び試料 E 4 - 1 と、実施例 1 に記載の試料 E 1 - 1 について、誘導結合プラズマ質量分析法によりインジウム、ガリウム及び亜鉛の含有率を評価した。得られた結果より、各元素の原子数比を算出した結果を表 19 に示す。

【0694】

【表 19】

	原子数比		
	In	Ga	Zn
試料E1-1	4.00	1.93	2.74
試料E2-1	4.00	1.92	2.60
試料E3-1	4.00	1.93	2.94
試料E4-1	4.00	1.97	2.90

20

【0695】

表 19 より、試料 E 1 - 1 の亜鉛の残留率 $A (= Zn (Film) \div Zn (Target) \times 100 [\%])$ は 78 %、試料 E 2 - 1 の亜鉛の残留率は 75 %、試料 E 3 - 1 の亜鉛の残留率は約 82 %、試料 E 4 - 1 の亜鉛の残留率 A は約 81 %であった。

【0696】

[C A A C 比率評価 (2)]

次に、表 17 の条件 E 1、条件 E 3 及び条件 E 4 を用いて C A A C 比率の評価を行った。

【0697】

30

まず評価用の試料を作製した。シリコンウェハ上に絶縁膜として、熱酸化を用いて酸化シリコン膜を 100 nm 形成した。その後スパッタリング法により酸化シリコン膜を 300 nm 成膜した。酸化シリコンの成膜条件は、酸化シリコンのターゲットを用いて酸素流量を 50 sccm、圧力 0.4 Pa、RF 電源を用いて 1.5 kW とし、基板温度を 1000 °C とした。ターゲットと基板の距離は 60 mm とした。その後、CMP を用いて研磨を行い、表面を平坦化した。

【0698】

次に、酸化物半導体膜を 20 nm 形成した。次に熱処理を行った。熱処理条件は、窒素雰囲気で 450 °C 1 時間処理を行った後、酸素雰囲気で 450 °C 1 時間処理を行った。表 17 に記載の条件 E 1、条件 E 3 及び条件 E 4 の各条件を用いて酸化物半導体膜を成膜した試料をそれぞれ試料 E 1 - 2、試料 E 3 - 2 及び試料 E 4 - 2 とする。

40

【0699】

次に、得られた各試料の薄片化を行い、C A A C 比率の評価を行った。評価に用いた装置、及び評価手法については実施例 1 に記載の C A A C 比率の評価に用いた装置、及び C A A C 比率の評価手法を用いたため、ここでは詳細は省略する。

【0700】

得られた動画を 0.5 秒ごとに静止画に変換した。変換した静止画から得られた回折パターンを解析し、C A A C - O S 膜のパターンと、C A A C - O S 膜のパターンかまたは n c - O S 膜のパターンかの判別が難しいものと、n c - O S 膜のパターンと、スピネル型の結晶構造のパターンと、の 4 つに分類した。結果を表 20 に示す。なお、表 20 に示

50

すCAAC比率は、CAAC-O S膜のパターンかまたはnc-O S膜のパターンかの判別が難しいものについてはCAACでないと仮定した場合の比率である。

【0701】

【表20】

		画像数					CAAC比率 (②はCAACでないと仮定)
		解析を行った数	① CAAC	② CAAC or nc?	③ nc	④ スピネル型	
試料E1-2	scan1	135	120	9	6	0	88.9%
	scan2	133	122	3	8	0	91.7%
	scan3	224	200	13	11	0	89.3%
試料E3-2	scan1	133	120	7	6	0	90.2%
	scan2	133	106	19	8	0	79.7%
	scan3	236	187	27	22	0	79.2%
試料E4-2	scan1	133	127	4	2	0	95.5%
	scan2	129	121	2	6	0	93.8%
	scan3	223	207	5	11	0	92.8%

10

【0702】

次に、CAAC-O S膜のパターンかまたはnc-O S膜のパターンか、その判別が難しいものについて、取得した動画で該当する時間の前後の映像を確認し、CAAC-O S膜のパターンが観測されるものと、nc-O S膜のパターンが観測されるものとに分類し、CAAC比率を導出した。結果を表21に示す。表20及び表21には、CAAC比率を算出するのに使用した回折パターンの画像数、観察された各種パターンの画像数及び算出したCAAC比率をそれぞれのスキャン毎に表した。

20

【0703】

【表21】

		画像数				CAAC比率
		解析を行った数	CAAC	nc	スピネル型	
試料E1-2	scan1	135	129	6	0	95.6%
	scan2	133	125	8	0	94.0%
	scan3	224	213	11	0	95.1%
試料E3-2	scan1	133	127	6	0	95.5%
	scan2	133	125	8	0	94.0%
	scan3	236	214	22	0	90.7%
試料E4-2	scan1	133	131	2	0	98.5%
	scan2	129	123	6	0	95.3%
	scan3	223	212	11	0	95.1%

30

【0704】

成膜温度が200℃の試料E3-2ではCAAC比率は90%以上であり、scan1乃至scan3のCAAC比率の平均は93.4%であった。また成膜温度が300℃の試料E4-2ではCAAC比率は95%以上であり、scan1乃至scan3のCAAC比率の平均は96.3%であった。いずれの試料においても、観測された回折パターンはCAAC-O S膜のパターンかnc-O S膜のパターンのいずれかであり、スピネル型の構造の回折パターンは観測されなかった。

40

【実施例4】

【0705】

[CPM評価]

次に、一定光電流法(CPM: Constant Photo-current Method)を用いて酸化物半導体膜の評価を行った。

【0706】

まず試料を作製した。基板として石英基板を用い、酸化物半導体膜として石英基板上にIn-Ga-Zn酸化物膜を100nm形成した。In-Ga-Zn酸化物膜は、ターゲット

50

ットに In-Ga-Zn 酸化物の多結晶を用いてスパッタリング法により形成した。成膜条件として、表 17 の A 1 及び E 3 に記載の条件を用いた。ここで A 1 は原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ の In-Ga-Zn 酸化物の多結晶を用いた条件であり、E 3 は原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4$ の In-Ga-Zn 酸化物の多結晶を用いた条件である。成膜後、熱処理を行った。熱処理条件は、 450°C にて、窒素雰囲気下において加熱処理を 1 時間行った後、同じ処理室内にて、酸素雰囲気下において加熱処理を 1 時間行った。A 1 の条件を用いて作製した試料を A 1-3、E 3 の条件を用いて作製した試料を E 3-3 とする。

【0707】

C PM測定は、酸化物半導体膜に接して設けられた第 1 の電極および第 2 の電極間に電圧を印加した状態で光電流値が一定となるように端子間の試料面に照射する光量を調整し、照射光量から吸収係数を導出する。ここでは、吸収係数の導出を各波長にて行った。C PM測定では、状態密度 (Density of State、以下 DOS と記す) に応じたエネルギー (波長より換算) における吸収係数が増加する。この吸収係数の増加分に定数を掛けることにより、試料の DOS を導出することができる。

【0708】

また、光吸収スペクトルのカーブからバンドテイルに起因する光吸収 (アーバックテイル) を取り除くことにより、欠陥準位による吸収係数 α を以下の式から算出することができる。

【0709】

【数 10】

$$\alpha = \int \frac{\alpha(E) - \alpha_u}{E} dE \quad (10)$$

【0710】

ここで、 $\alpha(E)$ は、各エネルギーにおける吸収係数を表し、 α_u は、アーバックテイルによる吸収係数を表す。

【0711】

なお、アーバックテイルの傾きをアーバックエネルギーという。アーバックエネルギーが小さいほど、欠陥が少なく、価電子帯のバンド端における準位のテイル (裾) の傾きが急峻である秩序性の高い半導体層であるといえる。

【0712】

図 7 1 に、分光光度計によって測定した吸収係数 (点線) と、C PMによって測定した吸収係数 (実線) とを酸化物半導体膜のエネルギーギャップ以上のエネルギー範囲において、フィッティングした結果を示す。図 7 1 (A) は試料 A 1-3 の結果を、図 7 1 (B) は試料 E 3-3 の結果をそれぞれ示す。C PMによって測定した吸収係数より得られたアーバックエネルギーは試料 A 1-3 が 70.2 meV 、試料 E 3-3 が 68.6 meV であった。

【0713】

また、図 7 1 において C PMによって測定した吸収係数からバックグラウンド (細点線) を差し引き、吸収係数の積分値を導出すると、DOS による吸収係数は、試料 A 2-3 が $1.1 \times 10^{-3} \text{ cm}^{-1}$ 、試料 E 3-3 が $1.6 \times 10^{-3} \text{ cm}^{-1}$ であることがわかった。いずれの試料においても、欠陥準位による吸収係数は小さいことがわかった。

【0714】

得られた吸収係数から、いずれの試料においても欠陥が少ない膜であることが示唆された。また、アーバックエネルギーの結果から、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4$ の In-Ga-Zn 酸化物の多結晶を用いた酸化物半導体膜の方が、より欠陥が少ない可能性がある。

【実施例 5】

【0715】

本実施例では、トランジスタ特性の評価結果について説明する。

【0716】

[トランジスタの作製(2)]

トランジスタ特性の評価には、図6(A)に示す例のように、導電層104a及び導電層104bが半導体層101a及び半導体層101bの側面を覆わない断面構造を有するトランジスタを用いた。但し、用いたトランジスタは導電層105を有さない構造とした。トランジスタを有する基板として、試料T1、試料T2及び試料T3を作製した。半導体層101a、半導体層101b及び半導体層101cはスパッタリング法を用いて成膜した。試料T1は半導体層101a、半導体層101b及び半導体層101cとして条件F2、条件A3及び条件F2を用いた。試料T2は半導体層101a、半導体層101b及び半導体層101cとして条件F1、条件B1及び条件F2を用いた。試料T3は半導体層101a、半導体層101b及び半導体層101cとして条件F1、条件E3及び条件F2を用いた。

10

【0717】

以下に、トランジスタの具体的な作製方法について述べる。なお、本実施例では、試料T1乃至試料T3の試料間で条件振りを行っている場合のみ、その旨を記載する。よって条件振りの記載がない場合には、試料T1乃至試料T3は、同じ条件で処理を行ったことを示す。

【0718】

20

基板50としてp型、CZ結晶、面方位(100)のシリコンウェハを準備した。次に基板の洗浄を行った後、絶縁膜51を形成した。絶縁膜51は、酸化シリコン膜と酸化窒化シリコン膜の積層膜とした。酸化シリコン膜は、950℃にて熱酸化を行い、100nm形成した。その後、酸化窒化シリコン膜は、PECVD装置を用いて300nm成膜した。成膜条件は、基板温度400℃とし、ガス流量をシラン2sccm及び亜酸化窒素800sccmとし、圧力を40Paとし、成膜電力(RF)を50W(27MHz)とし、電極間距離を15mmとした。絶縁膜51の成膜後、CMP法を用いて平坦化処理を行った。その後、減圧雰囲気中で450℃1時間の熱処理を行った。

【0719】

次に、イオン注入法を用いて酸素イオン($^{16}\text{O}^+$)の注入を行った。注入条件は、加速電圧を60kV、ドーズ量を $2.0 \times 10^{16} \text{ ions/cm}^2$ 、チルト角を7°、ツイスト角を72°とした。

30

【0720】

次に、絶縁膜51上に、半導体層101aとなる第1の半導体膜を形成した。第1の半導体膜として、原子数比がIn:Ga:Zn=1:3:4のIn-Ga-Zn酸化物の多結晶をターゲットに用いて、スパッタリング法により膜厚20nmのIn-Ga-Zn酸化物膜を形成した。試料T1の第1の半導体膜の成膜条件の詳細は表17のF2に示す。試料T2及び試料T3の第1の半導体膜の条件の詳細は表17のF1に示す。

【0721】

その後、続けて半導体層101bとなる第2の半導体膜を形成した。第2の半導体膜として、In-Ga-Zn酸化物膜を20nm形成した。第1の半導体膜と第2の半導体膜の成膜は異なるチャンバー室を用いて行い、チャンバー室間の搬送は大気雰囲気に暴露せずに真空雰囲気内で行った。試料T1は、原子数比In:Ga:Zn=1:1:1のIn-Ga-Zn酸化物の多結晶をターゲットに用いて、成膜条件の詳細は表17のA3に示す。試料T2は、原子数比In:Ga:Zn=2:1:3のIn-Ga-Zn酸化物をターゲットに用いた。成膜条件の詳細は表17のB1に示す。試料T3は、原子数比In:Ga:Zn=4:2:4.1のIn-Ga-Zn酸化物の多結晶をターゲットに用いた。成膜条件の詳細は表17のE3に示す。

40

【0722】

次いで、450℃にて、窒素雰囲気下において加熱処理を1時間行った後、同じ処理室

50

内にて、酸素雰囲気下において加熱処理を1時間行った。

【0723】

次に、スパッタリング法を用いてタングステン膜を150nm成膜した。成膜条件は、タングステンをターゲットに用い、アルゴン流量を80sccmと、圧力を0.8Pa、電源電力(DC)を1kW、基板とターゲット間の距離を60mmとした。基板温度は約130℃とした。また、基板裏面にも更にアルゴンを10sccm供給した。

【0724】

次に、タングステン膜上にレジストマスクを形成し、該マスクを用いてタングステン膜の一部を誘導結合型プラズマ(ICP: Inductively Coupled Plasma)エッチング法によりエッチングし、導電層104a及び導電層104bを形成した。タングステン膜のエッチングは、具体的には以下のように行った。まずエッチング条件を、基板温度を40℃、エッチングガスを塩素と四フッ化炭素と酸素の混合ガス($Cl_2 = 45\text{ sccm}$, $CF_4 = 55\text{ sccm}$, $O_2 = 55\text{ sccm}$)、電源電力3000W、バイアス電力110W、圧力0.67Pa、処理時間を13秒として、第1のエッチングを行った。次いでエッチング条件を、基板温度を40℃、エッチングガスを塩素($Cl_2 = 100\text{ sccm}$)、電源電力2000W、バイアス電力0W、圧力3.00Pa、処理時間を15秒として、第2のエッチングを行った。次いでエッチング条件を、基板温度を40℃、エッチングガスを塩素と四フッ化炭素と酸素の混合ガス($Cl_2 = 45\text{ sccm}$, $CF_4 = 55\text{ sccm}$, $O_2 = 55\text{ sccm}$)、電源電力3000W、バイアス電力110W、圧力0.67Paとし、第3のエッチングを行った。

【0725】

次に、第1の半導体膜及び第2の半導体膜の形状をエッチングにより加工することで、島状の第1の半導体層101aと第2の半導体層101bを形成した。なお、上記エッチングには、ICPエッチング法を用いた。エッチング条件は、基板温度を70℃とし、エッチングガスを三塩化ホウ素($BCl_3 = 80\text{ sccm}$)とし、電源電力450W、バイアス電力100W、圧力1.0Paとした。

【0726】

次いで、導電層104a及び導電層104b上に、半導体層101cとなる第3の半導体膜を形成した。第3の半導体膜として、原子数比がIn:Ga:Zn=1:3:4のIn-Ga-Zn酸化物の多結晶をターゲットに用い、スパッタリング法により膜厚5nmのIn-Ga-Zn酸化物膜を形成した。成膜条件の詳細は表17のF2に示す。

【0727】

次いで、ゲート絶縁膜102として酸化窒化シリコン膜を、PECVD法を用いて20nm成膜した。ゲート絶縁膜102の成膜条件は、実施例2のゲート絶縁膜102と同じ条件を用いた。続けて、ゲート電極103となる導電膜を形成した。ゲート電極103となる導電膜の成膜条件は、実施例3のゲート電極103となる導電膜と同じ成膜条件を用いた。

【0728】

次いで、ゲート電極103となる導電膜の形状をエッチングにより加工することで、ゲート電極103を形成した。ゲート電極103の加工は、実施例2のゲート電極と同じ加工条件を用いた。

【0729】

次いで、レジストマスクを用いてゲート絶縁膜102と、第3の半導体膜の形状をエッチングにより加工した。なお、上記エッチングは、実施例2に記載の加工条件と同じ条件を用いた。

【0730】

次いで、トランジスタを覆うように、絶縁膜112として、膜厚140nmの酸化アルミニウム膜を形成した。酸化アルミニウム膜はスパッタリング法を用いて形成した。酸化アルミニウム膜の成膜条件は、実施例2の絶縁膜112と同じ成膜条件を用いた。

【0731】

10

20

30

40

50

次いで、絶縁膜 113 として、膜厚 150 nm の酸化窒化シリコン膜を形成した。酸化窒化シリコン膜は PECVD 法を用いて形成した。成膜条件は、実施例 2 の絶縁膜 113 と同じ成膜条件を用いた。

【0732】

次いで、導電層 104a 及び導電層 104b に達する開口部を、エッチングにより形成した。上記エッチングは、ICP エッチング法を用いた。エッチング条件は基板温度を 70℃ とし、エッチングガスを三塩化ホウ素 ($\text{BCl}_3 = 80 \text{ sccm}$) とし、電源電力 450W、バイアス電力 100W、圧力 1.9 Pa とした。

【0733】

次いで、開口部内及び絶縁膜 113 上に、膜厚 50 nm のチタン膜と、膜厚 300 nm のアルミニウム膜と、膜厚 50 nm のチタン膜とを順に積層させた導電膜を、スパッタリング法を用いて形成した。次いで、開口部内及び絶縁膜 113 上の導電膜の形状をエッチングにより加工し、配線を形成した。上記エッチングには、ICP エッチング法を用いた。

【0734】

次いで、膜厚 1.6 μm のポリイミド膜を、塗布法を用いて形成した後、大気雰囲気下において、300℃で1時間程度、加熱処理を行った。

【0735】

以上の工程により、試料 T1 乃至試料 T3 上にトランジスタを作製した。

【0736】

[トランジスタ特性の評価 (2)]

次に、トランジスタの初期特性としてトランジスタの $V_g - I_d$ 特性を評価した。図 69 にトランジスタ特性を示す。試料 T1 乃至試料 T3 についてそれぞれ、チャンネル長 L が 0.84 μm 、チャンネル幅 W が 0.8 μm の n チャンネル型トランジスタを面内で 13 個、評価した。図 69 (A) は試料 T1 の、図 69 (B) は試料 T2 の、図 69 (C) は試料 T3 の、トランジスタの $V_g - I_d$ 測定を示す。ここで V_g はソース・ゲート間の電圧、 I_d はソース・ドレイン間の電流を示す。また、横軸にはゲート電圧 V_g を、左の縦軸にはドレイン電圧 V_d を、右の縦軸には電界効果移動度 μ_{FE} を示す。ドレイン電圧 V_d が 0.1 V と、3 V の 2 条件で測定した。ここで、電界効果移動度は、 $V_d = 0.1 \text{ V}$ で算出した電界効果移動度を示している。

【0737】

図 69 の結果より、いずれの試料においても良好なトランジスタが得られた。また試料 T1 と比較して、試料 T2 のトランジスタの方がしきい値電圧が小さく、高い電界効果移動度を有する優れた特性が得られ、試料 T3 のトランジスタではさらに S 値が小さく、さらに高い電界効果移動度を有する優れた特性が得られた。

【実施例 6】

【0738】

本実施例では、チャンネル長が約 60 nm のトランジスタ特性の評価結果について説明する。

【0739】

[トランジスタの作製 (3)]

トランジスタ特性の評価には、図 64 に示す断面構造を有するトランジスタを用いた。但し、用いたトランジスタは導電層 105 を有さない構造とした。トランジスタを有する基板として、試料 T4 を作製した。半導体層 101a、半導体層 101b 及び半導体層 101c はスパッタリング法を用いて成膜した。半導体層 101a、半導体層 101b 及び半導体層 101c として条件 F3、条件 E1 及び条件 F4 を用いた。

【0740】

基板 50 としてシリコンウェハを準備した。基板 50 の洗浄を行った後、絶縁膜 51 を形成した。絶縁膜 51 は、酸化シリコン膜と酸化窒化シリコン膜の積層膜とした。絶縁膜 51 の形成条件は、実施例 5 の絶縁膜 51 と同じ条件を用いた。絶縁膜 51 の成膜後、C

10

20

30

40

50

M P法を用いて平坦化処理を行った。その後、減圧雰囲気中で450℃1時間の熱処理を行った。

【0741】

次に、イオン注入法を用いて酸素イオン ($^{16}\text{O}^+$) の注入を行った。注入条件は、加速電圧を60kV、ドーズ量を $2.0 \times 10^{16} \text{ ions/cm}^2$ 、チルト角を7°、ツイスト角を72°とした。

【0742】

次に、絶縁膜51上に、半導体層101aとなる第1の半導体膜を形成した。第1の半導体膜として、原子数比がIn:Ga:Zn=1:3:4のIn-Ga-Zn酸化物をターゲットに用いたスパッタリング法により、膜厚20nmのIn-Ga-Zn酸化物膜を形成した。成膜条件の詳細は、表17の条件F3に示す。

10

【0743】

続いて、半導体層101bとなる第2の半導体膜を形成した。第1の半導体膜と第2の半導体膜の成膜は異なるチャンバー室を用いて行い、チャンバー室間の搬送は大気雰囲気に暴露せずに真空雰囲気内で行った。第2の半導体膜として、In-Ga-Zn酸化物膜を15nm形成した。第2の半導体膜の成膜条件については、原子数比In:Ga:Zn=4:2:4.1のIn-Ga-Zn酸化物をターゲットに用いた。成膜条件の詳細は、表17の条件E1に示す。

【0744】

次いで、450℃にて、窒素雰囲気下において加熱処理を1時間行った後、同じ処理室内にて、酸素雰囲気下において加熱処理を1時間行った。

20

【0745】

次に、半導体層101b上にハードマスクとしてタングステン膜を20nm成膜した。タングステンの成膜にはスパッタリング法を用いた。成膜条件はタングステンをターゲットに用い、アルゴン流量を80sccm、圧力を0.8Pa、電源電力(DC)を1kW、基板とターゲット間の距離を60mmとした。基板温度は約130℃とした。また、基板裏面にも更にアルゴンを10sccm供給した。

【0746】

次に、ハードマスクであるタングステン膜上に有機塗布膜としてSWK-T7(東京応化工業製)を形成する工程を説明する。まず200℃で120秒加熱して水分を除去した。その後、チャンバー内のホットプレートに基板を設置した。ホットプレートの温度は110℃とした。次に、チャンバー内に1, 1, 1, 3, 3, 3-ヘキサメチルジシラザン(HMDS: hexamethyldisilazane)を含んだ窒素ガスを60秒導入し、処理を行った。次に、有機塗布膜を20nm塗布した。その後、200℃で200秒加熱して溶媒と水分を除去した。

30

【0747】

次に、有機塗布膜上にレジストを形成する工程を説明する。まず200℃で120秒加熱して水分を除去した。その後、チャンバー内のホットプレートに基板を設置した。ホットプレートの温度は110℃とした。次に、チャンバー内に1, 1, 1, 3, 3, 3-ヘキサメチルジシラザン(HMDS: hexamethyldisilazane)を含んだ窒素ガスを60秒導入し、処理を行った。次に、レジストとしてネガレジストOEBR-CAN034A2(東京応化工業製)を100nm成膜した。その後、100℃で85秒加熱して溶媒と水分を除去した。

40

【0748】

次に、露光および現像を行い、レジストマスクを形成した。電子ビーム露光機で多重露光を用い、露光量を $80 \mu\text{C/cm}^2$ 乃至 $160 \mu\text{C/cm}^2$ として露光した(好ましくは $130 \mu\text{C/cm}^2$ 乃至 $155 \mu\text{C/cm}^2$)。露光後はPEB(Post Exposure Bake)を100℃100秒で処理した。現像条件は、NMD-3(TMAH(Tetramethylammonium hydroxide) 2.38%)(東京応化工業製)を現像液として、現像時間を60秒として処理し、レジストマスクを形

50

成した。

【0749】

次に、レジストマスクをマスクに、有機塗布膜およびハードマスクをエッチングした。エッチング条件は、基板温度を -10°C とし、まずエッチングガス($\text{CF}_4=100\text{ sccm}$)を用い、バイアス電力を 50 W とし、ICP電源電力を 2000 W とし、圧力を 0.67 Pa とした後、エッチングガス($\text{CF}_4:\text{O}_2=60\text{ sccm}:40\text{ sccm}$)を用い、バイアス電力を 25 W とし、ICP電源電力を 1000 W とし、圧力を 2.0 Pa とした。

【0750】

次に、酸素プラズマによるアッシングにてレジストマスクおよび有機塗布膜を除去した。アッシング条件は、 100 sccm の酸素を用い、電源電力 200 W とし、圧力を 500 mTorr で 120 秒とした。

【0751】

次に、ハードマスクをマスクに半導体層101b及び半導体層101aをエッチングした。エッチング条件は、エッチングガス($\text{CH}_4:\text{Ar}=16\text{ sccm}:32\text{ sccm}$)を用い、バイアス電力を 50 W とし、ICP電源電力を 600 W とし、圧力を 3.0 Pa とした後、エッチングガス($\text{CH}_4:\text{Ar}=16\text{ sccm}:32\text{ sccm}$)を用い、バイアス電力を 50 W とし、ICP電源電力を 600 W とし、圧力を 1.0 Pa とした。

【0752】

次に、ハードマスクであるタングステン膜を加工し、導電層104a及び導電層104bを形成した。まず、有機塗布膜及びレジスト膜を前述の方法と同様に形成した。次に、電子ビーム露光機を用いて露光を行った後、現像を行い、レジストマスクを形成した。その後、レジストマスクを用いて有機塗布膜及びタングステン膜のエッチングを行った。その後、酸素プラズマによるアッシングにてレジストマスク及び有機塗布膜を除去し、導電層104a及び導電層104bを形成した。

【0753】

次いで、導電層104a及び導電層104b上に、半導体層101cとなる第3の半導体膜を形成した。第3の半導体膜として、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ の In-Ga-Zn 酸化物の多結晶をターゲットを用いたスパッタリング法により、膜厚 5 nm の In-Ga-Zn 酸化物膜を形成した。成膜条件の詳細は表17の条件F4に示す。

【0754】

次いで、ゲート絶縁膜102として酸化窒化シリコン膜を、PECVD法を用いて 10 nm 成膜した。ゲート絶縁膜102の成膜条件は、実施例5に示したゲート絶縁膜102と同じ条件を用いた。次に、ゲート電極103となる導電膜として、窒化チタン膜を 10 nm 形成した後にタングステン膜を 30 nm 形成した。窒化チタン膜の成膜条件は、窒素の流量を 50 sccm 、圧力 0.2 Pa 、電源電力(DC) 12 kW 、基板温度室温、基板とターゲット間の距離を 400 mm とした。タングステン膜の成膜条件は、アルゴンの流量を 100 sccm 、圧力 2.0 Pa 、電源電力(DC) 1.0 kW 、基板温度を約 130°C 、基板とターゲット間の距離を 60 mm とした。また、基板裏面へアルゴンを更に 10 sccm 供給した。

【0755】

次に、有機塗布膜及びレジスト膜を成膜し、電子ビーム露光機を用いてレジストマスクを形成後、エッチングを用いて有機塗布膜及びゲート電極103となる導電膜を加工した。その後、酸素プラズマによるアッシングにてレジストマスク及び有機塗布膜を除去し、ゲート電極103を形成した。

【0756】

次に、フォトリソグラフィを用いてレジストマスクを形成し、エッチングを用いてゲート絶縁膜102及び半導体層101cの加工を行った。エッチング条件は、エッチングガス($\text{CH}_3=56\text{ sccm}$ 、 $\text{He}=144\text{ sccm}$)を用い、バイアス電力を 425 W とし、ICP電源電力を 25 W とし、圧力を 7.5 Pa として第1のエッチングを行った後

10

20

30

40

50

、エッチングガス（ CH_4 ： $\text{Ar}=16\text{ sccm}：32\text{ sccm}$ ）を用い、バイアス電力を50Wとし、ICP電源電力を600Wとして第2のエッチングを行った後、圧力を3.0Paとし、その後エッチングガス（ CH_4 ： $\text{Ar}=16\text{ sccm}：32\text{ sccm}$ ）を用い、バイアス電力を50Wとし、ICP電源電力を600Wとし、圧力を3.0Paとして第3のエッチングを行った。

【0757】

次に、絶縁膜112として、膜厚40nmの酸化アルミニウム膜を形成した。酸化アルミニウム膜はスパッタリング法を用いて形成した。酸化アルミニウム膜の成膜条件は、実施例2の絶縁膜112と同じ条件を用いた。

【0758】

次に、絶縁膜113として、膜厚150nmの酸化窒化シリコン膜を形成した。酸化窒化シリコン膜はPECVD法を用いて形成した。酸化窒化シリコン膜の成膜条件は、実施例2の絶縁膜113と同じ条件を用いた。

【0759】

次いで、i線ステップ露光機を用いてレジストマスクを形成し、導電層104a及び導電層104bに達する開口部を、絶縁膜112及び絶縁膜113をエッチングすることにより形成した。上記エッチングは、ICPエッチング法を用いた。

【0760】

エッチング条件は、以下の通りとした。基板温度を70℃とし、エッチングガスをトリフルオロメタンとヘリウムの混合ガス（ $\text{CHF}_3=50\text{ sccm}$ ， $\text{He}=100\text{ sccm}$ ）とし、電源電力475W、バイアス電力300W、圧力5.5Paとして、第1のエッチングを行った。次いで、エッチング条件を、基板温度を70℃とし、エッチングガスをトリフルオロメタンとヘリウムの混合ガス（ $\text{CHF}_3=7.5\text{ sccm}$ ， $\text{He}=142.5\text{ sccm}$ ）とし、電源電力475W、バイアス電力300W、圧力5.5Paとして、第2のエッチングを行った。

【0761】

次いで、開口部内及び絶縁膜113上に、膜厚50nmのチタン膜と、膜厚200nmのアルミニウム膜と、膜厚50nmのチタン膜とを順に積層させた導電膜を、スパッタリング法を用いて形成した。次いで、開口部内及び絶縁膜113上の導電膜の形状をエッチングにより加工し、配線を形成した。上記エッチングには、ICPエッチング法を用いた。

【0762】

次いで、膜厚1.6μmのポリイミド膜を、塗布法を用いて形成した後、大気雰囲気下において、300℃で1時間程度、加熱処理を行った。

【0763】

以上の工程によって、試料T4を作製した。

【0764】

[トランジスタ特性の評価(3)]

図70にトランジスタの V_g-I_d 測定結果を示す。チャネル長Lが66nm、チャネル幅Wが55nmのnチャネル型トランジスタを面内で9個、評価した。ここで V_g はソースゲート間の電圧、 I_d はソースドレイン間の電流を示す。また、横軸にはゲート電圧 V_g を、左の縦軸にはドレイン電圧 I_d を、右の縦軸には電界効果移動度 μ_{FE} を示す。ドレイン電圧 V_d が0.1Vと、1.8Vの2条件で測定した。ここで、電界効果移動度は、 $V_d=0.1\text{ V}$ で算出した電界効果移動度を示している。

【0765】

図70の結果より、しきい値電圧が小さく、高い電界効果移動度を有する良好なトランジスタが得られることがわかった。

【実施例7】

【0766】

本実施例では、実施例6で作製したトランジスタと同じ条件を用いて作製したトランジ

10

20

30

40

50

スタの特性について説明する。

【0767】

図64に示す構造のトランジスタを作製した。但し、トランジスタは、導電層105を有しない構造とした。トランジスタの作製には、実施例6に示す工程と同様の工程を用いた。

【0768】

[トランジスタ特性の評価(4)]

作製したトランジスタ特性の評価を行った。まずトランジスタの初期特性として、 $V_g - I_d$ 特性を評価した。チャンネル長 L が72nm、チャンネル幅 W が53nmのnチャンネル型トランジスタの $V_g - I_d$ 特性を図72に示す。ここで V_g はソース・ゲート間の電圧、 I_d はソース・ドレイン間の電流を示す。また、横軸には V_g を、左の縦軸には I_d を、右の縦軸には電界効果移動度 μ_{FE} を示す。 $V_g - I_d$ 特性は、 V_d が0.1Vと、1.8Vの2条件にて測定した。ここで、 V_d はソース・ドレイン間の電圧を示す。また、電界効果移動度は、 $V_d = 0.1V$ で算出した電界効果移動度を示す。

10

【0769】

次に、試料T2及びT4について、ストレス印加によるしきい値の変化を評価した。しきい値は、 $V_d = 1.8V$ の $V_g - I_d$ カーブより算出した。

【0770】

ストレス条件として、 $V_g = +1.8V$ 、 $V_d = 0V$ を印加した場合、 $V_g = -1.8V$ 、 $V_d = 0V$ を印加した場合、 $V_g = 0V$ 、 $V_d = +1.8V$ 印加した場合、の計3条件について評価を行った。試験温度を150℃、ストレス印加時間を1時間とした。

20

【0771】

150℃において $V_g = +1.8V$ 、 $V_d = 0V$ を1時間印加した場合のしきい値の変化量 ΔV_{th} を図73に示す。横軸は電圧印加時間、縦軸はしきい値の変化量 ΔV_{th} を示す。1時間後の ΔV_{th} は、+0.06Vであった。

【0772】

図74には、150℃において $V_g = -1.8V$ 、 $V_d = 0V$ を1時間印加した場合のしきい値の変化量 ΔV_{th} を示す。1時間後の ΔV_{th} は、+0.12Vであった。

【0773】

図75には、150℃において $V_g = 0V$ 、 $V_d = +1.8V$ を1時間印加した場合のしきい値の変化量 ΔV_{th} を示す。1時間後の ΔV_{th} は、+0.19Vであった。

30

【0774】

図73乃至図75より、いずれのストレス条件においてもしきい値の変化量は小さく、良好な特性が得られた。

【実施例8】

【0775】

本実施例では、チャンネル長 L が26nm、チャンネル幅 W が31nmのトランジスタを作製し、そのトランジスタ特性を評価した。

【0776】

[トランジスタの作製(4)]

40

トランジスタを有する試料T5の作製方法を以下に示す。ここで作製したトランジスタは図64と同様の構造を有するため、図64で用いた符号を使って説明する。本実施例では、半導体層101a、半導体層101b及び半導体層101cとして条件F1、条件E3及び条件F4を用いた。詳細な条件は後述する。基板50としてシリコンウェハを準備した。基板50の洗浄を行った後、絶縁膜51を形成した。絶縁膜51は、酸化シリコン膜と酸化窒化シリコン膜の積層膜とした。絶縁膜51の形成条件は、実施例5の絶縁膜51と同じ条件を用いた。絶縁膜51の成膜後、CMP法を用いて平坦化処理を行った。その後、減圧雰囲気中で450℃1時間の熱処理を行った。

【0777】

次に、イオン注入法を用いて酸素イオン($^{16}O^+$)の注入を行った。注入条件は、加

50

速電圧を60kV、ドーズ量を $2.0 \times 10^{16} \text{ ions/cm}^2$ 、チルト角を7°、ツイスト角を72°とした。

【0778】

次に、絶縁膜51上に、半導体層101aとなる第1の半導体膜を形成した。第1の半導体膜として、原子数比がIn:Ga:Zn=1:3:4のIn-Ga-Zn酸化物をターゲットに用いたスパッタリング法により、膜厚20nmのIn-Ga-Zn酸化物膜を形成した。成膜条件の詳細は、表16の条件F1に示す。

【0779】

続いて、半導体層101bとなる第2の半導体膜を形成した。第1の半導体膜と第2の半導体膜の成膜は異なるチャンバー室を用いて行い、チャンバー室間の搬送は大気雰囲気10に暴露せず真空雰囲気内で行った。第2の半導体膜として、In-Ga-Zn酸化物膜を15nm形成した。第2の半導体膜の成膜条件については、原子数比In:Ga:Zn=4:2:4.1のIn-Ga-Zn酸化物をターゲットに用いた。成膜条件の詳細は、表16の条件E3に示す。

【0780】

次いで、450℃にて、窒素雰囲気下において加熱処理を1時間行った後、同じ処理室内にて、酸素雰囲気下において加熱処理を1時間行った。

【0781】

次に、半導体層101b上にタングステンを用いてハードマスクを形成した。ハードマスクの形成方法は、実施例6を参照すればよい。20

【0782】

次に、ハードマスクをマスクに半導体層101b及び半導体層101aをエッチングした。半導体層101b及び半導体層101aのエッチングは、実施例6を参照すればよい。

【0783】

次に、ハードマスクであるタングステン膜を加工し、導電層104a及び導電層104bを形成した。導電層104a及び導電層104bの形成は、実施例6を参照すればよい。

【0784】

次いで、導電層104a及び導電層104b上に、半導体層101cとなる第3の半導体膜を形成した。第3の半導体膜として、原子数比がIn:Ga:Zn=1:3:2のIn-Ga-Zn酸化物の多結晶をターゲットを用いたスパッタリング法により、膜厚5nmのIn-Ga-Zn酸化物膜を形成した。成膜条件の詳細は表16の条件F4に示す。30

【0785】

次いで、ゲート絶縁膜102として酸化窒化シリコン膜を、PECVD法を用いて10nm成膜した。ゲート絶縁膜102の成膜条件は、実施例5に示したゲート絶縁膜102と同じ条件を用いた。次に、窒化チタン膜を10nm形成した後タングステン膜を30nm形成し、加工を行いゲート電極103を作製した。ゲート電極103の形成は実施例6を参照すればよい。

【0786】

次に、絶縁膜112として、膜厚30nmの酸化アルミニウム膜を形成した。次に、酸素雰囲気下で350℃1時間の熱処理を行った。次に、絶縁膜113として、膜厚460nmの酸化窒化シリコン膜を形成した。その後、CMP処理を行った。40

【0787】

次いで、タングステン膜と窒化シリコン膜をハードマスクとして、ゲート電極103及び導電層104a、導電層104bに達する開口部をドライエッチングにより設けた。

【0788】

次いで、開口部内及び絶縁膜113上に、膜厚10nmの窒化チタン膜と、膜厚150nmのタングステン膜を積層させた導電膜を、スパッタリング法を用いて形成した。次いで、開口部内及び絶縁膜113上の導電膜に、CMP処理を行い、プラグを形成した。50

【0789】

次いで、タングステン電極をプラグ上に設け、その後、絶縁膜として酸化窒化シリコン膜を成膜した。

【0790】

次いで、酸化窒化シリコン膜に、タングステン電極等に達する開口部を設けた。開口部内及び酸化窒化シリコン膜上に配線を形成した。

【0791】

次いで、膜厚1.6 μm のポリイミド膜を設けた。

【0792】

以上の工程によって、本発明の一態様のトランジスタを有する試料T5を作製した。

10

【0793】

次に、作製した試料T5の有するトランジスタを、断面TEMにより観察した。観察のための薄片化加工には、FIB (Focused Ion Beam System: 集束イオンビーム加工観察装置)を用いた。

【0794】

図77(A)はチャンネル長方向の断面図を、図77(B)チャンネル幅方向の断面図を、それぞれ示す。チャンネル長が30nm以下の、良好な電気特性を有する、微細なトランジスタを作製することができた。

【0795】

[トランジスタの評価(5)]

20

次に、作製したトランジスタの特性を評価した。作製したトランジスタのチャンネル長Lは26nm、チャンネル幅Wは31nmであった。

【0796】

図78に I_d-V_g 特性を示す。 $V_d=0.1\text{V}$ と 1V の2条件で測定を行った。また、図79に I_d-V_d 特性を示す。 V_g は0から0.2Vごとに2Vまでの11条件にて、同じトランジスタを用いて連続して測定を行った。ここで、 $V_g=0\text{V}$ 、 0.2V 及び 0.4V の条件については図79では省略した。チャンネル長が30nm以下の微細なトランジスタにおいて、良好なトランジスタ特性を得ることができた。

【実施例9】

【0797】

30

本実施例では、本発明の一態様であるIn-Ga-Zn酸化物膜の評価結果について説明する。

【0798】

[試料の作製]

基板にシリコンウェハを用いた。次に、シリコンウェハを熱酸化することにより酸化シリコン膜を100nm形成した。次に、酸化シリコン膜上にIn-Ga-Zn酸化物膜を40nm成膜した。In-Ga-Zn酸化物膜は、ターゲットに多結晶のIn-Ga-Zn酸化物を用い、スパッタリング法により成膜した。成膜条件の主な項目を表22に示す。ここで表22にはターゲットに用いたIn-Ga-Zn酸化物のインジウム、ガリウム及び亜鉛の原子数比を示す。

40

【0799】

【表22】

	装置	パワー [kW]	ガス流量		基板 温度	圧力 [Pa]	ターゲット	ターゲットー 基板間距離
			Ar [sccm]	O ₂ [sccm]				
条件F1	装置A	0.5(DC)	40	5	200°C	0.7	In:Ga:Zn= 1:3:4	60mm
条件G1	装置D	0.2(DC)	20	10	300°C	0.4	In:Ga:Zn= 1:2:4	130mm

【0800】

50

次に、イオン注入法を用いて酸素イオン ($^{16}\text{O}^+$) の注入を行った。注入条件は、加速電圧を 60 kV、ドーズ量は、 $1.0 \times 10^{16} \text{ ions/cm}^2$ 、 $1.5 \times 10^{16} \text{ ions/cm}^2$ 及び $2.0 \times 10^{16} \text{ ions/cm}^2$ の 3 条件とした。また、チルト角は 7° 、ツイスト角は 72° とした。以上の工程により試料を作製した。

【0801】

[XRD 評価]

次に、作製した試料の XRD を評価した。XRD の評価は、多機能薄膜材料評価 X 線回折装置 D8 DISCOVER Hybrid (Bruker AXS 社製) を用いた。XRD 測定の結果を図 80 乃至図 81 に示す。

【0802】

図 80 は、表 22 に示す条件 F1 を用いて In-Ga-Zn 酸化物膜を成膜した試料の評価結果である。条件 F1 では、インジウム、ガリウム及び亜鉛の原子数比が In:Ga:Zn = 1:3:4 の In-Ga-Zn 酸化物ターゲットを用いた。図 80 (A) は酸素イオン注入を行っていない試料の、図 80 (B) 及び (C) はそれぞれ酸素イオン注入のドーズ量が $1.0 \times 10^{16} \text{ ions/cm}^2$ 及び $2.0 \times 10^{16} \text{ ions/cm}^2$ の試料の、評価結果を示す。酸素イオン注入を行うことにより、矢印で示す 31° 近傍のピークの強度が弱くなることがわかる。このピークは c 軸配向性を示唆する。また、イオン注入のドーズ量が多いほど強度はより弱くなっている。また、酸素イオン注入を行うことにより、矢印で示す 36° 近傍のピークが観測された。このピークは c 軸配向性を有さない結晶、例えば代表的にはスピネル型の結晶構造を示唆する。ここで、条件 F1 を用いて In-Ga-Zn 酸化物膜を成膜した試料のうち、酸素イオン注入を行っていない試料を試料 F4-1、酸素イオン注入のドーズ量が $1.0 \times 10^{16} \text{ ions/cm}^2$ 及び $2.0 \times 10^{16} \text{ ions/cm}^2$ の試料をそれぞれ試料 F4-2 及び試料 F4-3 とする。

【0803】

図 81 は、表 22 に示す条件 G1 を用いて In-Ga-Zn 酸化物膜を成膜した試料の評価結果である。条件 G1 では、インジウム、ガリウム及び亜鉛の原子数比が In:Ga:Zn = 1:2:4 の In-Ga-Zn 酸化物ターゲットを用いた。図 81 (A) は酸素イオン注入を行っていない試料の、図 81 (B)、(C) 及び (D) はそれぞれ酸素イオン注入のドーズ量が $1.0 \times 10^{16} \text{ ions/cm}^2$ 、 $1.5 \times 10^{16} \text{ ions/cm}^2$ 及び $2.0 \times 10^{16} \text{ ions/cm}^2$ の試料の、評価結果を示す。条件 G1 では、酸素イオン注入を行っても、 36° 近傍のピークは観測されず、また、矢印で示す 31° 近傍のピーク強度にも顕著な変化はみられなかった。ここで、条件 G1 を用いて In-Ga-Zn 酸化物膜を成膜した試料のうち、酸素イオン注入を行っていない試料を試料 G1-1、酸素イオン注入のドーズ量が $1.0 \times 10^{16} \text{ ions/cm}^2$ 、 $1.5 \times 10^{16} \text{ ions/cm}^2$ 及び $2.0 \times 10^{16} \text{ ions/cm}^2$ の試料をそれぞれ試料 G1-2、試料 G1-3 及び試料 G1-4 とする。

【0804】

[平面 TEM 観察]

次に、作製した各試料の平面 TEM 像を観察した。TEM 像の取得は、日立ハイテクロロジーズ製 H-9000NAR を用いた。加速電圧は 300 kV とした。試料は、イオンミリング法により薄片化を行った。

【0805】

図 82 (A) 及び (B) には試料 F4-1 及び試料 F4-2 の観察結果を示す。また、図 83 (A) 及び (B) には試料 G1-1 及び試料 G1-2 の観察結果を示す。また、図 84 (A) は図 82 (B) に示す四角で囲んだ領域を拡大して観察した結果を、図 84 (B) は図 83 (B) に示す四角で囲んだ領域を拡大して観察した結果を、それぞれ示す。

【0806】

インジウム、ガリウム及び亜鉛の原子数比が In:Ga:Zn = 1:3:4 の In-Ga-Zn 酸化物ターゲットを用いた試料 F4-1 及び試料 F4-2 の観察結果を比較すると、酸素イオン注入を行った試料 F4-2 では、はっきりとコントラストの異なる領域が

観察された。また図 8 4 (A) より、コントラストの異なる領域では格子像が観察され、結晶粒界も観測された。

【0807】

インジウム、ガリウム及び亜鉛の原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 2 : 4$ の $\text{In}-\text{Ga}-\text{Zn}$ 酸化物ターゲットを用いた試料 G 1-1 及び試料 G 1-2 では、試料 F 4-2 にみられたようなはっきりとコントラストの異なる領域はみられなかった。

【0808】

XRD 評価及び TEM 観察より、インジウム、ガリウム及び亜鉛の原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 2 : 4$ のターゲットを用いて成膜した $\text{In}-\text{Ga}-\text{Zn}$ 酸化物膜では、得られる膜の原子数比が、実施の形態 2 に示す数式 (3) の原子数比の近傍の値を有すると考えられ、CAAC 比率がより高いことが示唆される。

【実施例 10】

【0809】

本実施例では、本発明の一態様の $\text{In}-\text{Ga}-\text{Zn}$ 酸化物膜を用いて作製したトランジスタの評価結果を示す。トランジスタ特性の評価には、図 6 6 に示す断面構造を有するトランジスタを用いた。

【0810】

〔トランジスタの作製〕

トランジスタを有する試料として、試料 T 1 1 乃至試料 T 1 4 を準備した。まず、 $\text{In}-\text{Ga}-\text{Zn}$ 酸化物膜の成膜条件について説明する。図 6 6 に示す半導体層 101a 乃至半導体層 101c として、スパッタリング法を用いて $\text{In}-\text{Ga}-\text{Zn}$ 酸化物膜を成膜した。ターゲットには多結晶の $\text{In}-\text{Ga}-\text{Zn}$ 酸化物を用いた。成膜条件を表 2 3 に示す。ここで表 2 3 にはターゲットに用いた $\text{In}-\text{Ga}-\text{Zn}$ 酸化物のインジウム、ガリウム及び亜鉛の原子数比を示す。なお、成膜条件のうち、表 2 3 にはターゲットの原子数比のみを示し、他の条件については表 2 4 に詳細を示す。

【0811】

【表 2 3】

			条件	
			膜厚 [nm]	ターゲット
試料 T11	半導体層 101a	条件 F1	40	$\text{In}:\text{Ga}:\text{Zn}=1:3:4$
	半導体層 101b	条件 A1	20	$\text{In}:\text{Ga}:\text{Zn}=1:1:1$
	半導体層 101c	条件 F4	5	$\text{In}:\text{Ga}:\text{Zn}=1:3:2$
試料 T12	半導体層 101a	条件 G2	40	$\text{In}:\text{Ga}:\text{Zn}=1:2:4$
	半導体層 101b	条件 A1	20	$\text{In}:\text{Ga}:\text{Zn}=1:1:1$
	半導体層 101c	条件 F4	5	$\text{In}:\text{Ga}:\text{Zn}=1:3:2$
試料 T13	半導体層 101a	条件 F1	40	$\text{In}:\text{Ga}:\text{Zn}=1:3:4$
	半導体層 101b	条件 E3	20	$\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$
	半導体層 101c	条件 F4	5	$\text{In}:\text{Ga}:\text{Zn}=1:3:2$
試料 T14	半導体層 101a	条件 G2	40	$\text{In}:\text{Ga}:\text{Zn}=1:2:4$
	半導体層 101b	条件 E3	20	$\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$
	半導体層 101c	条件 F4	5	$\text{In}:\text{Ga}:\text{Zn}=1:3:2$

10

20

30

40

50

【0812】

【表24】

	装置	パワー [kW]	ガス流量		基板 温度	圧力 [Pa]	ターゲット	ターゲットー 基板間距離
			Ar [sccm]	O ₂ [sccm]				
条件F1	装置A	0.5(DC)	40	5	200℃	0.7	In:Ga:Zn= 1:3:4	60mm
条件G2	装置D	0.2(DC)	20	10	200℃	0.4	In:Ga:Zn= 1:2:4	130mm
条件A1	装置A	0.5(DC)	30	15	300℃	0.7	In:Ga:Zn= 1:1:1	60mm
条件E3	装置A	0.5(DC)	30	15	200℃	0.7	In:Ga:Zn= 4:2:4.1	60mm
条件F4	装置B	0.5(DC)	30	15	200℃	0.4	In:Ga:Zn= 1:3:2	60mm

10

【0813】

次に、トランジスタを有する試料T11乃至試料T14の作製方法を説明する。

【0814】

まず基板50としてp型、CZ結晶、面方位(100)のシリコンウェハを準備した。次に基板の洗浄を行った後、絶縁膜51を形成した。絶縁膜51は、第1の酸化シリコン膜と、窒化酸化シリコン膜と、第2の酸化シリコン膜と、第3の酸化シリコン膜と、酸化アルミニウム膜との積層膜とした。まず、950℃にて熱酸化を行うことにより第1の酸化シリコン膜を400nm形成した。その後、PECVD装置を用いて厚さ280nmの窒化酸化シリコン膜を成膜した。成膜条件は、基板温度325℃とし、シランを40sccm、亜酸化窒素を30sccm、アンモニアを300sccm、水素を900sccmとし、圧力を160Paとし、成膜電力(RF)を250W(27MHz)とし、電極間距離を20mmとした。その後、PECVD装置を用いて第2の酸化シリコン膜を300nm成膜した。成膜条件は、基板温度300℃とし、ガス流量は、TEOS(Tetraethyl Ortho Silicate)を15sccm、酸素を750sccmとし、圧力を100Paとし、成膜電力(RF)を300W(27MHz)とし、電極間距離を14mmとした。絶縁膜51の形成後、CMP法を用いて平坦化処理を行った。成膜後、窒素雰囲気中で590℃10時間の熱処理を行った。

20

30

【0815】

次に、PECVD装置を用いて第3の酸化シリコン膜を300nmの厚さで成膜した。成膜条件は、第2の酸化シリコン膜と同様とした。成膜後、窒素雰囲気中で590℃10時間の熱処理を行った。

【0816】

次に、スパッタリング法を用いて酸化アルミニウム膜を50nm成膜した。以上の工程により、絶縁膜51を形成した。

【0817】

次に導電層105となる導電膜として、スパッタリング法により第1のタングステン膜を50nm成膜した。次に、レジストマスクを用いて第1のタングステン膜をエッチングにより加工し、導電層105を形成した。

40

【0818】

次に、絶縁膜114としてPECVD法により酸化窒化膜を70nm成膜した。成膜条件は、基板温度500℃とし、ガス流量をシラン1sccm及び亜酸化窒素800sccmとし、圧力を40Paとし、成膜電力(RF)を150W(60MHz)とし、電極間距離を28mmとした。

【0819】

次に絶縁膜114上に半導体層101aとなる第1の半導体膜を40nm成膜した。半導体層101aとなる第1の半導体膜は、表6及び表7に記載の成膜条件を用い、スパッ

50

タリング法により成膜した。ここで試料T 1 1及び試料T 1 3はインジウム、ガリウム及び亜鉛の原子数比が $I n : G a : Z n = 1 : 3 : 4$ の $I n - G a - Z n$ 酸化物ターゲットを、試料T 1 2及び試料T 1 4では $I n : G a : Z n = 1 : 2 : 4$ のターゲットを、それぞれ用いた。

【0820】

次に、イオン注入法を用いて酸素イオン ($^{16}O^{+}$) の注入を行った。注入条件は、加速電圧を5 kV、ドーズ量を $1.0 \times 10^{16} \text{ ions/cm}^2$ 、チルト角を 7° 、ツイスト角を 72° とした。

【0821】

次に、半導体層101bとなる第2の半導体膜を20 nm成膜した。半導体層101bとなる第2の半導体膜は、表6及び表7に記載の成膜条件を用い、スパッタリング法により成膜した。ここで試料T 1 1及び試料T 1 2はインジウム、ガリウム及び亜鉛の原子数比が $I n : G a : Z n = 1 : 1 : 1$ の $I n - G a - Z n$ 酸化物ターゲットを、試料T 1 3及び試料T 1 4では $I n : G a : Z n = 4 : 2 : 4$ のターゲットを、それぞれ用いた。

10

【0822】

次いで、 450°C にて、窒素雰囲気下において加熱処理を1時間行った後、同じ処理室内にて、酸素雰囲気下において加熱処理を1時間行った。

【0823】

次に、スパッタリング法を用いて第2のタングステン膜を20 nm成膜した。成膜条件は、タングステンをターゲットに用い、アルゴン流量を80 sccmと、圧力を0.8 Pa、電源電力(DC)を1 kW、基板とターゲット間の距離を60 mmとした。基板温度は 130°C とした。また、基板裏面にも更にアルゴンを10 sccm供給した。次に、図66には図示しないが、導電層105へ達する開口部を形成した。具体的には、第2のタングステン膜及び第1の半導体膜及び第2の半導体膜に開口部を形成し、その後、第2のタングステン膜をマスクに絶縁膜114に開口部を設けた。

20

【0824】

次に、スパッタリング法を用いて第3のタングステン膜を150 nm成膜した。

【0825】

次に、第3のタングステン膜をレジストマスクを用いてエッチングを行い、導電層104a及び導電層104bを形成した。

30

【0826】

次に、レジストマスクを形成し、第1の半導体膜及び第2の半導体膜をエッチングにより加工することで、島状の第1の半導体層101aと第2の半導体層101bを形成した。なお、上記エッチングには、ICPエッチング法を用いた。エッチング条件は、基板温度を 70°C とし、 BCl_3 ガスを用い、 BCl_3 の流量を80 sccmとし、電源電力450 W、バイアス電力100 W、圧力1.2 Paとした。

【0827】

次に、半導体層101cとなる第3の半導体膜を5 nm成膜した。半導体層101cとなる第3の半導体膜は、表6及び表7に記載の成膜条件を用い、スパッタリング法により成膜した。ここでインジウム、ガリウム及び亜鉛の原子数比が $I n : G a : Z n = 1 : 3 : 2$ の $I n - G a - Z n$ 酸化物ターゲットを用いた。

40

【0828】

次いで、ゲート絶縁膜102として酸化窒化シリコン膜を、PECVD法を用いて20 nm成膜した。成膜条件は、基板温度 350°C とし、ガス流量をシラン1 sccm及び亜酸化窒素800 sccmとし、圧力を200 Paとし、成膜電力(RF)を150 W (60 MHz)とし、電極間距離を28 mmとした。

【0829】

次に、ゲート電極103となる導電膜として、窒化タンタル膜を30 nm形成した後に第4のタングステン膜を135 nm形成した。窒化タンタル膜及びタングステン膜はそれ

50

ぞれスパッタリング法により形成した。次いで、ゲート電極 103 となる導電膜の形状をエッチングにより加工することで、ゲート電極 103 を形成した。

【0830】

次に、レジストマスクを用いて、ゲート絶縁膜 102 と、第 3 の半導体膜の形状をエッチングにより加工することで、形状が加工されたゲート絶縁膜 102 及び半導体層 101c とを、形成した。

【0831】

次に、トランジスタを覆うように、絶縁膜 112 として、140 nm の酸化アルミニウム膜を形成した。酸化アルミニウム膜はスパッタリング法を用いて形成した。

【0832】

次いで、絶縁膜 113 として、膜厚 300 nm の酸化窒化シリコン膜を形成した。酸化窒化シリコン膜は PECVD 法を用いて形成した。

【0833】

次いで、導電層 104a 及び導電層 104b に達する開口部を、エッチングにより形成した。上記エッチングは、ICP エッチング法を用いた。

【0834】

次に、開口部内及び絶縁膜 113 上に、膜厚 50 nm のチタン膜と、膜厚 300 nm のアルミニウム膜と、膜厚 5 nm のチタン膜とを順に積層させた導電膜を、スパッタリング法を用いて形成した。次に、開口部内及び絶縁膜 113 上の導電膜の形状をエッチングにより加工し、配線を形成した。その後、膜厚 1.6 μm のポリイミド膜を、塗布法を用いて形成した後、大気雰囲気下において、300°C で 1 時間程度、加熱処理を行った。

【0835】

以上の工程により試料 T11 乃至試料 T14 を作製した。

【0836】

[トランジスタ特性の評価]

作製した試料 T11 乃至試料 T14 が有するトランジスタ特性の評価を行った。まずトランジスタの初期特性として、 $V_g - I_d$ 特性を評価した。チャネル長 L が 0.83 μm 、チャネル幅 W が 0.8 μm の n チャネル型トランジスタを面内で 25 個評価した。図 85 (A)、(B) は試料 T11、試料 T12 の、図 86 (A)、(B) は試料 T13、試料 T14 の、トランジスタ特性の $V_g - I_d$ 測定を示す。ここで V_g はソースーゲート間の電圧、 I_d はソースードレイン間の電流を示す。また、横軸にはゲート電圧 V_g を、左の縦軸にはドレイン電圧 I_d を、右の縦軸には電界効果移動度 μ_{FE} を示す。ドレイン電圧 V_d が 0.1 V と、1.8 V の 2 条件で測定した。また、ここでは第 2 のゲート電極として機能する導電層 105 とソース間には、0 V を印加した。ここで、電界効果移動度は、 $V_d = 0.1 \text{ V}$ で算出した電界効果移動度を示す。

【0837】

また、チャネル長 L が 0.83 μm 、チャネル幅 W が 0.8 μm の n チャネル型トランジスタの $V_g - I_d$ 特性から算出した S 値は試料 T11、T12、T13 及び T14 においてそれぞれ 126.9、122.3、103.0 及び 90.5 [$\text{mV}/\text{dec.}$] であった。

【0838】

次に、試料 T12 及び T14 について、ストレス印加前後のトランジスタの $V_g - I_d$ 特性の変化を評価した。ストレス条件として、電圧印加条件を、ゲート電圧 V_g が +3.3 V、-3.3 V の 2 条件と、ドレイン電圧が +1.8 V の 1 条件の、計 3 条件とし、温度を 150°C、ストレス印加時間を 1 時間とした。いずれのストレス印加条件においても導電層 105 に 0 V を印加した。

【0839】

150°C において $V_g = +3.3 \text{ V}$ を 1 時間印加した後の $V_g - I_d$ 特性の変化を図 87 に示す。ストレス前を実線で、ストレス後を破線で示す。図 87 (A) は試料 T12 の、図 87 (B) は試料 T14 の結果を示す。

10

20

30

40

50

【0840】

また、150℃において $V_g = -3.3$ Vを1時間印加した後の $V_g - I_d$ 特性の変化を図88に示す。ストレス前を実線で、ストレス後を破線で示す。図88(A)は試料T12の、図88(B)は試料T14の結果を示す。

【0841】

また、150℃において $V_d = +1.8$ Vを1時間印加した後の $V_g - I_d$ 特性の変化を評価した結果を図89に示す。ストレス前を実線で、ストレス後を破線で示す。図89(A)は試料T12の、図89(B)は試料T14の結果を示す。

【0842】

図87乃至図89より、いずれのストレス条件においても試料T12、T14ともにストレスによる変化は小さく、また、 $V_g = +3.3$ Vを印加した条件において、試料T14では変化量がより小さい結果が得られた。

【符号の説明】

【0843】

11	領域	
12	領域	
13	領域	
14	領域	
21	垂線	
22	垂線	20
23	垂線	
25	保護膜	
50	基板	
51	絶縁膜	
60a	トランジスタ	
60b	トランジスタ	
61	絶縁膜	
62	半導体層	
63	半導体層	
64d	低抵抗層	30
64s	低抵抗層	
65d	導電層	
65s	導電層	
66	半導体層	
67	絶縁膜	
68	ゲート電極	
69	絶縁膜	
72	絶縁膜	
76	絶縁膜	
100	トランジスタ	40
101	半導体層	
101a	半導体層	
101b	半導体層	
101c	半導体層	
102	ゲート絶縁膜	
103	ゲート電極	
104a	導電層	
104b	導電層	
104c	導電層	
105	導電層	50

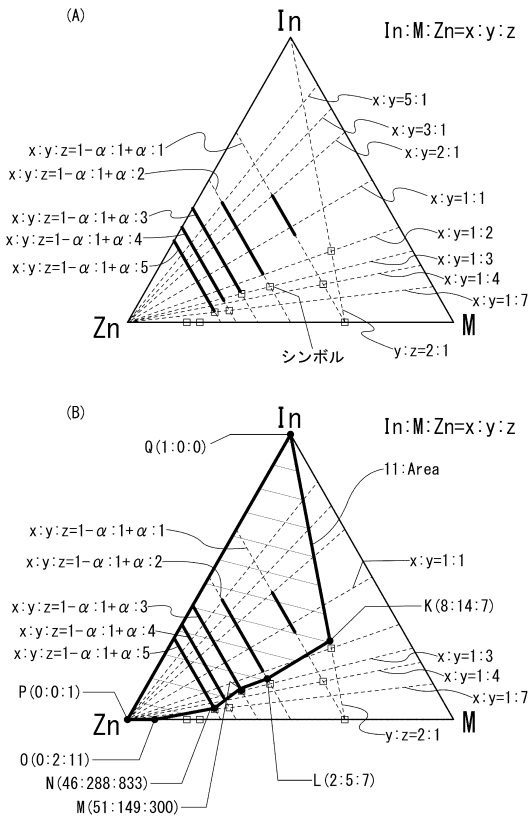
1 1 1	バリア膜	
1 1 2	絶縁膜	
1 1 3	絶縁膜	
1 1 4	絶縁膜	
1 1 5	絶縁膜	
1 1 6	絶縁膜	
1 2 1	プラグ	
1 2 2	プラグ	
1 2 3	プラグ	
1 2 4	配線	10
1 2 6	電極	
1 2 7	絶縁膜	
1 2 8	絶縁膜	
1 3 0	トランジスタ	
1 3 1	半導体基板	
1 3 2	半導体層	
1 3 2 b	半導体層	
1 3 3 a	低抵抗層	
1 3 3 b	低抵抗層	
1 3 4	ゲート絶縁膜	20
1 3 4 b	ゲート絶縁膜	
1 3 5	ゲート電極	
1 3 5 b	ゲート電極	
1 3 6	絶縁膜	
1 3 7	絶縁膜	
1 3 8	絶縁膜	
1 3 9	プラグ	
1 4 0	プラグ	
1 4 3	導電層	
1 5 0	容量素子	30
1 5 1	導電層	
1 5 2 a	導電層	
1 5 2 b	導電層	
1 6 0	トランジスタ	
1 6 4	プラグ	
1 6 5	プラグ	
1 6 6	配線	
1 7 1 a	低抵抗層	
1 7 1 b	低抵抗層	
1 7 6 a	領域	40
1 7 6 b	領域	
1 8 1	素子分離層	
1 9 0	トランジスタ	
1 9 1	トランジスタ	
2 1 1	バリア膜	
2 1 5	絶縁膜	
2 0 1	トランジスタ	
2 3 0	トランジスタ	
2 3 1	トランジスタ	
2 3 3 a	低抵抗層	50

2 3 3 b	低抵抗層	
2 3 3 c	低抵抗層	
2 3 3 d	低抵抗層	
2 5 1	導電層	
2 7 6 a	領域	
2 7 6 b	領域	
2 7 6 c	領域	
2 7 6 d	領域	
2 8 1	ハードマスク	
3 2 1	プラグ	10
3 2 2	プラグ	
3 2 3	プラグ	
3 2 4	領域	
6 1 0	電子銃室	
6 1 2	光学系	
6 1 4	試料室	
6 1 6	光学系	
6 1 8	カメラ	
6 2 0	観察室	
6 2 2	フィルム室	20
6 2 4	電子	
6 3 2	蛍光板	
6 6 0 a	容量素子	
6 6 0 b	容量素子	
6 6 1 a	トランジスタ	
6 6 1 b	トランジスタ	
6 6 2 a	トランジスタ	
6 6 2 b	トランジスタ	
6 6 3 a	インバータ	
6 6 3 b	インバータ	30
7 0 0	基板	
7 0 1	画素部	
7 0 2	走査線駆動回路	
7 0 3	走査線駆動回路	
7 0 4	信号線駆動回路	
7 1 0	容量配線	
7 1 2	ゲート配線	
7 1 3	ゲート配線	
7 1 4	ドレイン電極層	
7 1 6	トランジスタ	40
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	
7 2 5	信号線	
7 2 6	走査線	50

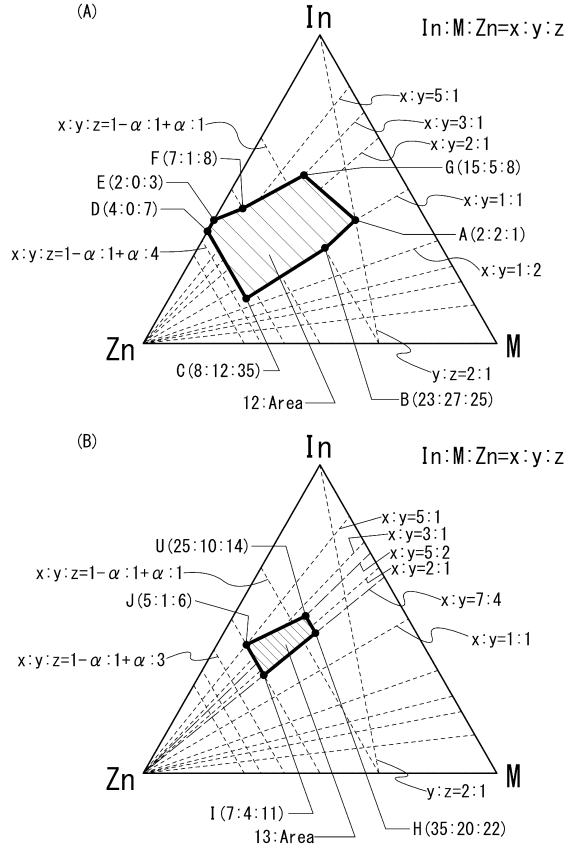
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	10
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	20
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	30
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	40
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	50

1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	10
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	20
2 2 0 0	トランジスタ	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F タグ	30

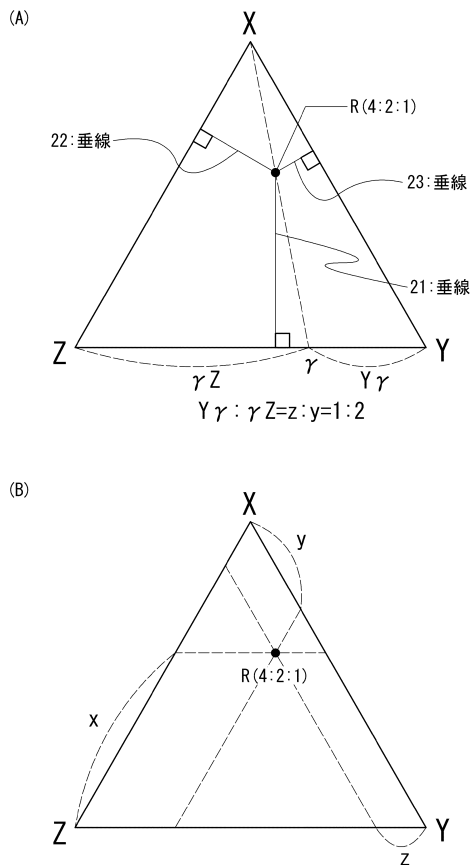
【図 1】



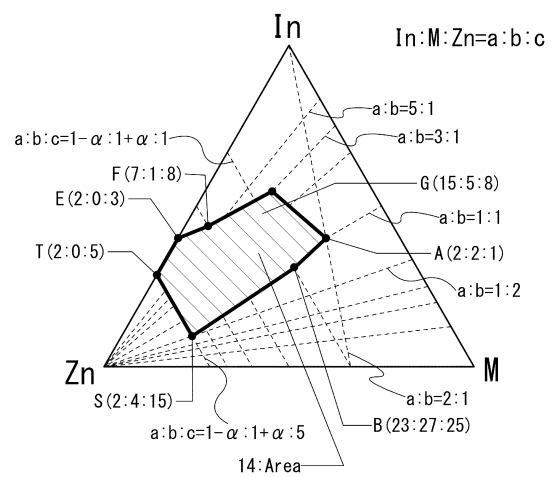
【図 2】



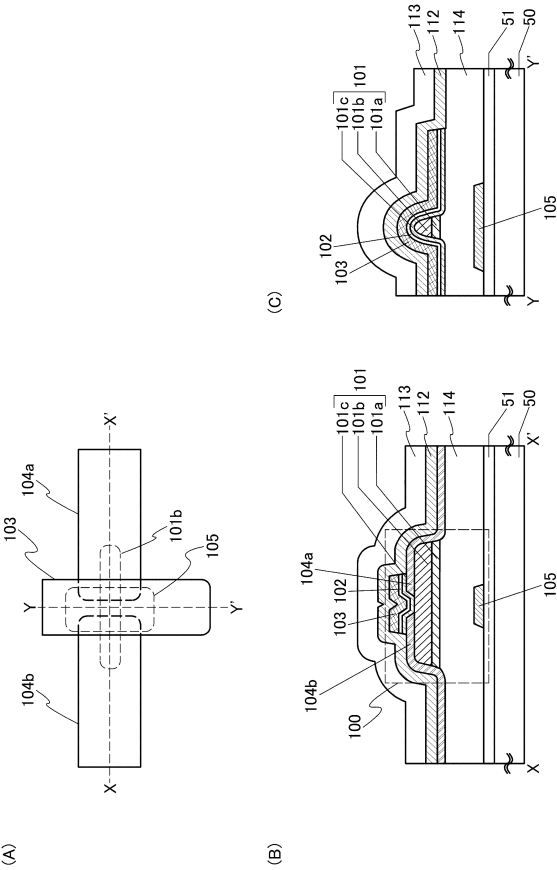
【図 3】



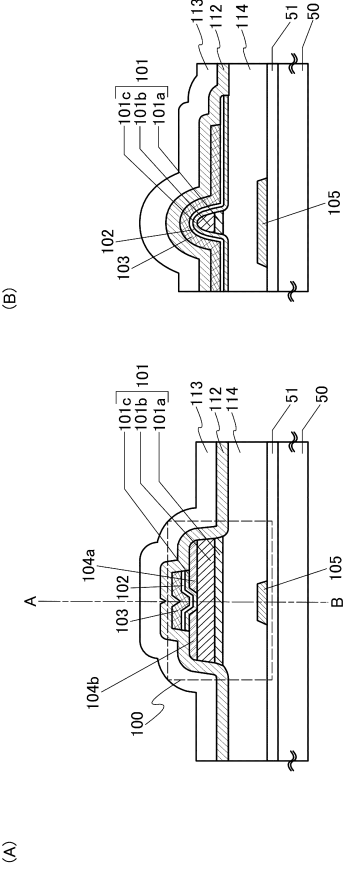
【図 4】



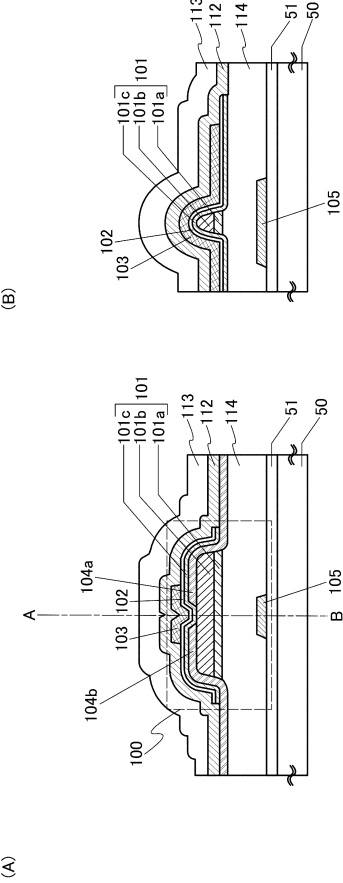
【図 5】



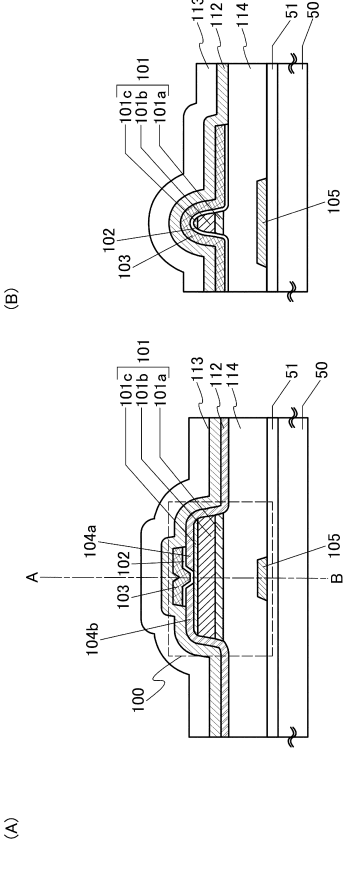
【図 6】



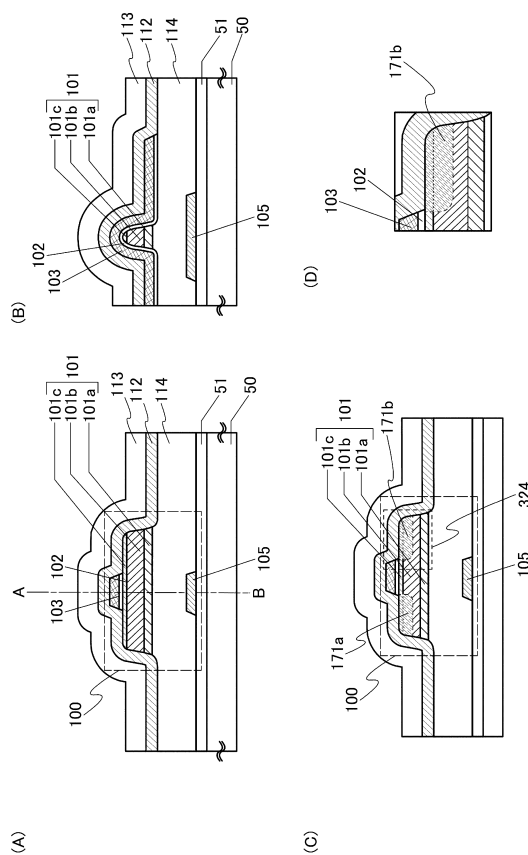
【図 7】



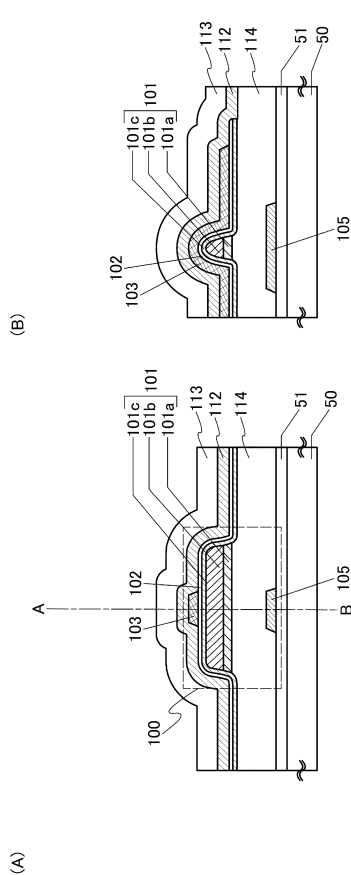
【図 8】



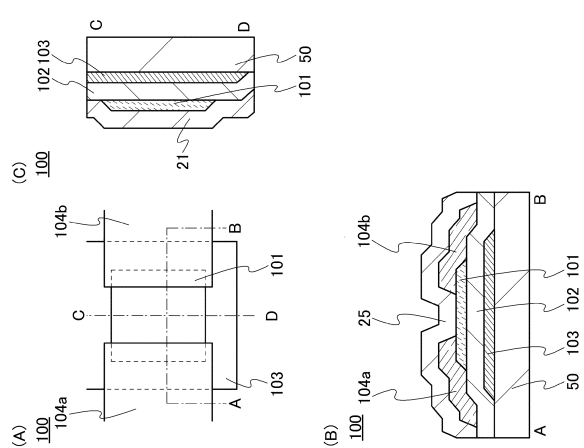
【図 9】



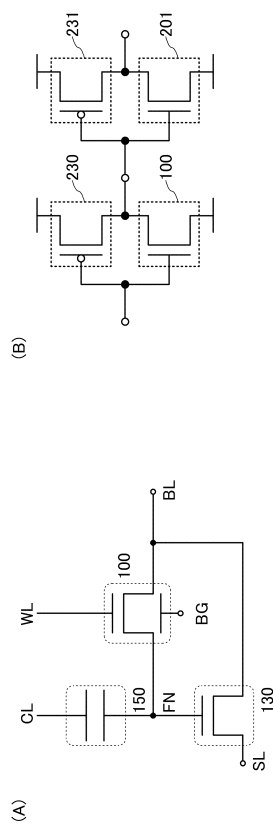
【図 10】



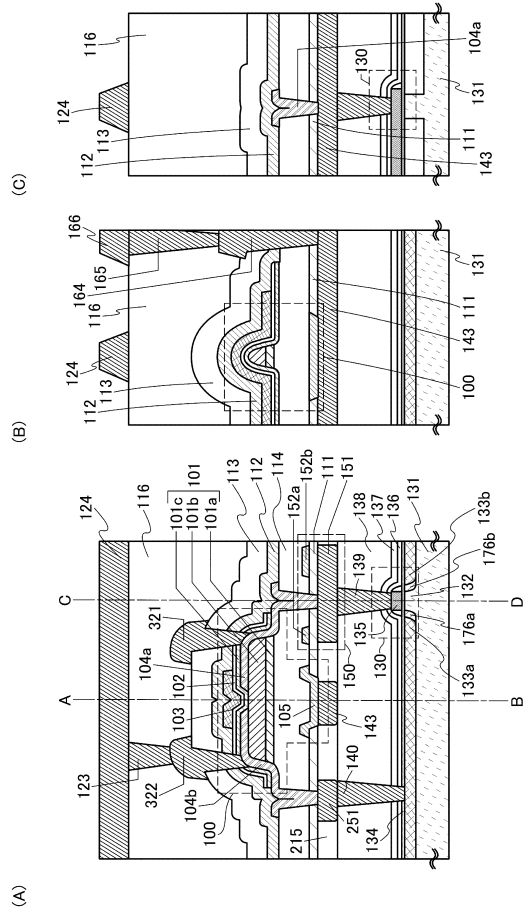
【図 1 1】



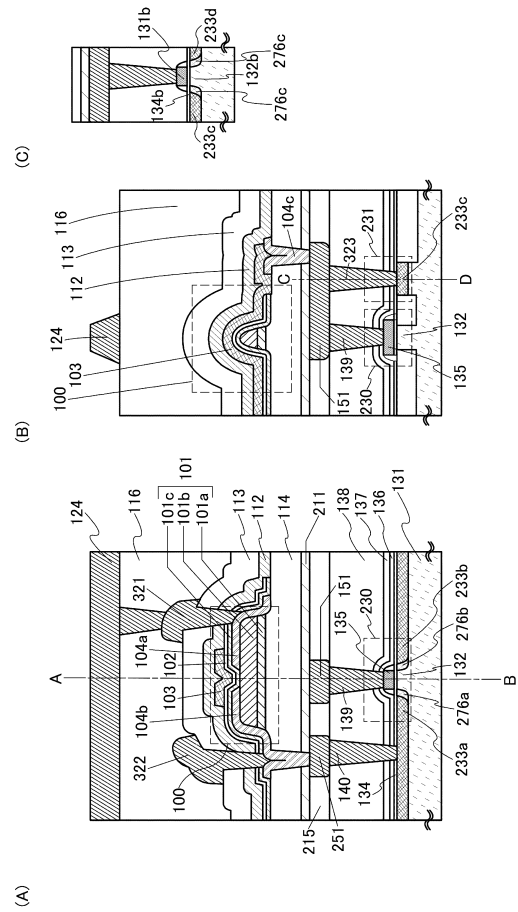
【図 1 2】



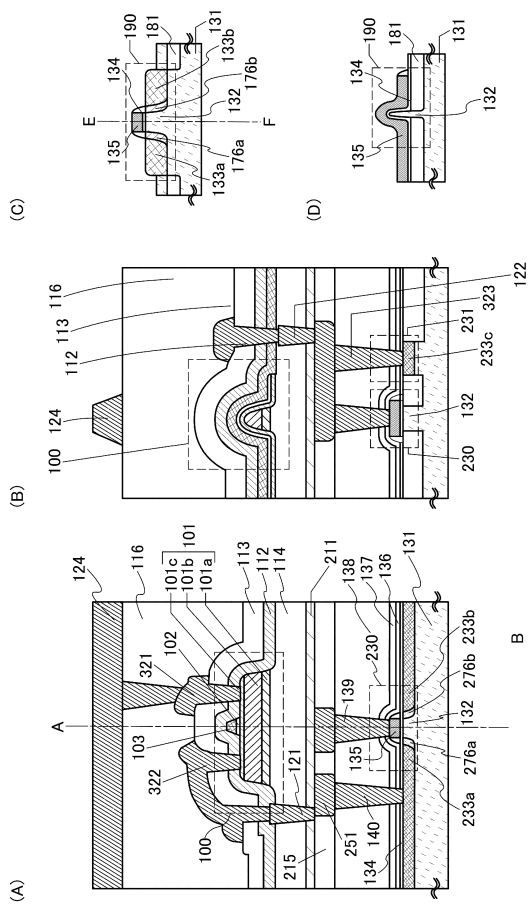
【図 13】



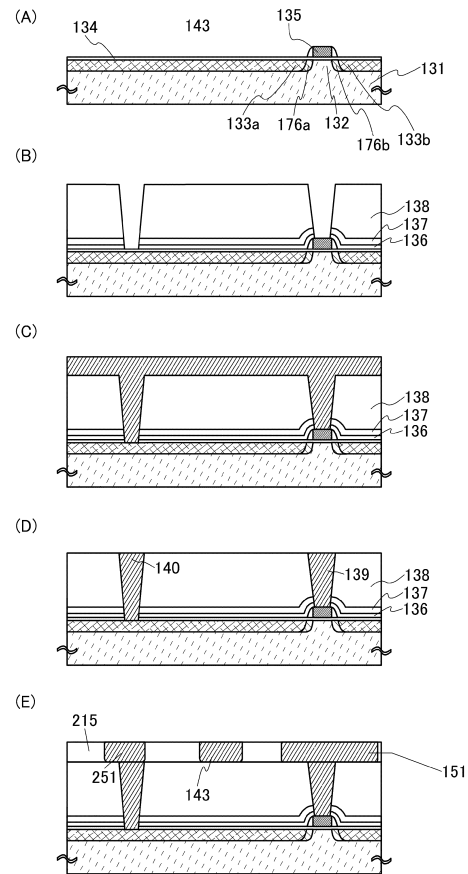
【図 14】



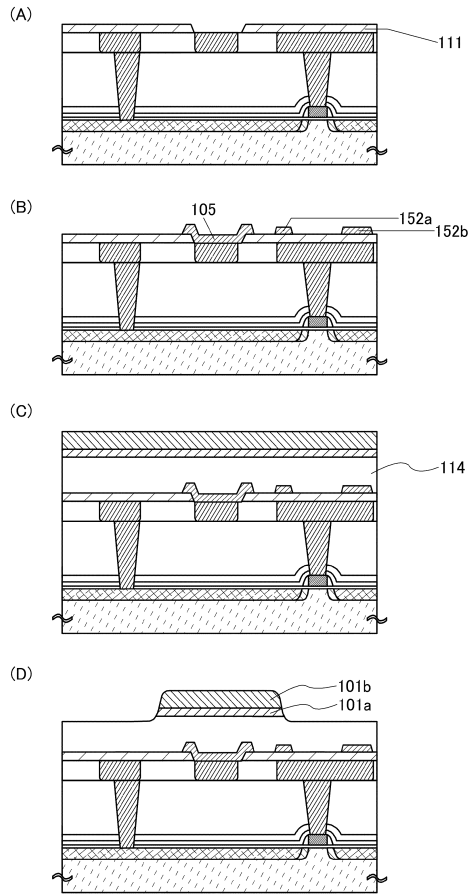
【図 15】



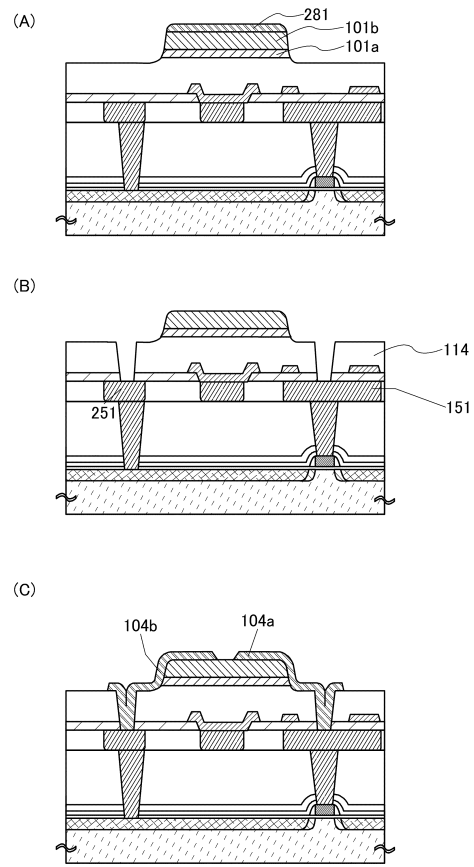
【図 16】



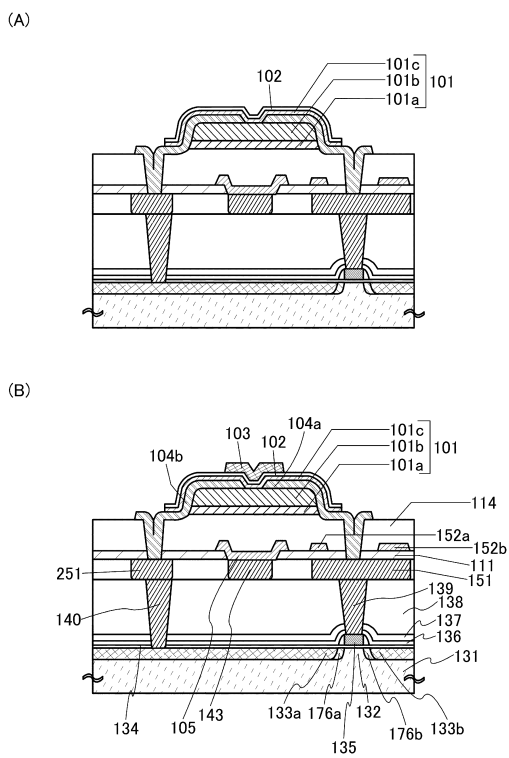
【図 17】



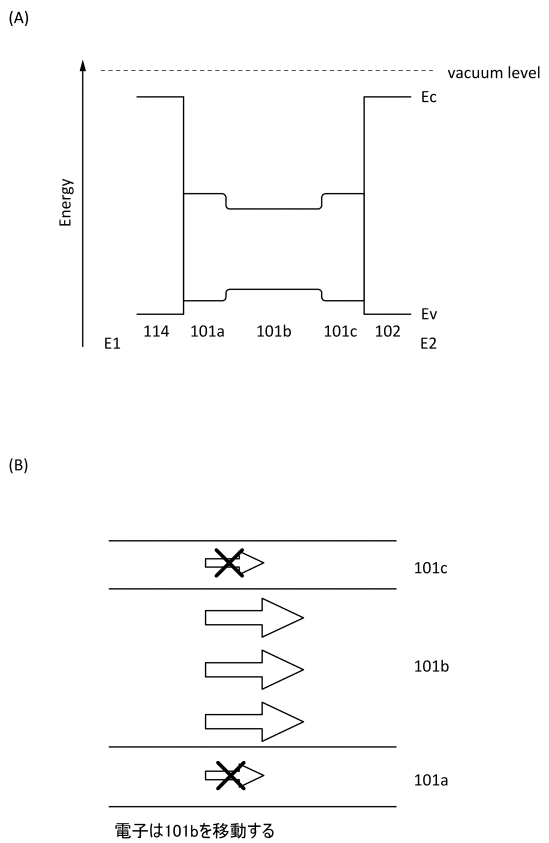
【図 18】



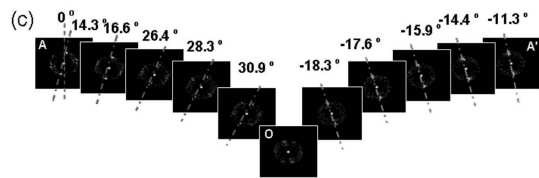
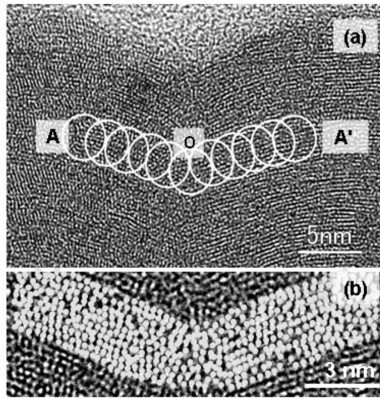
【図 19】



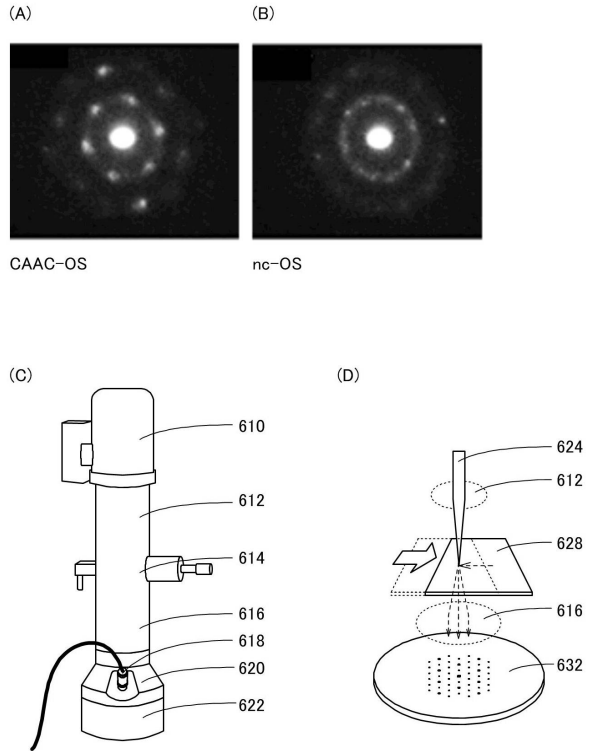
【図 20】



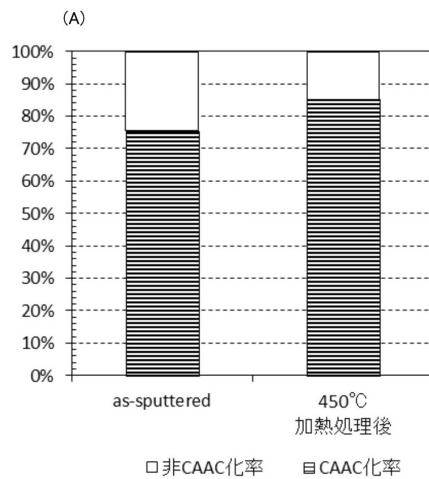
【図 2 1】



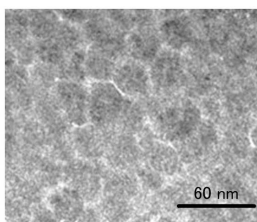
【図 2 2】



【図 2 3】

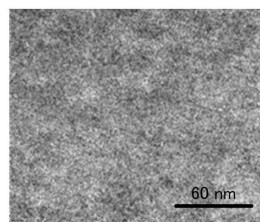


(B)



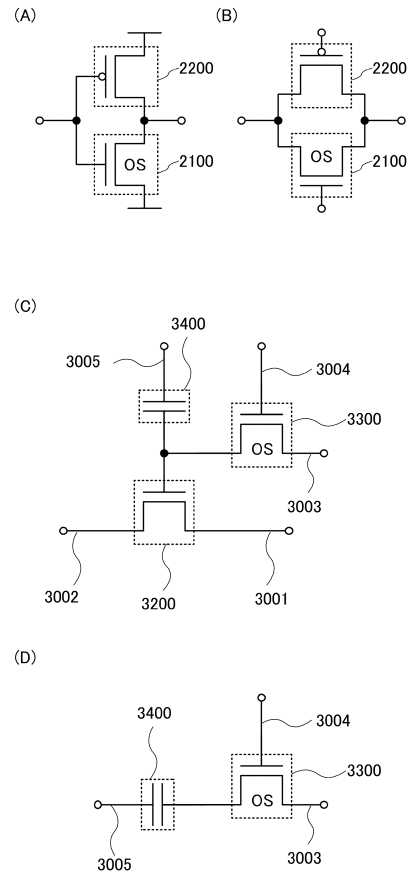
as-sputtered

(C)

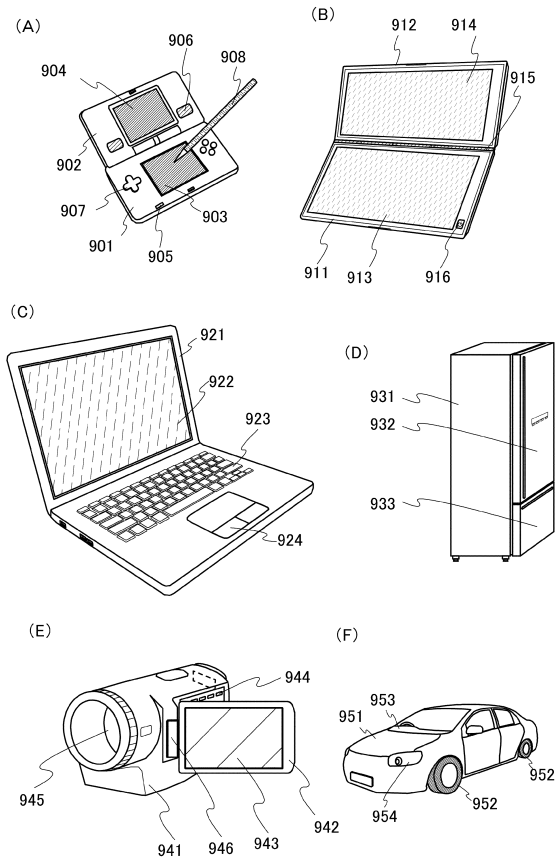


450°C 加熱処理後

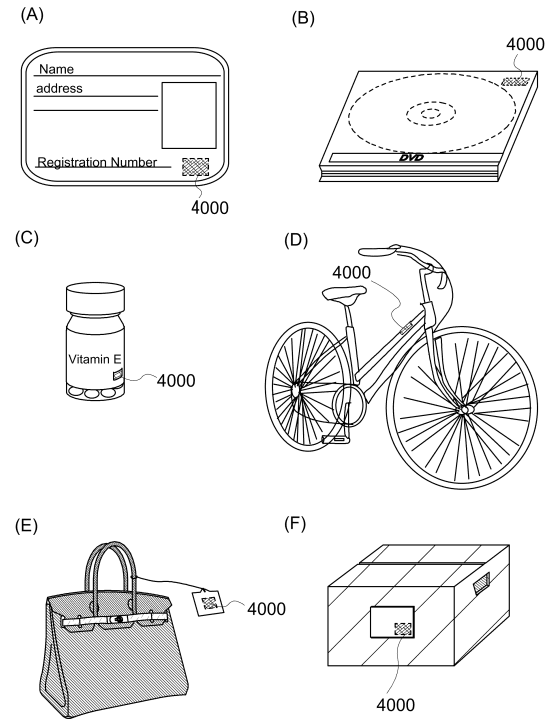
【図 2 4】



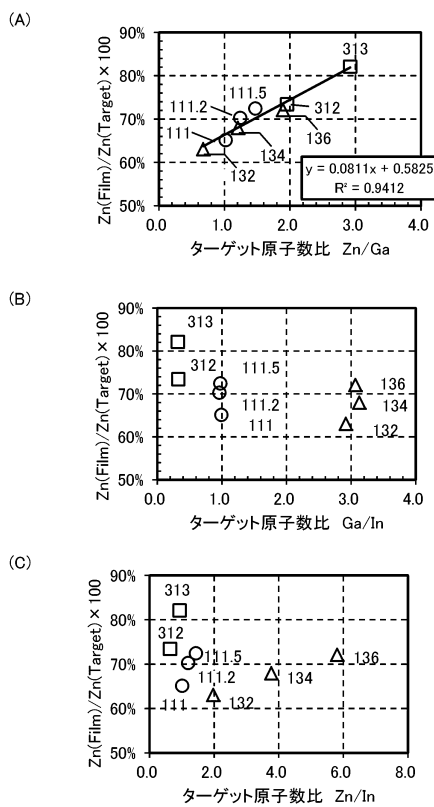
【図 29】



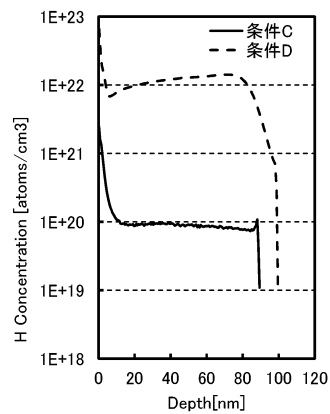
【図 30】



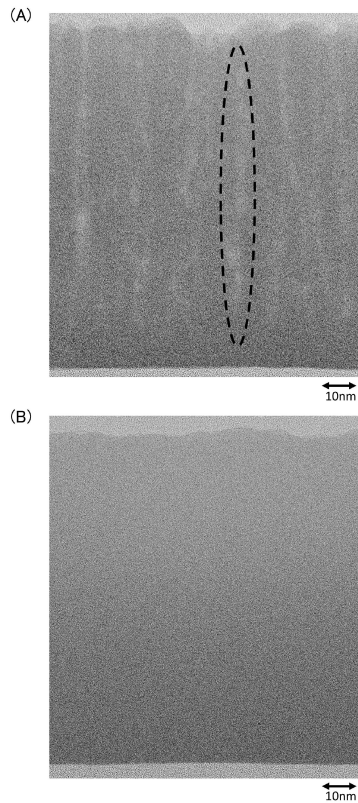
【図 31】



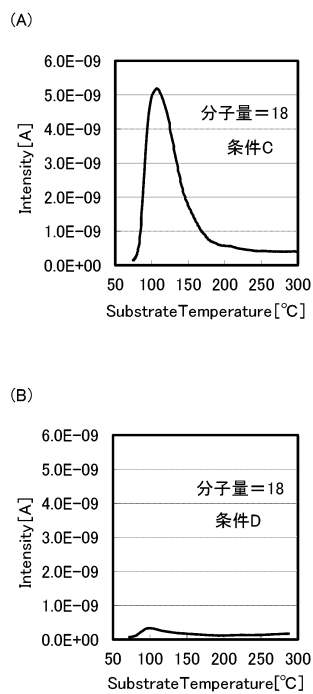
【図 32】



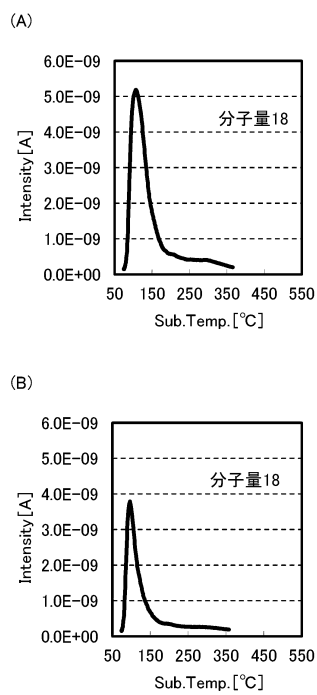
【図 3 3】



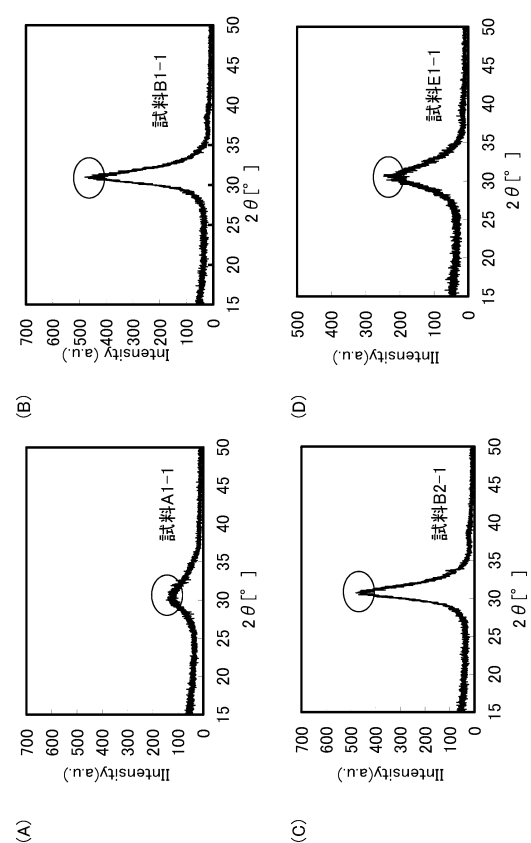
【図 3 4】



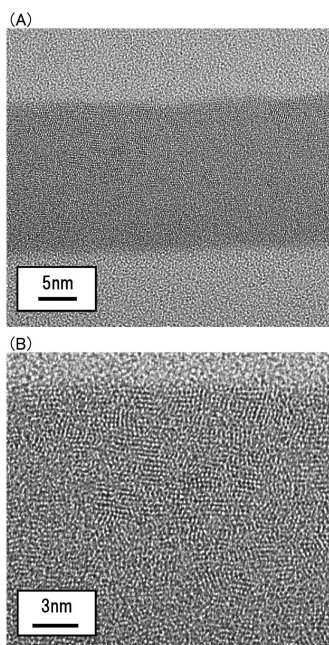
【図 3 5】



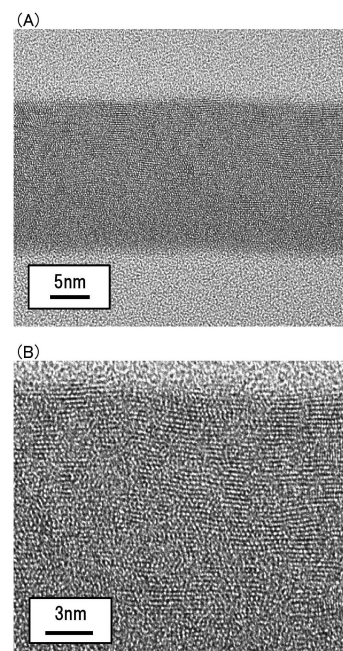
【図 3 6】



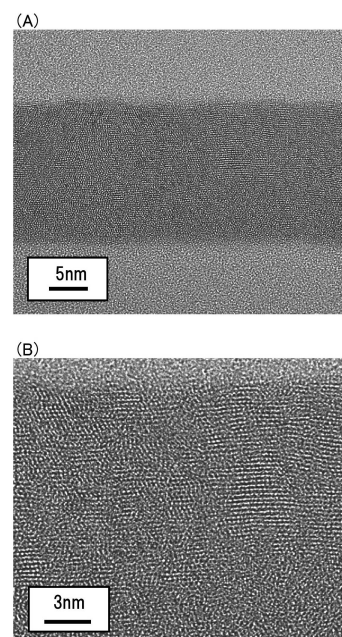
【図 37】



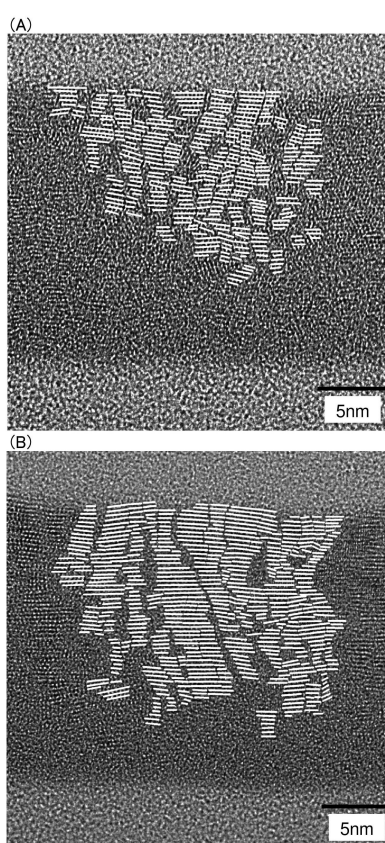
【図 38】



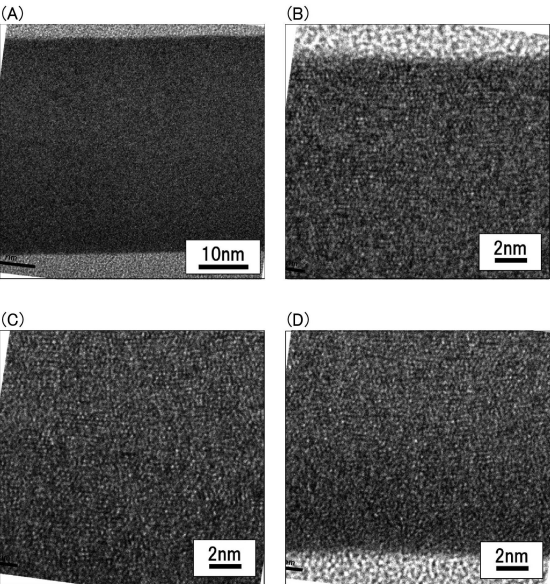
【図 39】



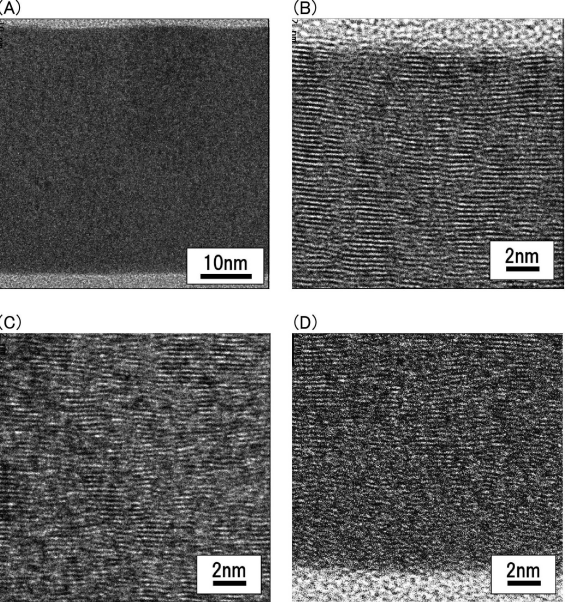
【図 40】



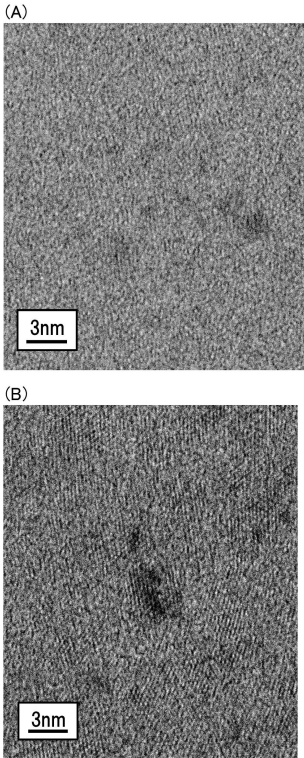
【図 4 1】



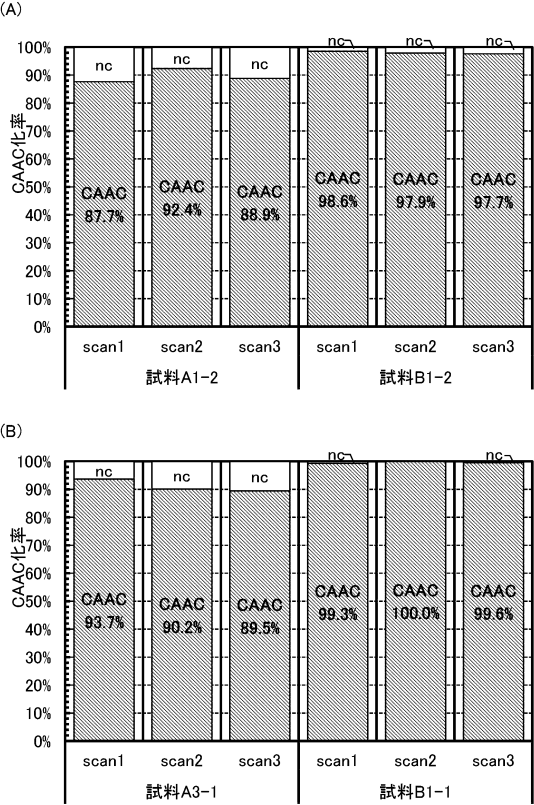
【図 4 2】



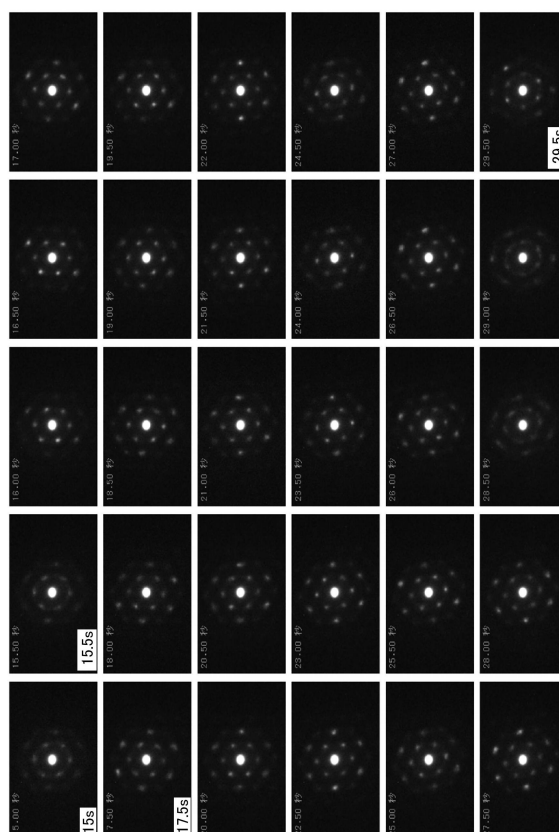
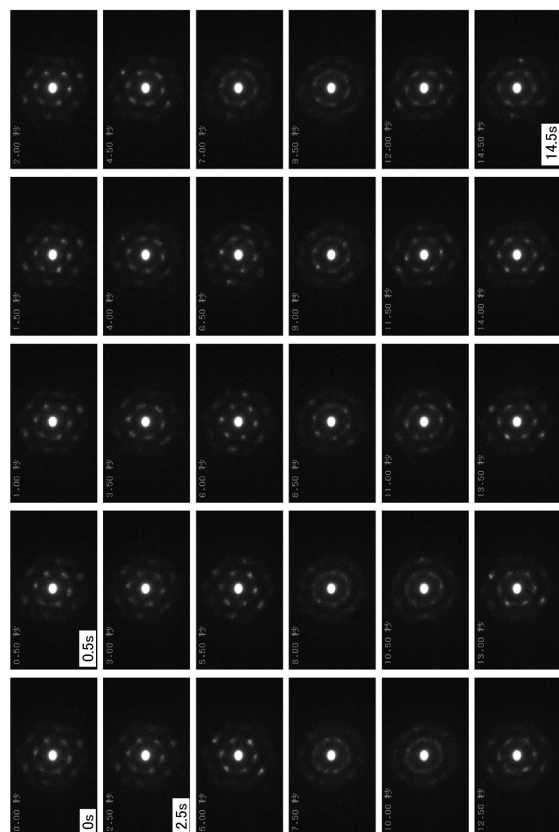
【図 4 3】



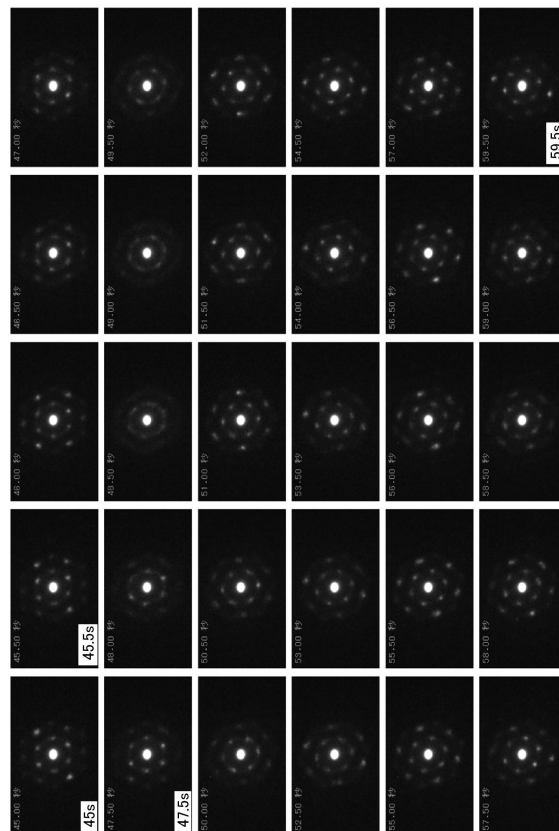
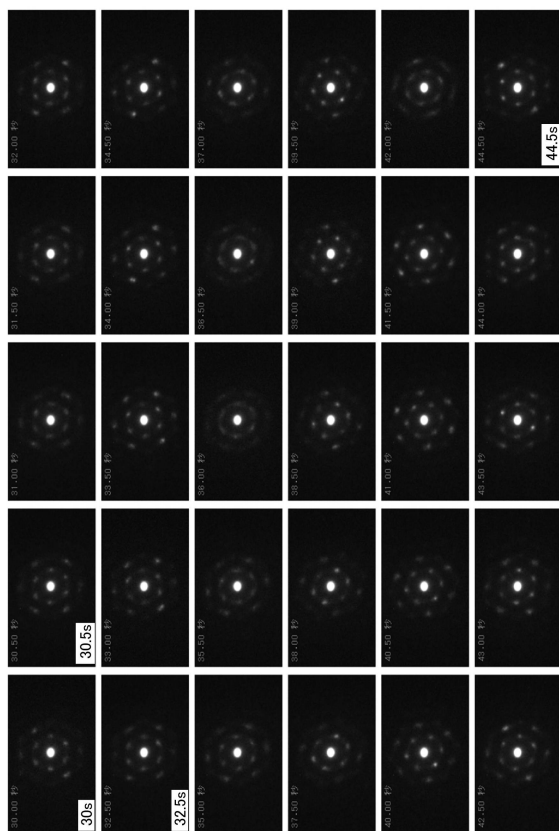
【図 4 4】



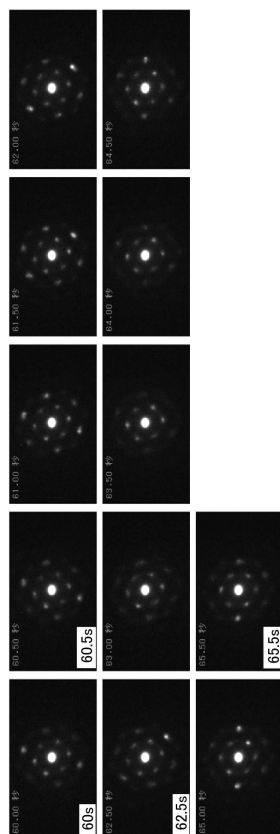
【図 4 6】



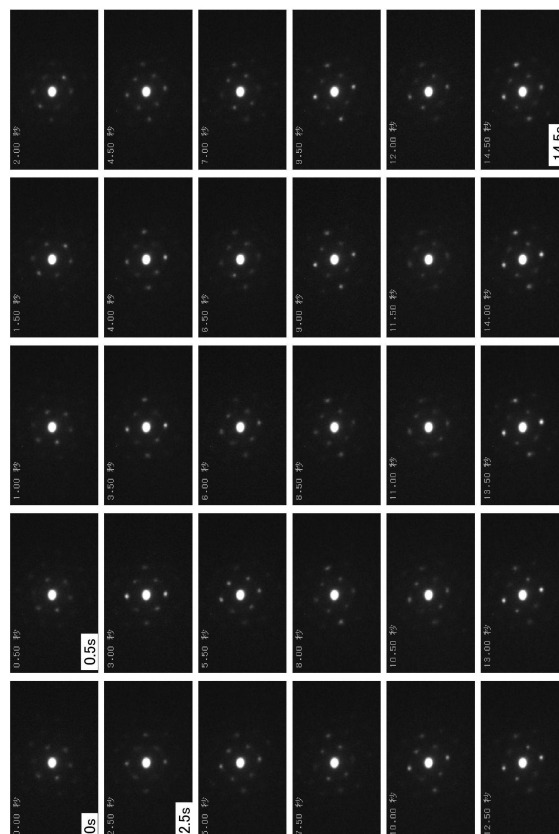
【図 48】



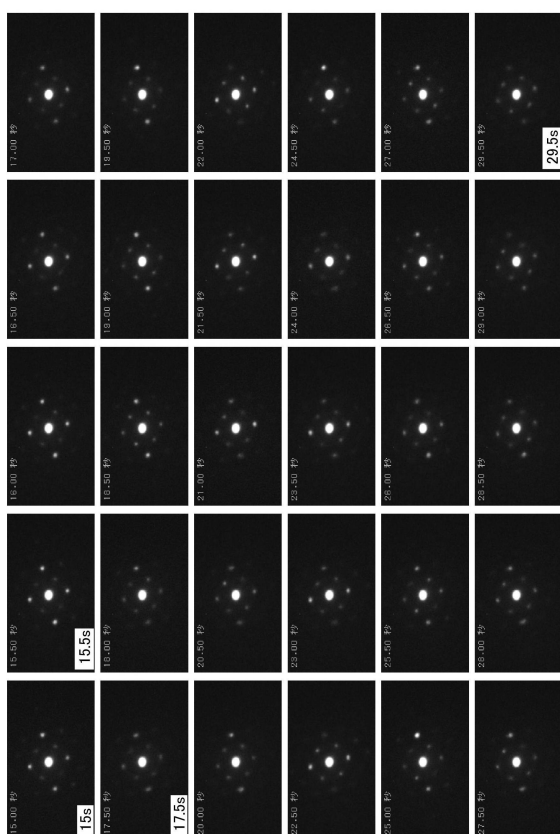
【図 49】



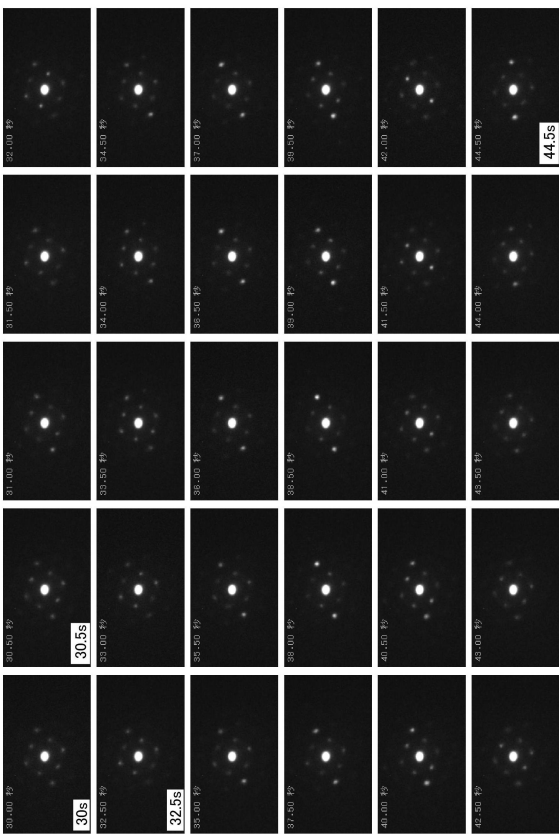
【図 50】



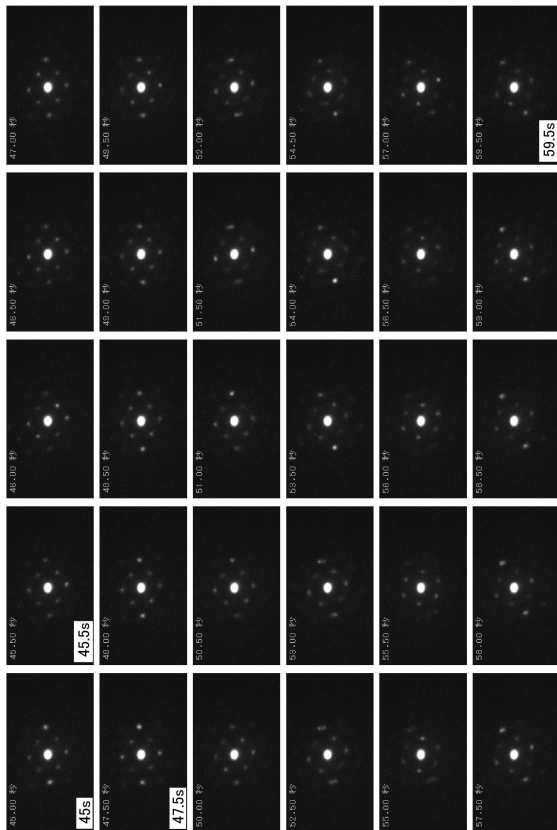
【図 51】



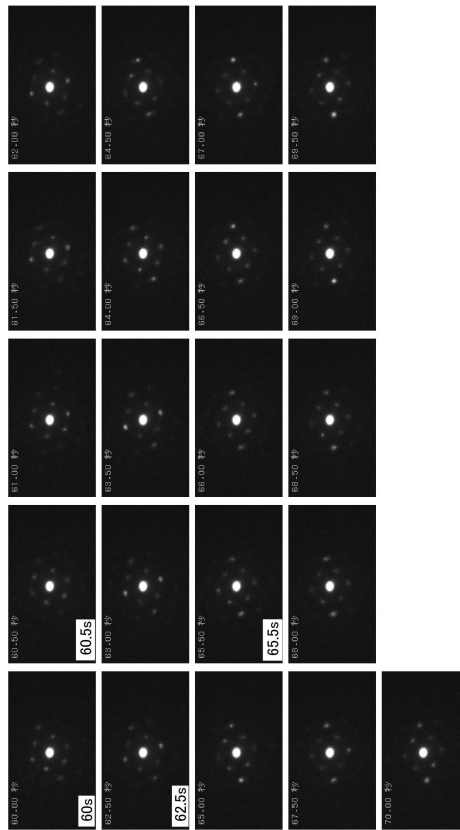
【図 52】



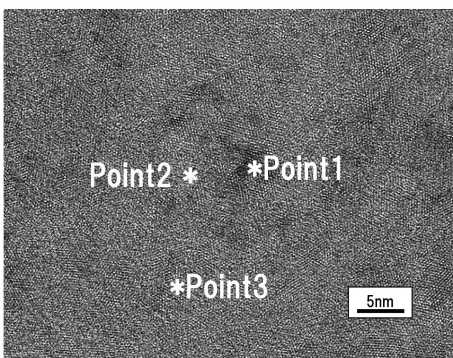
【図 5 3】



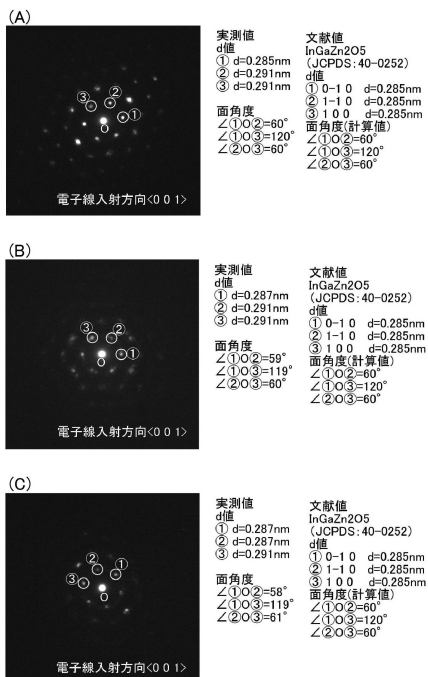
【図 5 4】



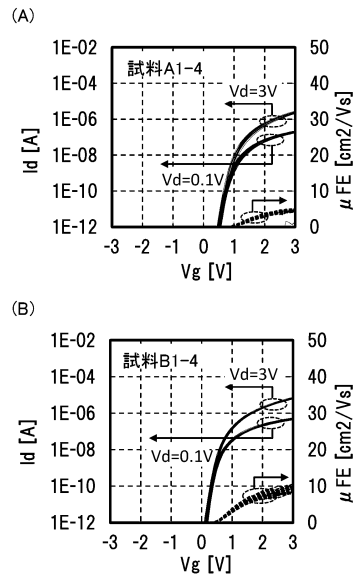
【図 5 5】



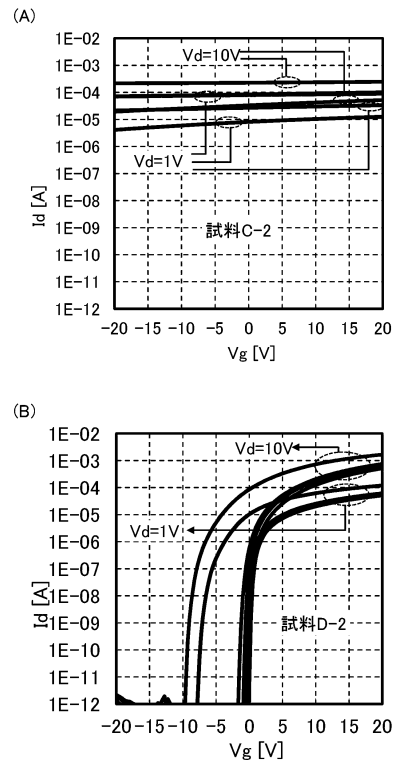
【図 5 6】



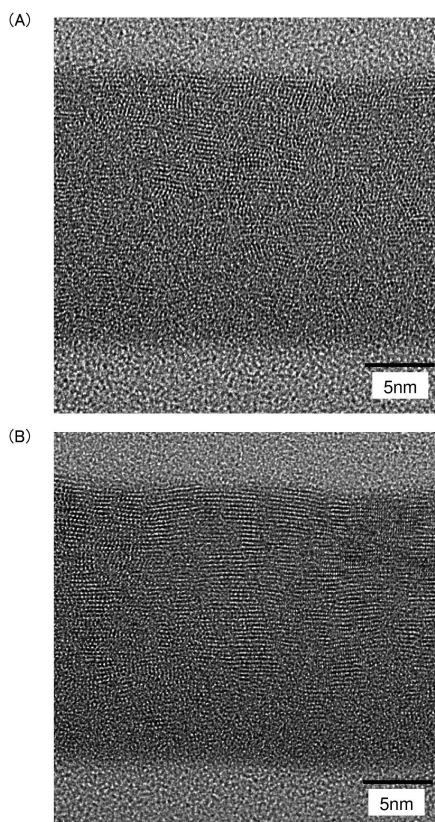
【図 5 7】



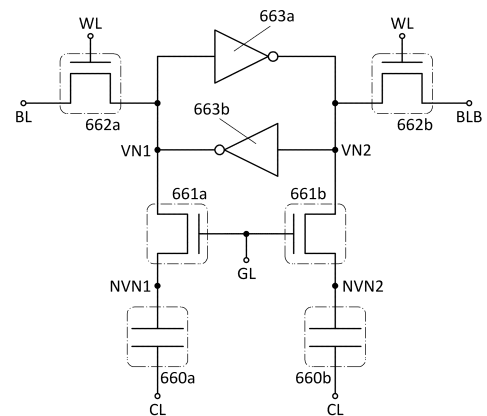
【図 5 8】



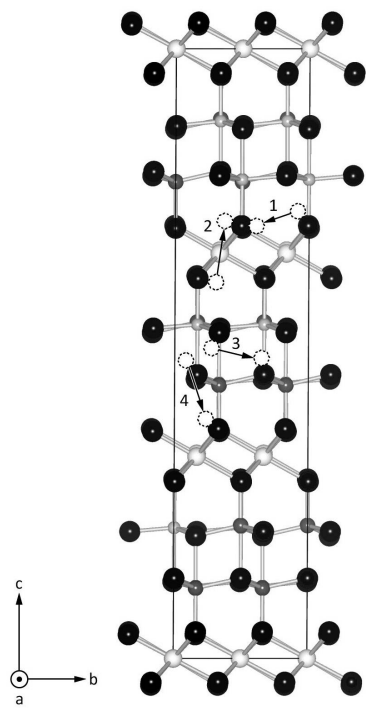
【図 5 9】



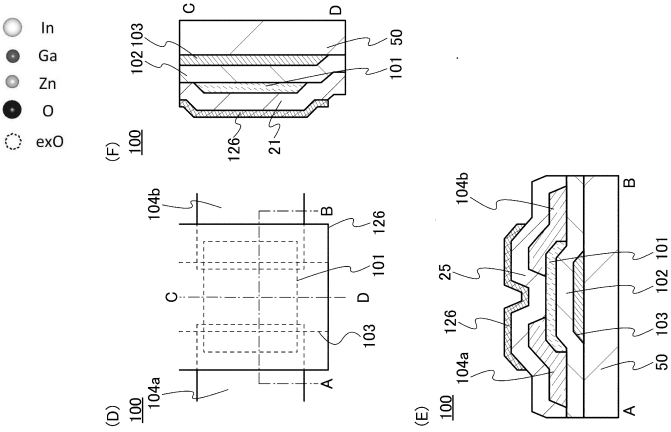
【図 6 0】



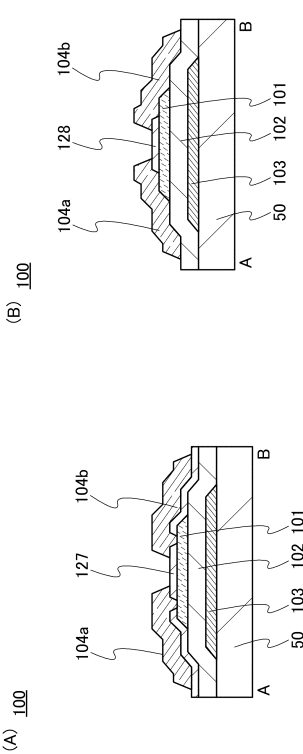
【図 6 1】



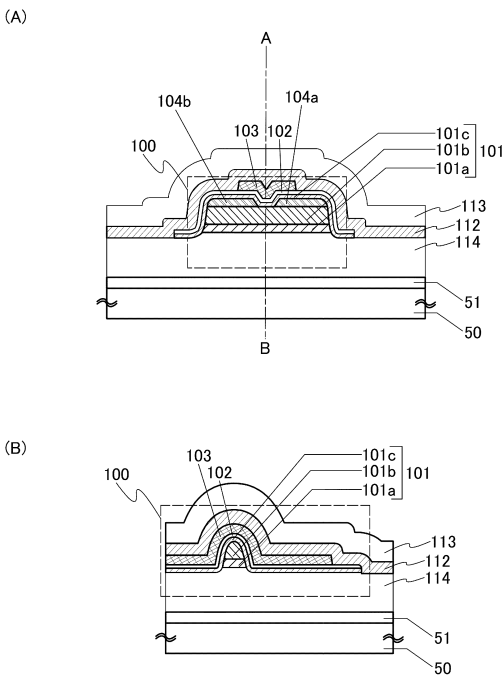
【図 6 2】



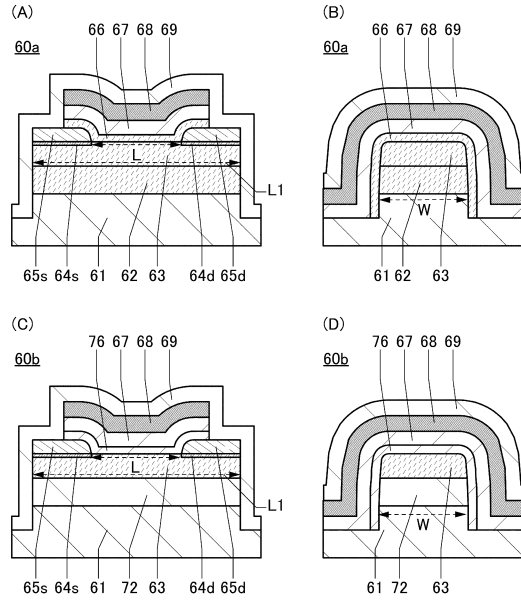
【図 6 3】



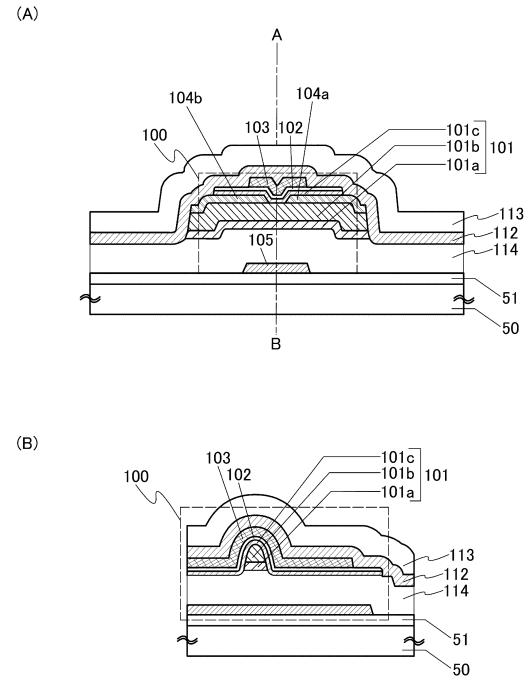
【図 6 4】



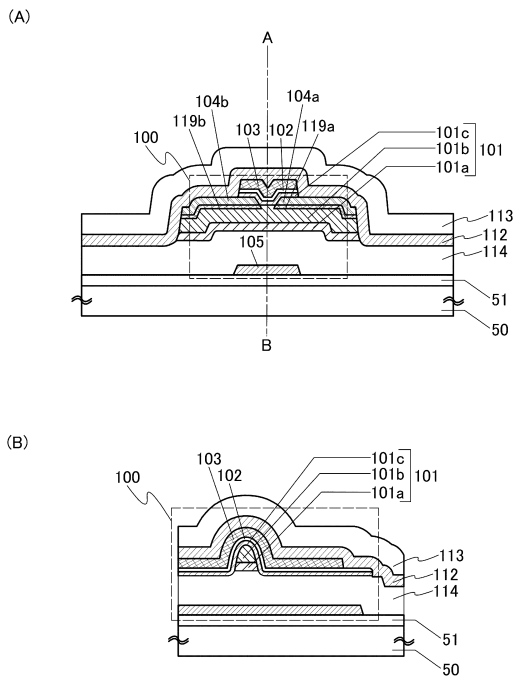
【図 6 5】



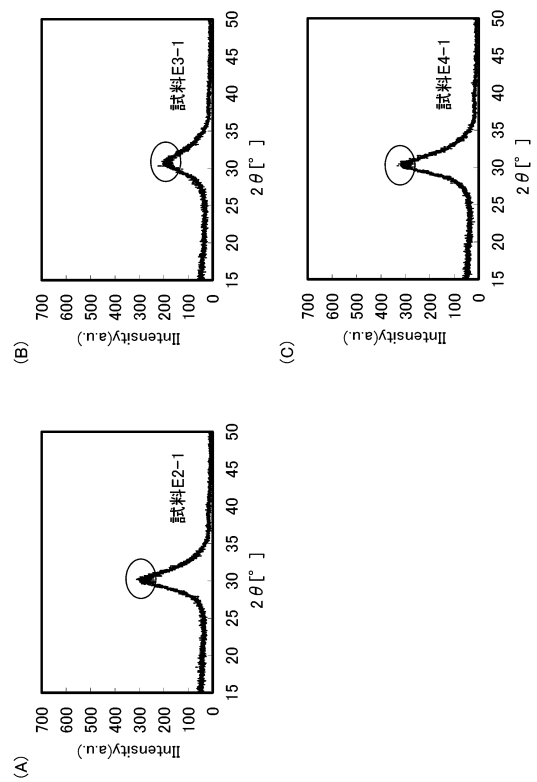
【図 6 6】



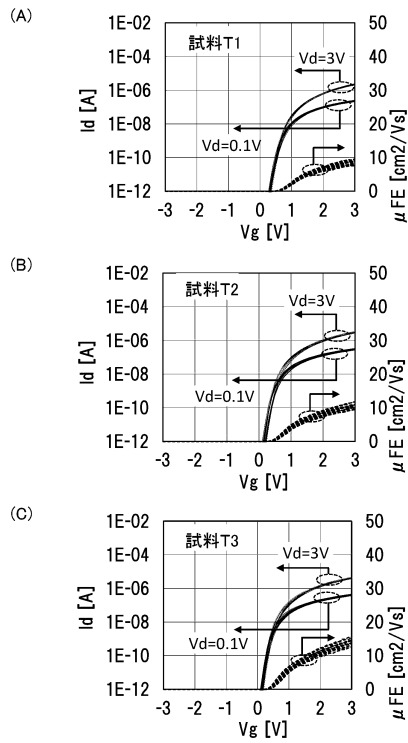
【図 6 7】



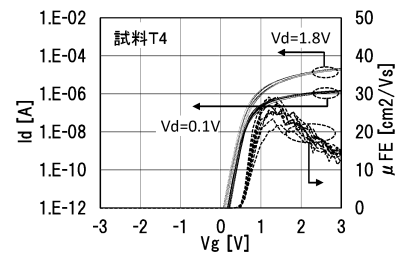
【図 6 8】



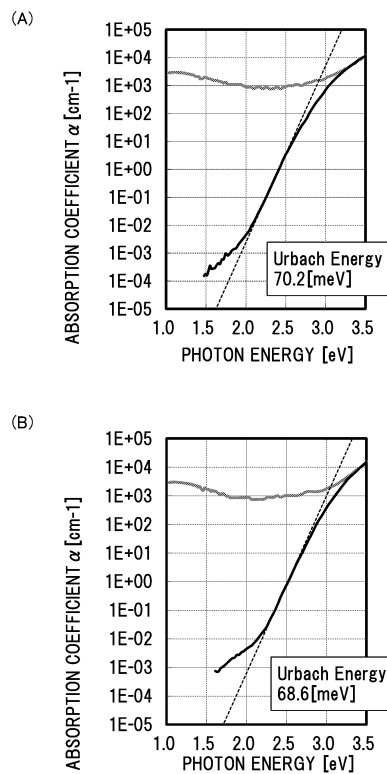
【図 69】



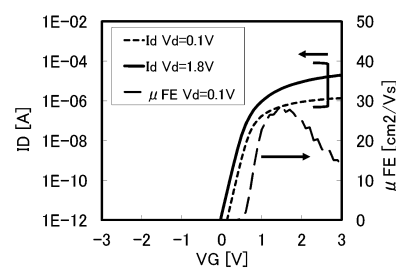
【図 70】



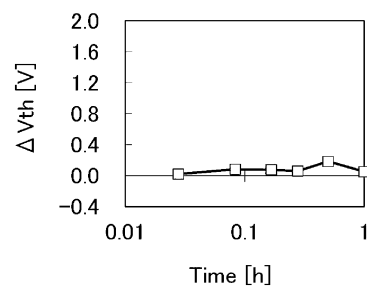
【図 71】



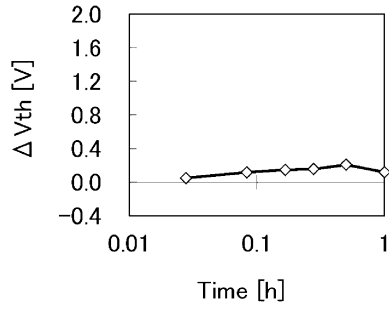
【図 72】



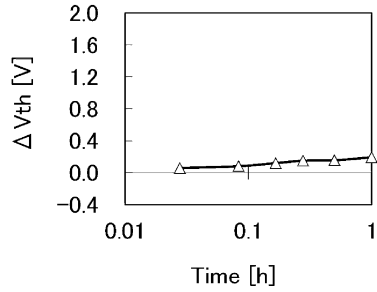
【図 73】



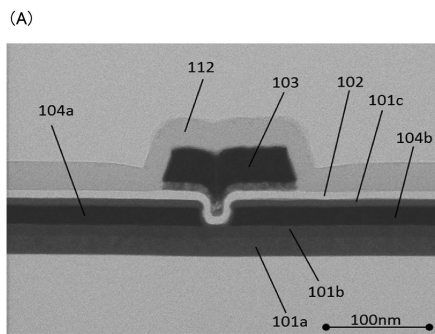
【図 7 4】



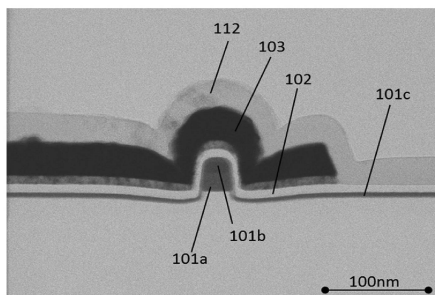
【図 7 5】



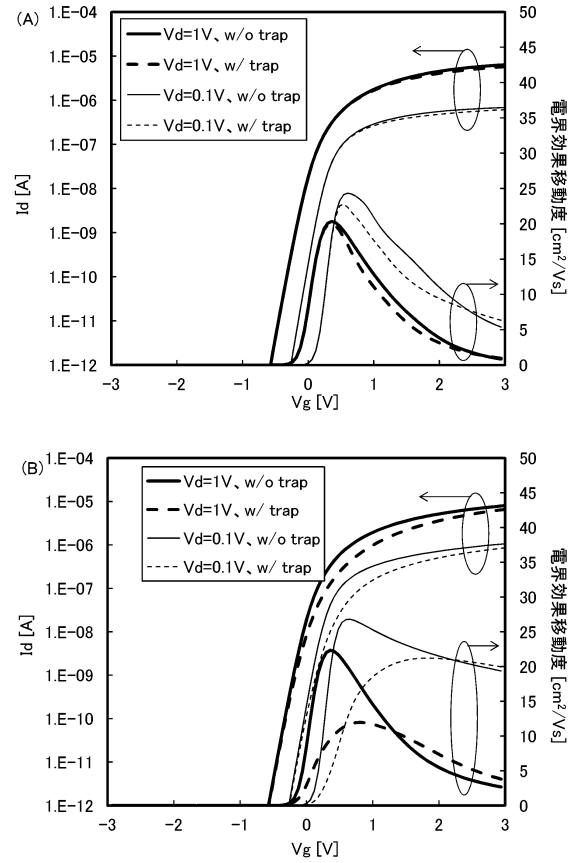
【図 7 7】



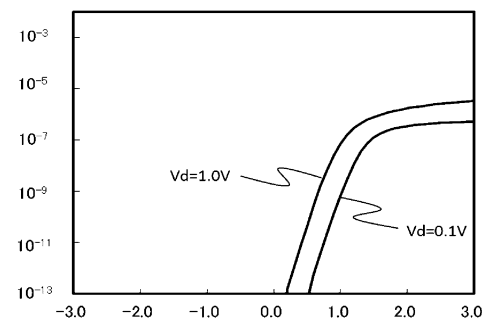
(B)



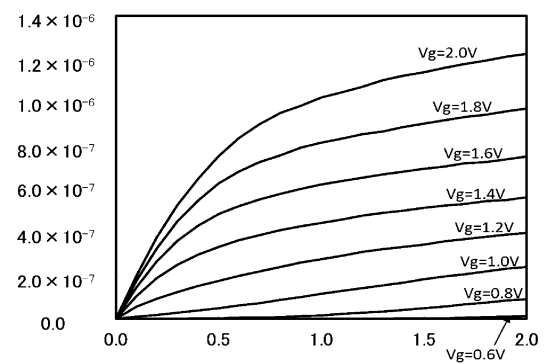
【図 7 6】



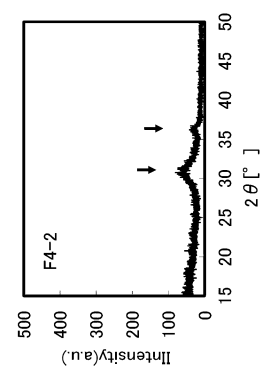
【図 7 8】



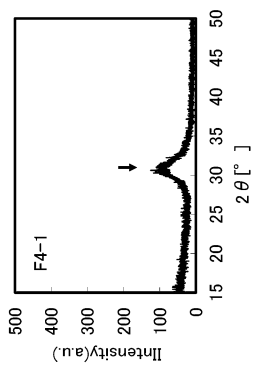
【図 7 9】



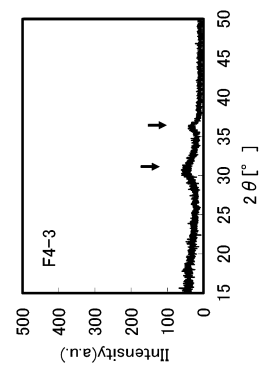
【図 8 0】



(B)

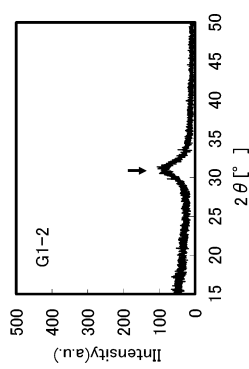


(A)

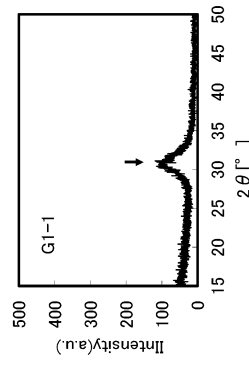


(C)

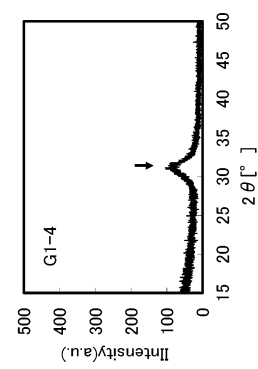
【図 8 1】



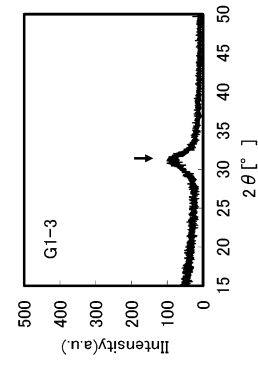
(B)



(A)

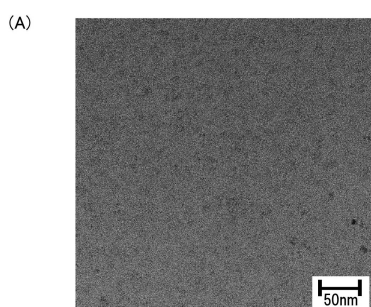


(D)

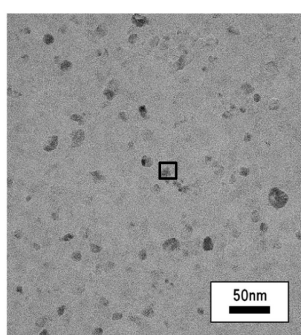


(C)

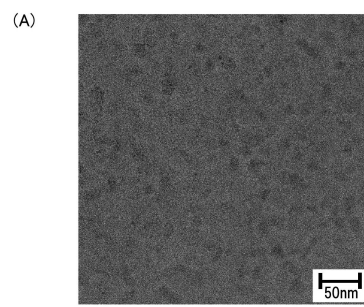
【図 8 2】



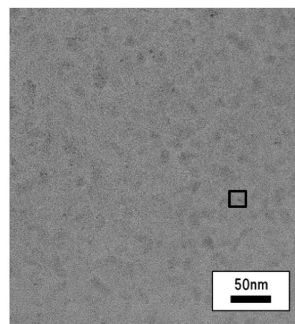
(B)



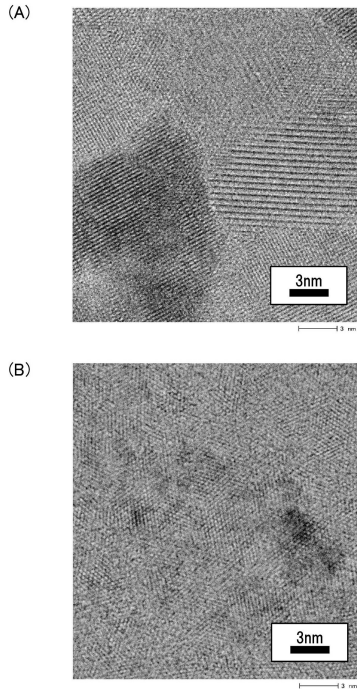
【図 8 3】



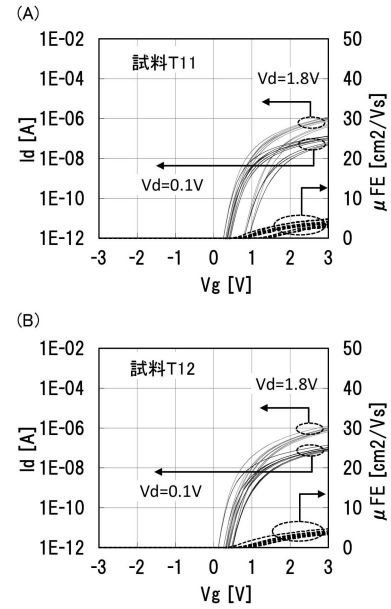
(B)



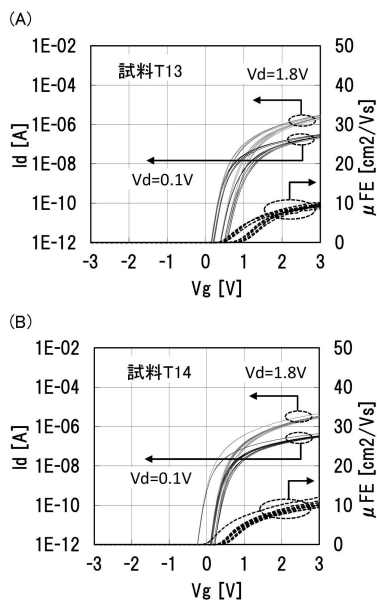
【図 8 4】



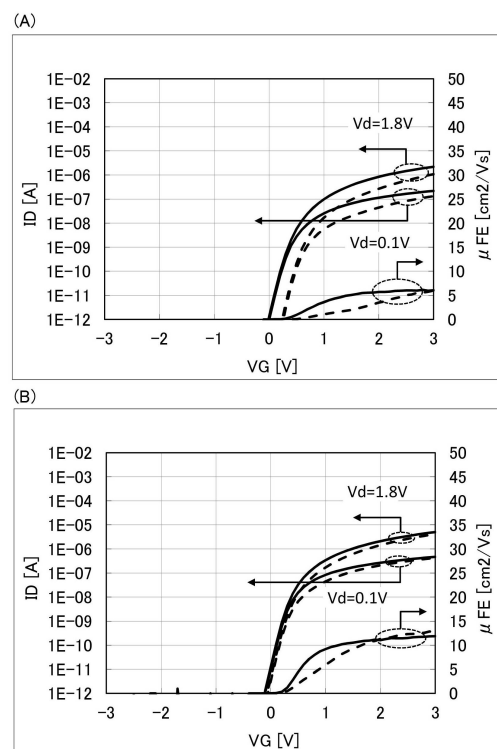
【図 8 5】



【図 8 6】

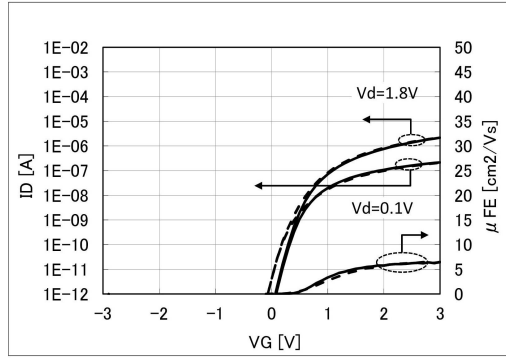


【図 8 7】

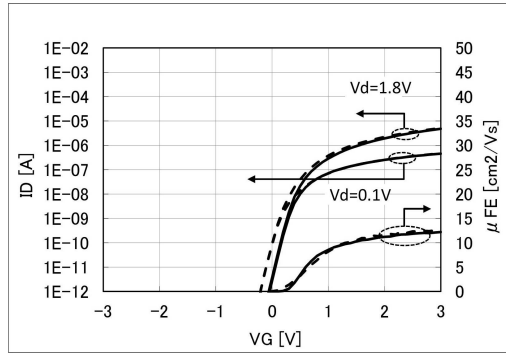


【図 8 8】

(A)

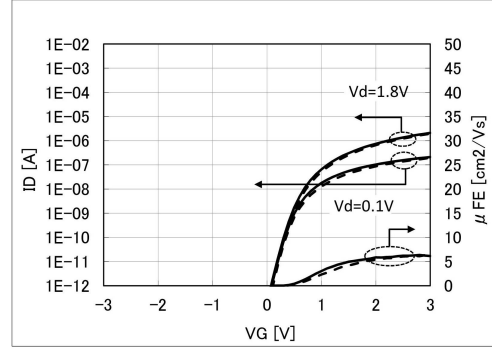


(B)

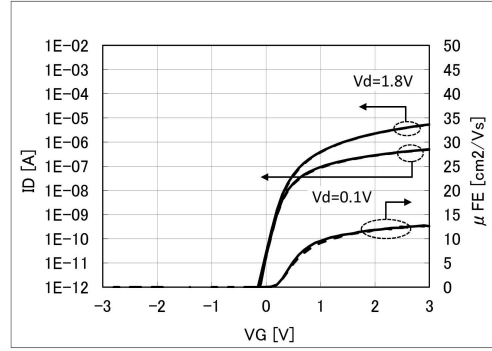


【図 8 9】

(A)



(B)



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L	21/28	(2006.01)	H 0 1 L 21/265 W
H 0 1 L	21/365	(2006.01)	H 0 1 L 21/28 3 0 1 B
H 0 1 L	21/425	(2006.01)	H 0 1 L 21/28 3 0 1 R
H 0 1 L	21/8234	(2006.01)	H 0 1 L 21/365
H 0 1 L	27/06	(2006.01)	H 0 1 L 21/425
H 0 1 L	27/088	(2006.01)	H 0 1 L 27/06 1 0 2 A
H 0 1 L	21/8239	(2006.01)	H 0 1 L 27/088 E
H 0 1 L	27/105	(2006.01)	H 0 1 L 27/088 H
H 0 1 L	21/8242	(2006.01)	H 0 1 L 27/088 3 3 1 E
H 0 1 L	27/108	(2006.01)	H 0 1 L 27/105 4 4 1
H 0 1 L	21/8244	(2006.01)	H 0 1 L 27/108 3 2 1
H 0 1 L	27/11	(2006.01)	H 0 1 L 27/108 6 7 1 Z
H 0 1 L	21/336	(2006.01)	H 0 1 L 27/11
H 0 1 L	29/786	(2006.01)	H 0 1 L 29/78 6 1 8 A
			H 0 1 L 29/78 6 1 8 B
			H 0 1 L 29/78 6 1 8 C
			H 0 1 L 29/78 6 1 8 E

(31)優先権主張番号 特願2014-122792(P2014-122792)

(32)優先日 平成26年6月13日(2014.6.13)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2014-131834(P2014-131834)

(32)優先日 平成26年6月26日(2014.6.26)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2014-218310(P2014-218310)

(32)優先日 平成26年10月27日(2014.10.27)

(33)優先権主張国・地域又は機関

日本国(JP)

(72)発明者 岡崎 健一

栃木県栃木市都賀町升塚1 6 1-2 アドバンスト フィルム デバイス インク株式会社内

(72)発明者 川鍋 千穂

栃木県栃木市都賀町升塚1 6 1-2 アドバンスト フィルム デバイス インク株式会社内

(72)発明者 太田 将志

神奈川県厚木市長谷3 9 8番地 株式会社半導体エネルギー研究所内

(72)発明者 石原 典隆

神奈川県厚木市長谷3 9 8番地 株式会社半導体エネルギー研究所内

合議体

審判長 豊永 茂弘

審判官 宮澤 尚之

審判官 小川 進

(56)参考文献 特開2013-201429(JP, A)

特開2014-007399(JP, A)

国際公開第2007/055377 (WO, A1)
特開2008-163441 (JP, A)

(58)調査した分野(Int.Cl., DB名)

C23C14/00-14/58

C30B1/00-35/00

H01L21/203-21/205

H01L21/363-365

H01L29/02