

(12) 发明专利

(10) 授权公告号 CN 102339833 B

(45) 授权公告日 2013.04.24

(21) 申请号 201010235059.0

(22) 申请日 2010.07.21

(73) 专利权人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号

(72) 发明人 霍宗亮 刘明

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 周国城

(51) Int. Cl.

H01L 27/115(2006.01)

H01L 29/06(2006.01)

(56) 对比文件

CN 1677675 A, 2005.10.05, 说明书第10-11
页对图1的说明部分、附图1, 9-10.

CN 1677675 A, 2005.10.05, 说明书第10-11
页对图1的说明部分、附图1, 9-10.

CN 101295647 A, 2008.10.29, 说明书第4页

实施例3, 图5.

CN 101132006 A, 2008.02.27, 图2-3、图22、
说明书实施例1.

CN 101312215 A, 2008.11.26, 说明书实施例
10.

CN 101764097 A, 2010.06.30, 说明书0017
段.

US 5852312 A, 1998.12.22, 全文.

CN 1286807 A, 2001.03.07, 全文.

US 5872036 A, 1999.02.16, 全文.

审查员 马骁

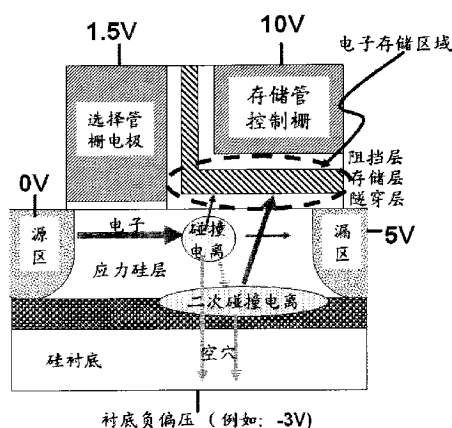
权利要求书1页 说明书7页 附图4页

(54) 发明名称

具有高速低压操作的高可靠分裂栅非挥发性
存储器结构

(57) 摘要

本发明公开了一种具有高速低压操作的高可靠分裂栅非挥发性存储器结构, 该结构包括选择晶体管和存储器晶体管, 且该选择晶体管和该存储器晶体管共用衬底区域和源漏掺杂区, 同时存储器晶体管具有堆栈结构, 信息存储在栅极区域下面的电荷存储层中。本发明采用应力硅/锗硅的双层或者多层衬底, 综合利用了应力硅沟道所带来的一次碰撞电离的高碰撞电离率和Si_xGe_{1-x}层的引入所带来的高碰撞电离率以及由此产生的电子横向的较宽分布, 将有力提高分裂栅结构的编程效率, 降低编程电压, 提高器件的数据保持特性, 利于器件的高可靠运作。本发明的电荷俘获型分裂栅存储器制备工艺与传统的硅平面CMOS工艺兼容, 利于广泛应用。



1. 一种具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,该结构包括选择晶体管和存储器晶体管,且该选择晶体管和该存储器晶体管共用衬底区域和源漏掺杂区,同时存储器晶体管具有堆栈结构,信息存储在栅极区域下面的电荷存储层中;

其中,该选择晶体管和该存储器晶体管共用的衬底区域是由高迁移率衬底材料、低禁带宽度材料或 III-V 族材料构成的双层结构,所述双层结构是应力硅和锗硅双层结构,或者是应力硅和锗双层结构。

2. 根据权利要求 1 所述的具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,该衬底区域的形成采用外延生长、化学气相淀积或者采用注入的方式。

3. 根据权利要求 2 所述的具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,所述高迁移率材料位于所述低禁带宽度材料的上方,更靠近界面;所述注入是锗离子注入生成锗硅层。

4. 根据权利要求 1 所述的具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,所述存储器晶体管的堆栈结构由隧穿层、存储层和阻塞层构成,其中,隧穿层和阻塞层采用高禁带宽度介质材料,存储层采用高缺陷密度窄禁带宽度的介质材料、深导带能级的材料或者深导带能级的材料与高缺陷密度材料的复合结构。

5. 根据权利要求 4 所述的具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,所述高禁带宽度介质材料是 SiO_2 或 Al_2O_3 ,所述高缺陷密度窄禁带宽度的介质材料是 Si_3N_4 或 HfO_2 ,所述深导带能级的材料是硅纳米晶体或金属纳米晶体,所述深导带能级的材料与高缺陷密度材料的复合结构是硅纳米晶体/ Si_3N_4 复合结构。

6. 根据权利要求 1 所述的具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,该选择晶体管和该存储器晶体管采用多晶硅材料或者金属硅化物作为栅电极,该选择晶体管和该存储器晶体管的源区和漏区采用 n 掺杂形成。

7. 根据权利要求 1 所述的具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,所述栅极区域的制造方法包括:

先形成选择晶体管栅氧化层和选择晶体管栅电极的淀积和光刻定义,然后淀积存储器晶体管的栅堆栈材料和存储器晶体管的栅电极材料,完成存储器晶体管的光刻定义,最后形成整个存储单元的源漏定义和金属连线。

8. 根据权利要求 1 所述的具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,该结构具有多个存储单元,该多个存储单元采用传统的沟道热电子注入方式、源边热电子注入方式完成器件的编程操作,此时电子将从衬底进入到存储栅极下方的存储层中,在这个过程中,衬底采用负电压偏置用于增大二次碰撞电离。

9. 根据权利要求 1 所述的具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,该结构具有多个存储单元,该多个存储单元采用 FN 栅擦除操作使得存储电子从存储层隧穿进入存储器晶体管的控制栅极,或者采用带带隧穿热空穴注入方式使得热空穴从衬底进入存储层完成与电子的复合,从而实现擦除操作。

10. 根据权利要求 1 所述的具有高速低压操作的高可靠分裂栅非挥发性存储器结构,其特征在于,在该结构中,信息的读取操作是通过反向读操作完成的,靠近存储栅极的漏区加低电压,而远离存储栅极的源区加高电压。

具有高速低压操作的高可靠分裂栅非挥发性存储器结构

技术领域

[0001] 本发明涉及微电子制造及存储器技术领域,尤其涉及一种具有高速低压操作的高可靠分裂栅非挥发性存储器结构。

背景技术

[0002] 目前的电子产品主要分为逻辑器件与存储器件两大类,而现今几乎所有的电子产品中都需要用到存储器件,因而存储器件在微电子领域占有非常重要的地位。存储器件一般可分为挥发性存储器与非挥发存储器。非挥发性存储器的主要特点是在不加电的情况下也能够长期保持存储的信息。它既有只读存储器 (ROM) 的特点,又有很高的存取速度,而且易于擦除和重写,功耗较小。随着多媒体应用、移动通信等对大容量、低功耗存储的需要,非挥发性存储器,特别是闪速存储器 (Flash),所占半导体器件的市场份额变得越来越大,也越来越成为一种相当重要的存储器类型。

[0003] 传统的Flash存储器的编程一般是采用FN或者沟道热电注入 (CHE) 的方式,电子从衬底隧穿进入浮栅中存储起来。而数据的擦除则是采用电子通过FN隧穿的方式从浮栅隧穿进入衬底中。基于存储单元的结构,非挥发性存储器一般分为两类:堆栈栅结构和分裂栅结构。归因于低压、高速的运作特点,分裂栅结构被广泛应用于嵌入式存储应用中,成为嵌入式存储器件的主流技术。

[0004] 传统的分裂栅结构如图1所示,在编程模式下,在选择栅和浮栅之间的沟道区域存在一个大的水平方向的高电场,具有最大的碰撞电离率。高能电子在垂直电场的作用下将进入浮栅中,其注入位置如箭头所示,这种编程方式被称为源边注入方式 (SSI)。在擦除模式下,基于浮栅尖角的高电场,存储的电子将从浮栅进入控制栅完成数据的擦除操作。随着微电子技术的迅猛发展,半导体器件的尺寸进一步按比例缩小,电荷陷阱存储结构 (如图2) 代替常规的浮栅结构将不可避免,电荷陷阱存储结构通过电荷的分立存储能够实现隧穿氧化层乃至整个存储单元的变比,同时该结构与逻辑工艺完全兼容且较常规浮栅具有更长的数据保持时间。

[0005] 通常情况下,SSI编程和热空穴注入 (HHI) 擦除被这种具有电荷陷阱存储层的分裂栅结构所采用。然而这种操作方式面临着可靠性的问题,具体如下:在SSI实现编程操作的时候,电子将主要集中在图2中的虚线部分存储层的位置,不同于浮栅结构是一个等势体,这种电荷陷阱存储结构使得电子在靠近源端的存储层中的密度远高于靠近漏端存储层的密度。而在采用HHI擦除的时候,空穴在整个存储层结构中的分布较为均匀,因此就造成了电子和空穴注入位置存在明显的不匹配现象。在经过多次的编程擦除操作后,这种电荷和空穴在存储层中的不匹配将加剧,从而退化器件特性 (如沟道阈值电压分布、数据保持时间等)。本发明将主要针对这个现象,通过采用应力硅沟道结合二次电子注入的方式来提高电子的碰撞电离率和调整电子在存储层的分布梯度,减小电子空穴分布的不匹配,从而实现该结构的高速、高可靠的操作。

发明内容

[0006] (一) 要解决的技术问题

[0007] 有鉴于此,本发明的主要目的在于提供一种具有高速低压操作的高可靠分裂栅非挥发性存储器结构,实现分裂栅电荷存储器件在编程时候提高电子的碰撞电离率和控制电子注入位置的调整,利于提高电子的注入效率,从而使得存储速度获得加强;同时,该调整通过减小电子空穴分布的不匹配,可以获得擦写情况下较均匀的空穴/电子分布,减小在数据保持状态下电子、空穴的横向再分布,从而提高数据保持时间。

[0008] (二) 技术方案

[0009] 为达到上述目的,本发明提供了一种具有高速低压操作的高可靠分裂栅非挥发性存储器结构,该结构包括选择晶体管和存储器晶体管,且该选择晶体管和该存储器晶体管共用衬底区域和源漏掺杂区,同时存储器晶体管具有堆栈结构,信息存储在栅极区域下面的电荷存储层中。

[0010] 上述方案中,该选择晶体管和该存储器晶体管共用的衬底区域是由高迁移率衬底材料、低禁带宽度材料或 III-V 族材料构成的双层结构或者多层结构,该衬底的形成采用外延生长、化学气相淀积或者采用注入的方式。

[0011] 上述方案中,所述高迁移率材料位于所述低禁带宽度材料的上方,更靠近界面;所述双层结构是应力硅和锗硅双层结构,或者是应力硅和锗双层结构,所述注入是锗离子注入生成锗硅层。

[0012] 上述方案中,所述存储器晶体管的堆栈结构由隧穿层、存储层和阻塞层构成,其中,隧穿层和阻塞层采用高禁带宽度介质材料,存储层采用高缺陷密度窄禁带宽度的介质材料、深导带能级的材料或者深导带能级的材料与高缺陷密度材料的复合双层或者多层结构。

[0013] 上述方案中,所述高禁带宽度介质材料是 SiO_2 或 Al_2O_3 ,所述高缺陷密度窄禁带宽度的介质材料是 Si_3N_4 或 HfO_2 ,所述深导带能级的材料是硅纳米晶体或金属纳米晶体,所述深导带能级的材料与高缺陷密度材料的复合双层或者多层结构是硅纳米晶体/ Si_3N_4 复合结构。

[0014] 上述方案中,该选择晶体管和该存储器晶体管采用多晶硅材料或者金属硅化物作为栅电极,该选择晶体管和该存储器晶体管的源区和漏区采用 n 掺杂形成。

[0015] 上述方案中,所述栅极区域的制造方法包括:先形成选择晶体管栅氧化层和选择晶体管栅电极的淀积和光刻定义,然后淀积存储器晶体管的栅堆栈材料和存储器晶体管的栅电极材料,完成存储器晶体管的光刻定义,最后形成整个存储单元的源漏定义和金属连线。

[0016] 上述方案中,该结构具有多个存储单元,该多个存储单元采用传统的沟道热电子注入方式、源边热电子注入方式、完成器件的编程操作,此时电子将从衬底进入到存储栅极下方的存储层中,在这个过程中,衬底采用负电压偏置用于增大二次碰撞电离。

[0017] 上述方案中,该结构具有多个存储单元,该多个存储单元采用 FN 栅擦除操作使得存储电子从存储层隧穿进入存储器晶体的控制栅极,或者采用带带隧穿热空穴注入方式使得热空穴从衬底进入存储层完成与电子的复合,从而实现擦除操作。

[0018] 上述方案中,在该结构中,信息的读取操作是通过反向读操作完成的,靠近存储栅

极的漏区加低电压,而远离存储栅极的源区加高电压。

[0019] (三)有益效果

[0020] 从上述技术方案可以看出,本发明具有以下有益效果:

[0021] 本发明在应力硅/ $\text{Si}_x\text{Ge}_{1-x}$ 衬底上完成了电荷陷阱型分裂栅存储单元结构,因而,在编程情况下,应力硅中电子可以获得高的能量提高碰撞电离率, $\text{Si}_x\text{Ge}_{1-x}$ 层的引入又进一步提高了二次碰撞电离率,使得电子获得更高的能量。这样将有力提高分裂栅结构的编程效率,降低编程电压,同时二次碰撞电离的引入可以有效实现电子在存储层的均匀分布,提高器件的数据保持特性,利于器件的高可靠运作。同时,本发明电荷俘获型分裂栅存储器制备工艺与传统的硅平面 CMOS 工艺兼容,利于广泛应用。

附图说明

[0022] 图 1 是常规的浮栅型分裂栅存储单元结构示意图;其中浮栅和控制栅都采用了多晶硅材料;

[0023] 图 2 为常规的电荷陷阱型分裂栅存储单元结构示意图;其中存储器晶体管的隧穿层和阻挡层可以采用 SiO_2 , Al_2O_3 等宽禁带介质材料,存储层将采用 Si_3N_4 等高缺陷密度的窄禁带介质材料;

[0024] 图 3 为本发明的新电荷陷阱型分裂栅存储单元结构示意图;

[0025] 图 4 为本发明的另一种新电荷陷阱型分裂栅存储单元结构示意图;

[0026] 图 5 为本发明的另一种纳米晶电荷陷阱型分裂栅存储单元结构示意图;

[0027] 图 6A 是常规分裂栅结构的编程操作方式;

[0028] 图 6B 是新型分裂栅结构的新编程操作方式;

[0029] 图 6C 是新型分裂栅结构编程模式下存储器晶体管纵向的能带分布图。

具体实施方式

[0030] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

[0031] 如图 3、4 和 5 所示,本发明提供的这种具有高速低压操作的高可靠分裂栅非挥发性存储器结构,包括选择晶体管和存储器晶体管,且该选择晶体管和该存储器晶体管共用衬底区域和源漏掺杂区,同时存储器晶体管具有堆栈结构,信息存储在栅极区域下面的电荷存储层中。其制备方法及所需工艺与传统工艺兼容。

[0032] 其中,该选择晶体管和该存储器晶体管共用的衬底区域是由高迁移率衬底材料、低禁带宽度材料或 III-V 族材料构成的双层结构或者多层结构,该衬底的形成采用外延生长、化学气相淀积或者采用注入的方式。所述高迁移率材料位于所述低禁带宽度材料的上方,更靠近界面;所述双层结构是应力硅和锗硅双层结构,或者是应力硅和锗双层结构,所述注入是锗离子注入生成锗硅层。

[0033] 所述存储器晶体管的堆栈结构由隧穿层、存储层和阻塞层构成,其中,隧穿层和阻塞层采用高禁带宽度介质材料,存储层采用高缺陷密度窄禁带宽度的介质材料、深导带能级的材料或者深导带能级的材料与高缺陷密度材料的复合双层或者多层结构。所述高禁带宽度介质材料是 SiO_2 或 Al_2O_3 ,所述高缺陷密度窄禁带宽度的介质材料是 Si_3N_4 或 HfO_2 ,所述

深导带能级的材料是硅纳米晶体或金属纳米晶体,所述深导带能级的材料与高缺陷密度材料的复合双层或者多层结构是硅纳米晶体/ Si_3N_4 复合结构。

[0034] 该选择晶体管和该存储器晶体管采用多晶硅材料或者金属硅化物作为栅电极,该选择晶体管和该存储器晶体管的源区和漏区采用 n 掺杂形成。

[0035] 所述栅极区域的制造方法包括:先形成选择晶体管栅氧化层和选择晶体管栅电极的淀积和光刻定义,然后淀积存储器晶体管的栅堆栈材料和存储器晶体管的栅电极材料,完成存储器晶体管的光刻定义,最后形成整个存储单元的源漏定义和金属连线。

[0036] 本结构具有多个存储单元,该多个存储单元采用传统的沟道热电子注入方式、源边热电子注入方式、完成器件的编程操作,此时电子将从衬底进入到存储栅极下方的存储层中,在这个过程中,衬底采用负电压偏置用于增大二次碰撞电离。或者,该多个存储单元采用 FN 栅擦除操作使得存储电子从存储层隧穿进入存储器晶体管的控制栅极,或者采用带带隧穿热空穴注入方式使得热空穴从衬底进入存储层完成与电子的复合,从而实现擦除操作。

[0037] 在本结构中,信息的读取操作是通过反向读操作完成的,靠近存储栅极的漏区加低电压,而远离存储栅极的源区加高电压。

[0038] 在本结构中,选择晶体管和存储器晶体管共用衬底和源漏掺杂区。衬底包括 $\text{Si}_x\text{Ge}_{1-x}$ 外延层,以及在其上的应力硅沟道或者硅沟道。该应力硅或者硅沟道可以采用外延或者淀积的方式获得。同时本衬底也可以在 SOI 硅片上生长。

[0039] 在本结构中,选择栅电极和存储器晶体管的控制栅电极的顺序可以调整。比如先形成选择晶体管,然后淀积存储器晶体管的栅堆栈结构,最后完成存储器晶体管的控制栅淀积。也可以先完成存储器晶体管的栅堆栈结构和栅电极,然后完成选择晶体管的氧化层和选择晶体管的栅电极淀积。

[0040] 在本结构中,所述存储器晶体管的栅极叠层结构包括隧穿层、存储层、以及电荷阻挡层。其中,隧穿层和阻塞层可以采用二氧化硅材料构成,而电荷存储层可以采用具有低势垒高度,高缺陷密度的材料构成,比如 SiN ,该层也可以采用深导带能级的材料比如硅纳米晶体、 SiGe 纳米晶体,金属纳米晶体等构成,也可采用纳米晶与 SiN 的混合结构等构成。

[0041] 本结构的制造方法(以图 3 为例)包括:

[0042] 步骤 1:形成窄禁带宽度的 $\text{Si}_x\text{Ge}_{1-x}$ 层,并在其上外延或者淀积应力硅层。基于该应力硅层与 $\text{Si}_x\text{Ge}_{1-x}$ 层的晶格不匹配,硅原子将被拉伸从而使得电子在其中的运动具有更少的电阻,从而电子的漂移速度有 70% 的提高,这种低阻高速的运动也使得电子能够获得更大的能量,从而提高碰撞电离率。该应力硅也可以在弛豫的 $\text{Si}_x\text{Ge}_{1-x}$ 层上采用超高真空化学气相淀积、离子注入等方法获得。

[0043] 步骤 2:在半导体衬底上形成选择晶体管的 SiO_2 层和多晶硅栅。

[0044] 步骤 3:在完成选择晶体管的栅极曝光和刻蚀后形成存储器晶体管的栅堆栈层和栅电极,进行第二次曝光完成存储器晶体管的定义。

[0045] 步骤 4:进行离子注入形成这个分裂管的源/漏掺杂区定义,也可实现在此基础之上的硅化工艺

[0046] 步骤 5:完成源/漏掺杂区及栅极区的引出连线,完成其存储单元的制备。

[0047] 在上述的制造方法中,也可更换步骤 2 和 3,完成先存储器晶体管后选择晶体管的

制备工艺,最终结构将如图4所示,该结构将有助于消除图3中在选择栅和存储栅之间的存储层,利于器件的可靠性运作。

[0048] 在本结构中,所述存储器晶体管的栅堆栈结构,包括隧穿层、存储层、以及电荷阻挡层。电荷存储层可以采用具有低势垒高度,高缺陷密度的材料构成,比如 SiN, HfO 等,该层也可以采用深导带能级的材料比如硅纳米晶体、SiGe 纳米晶,金属纳米晶体等构成,也可采用纳米晶体与 SiN 等的混合结构构成等。作为一个具体的结构实现的例子,图5给出了一种纳米晶型分裂栅存储单元结构。

[0049] 上述结构中,所述制造方法中涉及薄膜淀积或者纳米晶工艺的制备方法包括热氧化、化学气相淀积工艺、溅射工艺、原子层淀积工艺、热蒸发工艺、脉冲激光淀积工艺、电子束蒸发工艺或其它可实现结构的工艺,其它制备工艺包括光刻、刻蚀、表面平坦化、退火等传统方法。

[0050] 对于编程操作而言,这里以图3的结构为例进行介绍,图4和图5情况类似,可以给衬底给定一个负电压,如 -5V 到 0V,给选择栅一小的开启电压,如 1.5V,给控制栅给定大的正压,如 7~11V,给源漏分别给定满足源边注入方式的电压,如 0~1V 的源电压,4~8V 的漏电压。在此偏压情况下,电子在从源极向漏极漂移的过程中加速获得高的能量,在存储器晶体管栅下方将碰撞电离产生电子空穴对,电子在正的栅压下将有高的几率进入存储层中,而空穴在衬底负压作用下向衬底移动并获得高的能量,该高能空穴将极易在窄禁带宽度的 $\text{Si}_x\text{Ge}_{1-x}$ 层中发生二次碰撞电离产生更多的电子空穴对,同时该碰撞电离产生的电子空穴对将有更大的够道方向的横向分布,在存储器晶体管高栅压作用下,二次电离产生的电子将以更大的横向分布范围朝存储器晶体管栅极加速运动并获得更高的能量,这使得电子隧穿进入存储层的效率进一步增强。总之,该结构将有效提高编程效率、降低操作电压、获得更均匀的电子空穴分布,从而利于高可靠的存储,同时该结构也与逻辑工艺兼容。常规结构与该新结构的编程示意图如图6A,图6B所示, $\text{Si}_x\text{Ge}_{1-x}$ 层的引入将有效的提高电子的注入效率,其能带如图6C所示,这里 $\text{Si}_x\text{Ge}_{1-x}$ 层产生的电子在朝栅极运动中将获得高的能量从而具有高的编程效率。

[0051] 上述结构中,擦除方式既可采用常规的 FN 栅擦除操作使得存储电子从存储层隧穿进入存储器晶体管的控制栅极,也可采用带带隧穿热空穴注入 (BBTH) 方式使得热空穴从衬底进入存储层完成与电子的复合,从而实现擦除操作。作为一个例子,表1给出了一种典型的新型分裂栅结构的新编程操作方式。具有相似或者相同条件的操作方式也将被本发明所涵盖,在此不再赘述。各个电极上所施加的电压将不仅限于表中所列举的电压。

[0052]

偏压条件	选择管栅压	存储管栅压	源极电压	漏极电压	衬底电压	操作方法
编程操作	1.5V	10V	0V	5V	-3V	源边热电子注入
擦除操作	0V	-5V	OPEN	5V	0V	漏边热空穴注入
读取操作	1.5V	1.5V	1.0V	0V	0V	反向读操作

[0053] 再参照图3,图3为本发明的新电荷陷阱型分裂栅存储单元结构示意图;其中衬底由应力硅/ $\text{Si}_x\text{Ge}_{1-x}$ 双层结构构成,也可由类似概念的 III-V 族材料等构成;选择晶体管的

氧化层可以是 SiO₂, 栅极材料可以是多晶硅或者硅化物如 CoSi 等; 存储器晶体管的隧穿层和阻挡层可以采用 SiO₂, Al₂O₃ 等宽禁带介质材料, 存储层将采用 Si₃N₄ 等高缺陷密度的窄禁带介质材料, 其栅电极可以采用多晶硅或者硅化物如 CoSi 等材料构成; 选择晶体管和存储器晶体管将共用 n 掺的源漏区域。

[0054] 图 4 为本发明的另一种新电荷陷阱型分裂栅存储单元结构示意图; 其中介于选择晶体管栅极和存储器晶体管栅极之间的存储介质 (如 Si₃N₄) 将被移去。该移去工艺可以采用先存储器晶体管后选择晶体管的顺序, 通过曝光和刻蚀存储器晶体管的栅极获得, 也可以在先选择晶体管后存储器晶体管的工艺中, 采用各向异性选择性淀积的方法跳过在侧向存储层的淀积。

[0055] 图 5 为本发明的一种基于纳米晶电荷陷阱型分裂栅存储单元的结构示意图; 其中纳米晶存储层可以采用 Si, Ge, SiGe, Au, Pt, WN 等纳米晶体材料, 同时该存储层也可以采用纳米晶与高缺陷密度介质层的混合结构, 如硅纳米晶与 Si₃N₄ 的混合存储结构。

[0056] 图 6A 为常规电荷陷阱型分裂栅结构的编程操作方式。对于编程操作而言, 衬底电压为 0V, 给选择栅一小的开启电压, 如 1.5V, 给控制栅给定大的正压, 如 10V, 给源漏分别给定满足源边注入方式的电压, 如 0V 的源电压, 5V 的漏电压。在此偏压情况下, 电子在从源极向漏极漂移的过程中加速获得高的能量, 在存储器晶体管栅极和选择晶体管栅极中间位置的衬底区域将碰撞电离产生电子空穴对, 电子在正的栅压下将有高的几率进入存储层中完成电子的编程操作。其电子注入的位置如图 6 中虚线所示。

[0057] 图 6B 新的分裂栅结构的新编程操作方式。对于编程操作而言, 可以给衬底给定一个负电压, 如 -3V, 给选择栅一小的开启电压, 如 1.5V, 给控制栅给定大的正压, 如 10V, 给源漏分别给定满足源边注入方式的电压, 如 0V 的源电压, 5V 的漏电压。在此偏压情况下, 电子在从源极向漏极漂移的过程中加速获得高的能量, 在存储器晶体管栅下方将碰撞电离产生电子空穴对, 电子在正的栅压下将有高的几率进入存储层中, 而空穴在衬底负压作用下向衬底移动并获得高的能量, 该高能空穴将极易在窄禁带宽度的 Si_xGe_{1-x} 层中发生二次碰撞电离产生更多的电子空穴对, 同时该碰撞电离产生的电子空穴对将有更大的沿够道方向的横向分布, 在存储器晶体管高栅压作用下, 二次电离产生的电子将以更大的横向分布范围朝存储器晶体管栅极加速运动并获得更高的能量, 这使得电子隧穿进入存储层的效率进一步增强。总之, 该结构将有效提高编程效率、降低操作电压、获得更均匀的电子空穴分布, 从而利于高可靠的存储, 同时该结构也与逻辑工艺兼容。

[0058] 图 6C 给出了图 6B 中分裂栅结构编程模式下存储器晶体管纵向的能带分布图, 这里窄禁带 Si_xGe_{1-x} 层将极易产生碰撞电离, 所得电子在朝栅极运动中将获得高的能量从而具有高的编程效率。

[0059] 由上述可知, 在本发明的实施例中, 综合利用了应力硅沟道所带来的一次碰撞电离的高碰撞电离率和 Si_xGe_{1-x} 层的引入所带来的高碰撞电离率以及由此产生的电子横向的较宽分布。该发明将有力提高分裂栅结构的编程效率, 降低编程电压, 同时通过有效控制电子在存储层的分布, 提高器件的数据保持特性, 利于器件的高可靠运作。同时, 本发明电荷俘获型分裂栅存储器制备工艺与传统的硅平面 CMOS 工艺兼容, 利于广泛应用。

[0060] 以上所述的具体实施例, 对本发明的目的、技术方案和有益效果进行了进一步详细说明, 所应理解的是, 以上所述仅为本发明的具体实施例而已, 并不用于限制本发明, 凡

在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

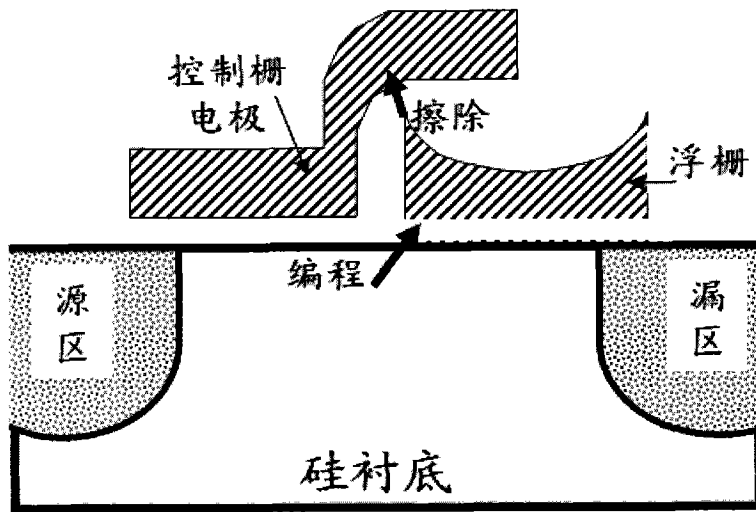


图 1

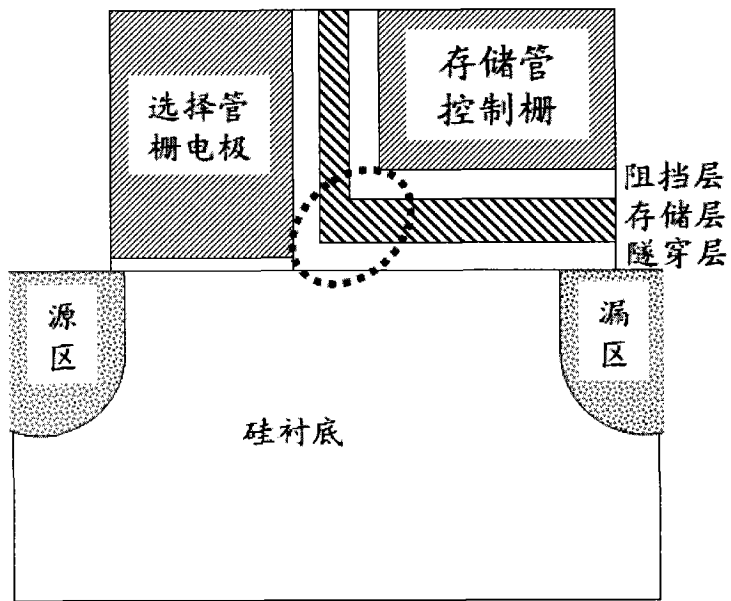


图 2

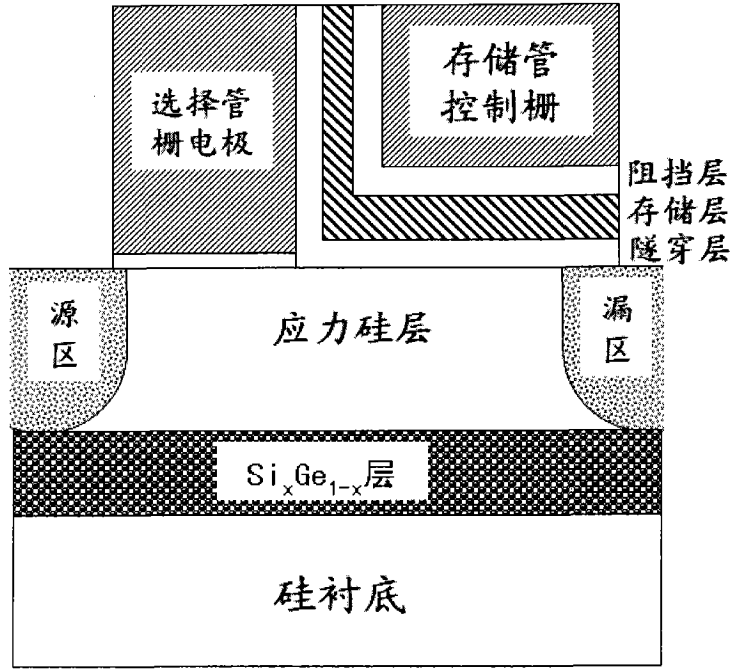


图 3

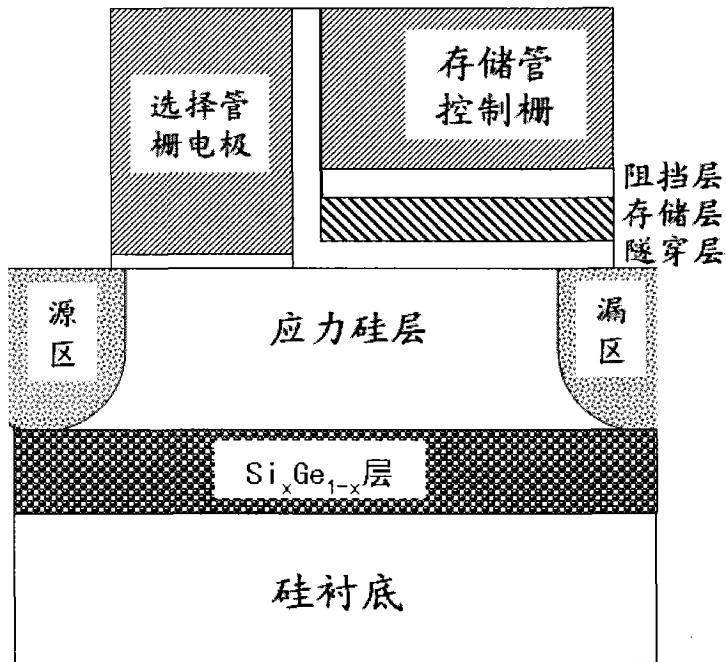


图 4

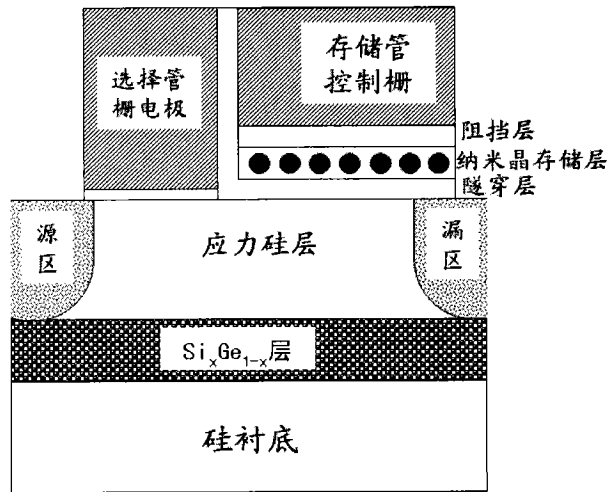


图 5

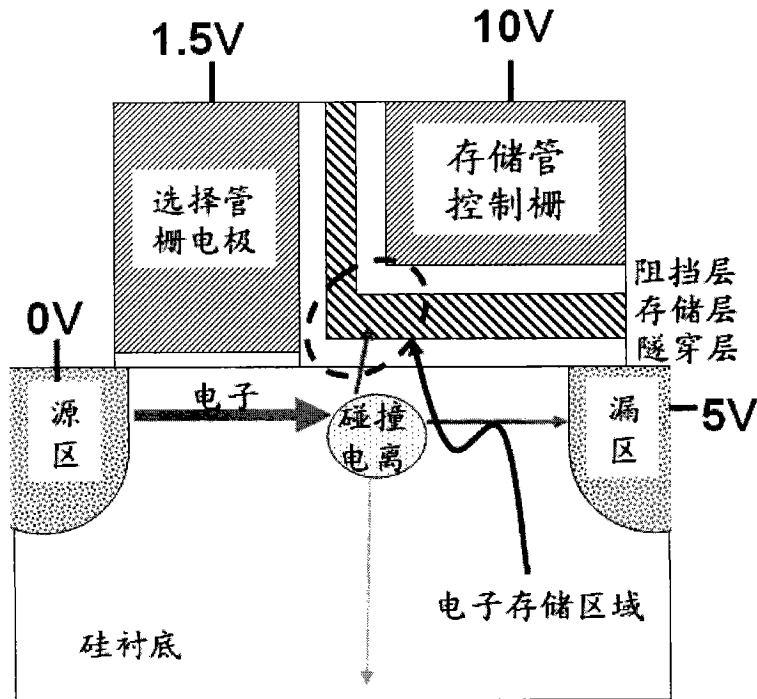


图 6A

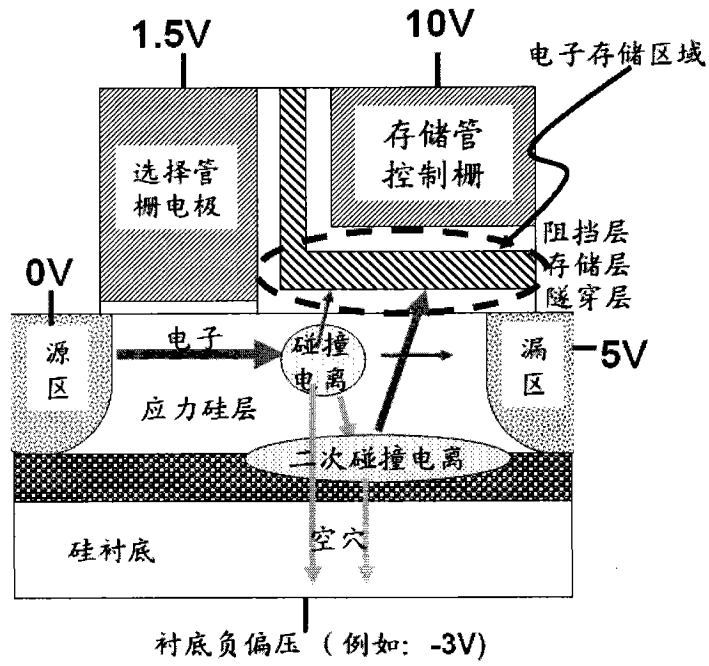


图 6B

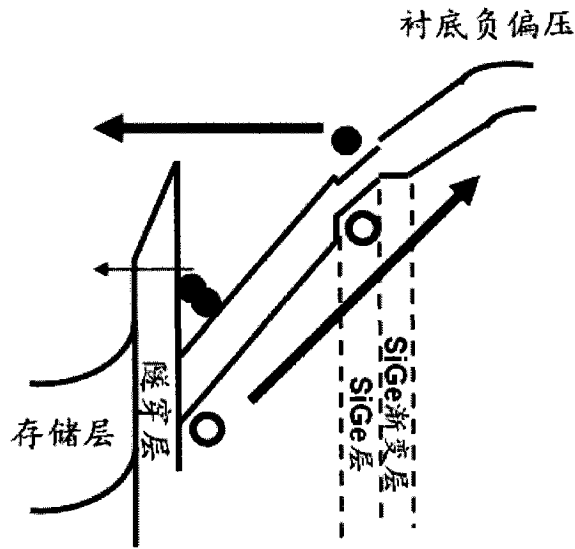


图 6C