295700

公告本

A4
C4

申請日期	85.1.16
案號	85100552
類別	H01L 21/322, 21/66

（以上各欄由本局填註）

295700

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體裝置之評價方法
	英文	
二、發明 創作 人	姓名	(1)今井由加里 (2)大谷尚子 (3)片山俊治
	國籍	日本
	住、居所	(1)日本國東京都千代田區丸の內2丁目2番3號 三菱電機株式會社內 (2)同(1) (3)同(1)
三、申請人	姓名（名稱）	三菱電機股份有限公司 （三菱電機株式會社）
	國籍	日本
	住、居所（事務所）	日本國東京都千代田區丸の內2丁目2番3號
	代表人姓名	北岡隆

裝 訂 線

經濟部中央標準局員工消費合作社印製

295700

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

日　本國（地區）　申請專利，申請日期：1995-10-17案號：7-268722　，□有　☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

[發明之詳細說明]

[發明所屬技術領域]

本發明係關於使用於半導體裝置之薄膜之評價方法。

[先前之技術]

先前，使用半導體裝置薄膜之中，氧化膜之評價係依據化學腐刻液使用化學性濕式腐刻法。

圖25～27為表示先前之半導體裝置之氧化膜評價方法依製程順序之剖面圖。

圖25為表示做為評價對象之半導體裝置100之構造。半導體裝置100，係在矽基板1上設置做為絕緣薄膜之閘式氧化膜2，進而在其上形成聚矽膜5。但，在閘式氧化膜2產生缺陷3及由膜質異常引起之絕緣耐壓不良部4。

半導體裝置100係如圖26所示浸漬於化學腐刻液7。化學腐刻液7之代表性者，可例舉有KOH、NaOH、LiOH、CsOH、NH_4OH、乙二胺焦兒茶酚、肼、及如含有膽鹼之鹼溶液等。譬如做為化學腐刻液7可以使用昇溫到60℃之5規定KOH。

聚矽膜5利用化學腐刻液7腐刻之後，通過閘式氧化膜2之缺陷3而矽基板1也沿著結晶面被腐刻，所以如圖27所示，在缺陷3存在之部位形成著腐刻痕跡30。

[發明所欲解決之問題]

先前之薄膜（閘式氧化膜etc.）之評價係使用如上之順序所進行。所以，即使絕緣耐壓不良部4存在，但此對於化學腐刻液7成為矽基板1之遮蓋所以不會形成腐刻痕跡30，其發現為不可能。更且，由於絕緣耐壓不良部4之大小不

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

同而有電流之洩漏量不明之問題。

本發明係鑑於以上之問題，其目的在於確立半導體裝置薄膜之缺陷及絕緣耐壓不良部之評價方法。

[解決問題之手段]

申請專利範圍第1項所記載之半導體裝置之評價方法，係具備有：(a)將依順序所層合包含第1半導體層、絕緣膜及第2半導體層而成之半導體裝置浸漬於含有羥基溶液之製程；及、(b)將第1半導體層做為陽極而施加電壓於溶液之製程。

申請專利範圍第3項所記載之半導體裝置之評價方法係如申請專利範圍第1項之半導體裝置之評價方法，其中使電壓值變動。

申請專利範圍第4項所記載之半導體裝置之評價方法係如申請專利範圍第1或3項之半導體裝置之評價方法，其中上述半導體裝置為EEPROM，而前述EEPROM之半導體基板、閘式氧化膜及浮遊閘電極係分別相當於上述第1半導體層、上述絕緣膜及上述第2半導體層。

申請專利範圍第5項所記載之半導體裝置之評價方法係如申請專利範圍第1或3項之半導體裝置之評價方法，其中上述半導體裝置為DRAM，而前述DRAM之容量下部電極、容量絕緣膜及容量上部電極係分別相當於上述第1半導體層、上述絕緣膜及上述第2半導體層。

申請專利範圍第6項所記載之半導體裝置之評價方法係如申請專利範圍第3項之半導體裝置之評價方法，其中使

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

電壓值以周期性變動。

申請專利範圍第7項所記載之半導體裝置之評價方法係如申請專利範圍第3或6項之半導體裝置之評價方法，其中電壓值，由交替所重覆之第1電壓值及比第1電壓值更低之第2電壓值所構成。

申請專利範圍第10項所記載之半導體裝置之評價方法係如申請專利範圍第7項之半導體裝置之評價方法，其中電壓之脈衝寬幅工作週期為50%以下。

[發明之實施形態]

實施之形態1.

圖1為表示做為評價對象之半導體裝置100之構造。半導體裝置100，係具備有：形成於矽基板1上之閘式氧化膜2；及，再形成於該閘式氧化膜2上之聚矽膜5。矽基板1、閘式氧化膜2及聚矽膜5係分別相當於第1半導體層、絕緣膜及第2半導體層。如先前之技術中也做了說明在閘式氧化膜2係產生著缺陷3及絕緣耐壓不良部4。

圖2～圖4為表示將本發明之一實施形態以製程順序之剖面圖。

如圖2所示，半導體裝置100係備有濕式腐刻裝置9而浸漬於化學腐刻液7。濕式腐刻裝置9，進而具備有浸漬於化學腐刻液7之接地電極8及連接於接地電極8之負極及連接於半導體裝置100之矽基板1之正極之直流電壓電源6。而且在施加直流電壓於矽基板1之狀態下進行化學腐刻。化學腐刻液7之代表性者可例舉有KOH、NaOH、LiOH、CsOH、

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

NH_4OH、乙二胺焦兒茶酚、肼及如膽鹼之鹼溶液等。因為肼（hydrazine）（N_2H_4）本身未具有羥基，但在水溶液中係成如下，

[化1]

$$N_2H_4 + H_2O \rightarrow N_2H_5^+ + OH^-$$

產生羥基。譬如做為化學腐刻液可以使用昇溫到60℃之5規定KOH。

使用直流電壓電源6用以施加電壓，則缺陷3上之聚矽膜5係與基板1成為同電位，又在絕緣耐壓不良部4上之聚矽膜5也有電位之施加。因此如圖3所示，矽基板1之接觸於化學腐刻液7之面係形成著不動態化層50，而在缺陷3及絕緣耐壓不良部4上之聚矽膜5之表面，係藉由陽極氧化形成著不動態化層10。另外，藉由閘式氧化膜2所絕緣，可以使在與夾住閘式氧化膜2與矽基板1對向之聚矽膜5表面不形成不動態化層10而予以調整直流電壓之大小。未形成不動態化層10領域之聚矽膜5係藉由化學腐刻液7而被化學腐刻。該腐刻係與不動態化層10之形成並行進行。因此如圖4所示，僅在缺陷3及膜質異常之絕緣耐壓不良部4上殘留聚矽膜5。

茲對於不動態化層10之形成及藉由化學腐刻除去加以說明。在構成矽基板1之聚矽鹼溶液中之氧化，如下，

[化2]

$$\begin{array}{c} | \quad | \\ -Si-Si- \\ | \quad | \end{array} + OH^- + h^+ \rightarrow \begin{array}{c} | \quad | \\ -Si-O-Si \\ | \quad | \end{array} + 1/2H_2$$

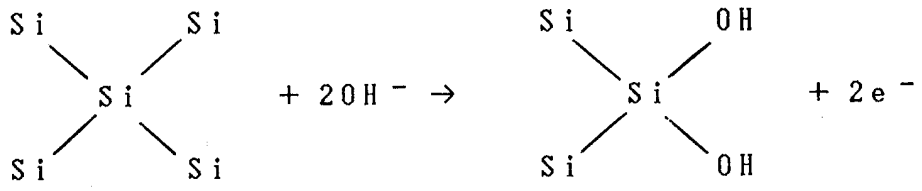
而形成著具有氧化矽之不動態化層10。與該氧化並行產生

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

如下之矽化合物之腐刻。

[化3]



$$2H_2O + 2e^- \rightarrow H_2 + 2OH^-$$

可以想像到氧化矽之腐刻反應也同樣。特別是做為化學腐刻液7使用KOH時，係進行如下反應，

[化4]

$$Si \rightarrow Si^+ + e^-$$

$$H_2O + 2e^- \rightarrow H_2 + 2OH^-$$

而矽係如下被腐刻。

[化5]

$$2KOH + Si + H_2O \rightarrow K_2SiO_3 + 2H_2\uparrow$$

$$Si + 2OH^- + H_2O \rightarrow SiO_3^{2-} + 2H_2\uparrow$$

由以上之化學式，可知不動態化層10之形成及除去皆與羥基有關。

如以上利用缺陷3、絕緣耐壓不良部4都具有導電性而在此等上形成不動態化層10，而將未形成不動態化層10領域之聚矽膜5使用化學腐刻液7加以化學腐刻，所以不僅缺陷連絕緣耐壓不良部4也可以進行評價。

又，由於洩漏電流量使不動態化層10之形成量不同，所以推測洩漏電流量也可以用以評價缺陷3及絕緣耐壓不良部4。而且以本實施形態，係可以同時進行形成不動態化

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

層10之製程及不動態化層10未形成領域之聚矽膜5之鹹腐刻，所以可以既簡便又迅速進行評價。

實施形態2.

依據實施形態1之評價方法，則在缺陷3及絕緣耐壓不良部4接近時會有不能進行正確評價之情形。圖5為表示缺陷3a及3b接近時之例。藉由缺陷3a及3b所挾持領域之聚矽膜5使用化學腐刻液腐刻不如藉由缺陷3a及3b導通之電流作用所形成不動態化層10，所以，單一之不動態化層10形成於缺陷3a及3b上。

又如圖6所示，缺陷3a在比較大時藉由缺陷3a之洩漏電流變大而促進不動態化層10之形成，而可以想像到在相互不接近之缺陷3a及3b上也可以形成單一之不動態化層10。

此等之情形，可將二個之缺陷3a及3b做為一個缺陷加以評價。實施形態2係提示對應於如此之情形也可以精度良好地進行不良部位之評價。

圖7為表示在本實施形態中做為評價對象之半導體裝置100之構成。其詳情係與圖1所示者同樣，所以附與同一參考編號而省略說明。

圖8～10為表示依據本發明之實施形態2將半導體裝置之氧化膜評價方法依製程順序之剖面圖。

如圖8所示，半導體裝置100係浸漬於濕式腐刻裝置9a所具備之化學腐刻液7、濕式腐刻裝置9a係具有實施形態1所示之濕式腐刻裝置9之直流電壓電源6以脈衝電壓電源6a所換置之構成。脈衝電壓電源6a係與直流電壓電源6同樣連

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

接於接地電極8及矽基板1。脈衝電壓電源6a係高電壓及低電壓交替產生。與實施形態1同樣，做為化學腐刻液7可以使用昇溫到60℃之5規定KOH。

藉由脈衝電壓電源6a將電壓施加，則缺陷3上之聚矽膜5與基板1成為同電位，又絕緣耐壓不良部4上之聚矽膜5也有電位之施加。因此如圖9所示在缺陷3及絕緣耐壓不良部4上之聚矽膜5表面係利用陽極氧化形成不動態化層10，而在矽基板1之表面形成著不動態化層50。另外，藉由閘式氧化膜2所絕緣，挾持氧化膜2與矽基板1對向之聚矽膜5表面使不形成不動態化層10而可以調整脈衝電壓之高電壓大小。未形成不動態化層10領域之聚矽膜5係藉由化學腐刻液7而與電壓之施加並行予以化學腐刻。所以如圖10所示，僅在缺陷3及膜質異常之絕緣耐壓不良部4上使聚矽膜5殘留。

因此，在施加脈衝電壓之高電壓時係不動態化層10之形成高於藉由化學腐刻之除去，而在施加脈衝電壓之低電壓時則不動態化層10之形成低於藉由化學腐刻之除去。因此，不動態化層10係重覆成長及縮小，所以不動態化層10係不會成為過大。進而藉由調整脈衝寬幅工作週期使不動態化層10之成長及縮小取得平衡，而可以控制不動態化層10之大小。為了取得平衡，脈衝寬幅工作週期係在50%以下為較佳。

在本實施形態中做為施加之電壓係使用脈衝電壓。可是為了阻止不動態化層10之形成變成過大，係使電壓變動將

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

不動態化層10之成長速度變化即可。所以不限於脈衝電壓，將變動之電壓外加於矽基板1係含有本發明之精神。又，將電壓之變動以周期性進行於電壓電源，則依據本實施形態可以容易獲得效果。

如實施形態1所示若施加直流電壓，則不動態化層10變成過大而如圖5及圖6所示之不適合可能在評價時引起。但若依據本實施形態2，則個別之缺陷3或絕緣耐壓不良部4上之不動態化層10之形成量成為適切。圖11及12為分別表示在缺陷3a及3b分別形成不動態化層10a及10b。依據本實施之形態，對於缺陷3及絕緣耐壓不良部4之大小及位置可以進行適切之評價。

以本實施之形態係使用脈衝電壓而進行陽極氧化，可以控制在缺陷3及絕緣耐壓不良部4上所形成不動態化層10之形成量。因此，在缺陷3或絕緣耐壓不良部4很大時或接近時依據本實施之形態評價方法有效。

當然在本實施形態中也與實施形態1同樣，可以將形成不動態化層10之製程及未形成不動態化層領域之聚矽膜鹹腐刻同時進行，所以既簡便又迅速可以進行評價。

[實施例]

實施例1

圖13為表示做為本實施例之評價對象之EEPROM之構成。與圖1同樣之構成附與相同之參考編號。表示在矽基板1，形成元件分離氧化膜13、閘式氧化膜2、聚矽膜而成之浮遊閘電極12，及，由閘絕緣膜15、聚矽膜而成之控制閘電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

極14之EEPROM之構成。閘式氧化膜2係具有缺陷3及絕緣耐壓不良部4。

圖14及15為表不揮發性存儲半導體裝置之一之以電氣性可以使資訊寫入消去EEPROM(Electrically Erasable and Programmable Read Only Memory)之閘式氧化膜依據本發明之實施例1依製程順序評價之剖面圖。

藉由使用實施形態1中所提示之濕式除去裝置9，如圖14所示在施加直流電壓於矽基板1之狀態下使EEPROM化學腐刻。做為化學腐刻液7可以使用昇溫到60℃之5規定KOH。該時係藉由施加數～數＋V之直流電壓於矽基板1，而浮遊閘電極12之聚矽膜係僅在缺陷3及絕緣耐壓不良部4之上之領域形成著不動態化層10。

控制電極14之聚矽膜及以閘式氧化膜2所絕緣領域之浮遊閘電極12之聚矽膜係由於電壓比矽基板1低，所以如圖15所示未形成不動態化層10。不僅控制電極14之聚矽膜而已，控制電極14及閘絕緣膜15在圖面之直角方向係非連接，所以未形成不動態化層10領域之浮遊閘電極12之聚矽膜利用化學腐刻液7被鹹腐刻所除去。另外，形成著不動態化層50之矽基板1及形成著不動態化層10之缺陷3及在絕緣耐壓不良部4上之浮遊閘電極12之聚矽膜係使用化學腐刻液7而未被化學腐刻。又，使用化學腐刻液之腐刻率比聚矽更小，所以元件分離氧化膜13及閘絕緣膜15係未腐刻而殘留。

以本實施例，係可以使不揮發性存儲半導體裝置之一之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

起因於EEPROM之閘式氧化膜2之不良予以評價。使施加於矽基板1之直流電壓值比僅存在於閘式氧化膜2之缺陷3及絕緣耐壓不良部4之上面領域之聚矽膜所形成不動態化層之值更大，所以在具有缺陷3及絕緣耐壓不良部4之閘式氧化膜2上之全部聚矽膜中可以形成不動態化層。因此缺陷3及絕緣耐壓不良部4上之聚矽膜未被化學腐刻而殘留，所以可以進行缺陷3及絕緣耐壓不良部4之有無及存在場所之評價。加上以本實施例係與實施形態1同樣，可以同時進行形成不動態化層10之製程及未形成不動態化層10之聚矽膜之鹹腐刻，所以既簡便又迅速可以進行評價。

實施例2

圖16為表示做為本實施例之評價對象之EEPROM之構成。其詳情係與圖13所示者相同，所以附與相同之參考編號但省略說明。

圖17及18為表示依據本發明之實施例2將EEPROM之閘式氧化膜之評價依製程順序之剖面圖。

如圖17所示，EEPROM係浸漬於濕式腐刻裝置9a所具備之化學腐刻液7。濕式腐刻裝置9a係具有與實施形態2同一構成。將高電壓及低電壓交替產生之脈衝電壓電源6a連接於接地電極8及矽基板1。做為化學腐刻液7可以使用昇溫到60℃之5規定KOH。

在缺陷3及絕緣耐壓不良部4上之浮遊閘電極12之聚矽膜之表面係藉由陽極氧化形成不動態化層10，而且挾持藉由閘式氧化膜2絕緣之閘式氧化膜2之矽基板1對向之浮遊閘電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

極12之聚矽膜表面係不使形成不動態化層10之脈衝電壓高電壓之大小，則譬如做為化學腐刻液7使用昇溫到60℃之5規定KOH時，為數～數＋V。以控制電極14之聚矽膜及閘式氧化膜2所絕緣領域之浮遊閘電極12之聚矽膜係由於電壓比矽基板1低所以未形成不動態化層10。不僅控制電極14之聚矽膜而已，控制電極14及閘絕緣膜15在圖面之直角方向係未連接，所以未形成不動態化層10領域之浮遊閘電極12之聚矽膜也藉由化學腐刻液7被腐刻所除去。該腐刻係與電壓之施加並行著。因此如圖18所示，僅在缺陷3及膜質異常之絕緣耐壓不良部4上使浮遊閘電極12之聚矽膜殘留。又，使用化學腐刻液7之腐刻率比聚矽更小，所以元件分離氧化膜及閘絕緣膜15係未腐刻而殘留。

茲與實施形態2同樣，不動態化層10係重覆成長及縮小，所以不動態化層10係不會過大。進而藉由調整脈衝寬幅工作週期將不動態化層10之成長及縮小取得平衡，而可以用以控制不動態化層10之大小。為了取得平衡，脈衝寬幅工作週期係以50%以下為較佳。

如實施例1所示若施加直流電壓，則如圖5及圖6所示不動態化層10成為過大而會引起不適合評價之可能性。但若依據本實施例2之評價方法，則各自之缺陷3或絕緣耐壓不良部4上之不動態化層10之形成量成為適切。因此，藉由與實施形態2同樣之理由，對於缺陷3及絕緣耐壓不良部4之大小及位置可以進行適切之評價。

以本實施例係使用脈衝電壓而進行陽極氧化，所以可以

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

用以控制形成於缺陷3及絕緣耐壓不良部4上之不動態化層10之形成量。因此，缺陷3或絕緣耐壓不良部4很大時或接近時依據本實施例也有效可以進行評價方法。

當然本實施例中也與實施例1同樣，可以同時進行形成不動態化層10之製程及未形成不動態化層10領域之聚矽膜之鹹腐刻，所以既簡便又迅速可以進行評價。使施加於矽基板1之脈衝電壓值比僅存在於閘式氧化膜2之缺陷3及絕緣耐壓不良部4上領域之聚矽膜所形成著不動態化層10值更大，可以用以形成具有缺陷3及絕緣耐壓不良部4之閘式氧化膜2上之全部聚矽膜中之不動態化層10。因此，缺陷3及絕緣耐壓不良部4上之聚矽膜未被化學腐刻而殘留，所以可以進行缺陷3及絕緣耐壓不良部4之有無及存在場所之評價。

實施例3

圖19為表示做為本實施例之評價對象之層合型電容器式之動態型隨機存取存儲器(DRAM：Dynamic Random Access Memory)元件之構成。與實施例1同樣之構成則附與同一之參考編號。在矽基板1上係形成著由閘式氧化膜2，元件分離氧化膜13，閘電極16，n+不純物擴散層1a、1b，層間絕緣膜18，聚矽膜而成之電容器下部電極19，由氧化膜而成之電容器電介體膜21，由聚矽膜而成之電容器上部電極24。電容器電介體膜21係藉由缺陷22及膜質異常具有絕緣耐壓不良部23。又，在層間絕緣膜18設有開口部20用以露出不純物擴散層1a之一部份。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

圖20及21為表示依據圖19所示本發明實施例3之DRAM元件之電容器電介體膜21依製程順序評價之剖面圖。

使用實施形態1中所提示之具備直流電壓電源6之濕式除去裝置9而施加直流電壓於矽基板1之狀態下，如圖20所示之DRAM元件係在化學腐刻液7中被化學腐刻。做為化學腐刻液7可以使用昇溫到60℃之5規定KOH。

利用直流電壓電源6施加電壓，則缺陷22上之電容器上部電極24係與基板1成為同電位，又絕緣耐壓不良部23上之電容器上部電極24也有施加電位。因此如圖3所示，在缺陷22及絕緣耐壓不良部23上之電容器上部電極24之表面，係藉由陽極氧化形成著不動態化層10，而在矽基板1之接觸於化學腐刻液7之表面係形成著不動態化層50。另外，藉由電容器電介體膜21所絕緣，在挾持電容器電介體膜21之電容器下部電極19及對向之電容器上部電極24表面係不使形成不動態化層10而可以用以調整直流電壓之大小。未形成不動態化層10領域之電容器上部電極24係使用化學腐刻液7予以化學腐刻。該腐刻係與不動態化層10之形成並行進行。因此如圖21所示，僅在缺陷22及絕緣耐壓不良部23上使電容器上部電極24之聚矽膜殘留。

以本實施例，係可以用以評價層合型電容器式之DRAM元件之電容器電介體膜21之不良。使外加於矽基板1之直流電壓值比僅存在於電容器電介體膜21之缺陷22及絕緣耐壓不良部23上領域之聚矽膜所形成著不動態化層10值更大，而可以用以形成在具有缺陷22及絕緣耐壓不良部23之電容

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

器電介體膜21上廣大領域之聚矽膜中之不動態化層10。因此，缺陷22及絕緣耐壓不良部23上之聚矽膜未被化學腐刻而殘留，所以可以進行缺陷22及絕緣耐壓不良部23之有無及存在場所。加上以本實施例係可以同時進行形成不動態化層10之製程及未形成不動態化層10之聚矽膜之鹹腐刻，所以既簡便又迅速可以進行評價。

實施例4

圖22為表示做為本實施例之評價對象之DRAM元件之構成。其詳情係與圖19所示者相同，所以附與同一參考編號而省略說明。

圖23及圖24為表示依據本發明實施例4，層合型電容器式之DRAM元件之電容器電介體膜21依製程順序評價之剖面圖。

如圖23所示，DRAM元件係浸漬於濕式腐刻裝置9a所具備之化學腐刻液7。濕式腐刻裝置9a係具有與實施形態2同樣構成。如圖23所示使用將高電壓及低電壓交替產生之脈衝電壓電源6a而DRAM元件係在化學腐刻液7中被化學腐刻。做為化學腐刻液7可以使用昇溫到60℃之5規定KOH。

使用脈衝電壓電源6a施加電壓，則缺陷22上之電容器上部電極24係成為與基板1同電位，又絕緣耐壓不良部23上之電容器上部電極24也有施加電位。因此如圖23所示在缺陷22及絕緣耐壓不良部23上之電容器上部電極24之表面係藉由陽極氧化而形成著不動態化層10，而在矽基板1表面係形成著不動態化層50。另外，藉由電容器電介體膜21所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

絕緣，在挾持電容器電介體膜21之電容器下部電極19及對向之電容器上部電極24之表面係不使形成著不動態化層10而可以用以調整脈衝電壓之高電壓大小。未形成不動態化層10領域之電容器上部電極24係藉由化學腐刻液7與電壓施加並行而被化學腐刻。因此如圖24所示，僅在缺陷22及絕緣耐壓不良部23上使電容器上部電極24之聚矽膜殘留。

因此，脈衝電壓之高電壓被施加時係不動態化層10之形成高於藉由化學腐刻之除去，而在脈衝電壓之低電壓被外加時則低於。因此，不動態化層10係重覆成長及縮小，所以不動態化層 10係不會過大。進而藉由用以調整脈衝寬幅工作週期取得不動態化層10之成長及縮小之平衡，可以用以控制不動態化層10之大小。為了取得平衡，脈衝寬幅工作週期係與實施形態2及實施例2同樣以50%以下為較佳。

如實施例3所示若直流電壓被施加，則不動態化層10成為過大，如圖5及圖6所示之不適合在評價時引起之可能性。但若依據本實施例，則各自之缺陷22或絕緣耐壓不良部23上之不動態化層10之形成量成為適切。藉由本實施例之評價方法，對於缺陷22及絕緣耐壓不良部23之大小及位置與實施形態2同樣可以進行適切之評價。

以本實施例係為了使用脈衝電壓而進行陽極氧化，而可以用以控制形成於缺陷22及絕緣耐壓不良部23上之不動態化層之形成量。因此，在缺陷22或絕緣耐壓不良部23很大時或接近時依據本實施例也可以有效進行評價方法。

當然在本實施例中也與實施例3同樣，可以同時進行形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

成不動態化層10之製程及未形成不動態化層10領域之聚矽膜之鹹腐刻，所以既簡便又迅速可以進行評價。而使施加於矽基板1之脈衝電壓值比僅存在於電容器電介體膜21之缺陷22及絕緣耐壓不良部23上之領域之聚矽膜所形成不動態化層10值更大，而可以用以形成在具有缺陷22及絕緣耐壓不良部23之電容器電介體膜21上之廣大領域聚矽膜中之不動態化層10。因此，缺陷22及絕緣耐壓不良部23上之聚矽膜未被化學腐刻而殘留，所以可以進行缺陷22及絕緣耐壓不良部23之有無及存在場所之評價。

[發明之效果]

若依據申請專利範圍第1項所記載之構成，則絕緣膜之缺陷及利用絕緣耐壓不良部具有導電性而在缺陷及絕緣耐壓不良部上之第2半導體層形成不動態化層，同時，被絕緣不動態化層利用溶液將未形成領域之第2半導體層加以除去。藉由觀察該不動態化層成為可以既迅速又簡便進行缺陷及絕緣耐壓不良部之評價。

若依據申請專利範圍第3項所記載之構成，則可以使不動態化層之成長增大及減少，又使用溶液藉由化學腐刻成為可以使形成量減少。不動態化層之形成量不會過大，所以可以精密度準確進行缺陷及絕緣耐壓不良部之評價

若依據申請專利範圍第4項所記載之構成，則可以進行EEPROM之閘式氧化膜之缺陷及絕緣耐壓不良部之評價。

若依據申請專利範圍第5項所記載之構成，則成為可以進行DRAM之容量絕緣膜之缺陷及絕緣耐壓不良部之評價。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

若依據申請專利範圍第6項所記載之構成，則在電壓電源使所需之周期性之電壓變動模式記憶，可以容易使不動態化層之形成量做為適切者。

若依據申請專利範圍第7項所記載之構成，則被施加之電壓為脈衝電壓，所以不動態化層成為重覆其成長及使用溶液除去所形成。加上申請專利範圍第5項或第6項之構成，則不動態化層之形成量成為更進一步適切者。又，使用所謂脈衝電壓之容易控制電壓，所以成為容易實施。

若依據申請專利範圍第10項所記載之構成，則不動態化層之成長及使用溶液除去成為可以適切取得平衡。因此，依據申請專利範圍第7項所記載之構成效果成為更進一步提高。

如以上若依據本發明，則因為在含有羥基溶液內一面施加電壓一面進行絕緣膜之評價所構成，所以不僅評價絕緣膜之缺陷也可以評價絕緣耐壓不良部之有無，進而依據缺陷程度可以推定不同之洩漏電流量。又，不動態化層之形成量不會過大，所以也可以實施持有微細模式半導體裝置之評價。

[圖式之簡單說明]

圖1為表示本發明實施形態1做為評價對象之半導體裝置之構成剖面圖。

圖2為表示依據本發明實施形態1將半導體裝置之氧化膜評價方法依製程順序之剖面圖。

圖3為表示依據本發明實施形態1將半導體裝置之氧化膜

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（18）

評價方法依製程順序之剖面圖。

圖4為表示依據本發明實施形態1將半導體裝置之氧化膜評價方法依製程順序之剖面圖。

圖5為表示依據本發明實施形態1將半導體裝置之氧化膜評價方法成為半導體裝置之一例之剖面圖。

圖6為表示依據本發明實施形態1將半導體裝置之氧化膜評價方法成為半導體裝置之其他例之剖面圖。

圖7為表示本發明實施形態2做為評價對象之半導體裝置構成之剖面圖。

圖8為表示依據本發明實施形態2將半導體裝置之氧化膜評價方法依製程順序之剖面圖。

圖9為表示依據本發明實施形態2將半導體裝置之氧化膜評價方法依製程順序之剖面圖。

圖10為表示依據本發明實施形態2將半導體裝置之氧化膜評價方法依製程順序之剖面圖。

圖11為表示依據本發明實施形態2將半導體裝置之氧化膜評價方法成為半導體裝置之一例剖面圖。

圖12為表示依據本發明實施形態2將半導體裝置之氧化膜評價方法成為半導體裝置之其他例剖面圖。

圖13為表示本發明實施例1做為評價對象之EEPROM構成之剖面圖。

圖14為表示依據本發明實施例1 EEPROM之閘式氧化膜評價方法製程順序之剖面圖。

圖15為表示依據本發明實施例1 EEPROM之閘式氧化膜評

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

價方法製程順序之剖面圖。

圖16為表示　本發明實施例2做為評價對象之EEPROM構成之剖面圖。

圖17為表示依據本發明實施例2 EEPROM之閘式氧化膜評價方法製程順序之剖面圖。

圖18為表示依據本發明實施例2 EEPROM之閘式氧化膜評價方法製程順序之剖面圖。

圖19為表示本發明實施例3做為評價對象之DRAM構成之剖面圖。

圖20為表示依據本發明實施例3 DRAM之閘式氧化膜評價方法製程順序之剖面圖。

圖21為表示依據本發明實施例3 DRAM之閘式氧化膜評價方法製程順序之剖面圖。

圖22為表示本發明實施例4做為評價對象之DRAM構成之剖面圖。

圖23為表示依據本發明實施例4 DRAM之閘式氧化膜評價方法製程順序之剖面圖。

圖24為表示依據本發明實施例4 DRAM之閘式氧化膜評價方法製程順序之剖面圖。

圖25為表示先前之閘式氧化膜評價方法依製程順序之剖面圖。

圖26為表示先前之閘式氧化膜評價方法依製程順序之剖面圖。

圖27為表示先前之閘式氧化膜評價方法依製程順序之剖

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

面圖。

[元件編號之說明]

1 矽基板，2 閘式氧化膜，3 閘式氧化膜2之缺陷，4 依據閘式氧化膜2之膜質異常之絕緣耐壓不良部，5 聚矽膜，6 直流電壓電源，6a 脈衝電壓電源，7 化學腐刻液，9、9a 濕式除去裝置，10、10a、10b、50 不動態化層。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　半導體裝置之評價方法　）

確立半導體裝置之薄膜缺陷及絕緣耐壓不良部之評價方法。

具有依序層疊之矽基板1，缺陷3及絕緣耐不良部4之閘式氧化膜2以及具有聚矽膜5之半導體裝置100，浸漬於化學腐刻裝置之化學腐蝕液7。將矽基板1做為陽極利用具備濕式腐刻裝置9之直流電壓電源6施加電壓之狀態下進行化學腐刻。在缺陷3及絕緣耐壓不良部4上之聚矽膜5表面形成著不動態化層10，而在使用閘式氧化膜2所絕緣領域之聚矽膜5表面係未形成不動態化層10。未形成不動態化層10領域之聚矽膜5係使用化學腐刻液7除去。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種半導體裝置之評價方法，係具備有：

(a)將依順序所層合包含第1半導體層，絕緣膜及第2半導體層而成之半導體裝置浸漬於含有羥基溶液之製程；及

(b)將前述第1半導體層做為陽極而施加電壓於前述溶液之製程。

2.如申請專利範圍第1項之半導體裝置之評價方法，其中上述溶液至少含有KOH、NaOH、LiOH、CsOH、NH_4OH、乙二胺焦兒茶酚、肼及膽鹼中之一種。

3.如申請專利範圍第1項之半導體裝置之評價方法，其中使上述電壓值變動。

4.如申請專利範圍第1或3項之半導體裝置之評價方法，其中上述半導體裝置為EEPROM，

而前述EEPROM之半導體基板，閘式氧化膜及浮遊閘電極分別相當於上述第1半導體層、上述絕緣膜及上述第2半導體層。

5.如申請專利範圍第1或3項之半導體裝置之評價方法，其中上述半導體裝置為DRAM，

而前述DRAM之容量下部電極，容量絕緣膜及容量上部電極分別相當於上述第1半導體層、上述絕緣膜及上述第2半導體層。

6.如申請專利範圍第3項之半導體裝置之評價方法，其中上述電壓之上述值為周期性加以變動。

7.如申請專利範圍第3或6項之半導體裝置之評價方法，其中上述電壓之上述值，係由交替重覆之第1電壓值及比

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

該第1電壓值更低之第2電壓值而成者。

8.如申請專利範圍第1項之半導體裝置之評價方法，其中上述溶液為60度、5規定之KOH溶液，而上述第1電壓值為數～數＋[V]。

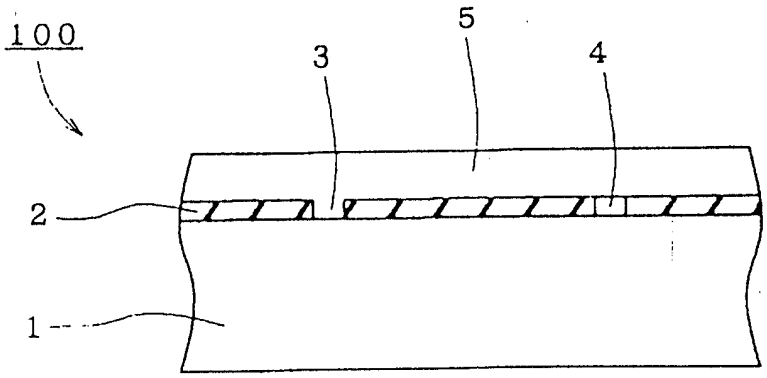
9.如申請專利範圍第7項之半導體裝置之評價方法，其中上述溶液為60度、5規定之KOH溶液，而上述第1電壓值為數～數＋[V]。

10.如申請專利範圍第7項之半導體裝置之評價方法，其中上述電壓之脈衝寬幅工作週期為50%以下。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

85100552

圖1

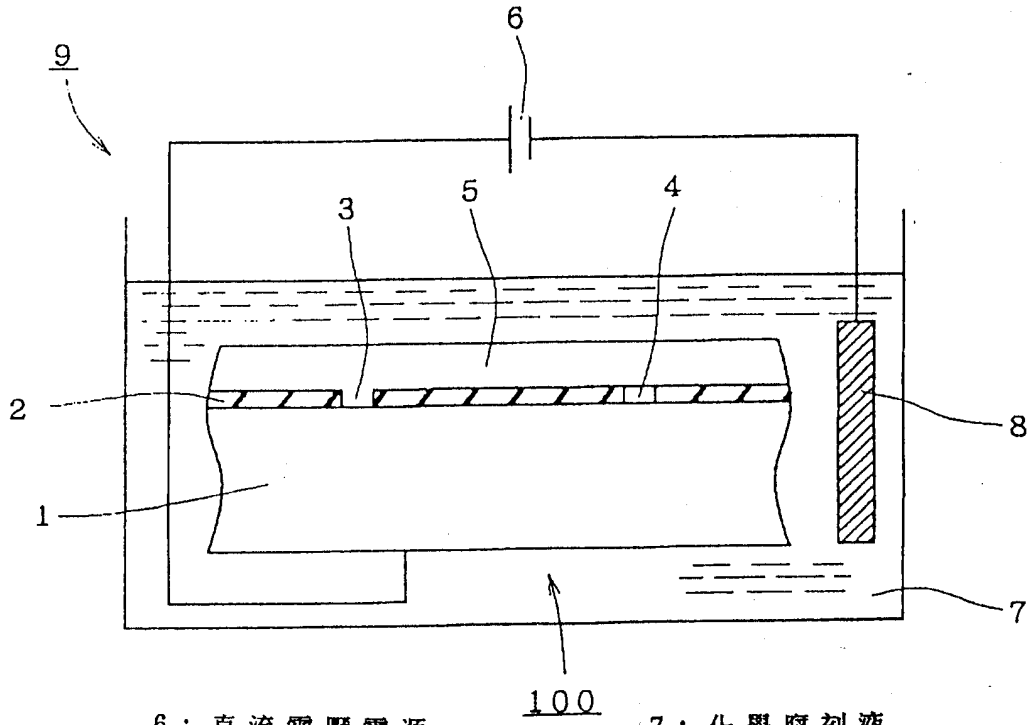


1：矽基板　2：閘式氧化膜　3：閘式氧化膜2之缺陷

4：依據閘式氧化膜2之膜質異常之絕緣耐壓不良部

5：聚矽膜　100：半導體裝置

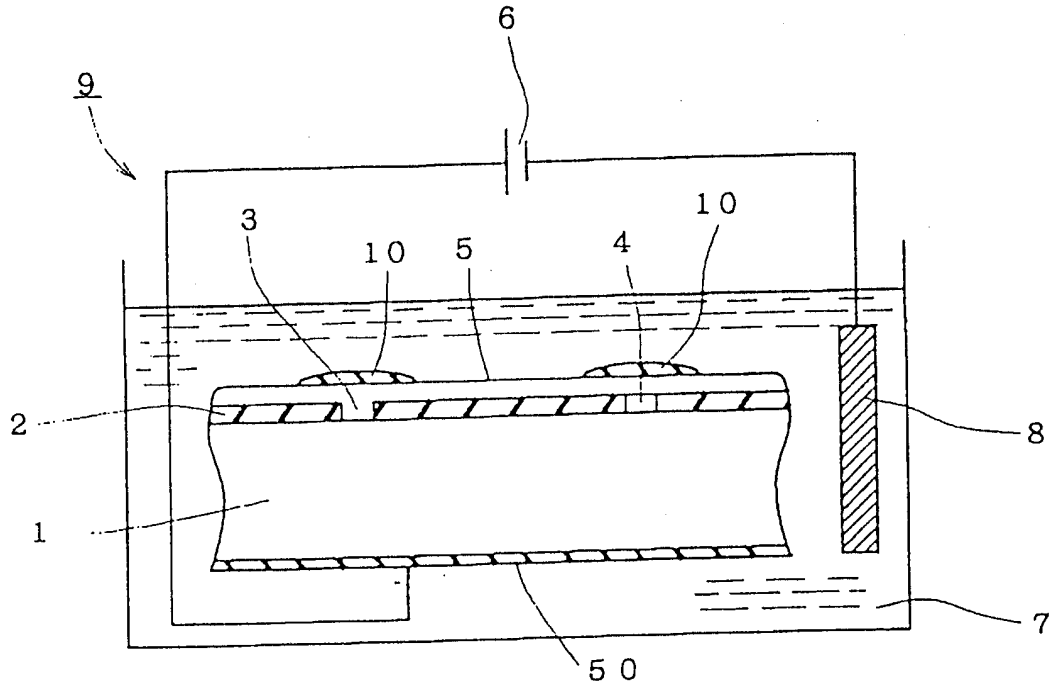
圖2



6：直流電壓電源　7：化學腐刻液

8：接地電極　9：濕式除去裝置

圖3



10，50：不動態化層

圖4

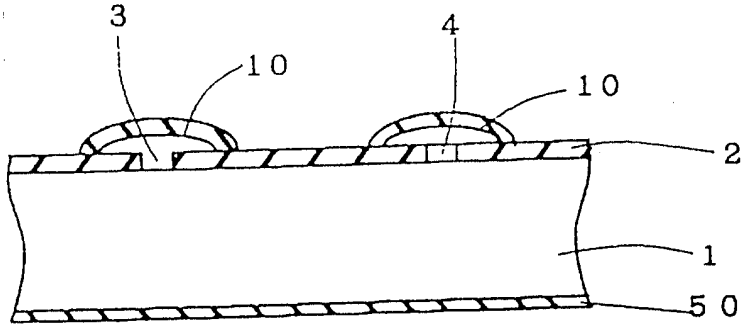


圖5

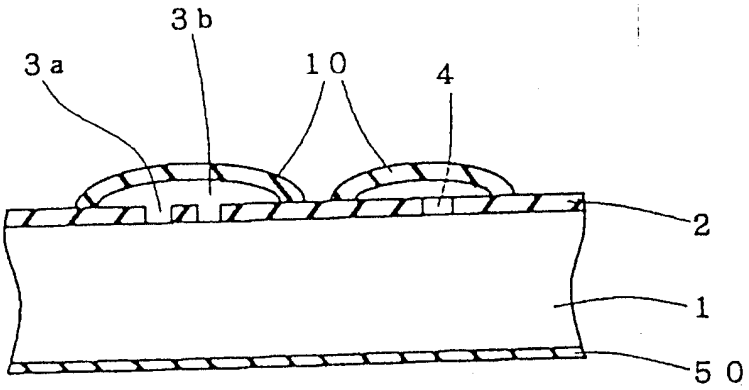


圖6

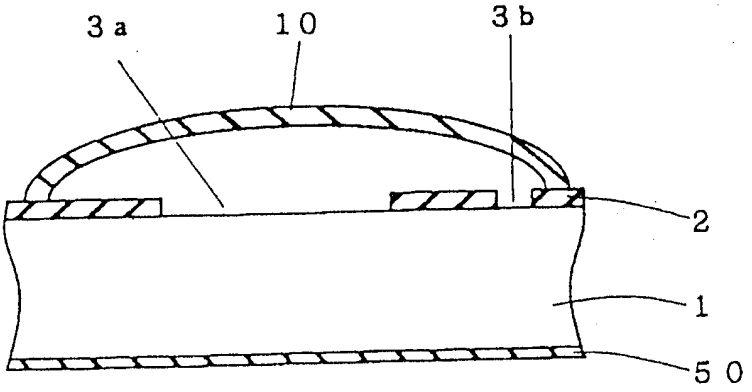


圖7

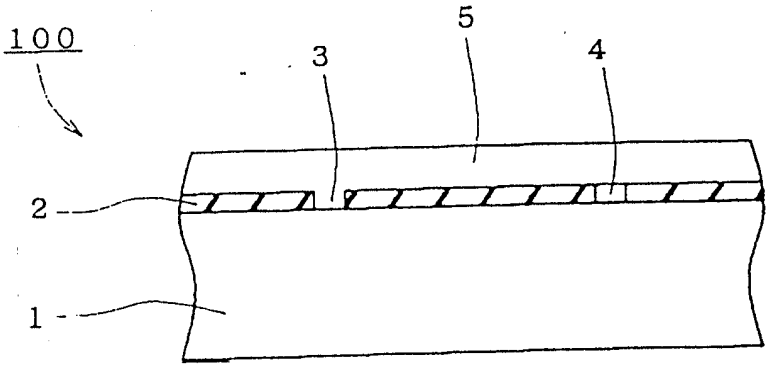
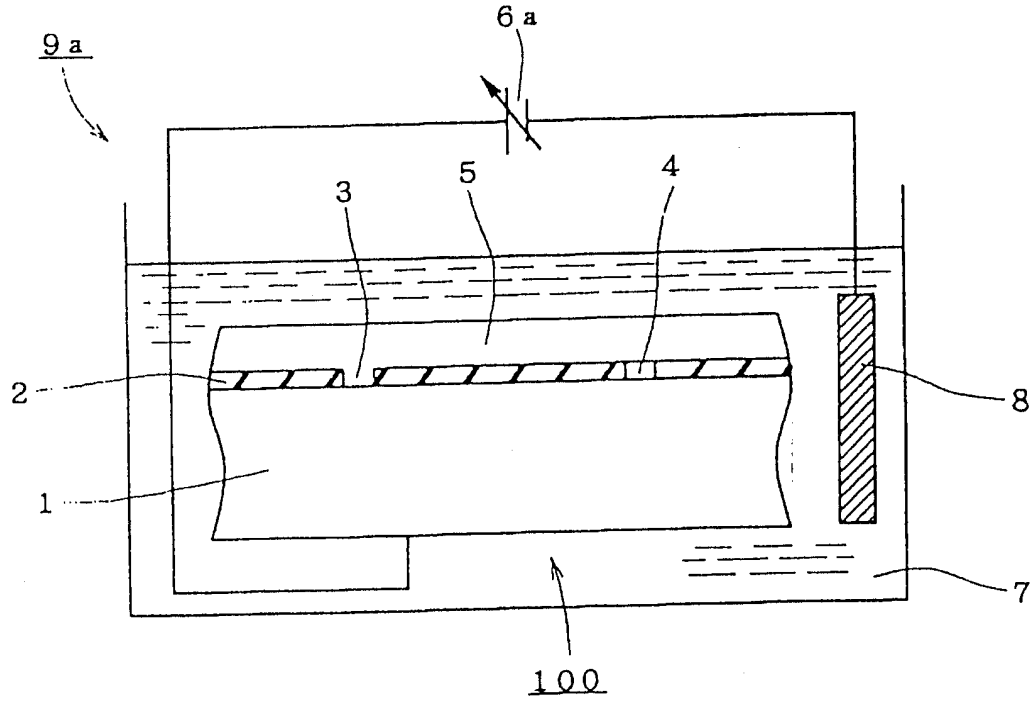


圖8



6a：脈衝電源電壓　　9a：濕式除去裝置

圖9

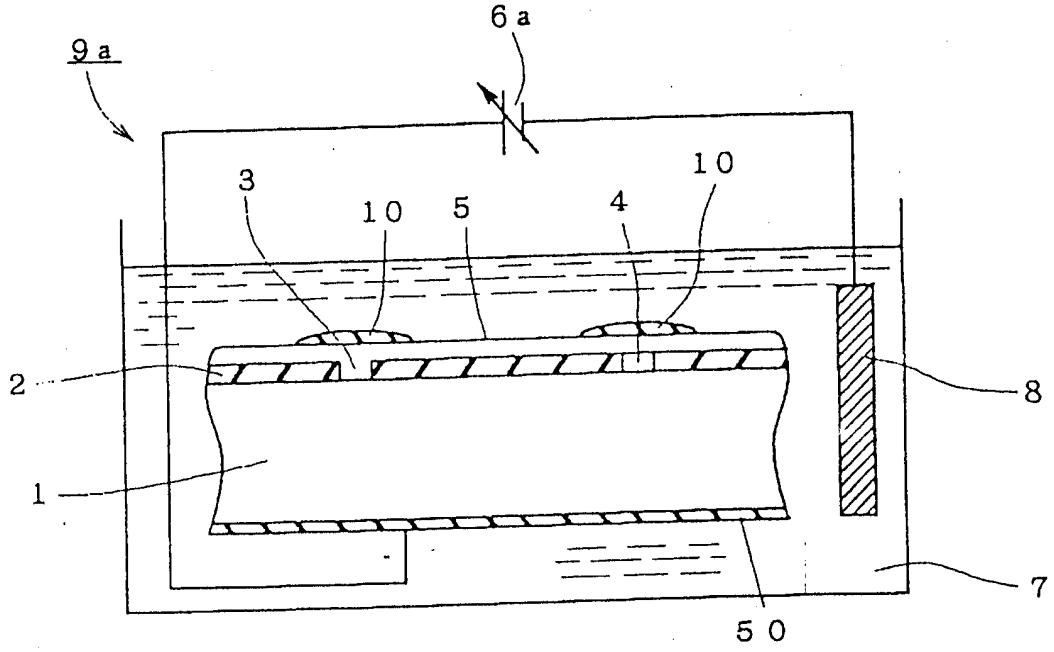


圖10

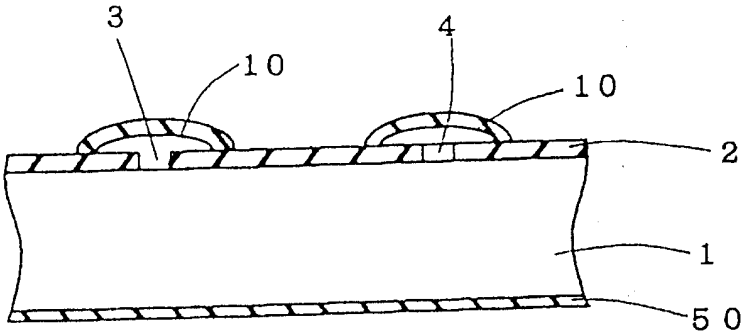
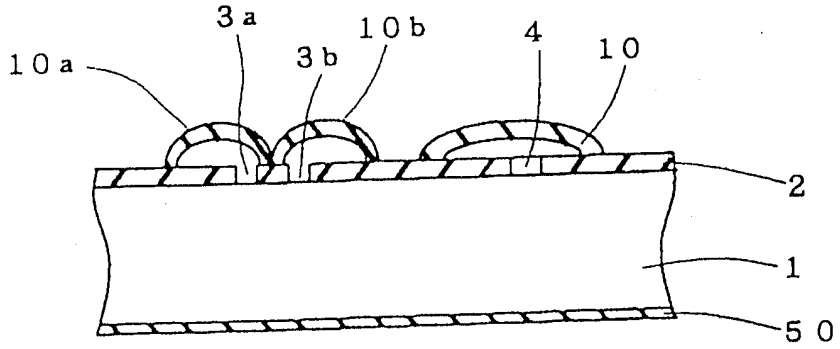


圖11



10a，10b：不動態化層

図１２

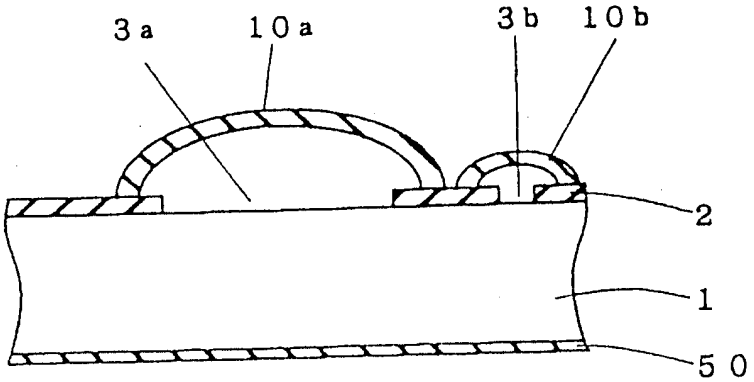


図１３

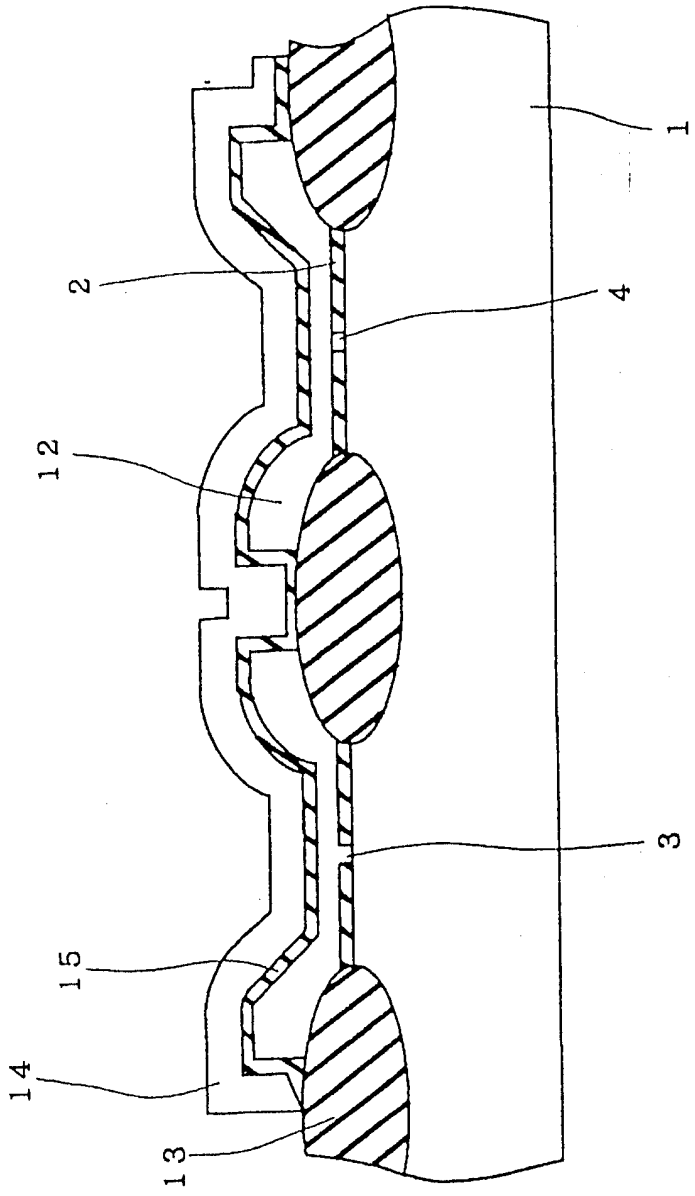


圖 1 4

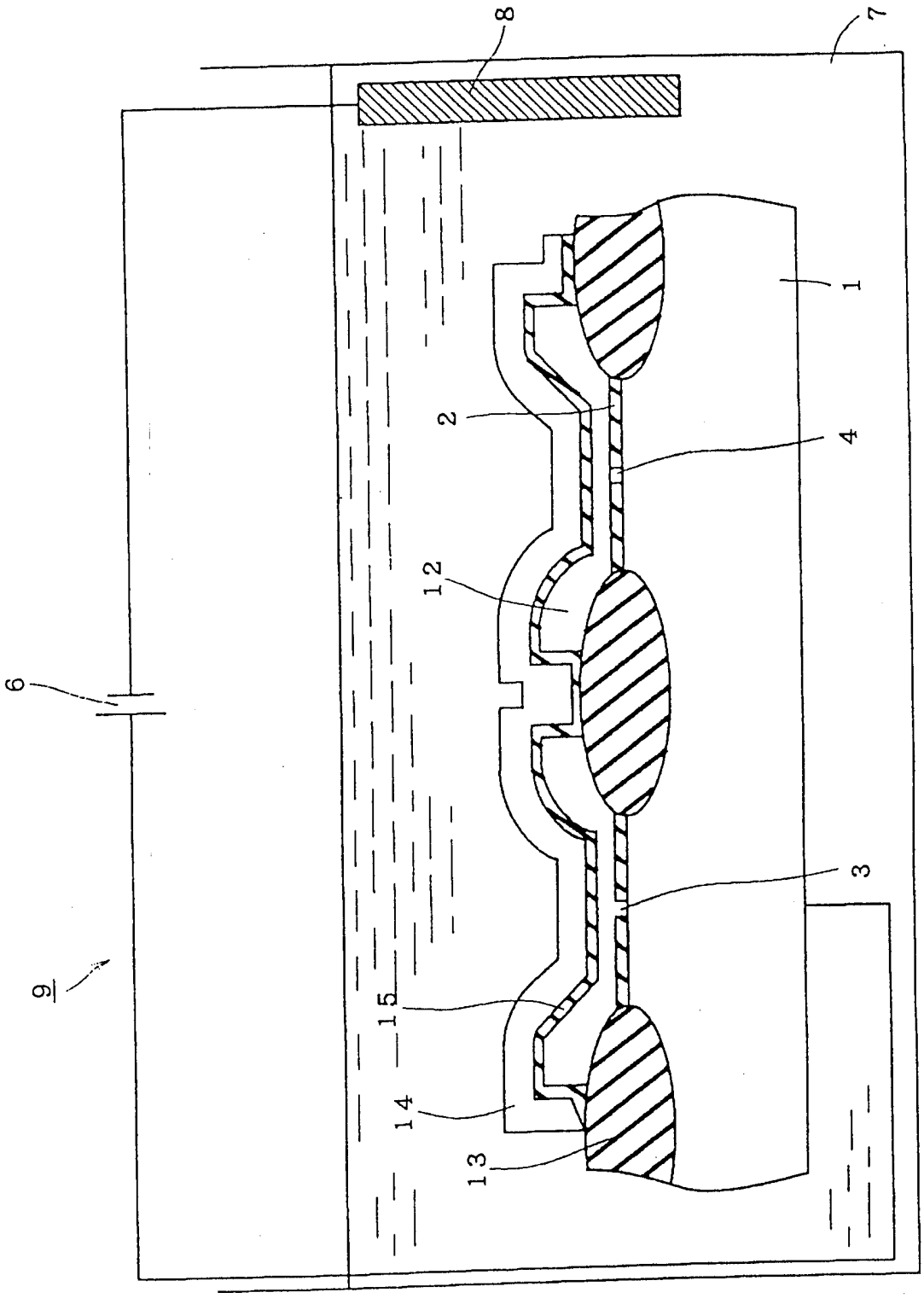


圖 1 5

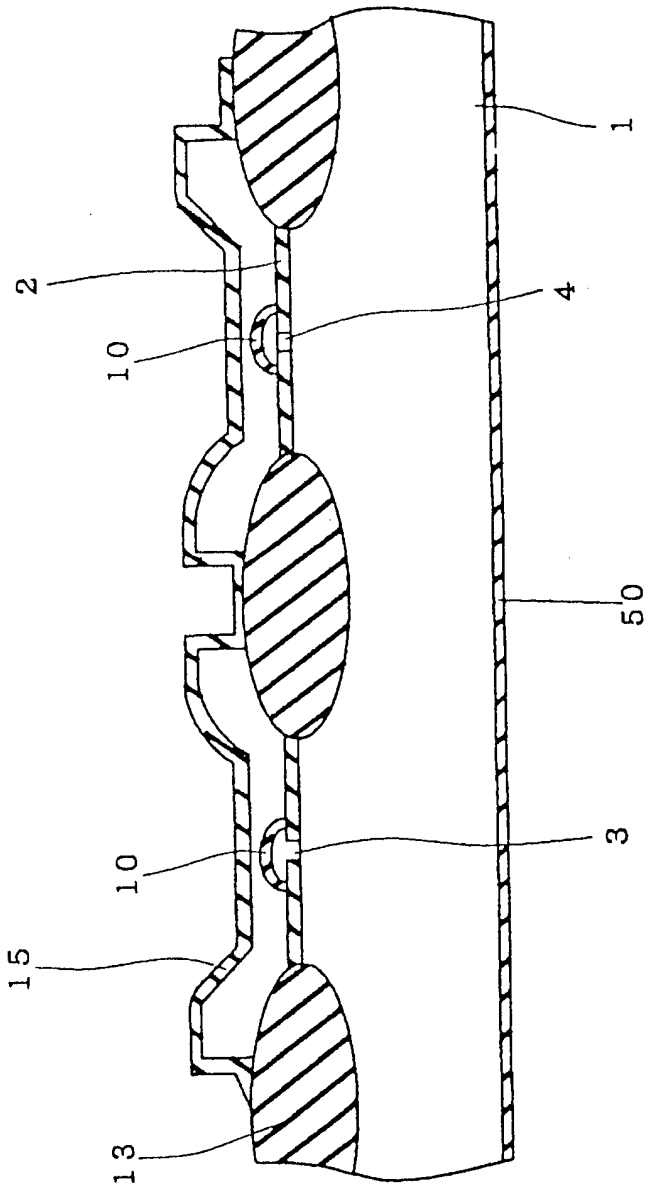


圖 1 6

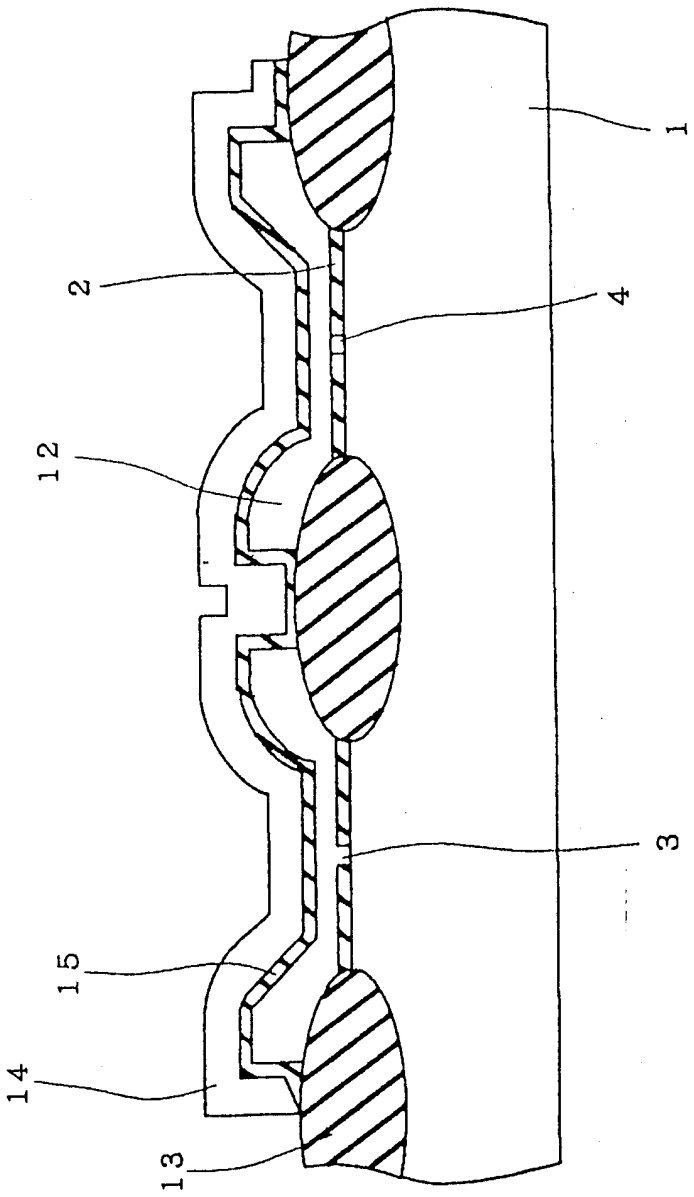


圖 1 7

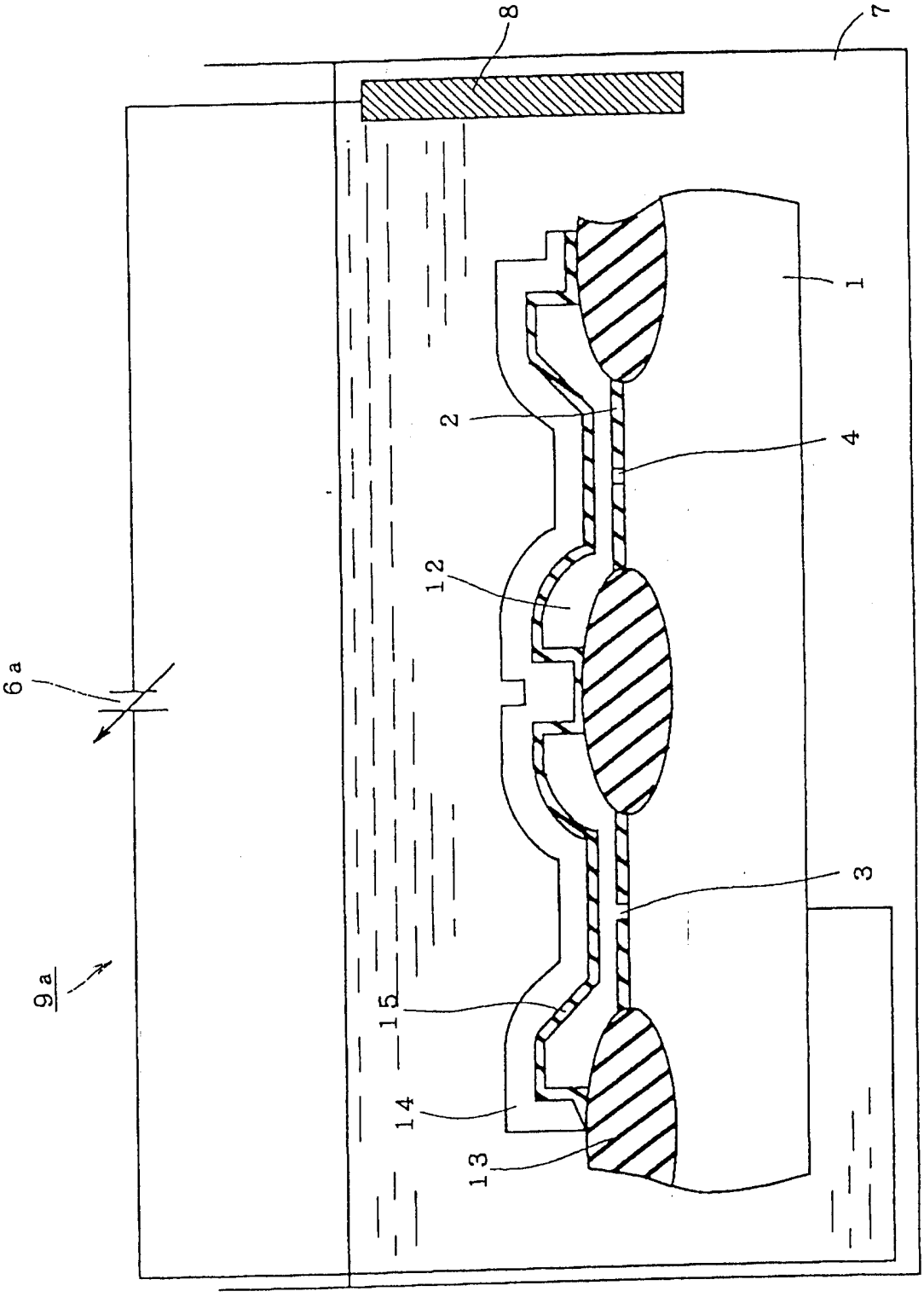


圖 1 8

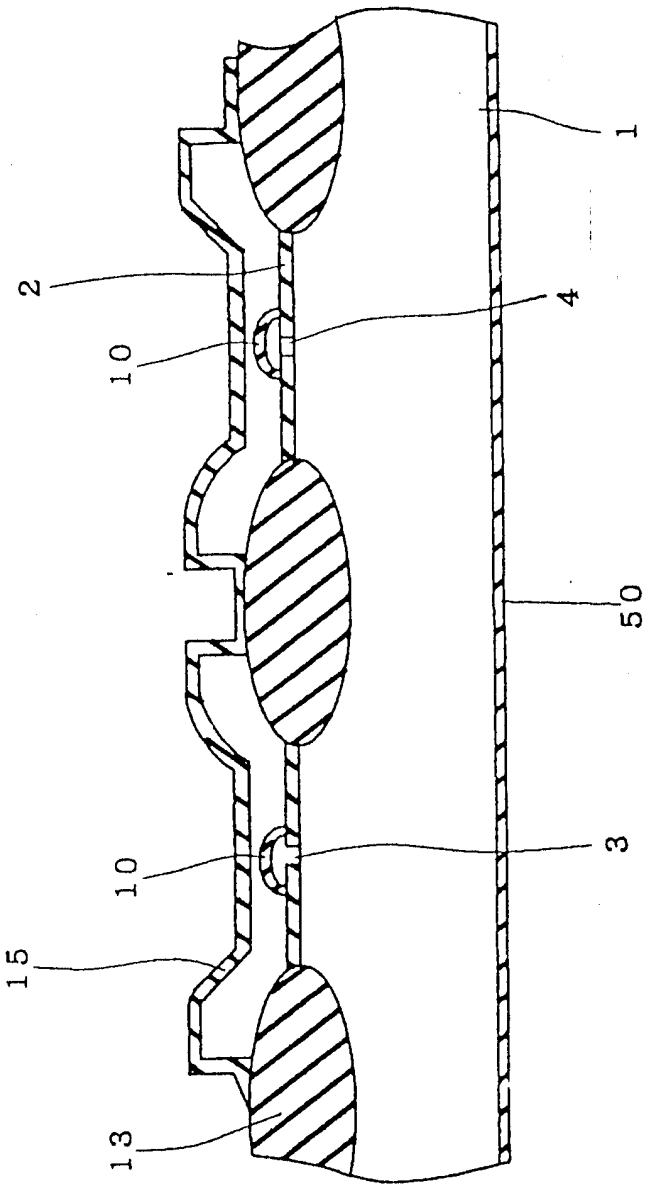


圖 1 9

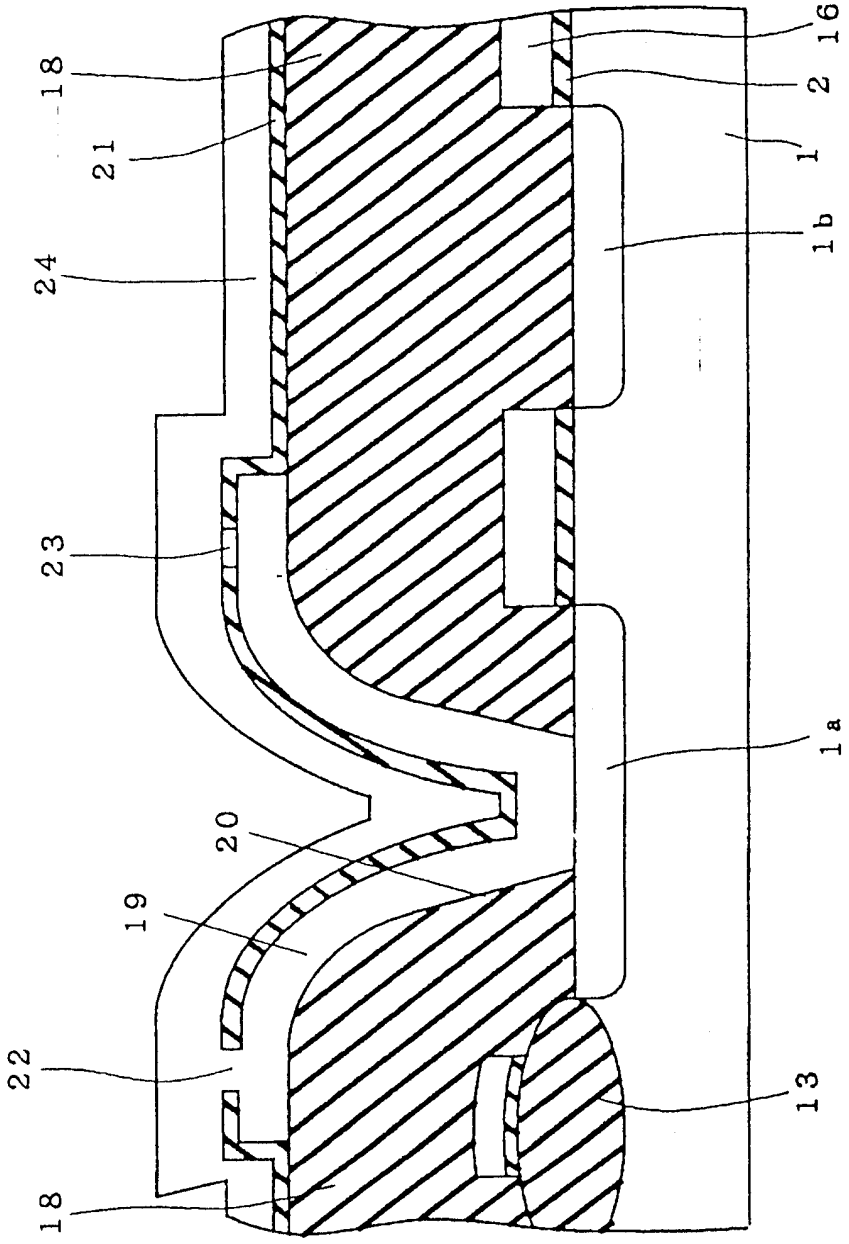


図 2 0

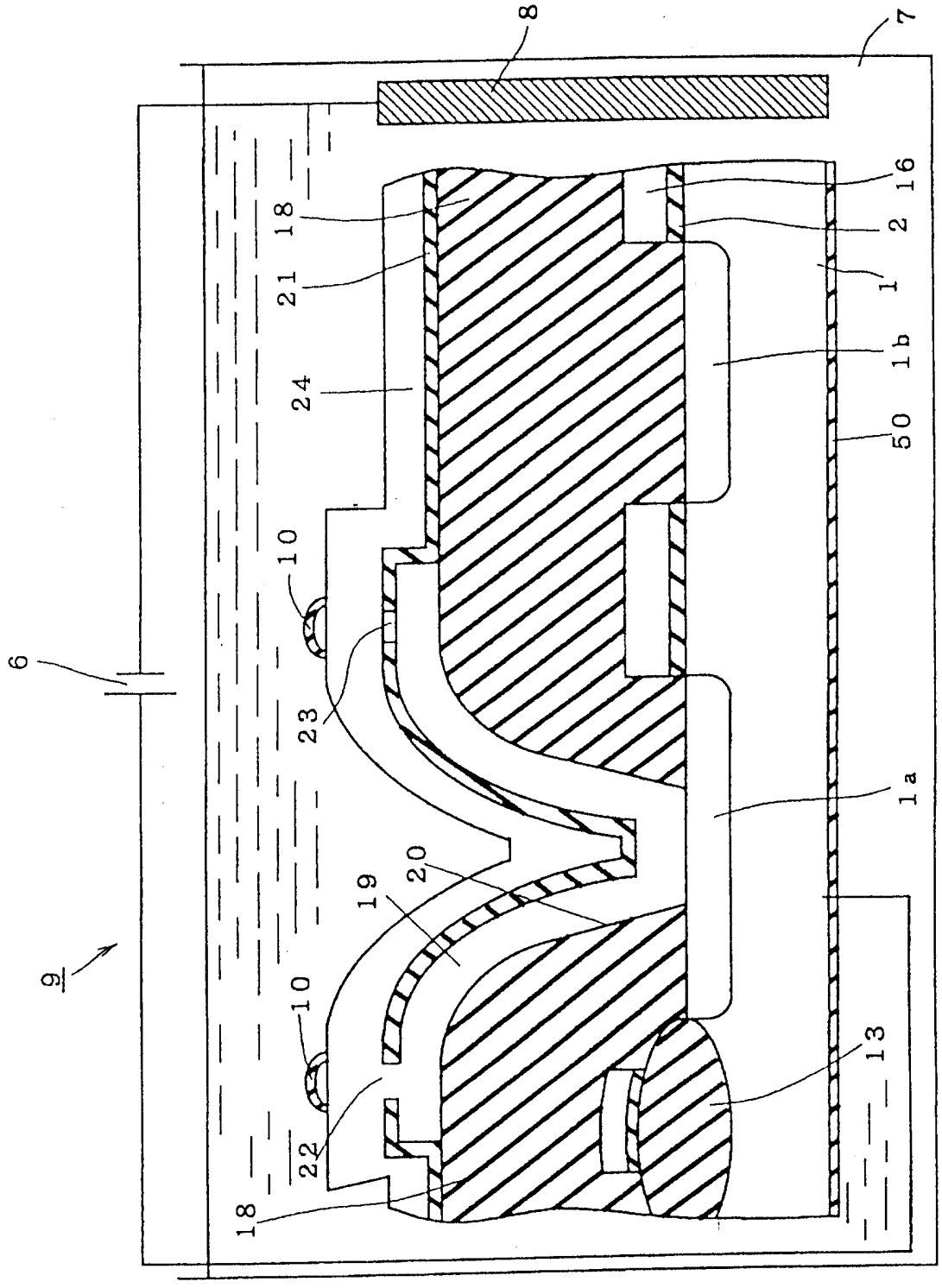
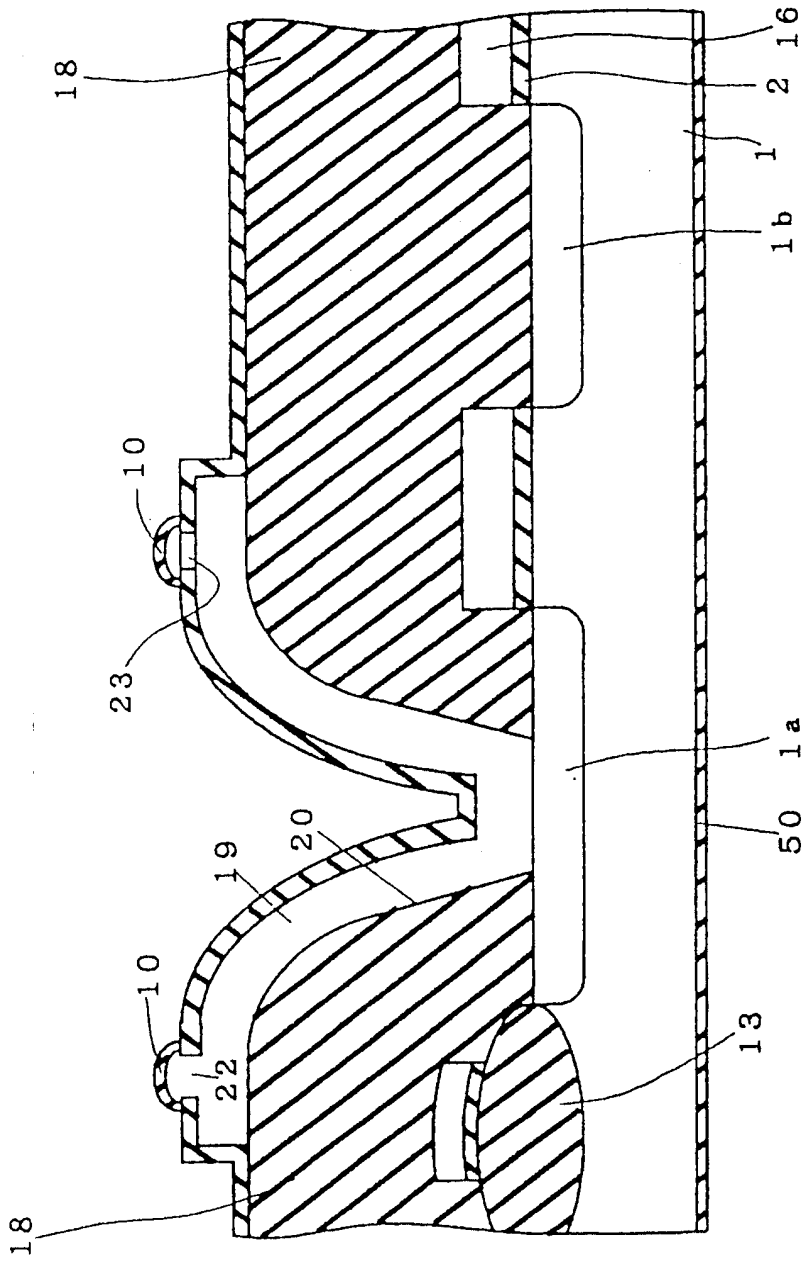


圖 2 1



295700

図２２

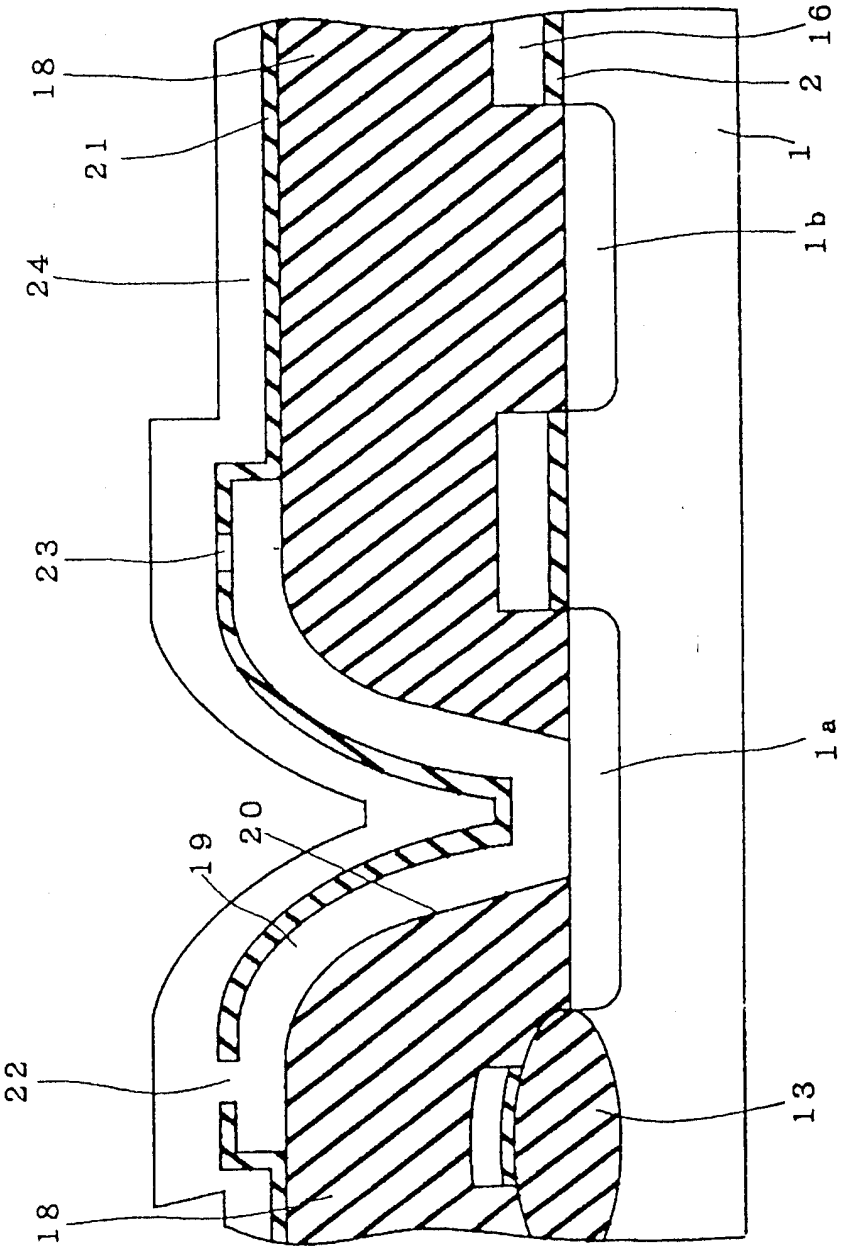
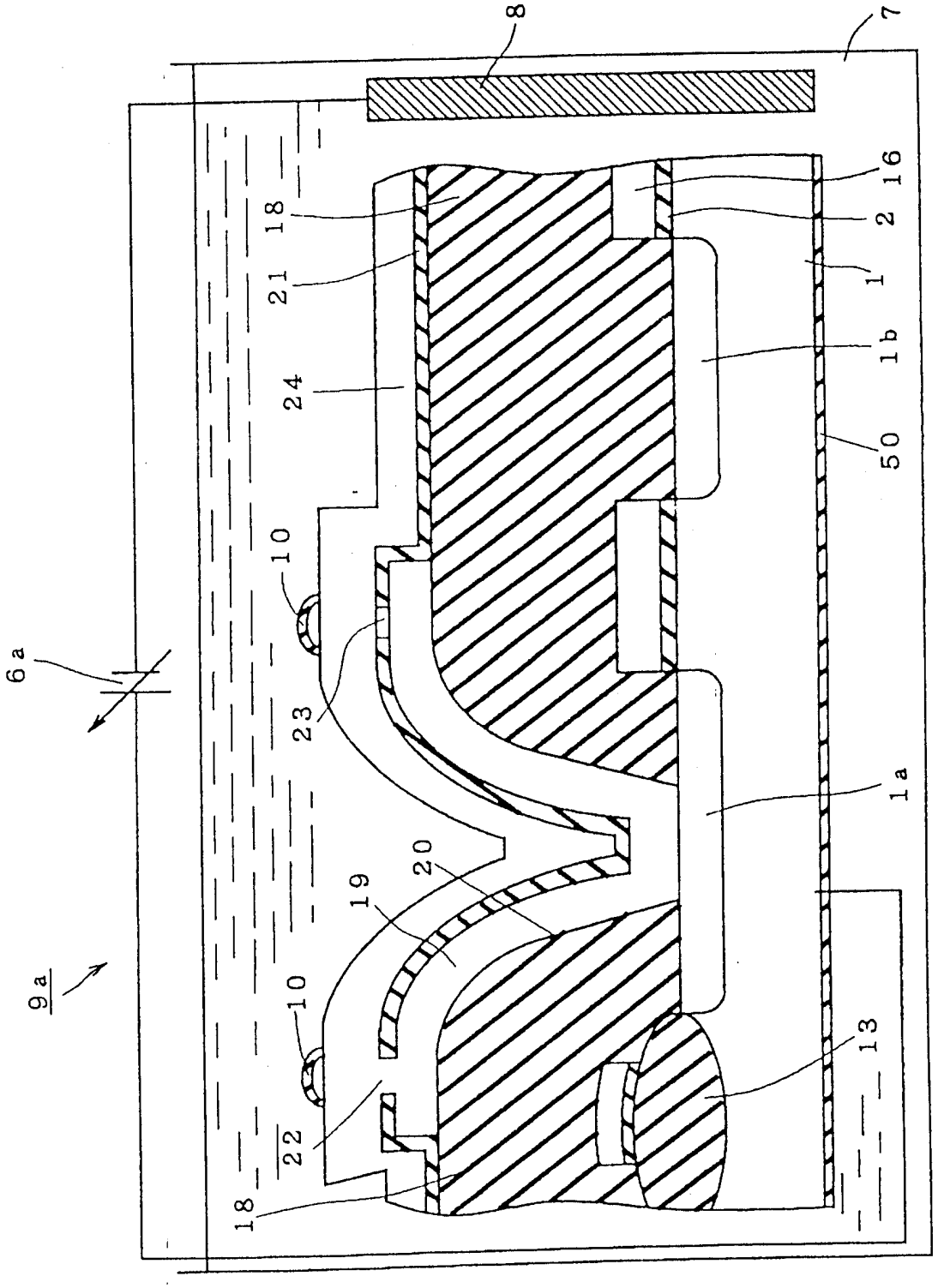


図 2 3



295700

圖 2 4

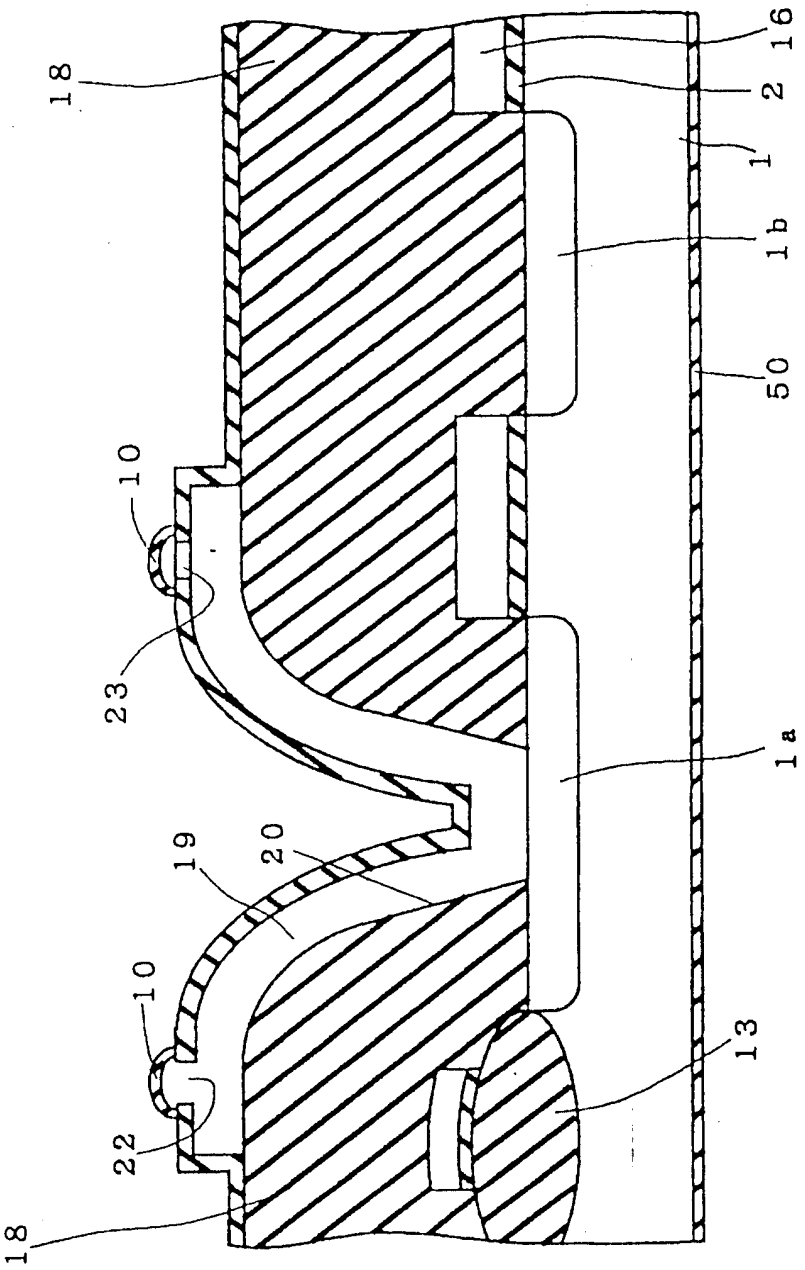


圖 2 5

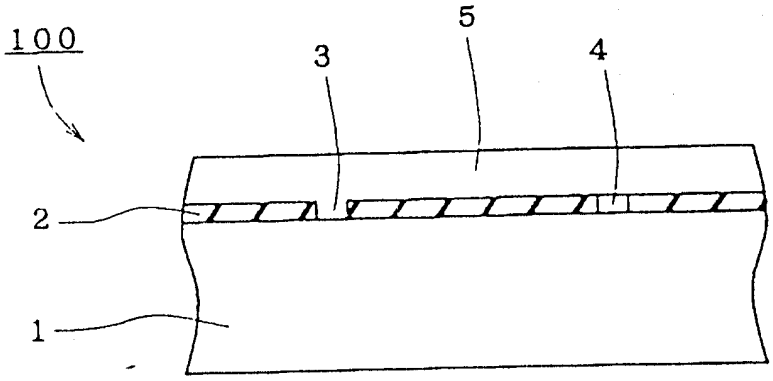


圖 2 6

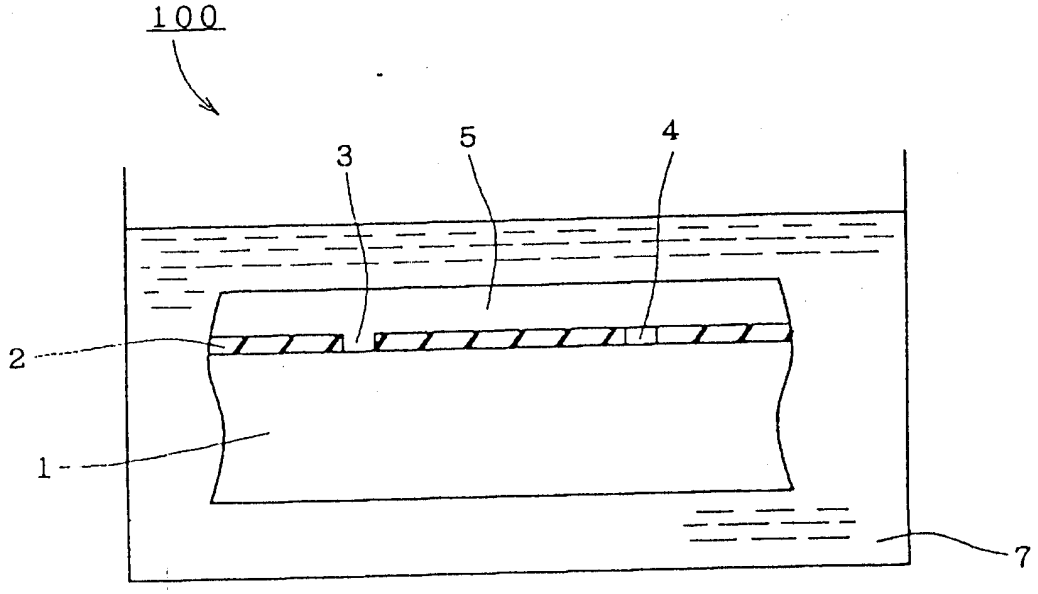


圖 2 7

