

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 6 日(06.03.2014)

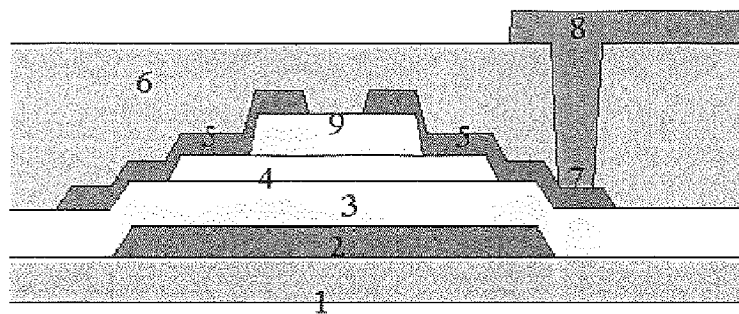


(10) 国際公開番号
WO 2014/034873 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 21/316 (2006.01)
- (21) 国際出願番号: PCT/JP2013/073372
- (22) 国際出願日: 2013 年 8 月 30 日(30.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-192666 2012 年 8 月 31 日(31.08.2012) JP
特願 2013-094087 2013 年 4 月 26 日(26.04.2013) JP
- (71) 出願人: 株式会社神戸製鋼所(KABUSHIKI KAISHA KOBE SEIKO SHO(KOBE STEEL, LTD.))
[JP/JP]; 〒6518585 兵庫県神戸市中央区脇浜海岸通二丁目 2 番 4 号 Hyogo (JP).
- (72) 発明者: 三木 綾(MIKI, Aya). 森田 晋也(MORITA, Shinya). 後藤 裕史(GOTO, Hiroshi). 田尾博昭(TAO, Hiroaki). 釘宮 敏洋(KUGIMIYA, Toshihiro).
- (74) 代理人: 植木 久一, 外(UEKI, Kyuichi et al.); 〒5300003 大阪府大阪市北区堂島 2 丁目 1 番 1 6 号 フジタ東洋紡ビル 9 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN FILM TRANSISTOR AND DISPLAY DEVICE

(54) 発明の名称: 薄膜トランジスタおよび表示装置



(57) Abstract: Provided is a thin film transistor which is provided with an oxide semiconductor thin film layer and has a threshold voltage that does not change much due to light, a bias stress or the like, thereby exhibiting excellent stress resistance. A thin film transistor of the present invention is provided with: a gate electrode; two or more oxide semiconductor layers that are used as a channel layer; an etching stopper layer for protecting the surfaces of the oxide semiconductor layers; a source/drain electrode; and a gate insulating film that is arranged between the gate electrode and the channel layer. The metal elements constituting an oxide semiconductor layer that is in direct contact with the gate insulating film are In, Zn and Sn. The hydrogen concentration in the gate insulating film, which is in direct contact with the oxide semiconductor layer, is controlled to 4 atom% or less.

(57) 要約: 酸化物半導体層薄膜を備えた薄膜トランジスタにおいて、光やバイアスストレスなどに対してしきい値電圧の変化量が小さくストレス耐性に優れた薄膜トランジスタを提供する。本発明の薄膜トランジスタは、ゲート電極と、チャネル層に用いられる二層以上の酸化物半導体層と、酸化物半導体層の表面を保護するためのエッチストップパー層と、ソース・ドレイン電極と、ゲート電極とチャネル層との間に配置されるゲート絶縁膜とを備えた薄膜トランジスタであって、ゲート絶縁膜と直接接する酸化物半導体層を構成する金属元素は、In、Zn、およびSnで構成されると共に、前記酸化物半導体層と直接接するゲート絶縁膜中の水素濃度は4原子%以下に制御されたものである。



WO 2014/034873 A1

明 細 書

発明の名称： 薄膜トランジスタおよび表示装置

技術分野

[0001] 本発明は、液晶ディスプレイや有機ELディスプレイなどの表示装置に用いられる薄膜トランジスタ（TFT）、および当該薄膜トランジスタを備えた表示装置に関するものである。

背景技術

[0002] アモルファス（非晶質）酸化物半導体は、汎用のアモルファスシリコン（ $a-Si$ ）に比べて高いキャリア移動度（電界効果移動度とも呼ばれる。以下、単に「移動度」と呼ぶ場合がある。）を有し、光学バンドギャップが大きく、低温で成膜できるため、大型・高解像度・高速駆動が要求される次世代ディスプレイや、耐熱性の低い樹脂基板などへの適用が期待されている（特許文献1など）。

[0003] 酸化物半導体のなかでも特に、インジウム、ガリウム、亜鉛、および酸素からなるアモルファス酸化物半導体（ $In-Ga-Zn-O$ 、以下「IGZO」と呼ぶ場合がある。）は、非常に高いキャリア移動度を有するため、好ましく用いられている。例えば非特許文献1および2には、 $In:Ga:Zn=1.1:1.1:0.9$ （原子%比）の酸化物半導体薄膜を薄膜トランジスタ（TFT）の半導体層（活性層）に用いたものが開示されている。

[0004] 酸化物半導体を薄膜トランジスタの半導体層として用いる場合、キャリア濃度（移動度）が高いだけでなく、TFTのスイッチング特性（トランジスタ特性、TFT特性）に優れていることが要求される。具体的には、（1）オン電流（ゲート電極とドレイン電極に正電圧をかけたときの最大ドレイン電流）が高く、（2）オフ電流（ゲート電極に負電圧を、ドレイン電圧に正電圧を夫々かけたときのドレイン電流）が低く、（3）SS値（ $Subthreshold\ Swing$ ；ドレイン電流を1桁あげるのに必要なゲート電圧）が低く、（4）しきい値電圧（ドレイン電極に正電圧をかけ、ゲート

電圧に正負いずれかの電圧をかけたときにドレイン電流が流れ始める電圧)が時間的に変化せず安定であり、且つ、(5)移動度が高いこと、などが要求される。

[0005] 更に、IGZOなどの酸化物半導体層を用いたTFETは、電圧印加や光照射などのストレスに対する耐性(ストレス耐性)に優れていることが要求される。例えば、ゲート電極に電圧を印加し続けたときや、半導体層で吸収が起こる青色帯の光を照射し続けたときに、薄膜トランジスタのゲート絶縁膜と半導体層界面にチャージがトラップされ、半導体層内部の電荷の変化から、しきい値電圧が負側へ大幅に変化(シフト)し、これにより、TFETのスイッチング特性が変化することが指摘されている。光照射や電圧印加によるストレスによりスイッチング特性が変化すると、表示装置自体の信頼性低下を招く。

[0006] また、有機ELディスプレイにおいても同様に、発光層からの漏れ光が半導体層に照射され、しきい値電圧などの値がばらつくという問題が生じる。

[0007] このように特にしきい値電圧のシフトは、TFETを備えた液晶ディスプレイや有機ELディスプレイなどの表示装置自体の信頼性低下を招くため、ストレス耐性の向上(ストレス印加前後の変化量が少ないこと)が強く切望されている。

[0008] TFETの電気特性を改善した技術として、例えば、特許文献2が挙げられる。特許文献2には、チャネル領域を形成する酸化物半導体層と接する絶縁層(ゲート絶縁層を含む)の水素濃度を $6 \times 10^{20} \text{ atoms/cm}^3$ 未満に低減し、酸化物半導体層への水素の拡散を抑制する技術が開示されている。酸化物半導体層に水素が拡散すると、酸化物半導体層内のキャリアが過剰となり、このため、しきい値電圧がマイナス方向に変動してしまい、ゲート電極に電圧が印加されていない状態($V_g = 0 \text{ V}$)においてもドレイン電流が流れ(ノーマリーオン)、電気特性が不良なトランジスタとなる。そこで特許文献2では、酸化物半導体層と接する絶縁層を、水素濃度が低減された酸化物絶縁層とすることによって酸化物半導体層への水素の拡散を抑制しており

、酸化物半導体層の欠陥に絶縁層から酸素が供給されるため、トランジスタの電気特性が良好になると記載されている。特許文献2には、そのような効果を発揮させるための絶縁層中の水素濃度は $6 \times 10^{20} \text{ atoms/cm}^3$ 未満に低減する必要があると記載されている。また、このような水素濃度を低減した絶縁層をプラズマCVD法で形成する場合、堆積性ガスとして分子構造に水素が含まれていないガスを選択して使用する（すなわち、通常用いられる SiH_4 でなく SiF_4 を使用する）ことが不可欠であることも記載されている。しかしながら、上記特許文献2では、ストレス耐性の向上（特に、光やバイアスストレスに対するしきい値電圧変化の低減）について全く留意していない。

先行技術文献

特許文献

[0009] 特許文献1：特開2011-108873号公報

特許文献2：特開2012-9845号公報

非特許文献

[0010] 非特許文献1：固体物理、VOL44、P621（2009）

非特許文献2：Nature、VOL432、P488（2004）

発明の概要

発明が解決しようとする課題

[0011] 本発明は上記事情に鑑みてなされたものであり、その目的は、酸化物半導体層薄膜を備えた薄膜トランジスタにおいて、光やバイアスストレスなどに対してしきい値電圧の変化量が小さくストレス耐性に優れた薄膜トランジスタ、および薄膜トランジスタを備えた表示装置を提供することにある。

課題を解決するための手段

[0012] 上記課題を解決することのできた本発明の薄膜トランジスタは、ゲート電極と、チャネル層に用いられる二層以上の酸化物半導体層と、酸化物半導体層の表面を保護するためのエッチストッパー層と、ソース・ドレイン電極と

、ゲート電極とチャネル層との間に配置されるゲート絶縁膜とを備えた薄膜トランジスタであって、前記ゲート絶縁膜と直接接触する前記酸化物半導体層を構成する金属元素は、 In 、 Zn 、および Sn で構成されると共に、前記酸化物半導体層と直接接触する前記ゲート絶縁膜中の水素濃度は4原子%以下に制御されたものであるところに要旨を有するものである。

[0013] 本発明の好ましい実施形態において、上記ゲート絶縁膜は、単層構造、または二層以上の積層構造を有し、上記積層構造を有する場合は、前記酸化物半導体層と直接接触する層中の水素濃度が4原子%以下に制御されたものである。

[0014] 本発明の好ましい実施形態において、前記ゲート絶縁膜と直接接触する酸化物半導体層は、酸素を除く全金属元素に対する各金属元素の含有量（原子%）をそれぞれ、 $[\text{In}]$ 、 $[\text{Zn}]$ 、および $[\text{Sn}]$ としたとき、以下の関係

$$15 \leq [\text{In}] \leq 35, 50 \leq [\text{Zn}] \leq 60, 15 \leq [\text{Sn}] \leq 30$$

を満足するものであり、かつ、前記ソース・ドレイン電極と直接接触する酸化物半導体層は、酸素を除く全金属元素に対する各金属元素の含有量（原子%）をそれぞれ、 $[\text{In}]$ 、 $[\text{Zn}]$ 、 $[\text{Sn}]$ 、および $[\text{Ga}]$ としたとき、以下の関係

$$10 \leq [\text{In}] \leq 20, 30 \leq [\text{Zn}] \leq 40, 5 \leq [\text{Sn}] \leq 15, 35 \leq [\text{Ga}] \leq 50$$

を満足するものである。

[0015] 本発明には、上記のいずれかに記載の薄膜トランジスタを備えた表示装置も包含される。

発明の効果

[0016] 本発明によれば、酸化物半導体層と直接接触するゲート絶縁膜中の水素濃度が適切な範囲に低減されているため、スイッチング特性およびストレス耐性に優れた（具体的には、負バイアス印加前後のしきい値電圧のシフト量が少ないことは勿論のこと、光照射および負バイアス印加前後のしきい値電圧

のシフト量が少ないこと) 薄膜トランジスタを提供することができた。本発明の薄膜トランジスタを用いれば、信頼性の高い表示装置が得られる。

図面の簡単な説明

[0017] [図1] 図1は、本発明の薄膜トランジスタを説明するための概略断面図である。

発明を実施するための形態

[0018] 本発明者らは、所定の金属元素から構成される酸化物半導体層をTFETの活性層に用いたときのストレス耐性(負バイアス印加前後、および光照射+負バイアス印加前後のしきい値電圧のシフト量が少ないこと)に優れた薄膜トランジスタを提供するため、検討を重ねてきた。その結果、酸化物半導体層と直接接触するゲート絶縁膜中の水素濃度を適切な範囲内に低減すれば、所期の目的が達成されることを突き止めた。また、このようなゲート絶縁膜は、少なくとも酸化物半導体層と直接接触するゲート絶縁膜をプラズマCVD法で成膜するときの条件(例えば、温度、成膜パワー密度、堆積ガスとして N_2O に対する SiH_4 の流量比)を適切に制御すれば良いことを見出し、本発明を完成した。

[0019] すなわち、本発明の薄膜トランジスタは、ゲート電極と、チャネル層に用いられる二層以上の酸化物半導体層と、酸化物半導体層の表面を保護するためのエッチストッパー層と、ソース・ドレイン電極(「S/D電極」と称されることもある)と、ゲート電極とチャネル層との間に配置されるゲート絶縁膜とを備えた薄膜トランジスタであって、ゲート絶縁膜と直接接触する酸化物半導体層を構成する金属元素は、In、Zn、およびSnで構成されると共に、酸化物半導体層と直接接触するゲート絶縁膜中の水素濃度が4原子%以下に制御されたものであるところに特徴がある。

[0020] 本明細書において[In]、[Zn]、[Sn]、[Ga]とは、酸素(O)を除く全金属元素(In、Zn、Sn、および場合によってはGa)に対する、In、Zn、Sn、Gaの各含有量(原子%)を意味する。

[0021] 本明細書において「ストレス耐性に優れた」とは、後記する実施例に記載

の方法で、（ア）ゲート電極に負バイアスを印加するストレス印加試験（N B T S）、および（イ）試料に白色光を照射しながら、ゲート電極に負バイアスを印加し続けるストレス印加試験（L N B T S）を、それぞれ2時間行ったとき、以下の要件を満足するものを意味する。

（ア）N B T Sについて、ストレス印加試験前後のしきい値電圧（ V_{th} ）のシフト量 ΔV_{th} （絶対値）が5.0 V未満

（イ）L N B T Sについて、ストレス印加試験前後のしきい値電圧（ V_{th} ）のシフト量 ΔV_{th} （絶対値）が5.0 V未満、SS値が0.55 V / decade未満、且つストレス印加試験前後のオン電流（ I_{on} ）の変化量 ΔI_{on} （絶対値）が10%未満

[0022] これらの測定方法は、後記する実施例の欄に詳述する。

[0023] なお、前述した特許文献2においても、ゲート絶縁層中の水素濃度を低減して電気特性の改善を図った技術が開示されているが、本発明とは、以下の点で相違する。

[0024] まず、本発明では、上記のとおりストレス印加前後のしきい値電圧の変化量が少ないストレス耐性に優れた薄膜トランジスタの提供を解決課題としているのに対し、特許文献2では、しきい値電圧に関する記載はあるものの、ストレス耐性の向上に関する記載はない。本発明者らの検討結果によれば、ゲート絶縁膜の水素量を低減することによって負バイアスストレス耐性（N B T S）が向上することが判明した。更に、ゲート絶縁膜の水素量の低減により、上記N B T Sに光照射を付加した負バイアス+光照射ストレス耐性（L N B T S）も向上することが判明した。これらの知見は、特許文献2には記載されていない。

[0025] また、両者は、厳密にはゲート絶縁層中の水素濃度の範囲も相違する。これは、ゲート絶縁層を得るための両者の成膜方法が相違することに起因するものである（詳細は後述する）。すなわち、前述したように特許文献2では、堆積ガスとして、ゲート絶縁層の成膜に通常用いられる SiH_4 を使用せず、通常用いられない SiF_4 を選択して使用することにより、ゲート絶縁層中

の水素濃度を $6 \times 10^{20} \text{ atoms/cm}^3$ 未満 (= 0.667 原子% 未満) まで著しく低減している。これに対し、本発明では、ゲート絶縁層の成膜に通常用いられる SiH_4 を使用することを前提としており、ガスの流量比、温度、成膜パワー密度などを適切に制御することによってゲート絶縁層中の水素濃度を 4 原子% 以下に低減するものである。特許文献 2 のように極端に水素量を低減すると、ゲート絶縁層成膜時の成膜温度が高くなり過ぎたり、投入パワーが高くなり過ぎたり、成膜レートが極端に遅くなるため、TF T 製造のタクトタイムが増加し、適切でない。よって、実用化の観点から、本発明におけるゲート絶縁層中の水素濃度の下限は、特許文献 2 の上限 (0.667 原子% 未満) を超えている (0.667 原子% 以上) ことが望ましい。

[0026] 以下、図 1 を参照しながら、本発明の薄膜トランジスタ (TF T) およびその好ましい製造方法について詳しく説明する。但し、図 1 は、本発明に係る TF T の好ましい一実施形態を説明するための概略断面図であって、本発明はこれに限定する趣旨ではない。例えば図 1 では、ボトムゲート型の TF T を示しているが、これに限定されず、基板側から順に、酸化物半導体層の上にゲート絶縁膜とゲート電極をこの順序で備えたトップゲート型の TF T であっても良い。

[0027] 図 1 に示すように、本実施形態の TF T は、基板 1 上にゲート電極 2 およびゲート絶縁膜 3 が順次形成され、ゲート絶縁膜 3 の上に酸化物半導体層 4 が形成されている。酸化物半導体層 4 の上にはソース・ドレイン電極 5 が形成され、その上に保護膜 (絶縁膜) 6 が形成され、コンタクトホール 7 を介して透明導電膜 8 がドレイン電極 5 に電氣的に接続されている。また、酸化物半導体層 4 の上には、酸化物半導体層 4 の表面を保護するためのエッチストップパー層 9 が形成されている。

[0028] まず、基板を用意する。本発明に用いられる基板 1 は、表示装置の分野で通常用いられるものであれば特に限定されず、例えば、無アルカリガラス、ソーダライムガラスなどが例示される。これらのうち好ましいのは、無アルカリガラスである。

[0029] 次に、基板 1 の上にゲート電極 2 を形成する。ゲート電極 2 の種類も特に限定されず、本発明の技術分野において汎用されているものを用いることができる。具体的には、電気抵抗率の低い A l や C u の金属や、耐熱性の高い M o 、 C r 、 T i などの高融点金属や、これらの合金を好ましく用いることができる。ゲート電極 2 を形成する方法も特に限定されず、通常用いられる方法を採用することができる。

[0030] 次に、ゲート絶縁膜 3 を形成する。ゲート絶縁膜 3 は、ゲート電極 2 と、チャネル層として用いられる酸化物半導体層 4 との間に配置されるものである。そして本発明では、前記酸化物半導体層と直接接触するゲート絶縁膜 3 中の水素濃度が 4 原子%以下に制御されているところに特徴がある。本発明者らの実験結果によれば、酸化物半導体層 4 と界面を接するゲート絶縁膜 3 中の水素量を制御することにより、バイアスストレス、および光+負バイアスストレスに対する耐性が著しく向上することが判明した（後記する実施例を参照）。

[0031] なお、ゲート絶縁膜 3 は、単層で構成されていても良いし、二層以上の積層で構成されていても良い。積層構造の層数は特に限定されないが、生産性、加工性などを考慮すると、おおむね、三層以下で積層されていることが好ましい。

[0032] ゲート絶縁膜 3 が積層構造を有する場合、酸化物半導体層 4 と直接接触する層中の水素濃度が 4 原子%以下に制御されていれば良く、直接接触しない層中の水素濃度は特に限定されない。

[0033] ストレス耐性向上の観点からすれば、ゲート絶縁膜 3 中の水素濃度は小さい程良く、好ましくは 3.5 原子%以下であり、より好ましくは 3 原子%以下である。ゲート絶縁膜 3 中の水素濃度の下限は、上記特性の観点からは特に限定されないが、後述するゲート絶縁膜 3 の成膜方法を考慮すれば、特許文献 2 の上限（0.667 原子%未満）を超えることが好ましい（0.667 原子%以上）。

[0034] 本発明において、ゲート絶縁膜中の水素濃度は、プラズマ C V D 法におけ

る成膜条件を適切に制御することによって所定範囲に低減することができる。

[0035] 具体的には、まず成膜時の温度を、おおむね、 250°C 以上に制御することが好ましい。後記する実施例で実証したように、成膜時の温度が 250°C を下回ると、水素濃度を十分に低減させることができず、ストレス耐性が低下する。これは、成膜温度が低下することによって形成される膜の密度が低下し、 SiO_2 膜中の $\text{Si}-\text{H}$ 結合が増加するためと推察される。より好ましい成膜温度は 270°C 以上であり、更に好ましくは 300°C 以上である。なお、その上限は、使用する装置の上限温度などを考慮すると、おおむね、 450°C 以下に制御することが好ましい。

[0036] また、成膜時のパワー密度は、おおむね、 0.6 W/cm^2 以上に制御することが好ましい。後記する実施例で実証したように、成膜時のパワー密度が、おおむね、 0.6 W/cm^2 を下回ると、水素濃度を十分に低減させることができず、ストレス耐性が低下する。これは、成膜パワー密度が低すぎると、膜密度が低下し、 $\text{Si}-\text{H}$ 結合が膜中にとりこまれるためと推察される。より好ましい成膜パワー密度は 0.66 W/cm^2 以上であり、更に好ましくは 0.7 W/cm^2 以上である。

[0037] また、成膜時のガスは、 N_2O に対して SiH_4 を出来るだけ少なくする、すなわち、 $\text{SiH}_4/\text{N}_2\text{O}$ で表される流量比（体積比）を一定以下とすることが好ましい。この流量比が高い場合、 SiO_2 の膜密度の低下が見られており、 $\text{Si}-\text{H}$ 結合を多く含むと考えられる。

[0038] 上記以外の成膜条件は、特に限定されず、一般的に行われている条件を採用することができる。

[0039] 例えばガス圧は、放電が安定する程度のガス圧として、おおむね、 $50\sim 300\text{ Pa}$ に制御することが好ましい。

[0040] 上記方法によって形成されるゲート絶縁膜3は、シリコン酸化膜（ SiO_2 ）が主であるが、そのほか、膜中の水素含有量が増加しない範囲で $\text{Si}-\text{N}$ 結合が含まれていても良い。

例えば、 SiO_2 に代表されるシリコン酸化膜 (SiO_x) は緻密で良好な絶縁特性を発現するものの、成膜速度が遅いという欠点がある。そこで、比較的成膜速度が速い SiN_x 膜と SiO_x 膜とを積層してゲート絶縁膜 3 を構成することにより、絶縁特性と生産性の両立を図ることが可能になる。この場合、絶縁特性を確保するためには、 SiN_x 膜の厚みは、 SiO_x 膜の厚みに対して 50 倍以下が好ましく、25 倍以下がより好ましい。

[0041] 次に、ゲート絶縁膜 3 の上に酸化物半導体層 4 を形成する。この酸化物半導体層 4 は、通常、上記ゲート絶縁膜 3 とソース・ドレイン電極 (S/D 電極) 5 とに挟まれている。本発明においてゲート絶縁膜 3 と直接接触する酸化物半導体層 (以下「ゲート絶縁膜側酸化物半導体層」と称することもある) 4 の金属元素は、In、Zn、およびSnで構成されている (酸化物半導体層 = IZO)。

[0042] 上記金属元素の作用の概略は以下のとおりである。

[0043] まず、Inは、キャリアを多くして移動度を高める作用を有する。但し、In量が多くなると、キャリアが多くなり過ぎて導体化するほか、ストレスに対する安定性が低下する。

[0044] Snは、ウェットエッチング性など、酸化物半導体層の薬液耐性を向上させる作用を有する。但し、Sn量が多くなると、エッチング加工性が低下する。

[0045] Znは、アモルファス構造の安定化に寄与していると考えられており、ストレスに対する安定性向上にも寄与する。但し、Zn量が多くなると、酸化物半導体薄膜が結晶化したり、エッチング時に残渣が発生する。

[0046] 酸化物半導体層 4 は、二層以上の積層で構成されている。積層構造の層数は特に限定されないが、生産性、加工性などを考慮すると、おおむね、三層以下であることが好ましく、二層であることがより好ましい。

[0047] ゲート絶縁膜側酸化物半導体層以外の各層を構成する金属原子は、特に制限されない。通常は、ゲート絶縁膜側酸化物半導体層以外の各層は、上記In、Zn、およびSnを含んで構成されるのが好ましい。

[0048] 特に、ソース・ドレイン電極（S／D電極）5と直接接触する酸化物半導体層（以下「S／D電極側酸化物半導体層」と称することもある）は、上記In、Zn、Snと共に、Gaを含むことが好ましい。これによりストレス耐性をより一層向上させることができる。

[0049] Gaは、酸素欠損を低減し、酸化物半導体層のアモルファス構造を安定化させるほか、ストレス耐性（特に光＋負バイアスストレスに対する耐性）を向上させる作用を有する。但し、Ga量が多くなると、移動度が低下する。

[0050] 酸化物半導体層4を構成する各金属原子の好ましいメタル比〔酸素を除く全金属元素に対する各金属元素の好ましい含有量（原子%）〕は、良好なTF特性などが得られるように、適宜、適切に制御することが好ましい。

[0051] 具体的には、前記ゲート絶縁膜側酸化物半導体層は、酸素を除く全金属元素に対する各金属元素の含有量（原子%）をそれぞれ、[In]、[Zn]、および[Sn]としたとき、以下の関係を満足することが好ましい。これにより、上述した各元素の好ましい作用を有効に発揮させることができるようになる。

$$15 \leq [\text{In}] \leq 35 \text{ (より好ましくは、} 15 \leq [\text{In}] \leq 25 \text{)}$$

$$50 \leq [\text{Zn}] \leq 60$$

$$15 \leq [\text{Sn}] \leq 30$$

[0052] また前記S／D電極側酸化物半導体層は、酸素を除く全金属元素に対する各金属元素の含有量（原子%）をそれぞれ、[In]、[Zn]、[Sn]、および[Ga]としたとき、以下の関係を満足することが好ましい。これにより、上述した各元素の好ましい作用を有効に発揮させることができるようになる。

$$10 \leq [\text{In}] \leq 20$$

$$30 \leq [\text{Zn}] \leq 40$$

$$5 \leq [\text{Sn}] \leq 15$$

$$35 \leq [\text{Ga}] \leq 50$$

[0053] 酸化物半導体層4の好ましい膜厚（合計膜厚）は、おおむね、10nm以

上、200nm以下である。

[0054] 酸化物半導体層4は、薄膜と同じ組成のスputタリングターゲットを用いたDCスputタリング法またはRFスputタリング法により成膜することが好ましい。あるいは、複数の種類のスputタリングターゲットを用いたコスputタ法により成膜しても良い。

[0055] 酸化物半導体層4をウェットエッチングした後、パターニングする。パターニングの直後に、酸化物半導体層4の膜質改善のために、例えば、温度：250～350℃（好ましくは300～350℃）、時間：15～120分（好ましくは60～120分）の条件で熱処理（プレアニール）を行ってもよい。これにより、トランジスタ特性のオン電流および電界効果移動度が上昇し、トランジスタ性能が向上するようになる。

[0056] 次に、酸化物半導体層4の表面（S/D電極側酸化物半導体層の表面）を保護するため、エッチストッパー層9を形成する。エッチストッパー層9は、ソース・ドレイン電極（S/D電極）5をウェットエッチングする際、酸化物半導体層4がエッチングされてダメージを受け、酸化物半導体4の表面に欠陥が発生してトランジスタ特性が低下するのを防止する目的で形成されるものである。エッチストッパー層9の種類は特に限定されず、例えば、SiO₂などの絶縁膜が挙げられる。エッチストッパー層9は、プラズマCVD法などにより成膜およびパターニングされ、チャネル表面を保護するように形成される。

[0057] 次いで、酸化物半導体層4と、次に形成するソース・ドレイン電極5とのコンタクトを取るため、フォトリソグラフィおよびドライエッチングを施して電極形成用のパターニングを行う。

[0058] 次に、ソース・ドレイン電極5を形成する。本発明に用いられるソース・ドレイン電極5の種類は特に限定されず、汎用されているものを用いることができる。例えばゲート電極と同様、Al、MoやCuなどの金属または合金を用いても良いし、後記する実施例のように純Moを用いても良い。

[0059] ソース・ドレイン電極5の形成方法としては、例えばマグネトロンスput

タリング法によって金属薄膜を成膜した後、フォトリソグラフィによりパターンニングし、ウェットエッチングを行なって電極を形成することができる。

[0060] ソース・ドレイン電極5の他の形成方法として、例えばマグネトロンスパッタリング法によって金属薄膜を成膜した後、リフトオフ法によって形成する方法が挙げられる。この方法によれば、ウェットエッチングを行わずに電極を加工することも可能である。

[0061] 次に、酸化物半導体層4の上に保護膜（絶縁膜）6を成膜する。保護膜6は、例えばCVD法によって成膜することができる。なお、酸化物半導体層4の表面（S/D電極側酸化物半導体層の表面）は、CVDによるプラズマダメージによって容易に導体化してしまう（おそらく酸化物半導体表面に生成される酸素欠損が電子ドナーとなるためと推察される。）ため、保護膜6の成膜前にN₂Oプラズマ照射を行っても良い。N₂Oプラズマの照射条件は、下記文献に記載の条件を採用することができる。

J. Parkら、Appl. Phys. Lett., 93, 053505 (2008)。

[0062] 次に、フォトリソグラフィ、およびドライエッチングにより、保護膜6にコンタクトホール7を形成した後、透明導電膜8を形成する。透明導電膜8の種類は特に限定されず、ITOなど、通常用いられるものを使用することができる。

[0063] 本発明には、上記TFTを備えた表示装置も包含される。表示装置としては、例えば、液晶ディスプレイ、有機ELディスプレイなどが挙げられる。

[0064] 本願は、2012年8月31日に出願された日本国特許出願第2012-192666号および2013年4月26日に提出された日本国特許出願第2013-094087号に基づく優先権の利益を主張するものである。2012年8月31日に提出された日本国特許出願第2012-192666号および2013年4月26日に提出された日本国特許出願第2013-094087号の明細書の全内容が、本願に参考のため援用される。

実施例

[0065] 以下、実施例を挙げて本発明をより具体的に説明するが、本発明は下記実施例によって制限されず、前・後記の趣旨に適合し得る範囲で変更を加えて実施することも可能であり、それらはいずれも本発明の技術的範囲に包含される。

[0066] 実施例 1

図 1 に示す T F T（酸化物半導体層 4 は二層）を以下のようにして作製し、ストレス耐性などを評価した。但し、本実施例では、図 1 の透明導電膜 8 は成膜していない。

[0067] まず、ガラス基板 1（コーニング社製「イーグル 2000」、直径 100 mm×厚さ 0.7 mm）上に、ゲート電極 2 として 100 nm の Mo 薄膜と、ゲート絶縁膜 3 として 250 nm の SiO₂ 膜とを順次成膜した。

ゲート電極 2 は純 Mo のスパッタリングターゲットを使用し、DC スパッタ法により形成した。スパッタリング条件は、成膜温度：室温、成膜パワー密度：3.8 W/cm²、キャリアガス：Ar、成膜時のガス圧：2 mTorr、Ar ガス流量：20 sccm とした。

[0068] ゲート絶縁膜 3 は、プラズマ CVD 法を用い、キャリアガス：SiH₄ と N₂O の混合ガスを用いて成膜した。詳細には本実施例では、CVD 装置の電極として 8 インチの円形電極（面積 314 cm²）を用い、成膜時の温度、パワー、上記ガスの流量比（体積比）を、表 1 に示すように変化させて単層のゲート絶縁膜 3 を成膜した。ガス圧は、133 Pa（一定）とした（表には示さず）。

[0069] 次に、表 1 に示す組成のゲート絶縁膜側酸化物半導体層（膜厚 10 nm）を、当該酸化物薄膜を形成できるように調整したスパッタリングターゲットを用いて、下記条件のスパッタリング法によって成膜した。

スパッタリング装置：株式会社アルバック製「CS-200」

基板温度：室温

ガス圧：1 mTorr

酸素分圧：100×O₂／（Ar+O₂）＝4 体積%

成膜パワー密度：2.55 W/cm²

[0070] 次に、表1に示す組成のS/D電極側酸化物半導体層（膜厚30 nm）を、当該酸化物薄膜を形成できるように調整したスパッタリングターゲットを用いて、下記条件のスパッタリング法によって成膜した。

スパッタリング装置：株式会社アルバック製「CS-200」

基板温度：室温

ガス圧：1 mTorr

酸素分圧： $100 \times O_2 / (Ar + O_2) = 4$ 体積%

成膜パワー密度：2.55 W/cm²

[0071] このようにして得られた絶縁膜側酸化物半導体層の金属元素の各含有量とS/D電極側酸化物半導体層の金属元素の各含有量は、それぞれSi基板上に上記と同一組成の薄膜を100 nm成膜した試料を用いて、XPS（X-ray Photoelectron Spectroscopy）法によって分析した。詳細には、最表面から5 nm程度の深さまでの範囲をArイオンにてスパッタリングした後、下記条件にて分析を行なった。

X線源：Al K α

X線出力：350 W

光電子取り出し角：20°

[0072] 上記のようにして酸化物半導体層4（絶縁膜側酸化物半導体層およびS/D電極側酸化物半導体層）を成膜した後、フォトリソグラフィおよびウェットエッチングによりパターンニングを行った。ウェットエッチャント液としては、酸化物半導体用のシュウ酸系ウェットエッチング液である関東化学製「ITO-07N」を使用した。

[0073] 上記のようにして酸化物半導体層4をパターンニングした後、酸化物半導体層の膜質を向上させるため、プレアニール処理を行った。プレアニール処理は、水蒸気中、大気圧下にて、350℃で60分間行った。

[0074] 次に、酸化物半導体層4の表面を保護するため、SiO₂からなるエッチストップパー層9（膜厚100 nm）を形成した。詳細には、サムコ製「PD-

220NL」を用い、プラズマCVD法を用いて成膜した。本実施例では、キャリアガスとして窒素で希釈した N_2O および SiH_4 の混合ガスを用い、以下の条件で成膜した。

成膜温度：230℃

ガス圧：133Pa

成膜パワー密度：1.1W/cm²

SiH_4/N_2O の流量比（体積比）：0.04

[0075] 次いで、形成されたエッチストッパー層9に対して、酸化物半導体層4とソース・ドレイン電極5とのコンタクトを取るため、フォトリソグラフィを行った後、リアクティブイオンエッチング法（RIE）により、電極形成用のパターニングを行った。

[0076] 次に、純Moを使用し、DCスパッタリング法により、ソース・ドレイン電極5を形成した。具体的には、前述したゲート電極と同様に、ソース・ドレイン電極用Mo薄膜を成膜（膜厚は100nm）した後、フォトリソグラフィーにてソース・ドレイン電極のパターニングを行なった。

[0077] このようにしてソース・ドレイン電極5を形成した後、酸化物半導体層4を保護するため、保護膜6を形成した。保護膜6として、 SiO_2 （膜厚100nm）と SiN （膜厚150nm）の積層膜（合計膜厚250nm）を用いた。上記 SiO_2 および SiN の形成は、サムコ製「PD-220NL」を用い、プラズマCVD法を用いて行った。本実施例では、 SiO_2 膜、および SiN 膜を順次形成した。 SiO_2 膜の形成には N_2O および SiH_4 の混合ガスを用い、 SiN 膜の形成には SiH_4 、 N_2 、 NH_3 の混合ガスを用いた。いずれの場合も成膜パワー密度を0.32W/cm²、成膜温度を150℃とした。

[0078] 次に、フォトリソグラフィ、およびドライエッチングにより、保護膜6にトランジスタ特性評価用プロービングのためのコンタクトホールを形成し、図1のTF Tを得た。

[0079] このようにして得られた各TF Tについて、以下のようにしてストレス耐性を評価した。

[0080] (1) 負バイアスを印加するストレス耐性 (NBTS) の評価

本実施例では、ゲート電極に負バイアスをかけるストレス印加試験を行った。ストレス印加条件は以下のとおりである。

- ・ソース電圧：0 V
- ・ドレイン電圧：10 V
- ・ゲート電圧：-20 V
- ・基板温度：60℃
- ・ストレス印加時間：2時間

[0081] 本実施例では、2時間のストレス印加におけるしきい値電圧の変動値をしきい値電圧シフト量 ΔV_{th} とし、NBTSにおいて $\Delta V_{th} < 5.0$ Vのものを合格とした。

[0082] (2) 光照射+負バイアスを印加するストレス耐性 (LNBS) の評価

本実施例では、実際の液晶パネル駆動時の環境 (ストレス) を模擬して、試料に光 (白色光) を照射しながら、ゲート電極に負バイアスをかけ続けるストレス印加試験を行った。ストレス印加条件は以下のとおりである。光源は、液晶ディスプレイのバックライトを模擬して白色LEDを使用した。

- ・ソース電圧：0 V
- ・ドレイン電圧：10 V
- ・ゲート電圧：-20 V
- ・基板温度：60℃
- ・ストレス印加時間：2時間
- ・光源：白色LED (PHILIPS社製LED LXHL-PW01)
25000 nit

[0083] 本実施例では、2時間のストレス印加におけるしきい値電圧の変動値をしきい値電圧シフト量 ΔV_{th} とし、LNBSにおける $\Delta V_{th} < 5.0$ Vのものを合格とした。

[0084] (3) SS値の測定

SS値は、ドレイン電流を一桁増加させるのに必要なゲート電圧の最小値

である。本実施例では、上記（２）のストレス試験（LNBTS）を行なったときのSS値を測定し、SS値 $<0.55\text{ V/decade}$ のものを合格とした。

[0085] （４）オン電流（ ΔI_{on} ）の測定

オン電流（ ΔI_{on} ）とは、ゲート電圧が30Vのドレイン電流で、トランジスタがオン状態のときの電流値である。本実施例では、上記（２）のストレス試験（LNBTS）前後のオン電流をそれぞれ測定し、ストレス試験前後で、その変化量 ΔI_{on} （絶対値）が10%未満のものを合格（A）、10%以上のものを不合格（B）とした。

[0086] これらの結果を表1にまとめて示す。各表におけるガス流量比（体積比）は、 N_2O を100としたときの SiH_4 の比である。

[0087] なお、各表の最右欄には「判定」の欄を設け、上記特性のすべてを満足するものには「A」を、いずれか一つでも満足しないものには「B」を付した。

[0088]

[表1]

No.	S/D電極側 酸化物半導体層の メタル比				ゲート絶縁膜側 酸化物半導体層の メタル比				ゲート絶縁膜の成膜条件					ゲート 絶縁膜 中の 水素量	LNBTs			NBTS	判定
	In 原子%	Ga 原子%	Zn 原子%	Sn 原子%	In 原子%	Zn 原子%	Sn 原子%	温度 (°C)	成膜パワ-		ガス流量比				ΔV_{th} (V)	ΔI_{on} (A)	SS値 (V/decade)		
									(W)	(W/cm ²)	SiH ₄	N ₂ O							
1	12.0	40.0	34.0	14.0	20	56.7	23.3	320	300	0.96	2.24	100	1.2	0.5	A	0.30	0.3	A	
2	12.0	40.0	34.0	14.0	20	56.7	23.3	320	300	0.96	4	100	1.2	0.5	A	0.28	0.3	A	
3	12.0	40.0	34.0	14.0	20	56.7	23.3	300	300	0.96	4	100	1.5	1.0	A	0.33	0.5	A	
4	12.0	40.0	34.0	14.0	30	56.7	23.3	250	300	0.96	4	100	3.0	4.0	A	0.40	1.0	A	
5	12.0	40.0	34.0	14.0	30	51.7	18.3	300	250	0.80	4	100	3.5	4.5	A	0.45	1.3	A	
6	12.0	40.0	34.0	14.0	30	51.7	18.3	300	100	0.32	4	100	8.0	10.0	B	0.80	5.0	B	
7	11.0	45.0	31.2	12.8	20	56.7	23.3	320	300	0.96	2.24	100	1.2	0.5	A	0.30	0.3	A	
8	11.0	45.0	31.2	12.8	20	56.7	23.3	320	300	0.96	4	100	1.2	0.5	A	0.28	0.3	A	
9	11.0	45.0	31.2	12.8	30	51.7	18.3	300	300	0.96	4	100	1.5	2.8	A	0.33	0.5	A	
10	11.0	45.0	31.2	12.8	30	51.7	18.3	250	300	0.96	4	100	3.0	3.8	A	0.40	1.0	A	
11	10.0	50.0	28.4	11.7	20	56.7	23.3	300	250	0.80	4	100	3.5	4.5	A	0.45	1.3	A	
12	10.0	50.0	28.4	11.7	30	51.7	18.3	300	100	0.32	4	100	8.0	9.0	B	0.80	5.0	B	
13	17.0	17.0	47.0	19.0	20	56.7	23.3	300	300	0.96	4	100	1.5	3.5	A	0.45	3.0	A	

[0089] 表1より、以下のように考察することができる。

[0090] 表1には、絶縁膜側酸化物半導体層としてIGZOを、S/D電極側酸化物半導体層としてIGZOを用い、各層の各金属元素の比率と、ゲート絶縁膜の成膜条件（温度、成膜パワー密度、ガス流量比）を変化させたときの結果を示している。

[0091] その結果、ゲート絶縁膜成膜時における温度を250℃以上、成膜パワー密度を0.7W/cm²以上、ガス流量比（SiH₄/N₂O）を0.04以下に制御したNo. 1～5、7～11、13は、いずれも、ゲート絶縁膜中の水素濃度が所定範囲に低減されるため、いずれのストレス試験下においても良好な特性が得られた。また、これらの移動度はいずれも、6cm²/Vs以上と高いものであった（移動度の結果は表には示さず）。

[0092] これに対し、ゲート絶縁膜成膜時における成膜パワー密度が、本発明の好ましい条件を満足しない場合は、所望とする特性（ストレス耐性）をすべて兼ね備えることはできなかった（No. 6、12）。

符号の説明

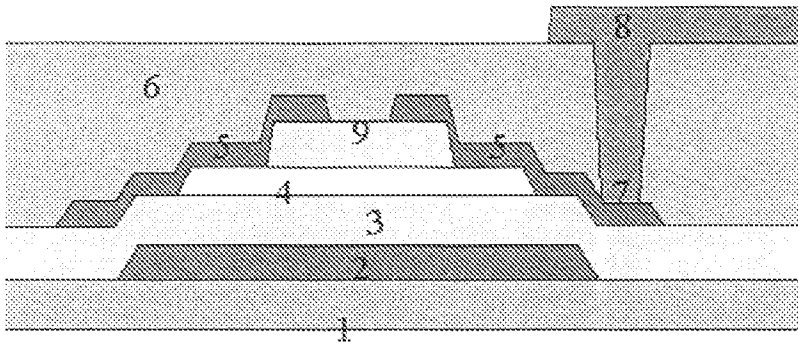
- [0093]
- 1 基板
 - 2 ゲート電極
 - 3 ゲート絶縁膜
 - 4 酸化物半導体層
 - 5 ソース・ドレイン電極
 - 6 保護膜（絶縁膜）
 - 7 コンタクトホール
 - 8 透明導電膜
 - 9 エッチストッパー層

請求の範囲

- [請求項1] ゲート電極と、チャネル層に用いられる二層以上の酸化物半導体層と、酸化物半導体層の表面を保護するためのエッチストッパー層と、ソース・ドレイン電極と、ゲート電極とチャネル層との間に配置されるゲート絶縁膜とを備えた薄膜トランジスタであって、
前記ゲート絶縁膜と直接接触する前記酸化物半導体層を構成する金属元素は、 In 、 Zn 、および Sn で構成されると共に、
前記酸化物半導体層と直接接触する前記ゲート絶縁膜中の水素濃度は4原子%以下に制御されたものであることを特徴とする薄膜トランジスタ。
- [請求項2] 前記ゲート絶縁膜は、単層構造、または二層以上の積層構造を有し、
前記積層構造を有する場合は、前記酸化物半導体層と直接接触する層中の水素濃度が4原子%以下に制御されたものである請求項1に記載の薄膜トランジスタ。
- [請求項3] 前記ゲート絶縁膜と直接接触する酸化物半導体層は、酸素を除く全金属元素に対する各金属元素の含有量（原子%）をそれぞれ、 $[\text{In}]$ 、 $[\text{Zn}]$ 、および $[\text{Sn}]$ としたとき、
 $15 \leq [\text{In}] \leq 35$ 、 $50 \leq [\text{Zn}] \leq 60$ 、 $15 \leq [\text{Sn}] \leq 30$
の関係を満足するものであり、
かつ、前記ソース・ドレイン電極と直接接触する酸化物半導体層は、酸素を除く全金属元素に対する各金属元素の含有量（原子%）をそれぞれ、 $[\text{In}]$ 、 $[\text{Zn}]$ 、 $[\text{Sn}]$ 、および $[\text{Ga}]$ としたとき、
 $10 \leq [\text{In}] \leq 20$ 、 $30 \leq [\text{Zn}] \leq 40$ 、 $5 \leq [\text{Sn}] \leq 15$ 、 $35 \leq [\text{Ga}] \leq 50$
の関係を満足するものである請求項1に記載の薄膜トランジスタ。

[請求項4] 請求項 1 ～ 3 のいずれかに記載の薄膜トランジスタを備えた表示装置。

[図1]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073372

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/316(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/316, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-151443 A (Samsung Electronics Co., Ltd.), 09 August 2012 (09.08.2012), claim 17; paragraphs [0035] to [0038], [0055], [0059], [0060] & US 2012/0181533 A1 & KR 10-2012-0084133 A & CN 102610618 A	1, 2, 4 3
Y A	JP 2011-146692 A (Semiconductor Energy Laboratory Co., Ltd.), 28 July 2011 (28.07.2011), paragraphs [0069] to [0075], [0160] to [0166]; fig. 3(C) & JP 2013-102197 A & US 2011/0147736 A1 & WO 2011/074590 A1 & TW 201208079 A	1, 2, 4 3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 September, 2013 (24.09.13)

Date of mailing of the international search report
08 October, 2013 (08.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073372

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-33913 A (Semiconductor Energy Laboratory Co., Ltd.), 16 February 2012 (16.02.2012), paragraphs [0009], [0010], [0027], [0052] to [0054], [0056] & US 2012/0001168 A1 & KR 10-2012-0002927 A & TW 201220505 A	1, 2, 4 3
A	JP 2011-108873 A (Idemitsu Kosan Co., Ltd.), 02 June 2011 (02.06.2011), entire text; all drawings (Family: none)	1-4
A	JP 2012-99661 A (Idemitsu Kosan Co., Ltd.), 24 May 2012 (24.05.2012), entire text; all drawings (Family: none)	1-4
A	JP 2011-129926 A (Samsung Mobile Display Co., Ltd.), 30 June 2011 (30.06.2011), entire text; all drawings & US 2011/0140095 A1 & KR 10-1035357 B1 & CN 102097487 A & TW 201133862 A	1-4
A	JP 2010-287735 A (Fujifilm Corp.), 24 December 2010 (24.12.2010), entire text; all drawings & US 2010/0314618 A1 & KR 10-2010-0133314 A	1-4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/316(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/316, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-151443 A（三星電子株式会社）2012.08.09, 請求項17、段落【0035】～【0038】、【0055】、【0059】、【0060】 & US 2012/0181533 A1 & KR 10-2012-0084133 A & CN 102610618 A	1, 2, 4 3
Y A	JP 2011-146692 A（株式会社半導体エネルギー研究所）2011.07.28, 段落【0069】～【0075】、【0160】～【0166】、図3（C） & JP 2013-102197 A & US 2011/0147736 A1 & WO 2011/074590 A1 & TW 201208079 A	1, 2, 4 3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 9 . 2 0 1 3

国際調査報告の発送日

0 8 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 聡一郎

5 O

3 8 6 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-33913 A (株式会社半導体エネルギー研究所) 2012. 02. 16, 段落【0009】、【0010】、【0027】、【0052】～【0054】、【0056】 & US 2012/0001168 A1 & KR 10-2012-0002927 A & TW 201220505 A	1, 2, 4 3
A	JP 2011-108873 A (出光興産株式会社) 2011. 06. 02, 全文、全図 (ファミリーなし)	1-4
A	JP 2012-99661 A (出光興産株式会社) 2012. 05. 24, 全文、全図 (ファミリーなし)	1-4
A	JP 2011-129926 A (三星モバイルディスプレイ株式会社) 2011. 06. 30, 全文、全図 & US 2011/0140095 A1 & KR 10-1035357 B1 & CN 102097487 A & TW 201133862 A	1-4
A	JP 2010-287735 A (富士フイルム株式会社) 2010. 12. 24, 全文、全図 & US 2010/0314618 A1 & KR 10-2010-0133314 A	1-4