

# 公告本

319904

86年6月 修正  
補充

申請日期	86.1.20
案 號	86100572
類 別	H21L / 8246

A4  
C4

319904

別: 016  
(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 新型名稱	中 文	三維唯讀記憶體及其製造方法
	英 文	
二、發明 創作人	姓 名	徐振聰
	國 籍	中華民國
	住、居所	台中市美村路一段 456 號
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區工業東三路三號
	代 表 人 姓 名	曹興誠

裝 訂 線

經濟部中央標準局員工消費合作社印製

### 五、發明說明(↓)

本發明是有關於一種唯讀記憶體(ROM)，且特別是有關於一種三維分佈的唯讀記憶體及其製造方法。

在目前市場上，唯讀記憶體已經非常廣泛的應用在個人電腦、微處理器、以及其他的數位系統之中。以一般情況而言，唯讀記憶體大都是在數位系統中，做為儲存資料的記憶裝置。並且，由於大部份的唯讀記憶體除了所要程式及編碼的內容不同之外，其餘的結構均完全相同，所以唯讀記憶體的製造工廠一般均會預先將唯讀記憶體製作到程式及編碼之前的步驟，形成唯讀記憶體之半成品。等客戶一旦將所欲程式及編碼的內容交給唯讀記憶體的製造工廠，製造工廠便可以依據其客戶所要求的規格，迅速的製作編碼光罩，並直接進行程式及編碼植入的步驟。待程式及編碼植入的步驟以及其他唯讀記憶體的後段製程結束後，便可以將完成的唯讀記憶體更有效率的交到客戶手中。也因此，目前業界幾乎都已改採可以在後段製程中程式化的光罩式唯讀記憶體。

另外，從積體電路製造工廠的觀點而言，如何縮減積體電路的面積，以增加記憶體的積集度，降低成本，並提昇市場的競爭能力，也一直都是極重要的課題。

然而，在習知的唯讀記憶體結構中，請參考第 1a 圖，閘極區，例如複晶矽(Polysilicon)，乃是製作在同一個平面上。是故當製程技術無法再繼續縮小其特徵尺寸(即線間距，線寬，或通道區寬度)時，積體電路的面積便無法再產生有效的縮減，也因此成本就無法再降低。

## 五、發明說明( 2 )

在第 1a 圖中係表示習知的唯讀記憶體結構，其包括在一基底 10 上(例如是 P 型基底)，形成一平行列掩埋式的汲極／源極區 11(例如是 N 型)，接著，在基底 10 上形成閘極氧化層 12、以及在閘極氧化層 12 上形成閘極複晶矽層 13。在上述內容中，“汲極／源極區”一詞乃是表示其可以作為汲極或者是源極，因為汲極／源極區 11 要當作汲極或者是要當作源極，完全是由金屬配線所決定的。

當要進行編碼及程式的步驟時，請參照 1b 圖，首先在複晶矽層上形成一層經定義圖案的光阻層 15，使要設定為關閉(off)之記憶胞的閘極複晶矽區域曝露出來，然後，利用離子植入法將摻質植入這些記憶胞的通道區 16(請參考第 1c 圖)中，用以改變這些記憶胞的啓始電壓，並設定其內容為關閉(off)。最後，去除光阻層，即完成習知之唯讀記憶體，請參考第 1c 圖。

由於此種結構的複晶矽閘極區 13，如上所述，係位於同一個平面上，所以每兩個複晶矽閘極區 13 之間都必須間隔一段距離，而無法有效地縮減唯讀記憶體所佔的面積。

因此，本發明的主要目的便是在提供一種製造三維唯讀記憶體的方法，其可以使電晶體的製造不再局限於二維平面，而更擴展於三維空間中。故本發明之製造三維唯讀記憶體的方法可以大幅的縮小積體電路所佔的面積，以降低成本。

本發明的另一目的，是要提供一種三維的唯讀記憶體，其具有較習知唯讀記憶體更高的積集度。

## 五、發明說明(3)

根據本發明上述及其他目的，本發明乃提出一種三維的唯讀記憶體，其包括有：一矽基底，矽基底上具有一列沿第一方向(例如水平方向)平行排列的溝槽，而這些溝槽之間的較高區域則形成一些平台區；一系列沿第一方向平行排列的源極/汲極區，分別形成於這些溝槽底部的兩側以及這些平台區的兩側，用以當作位元線；一層閘極氧化層，形成於矽基底表面；一些側壁氧化層，形成於指定之溝槽側壁上；一些氮化矽層，形成於指定之平台區上，且位於平台區兩側源極/汲極區之間；以及一層閘極層(例如複晶矽層)，形成於閘極氧化層及氮化矽層之上，用以當作字元線。藉此，每一平台區和每一溝槽區之兩側的源極/汲極區位元線得以平台區和溝槽區之底部作為通道區，而與閘極複晶矽字元線相交處構成水平的記憶單元，並且可以利用矽氧化物層的形成以設定其記憶單元為關閉(off)；每一溝槽的每一側壁上之上下相鄰兩位元線則以該溝槽的側壁做為通道區，而與閘極複晶矽字元線相交處構成垂直的記憶單元，其可以利用該側壁氧化層的形成以設定其記憶單元為關閉(off)。由上述所形成之結構，以側壁氧化層的形成與氮化矽的形成來控制記憶單元導通(on)或關閉(off)的三維唯讀記憶體，可大幅提高記憶體元件的積集度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

#### 五、發明說明(4)

第 1a 圖係習知唯讀記憶體之基底的部面示意圖；

第 1b 圖係第 1a 圖中之唯讀記憶體進行編碼植入的剖面示意圖；

第 1c 圖係第 1a 圖中之唯讀記憶體的剖面示意圖；以及

第 2a 圖至第 2g 圖係繪示依照本發明之較佳實施例之三維唯讀記憶體的製造流程圖。

#### 實施例：

依照本發明的一較佳實施例，一種三維唯讀記憶體的製造方法係包括下列步驟：

首先，請參照第 2a 圖，提供一矽基底，並且在矽基底上形成一如以平行排列且間隔等距的溝槽(trenches)21，而位於每兩個相鄰的溝槽 21 之間，則是具有較高區域的平台區 22，這些平台區(mesa regions)22 一般均高於這些溝槽 21，且溝槽的深度大概是兩個掩埋式 N 型摻雜區的寬度加上一個通道區的寬度。

請參考第 2b 圖，利用低壓化學氣相沈積法(Low Pressure Chemical Vapor Deposition, LPCVD)沉積一層表面氧化物層 22(其厚度大約在 150Å 左右)，以及一層氮矽化物層 23(其厚度大約介在 1500Å 到 3000Å 之間)於矽基底 20 上，並且在表面氧化物層 22 以及氮矽化物層 23 上定義一圖案，以在溝槽的底端以及平台區上，形成溝槽 21 及平台區 22 之將要形成通道的區域 24。

接著，請參照第 2c 圖，利用經定義圖案的氮化矽 23

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 5 )

及表面氧化物 22 為罩幕，進行離子植入的步驟，以形成源極/汲極區。例如，將砷(AS)離子，以能量介於 50 至 100KeV 之間，劑量範圍介於  $1 \times 10^{14}$  atoms/cm<sup>2</sup> 到  $1 \times 10^{16}$  atoms/cm<sup>2</sup> 之間的條件，植入矽基底 20 中；或者將磷(P)離子，以能量介於 20KeV 到 60KeV 之間，劑量範圍介於  $1 \times 10^{14}$  atoms/cm<sup>2</sup> 到  $1 \times 10^{16}$  atoms/cm<sup>2</sup> 之間的條件，植入矽基底 20 之中。此步驟可以在溝槽 21 的底端兩側及平台區 22 的兩側形成源極/汲極區 25。上述的通道區 24，與平行排列的源極/汲極區 25 之間乃形成一組平行排列的記憶體單元 26。

其次，請參照第 2d 圖，在矽基底 20 上形成一層氧化物層，再以回蝕刻的方式在這些溝槽 21 的側壁上形成側壁間隔物 27，並且以這些側壁間隔物 27 所覆蓋的溝槽側壁區域 31 作為通道區。溝槽 21 側壁頂端(或者是底端)的源/汲極區以及該溝槽 21 側壁底端(或者是頂端)的源/汲極區，乃與側壁間隔物 27 所覆蓋的溝槽側壁區域 31 形成另一組平行排列的記憶體單元 28。

接著，請參照第 2e 圖，對上述平行排列的記憶體單元 28 進行程式化編碼的步驟，以在溝槽 21 的側壁上形成側壁間隔物 27 覆蓋的記憶體單元 28 為關閉(OFF)，而在溝槽 21 的側壁上沒有形成側壁間隔物 27 覆蓋的記憶體單元 28 為導通(ON)。例如，形成一層光阻層 32 (圖串未示)於側壁間隔物 27、矽基底 20、以及矽氮物層上 23 之上，定義光阻層 32 的圖案以覆蓋所設定內容為關閉(off)之記憶體單元 28

## 五、發明說明(6)

的側壁間隔物 27，並且露出所設定內容為導通(on)的記憶單元 28 的側壁間隔物 27，將所設定內容為導通(on)之記憶單元的側壁間隔物 27 蝕刻掉，再去掉光阻層 32。如此，便形成記憶單元 28，其具有側壁間隔物 27 覆蓋的記憶單元 28 為關閉(off)，而那些側壁間隔物 27 被蝕刻掉的記憶單元 28 為導通(on)。

接著，請參照第 2f 圖，對上述之另一組平行排列的記憶單元 26 進行程式化編碼的步驟，利用選擇性蝕刻去除部分氮化矽 23，使得具有氮化矽 23 的記憶單元 26 為關閉(off)，而沒有氮化矽 23 的記憶單元 26 為導通(on)。氮化矽在此步驟中的功能為阻隔平台區上的通道區使其對應之電晶體不能導通。然後，在矽基底 20 的表面形成一層閘極氧化層(Gate Oxide)40，其厚度大約是介於 50Å 到 250Å 之間。

其後，請參照第 2g 圖，沈積一層複晶矽層 50 於閘極氧化層 40 及氮化矽層 23 上，其厚度約介於 1500Å 至 3000Å 之範圍，並且經由光學微影及蝕刻的過程定義複晶矽之圖案，以做為複晶矽之字元線。

之後，繼續完成唯讀記憶體接下來的後段製程以及適當的金屬內連線，完成本發明之高密度的三維唯讀記憶體。

綜合以上所述，本發明的三維唯讀記憶體，乃是利用閘極氮化矽的形成以及側壁間隔物的形成兩者並用來定義記憶體的導通及關閉狀態，充份利用三維空間，對於提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### 五、發明說明(7)

昇唯讀記憶體積體電路的積集度，有相當大的幫助。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

(請先閱讀背面之注意事項再填寫本頁各欄)

四、中文發明摘要(發明之名稱： 三維唯讀記憶體及其製造方法 )

三維唯讀記憶體及其製造方法，其用以提高記憶單元的積集度，並且消除因編碼植入而產生的接面漏電流。該唯讀記憶體包括：一矽基底，上面有一列溝槽，且在這些溝槽間形成較高的平台區；一列掩埋式源極/汲極區，分別形成於溝槽底部以及平台區，用以作為位元線；一閘極氧化層，形成於該矽基底表面；一些側壁氧化物，形成於指定之溝槽側壁上；一些氮化矽，形成於指定之平台區上；以及閘極層，形成於上述之閘極氧化層及氮化矽上，用以當作字元線。因此，每一平台區和每一溝槽區兩端的位元線都可以用該平台區和溝槽區底部當作通道區，而與每一個字元線構成三維分佈的記憶單元。其可利用該側壁氧化層以及氮化矽等二種方式控制記憶胞的開關，並且形成三維之唯讀記憶體，以提高元件之積集度。

英文發明摘要(發明之名稱： )

裝

訂

線

## 六、申請專利範圍

1. 一種三維之唯讀記憶體，其包括：

一矽基底，於該矽基底上形成複數個平行排列的溝槽，其分別具有一底端及一對側壁，該些溝槽之間較高的區域則形成複數個平台區；

複數對平行排列之源極/汲極區，分別形成於該些溝槽底端的兩側以及該些平台區的兩側，用以作為位元線；

一閘極氧化物層，形成於該矽基底表面；

複數個側壁氧化物，形成於該些溝槽之指定側壁上，用以做為通道的阻隔；

複數個氮化矽，形成於指定之平台區上，用以做為通道阻隔；以及

一閘極層，形成於該閘極氧化物層及該些氮化矽上，用以當作字元線；藉此，每一平台區兩側和每一溝槽區兩側之源極/汲極區可利用該平台區和該溝槽區的底端為通道區，而與該閘極層構成水平的記憶單元，其利用該些氮化矽以關閉其通道區；而每一溝槽側壁上下的源極/汲極區則以該溝槽的側壁做為通道區，而與閘極層構成垂直的記憶單元，其利用該些側壁氧化物以關閉其通道區。

2. 如申請專利範圍第 1 項所述之唯讀記憶體，其中，該些溝槽之高度約是兩個摻雜區及一個通道區的長度。

3. 如申請專利範圍第 1 項所述之唯讀記憶體，其中，該些側壁氧化物係二氧化矽。

4. 如申請專利範圍第 1 項所述之唯讀記憶體，其中，該些閘極層係複晶矽。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

5.如申請專利範圍第 1 項所述之唯讀記憶體，其中，該複數個閘極層彼此係以等距間隔分佈。

6.一種三維唯讀記憶體之製造方法，其步驟包括：

(a).提供一矽基底，該矽基底上形成複數個平行排列的溝槽，其具有一底端及一對側壁，該些溝槽間之較高區域形成複數個平台區；

(b).沈積一氮化矽層於該矽基底上，定義該氮化矽層之圖案以露出該些溝槽底端及該些平台區底端的通道區；

(c).以經定義圖案的氮化矽層為罩幕，進行一離子植入步驟，形成源極／汲極區；

(d).形成複數對側壁氧化物於該些溝槽側壁；

(e).以一罩幕進行程式化，除去指定之該些側壁氧化物；

(f).以選擇性蝕刻去除既定之該些氮化矽層，並形成閘極氧化層於該矽基底表面；以及

(g).沈積一複晶矽層於該氮化矽層及該閘極氧化層之表面，定義該複晶矽層的圖案以做為字元線。

7.如申請專利範圍第 6 項所述之製造方法，其中，該些溝槽之深度為二個摻雜區及一個通道區的長度。

8.如申請專利範圍第 6 項所述之製造方法，其中，步驟 (b)的氮化矽層沈積的厚度約介於 1500Å 至 3000Å 之間。

9.如申請專利範圍第 6 項所述之製造方法，其中，步驟 (c)的離子植入，係使用砷離子、其能量介於 50 至 100KeV 之間、且摻入劑量介於  $1 \times 10^{14}$ atoms/cm<sup>2</sup> 到  $1 \times$

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

$10^{16}$ atoms/cm<sup>2</sup> 之間。

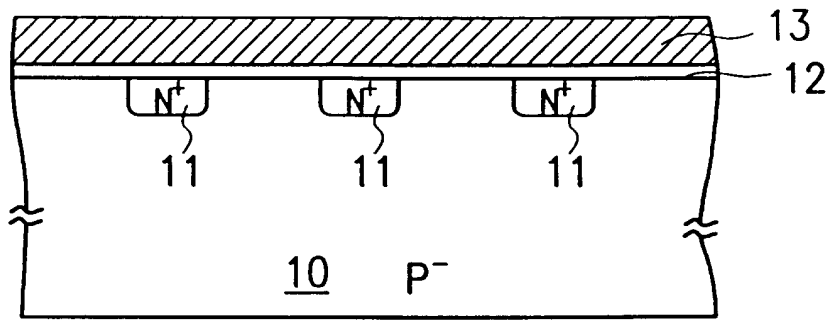
10. 如申請專利範圍第 6 項所述之製造方法，其中，步驟(c)的離子植入，係使用磷離子、其能量介於 20 至 60KeV 之間、且摻入劑量介於  $1 \times 10^{14}$ atoms/cm<sup>2</sup> 到  $1 \times 10^{16}$ atoms/cm<sup>2</sup> 之間。

11. 如申請專利範圍第 6 項所述之製造方法，其中，步驟(g)中所形成的閘極氧化層厚度為大約介於 50Å至 250Å之間。

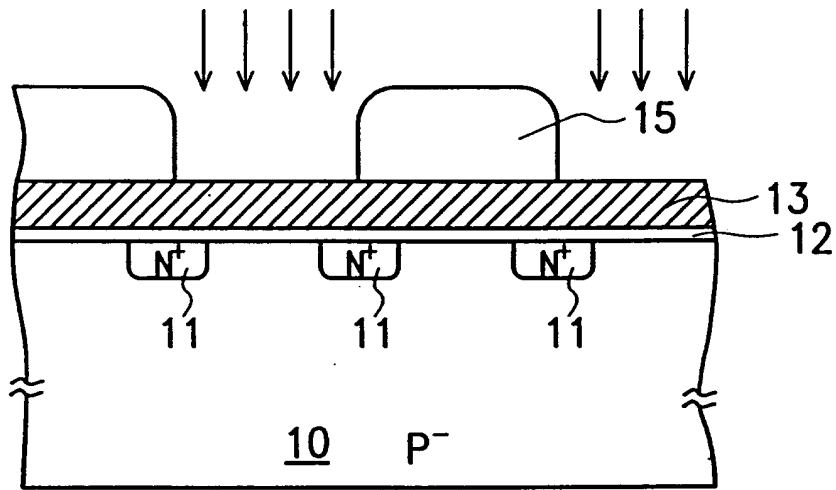
(請先閱讀背面之注意事項再填寫本頁)

訂  
線

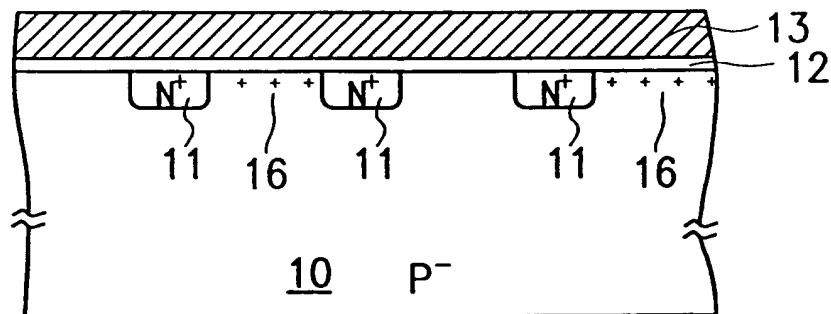
86100572



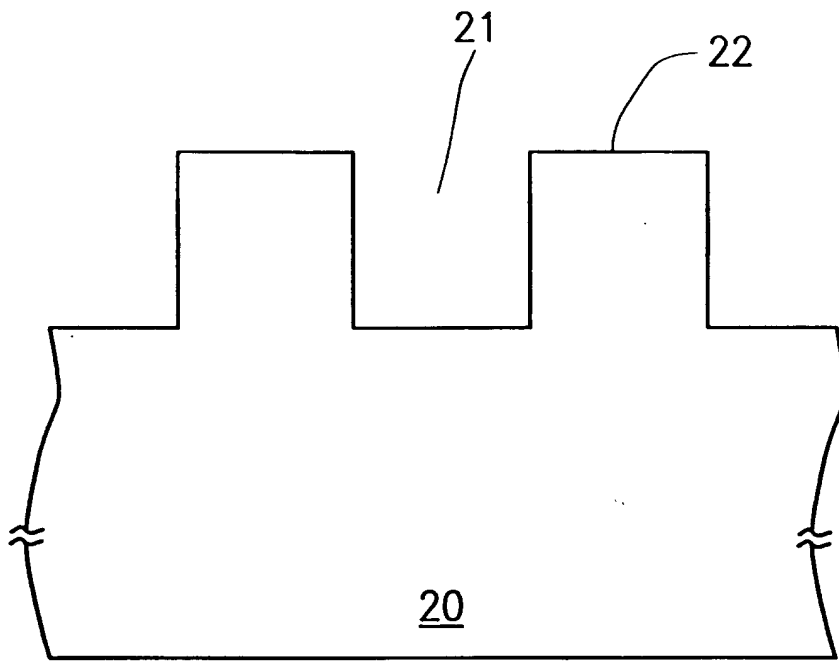
第1a圖



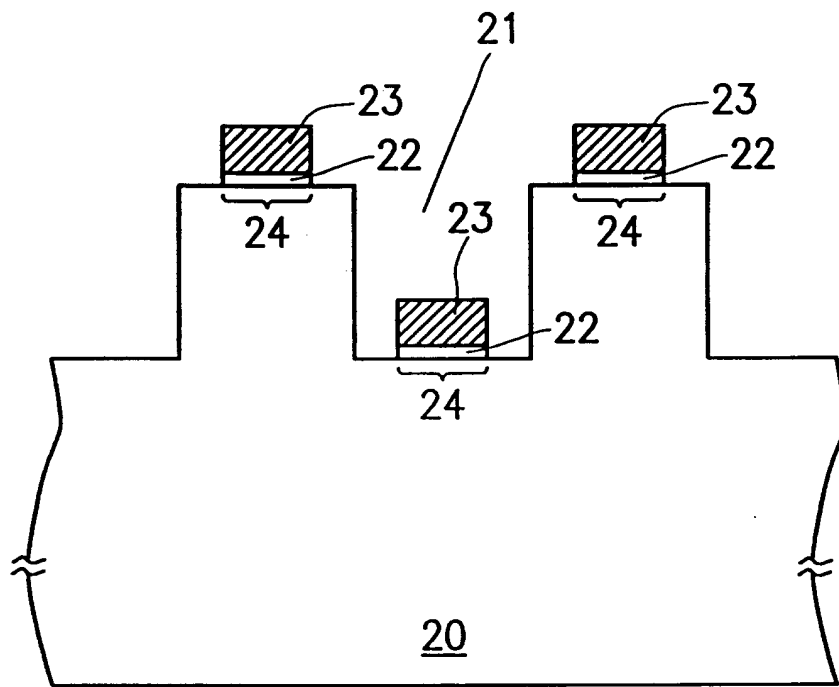
第1b圖



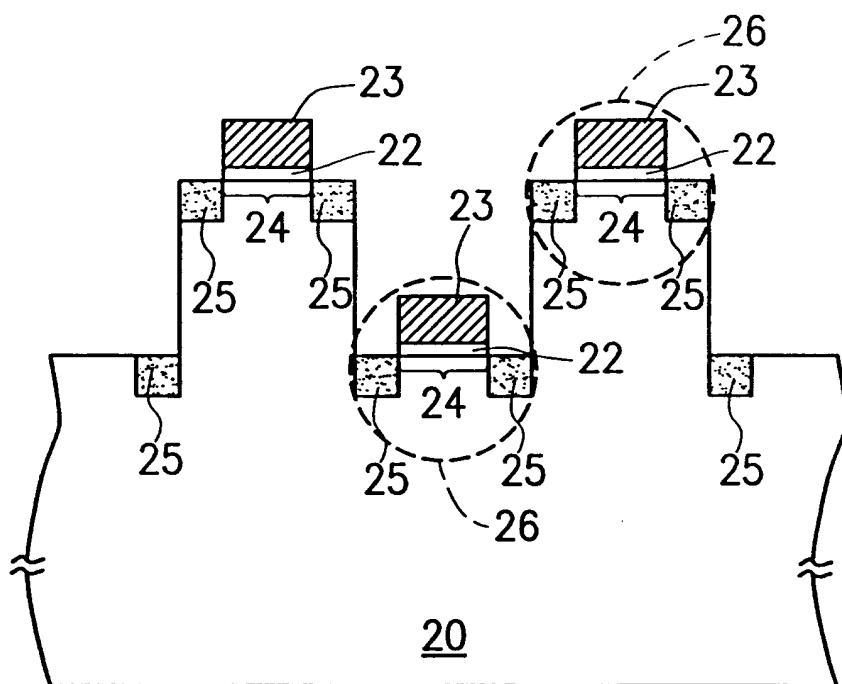
第1c圖



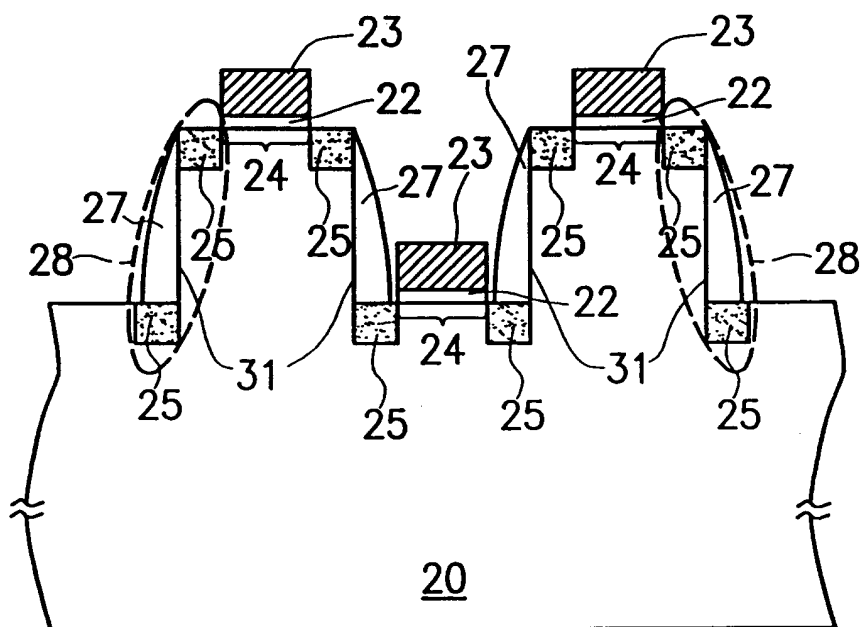
第2a圖



第2b圖

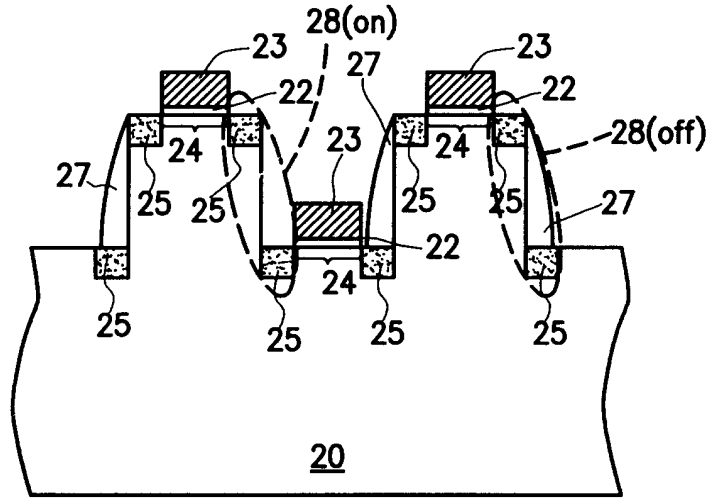


第2c圖

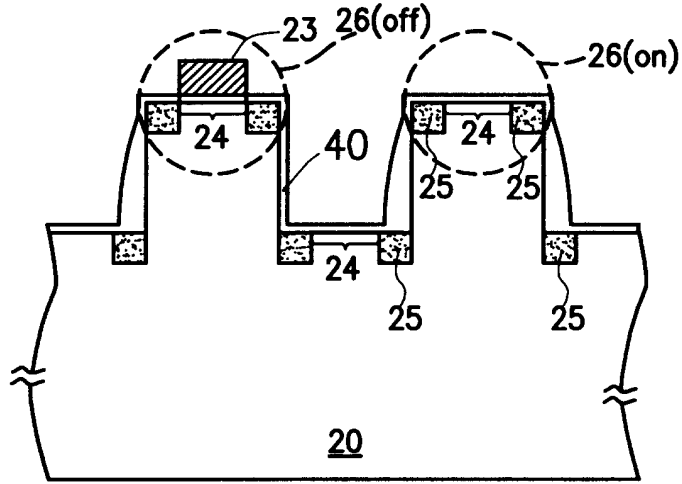


第2d圖

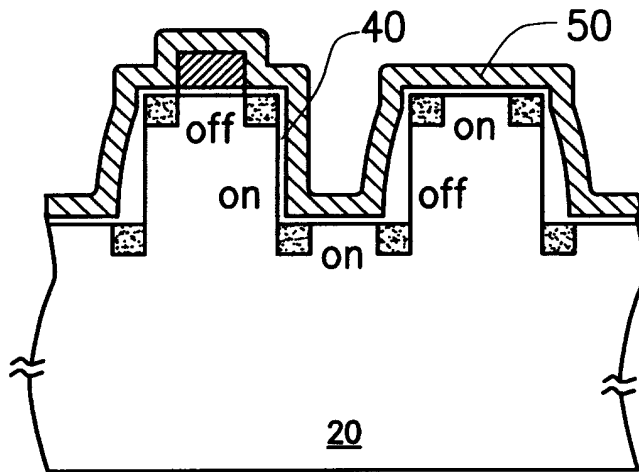
319904



第2e圖



第2f圖



第2g圖