



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년03월11일

(11) 등록번호 10-2780546

(24) 등록일자 2025년03월07일

(51) 국제특허분류(Int. Cl.)
G06F 12/02 (2018.01) **G06F 12/0897** (2016.01)
G06F 3/06 (2006.01)

(52) CPC특허분류
G06F 12/023 (2013.01)
G06F 12/0284 (2013.01)

(21) 출원번호 10-2018-7026788

(22) 출원일자(국제) 2017년02월22일
 심사청구일자 2022년02월08일

(85) 번역문제출일자 2018년09월14일

(65) 공개번호 10-2018-0122357

(43) 공개일자 2018년11월12일

(86) 국제출원번호 PCT/US2017/018876

(87) 국제공개번호 WO 2017/160480
 국제공개일자 2017년09월21일

(30) 우선권주장
 15/074,444 2016년03월18일 미국(US)

(56) 선행기술조사문헌
 US08719664 B
 US20140013053 A1

(73) 특허권자
켈컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자
오포르투스 발렌주엘라, 안드레스, 알레안드로
 미국 95032 캘리포니아주 로스 가토스 포스트오피스 박스 320958
안사리, 아민
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
 (뒷면에 계속)

(74) 대리인
특허법인(유)남아이피그룹, 특허법인 남앤남

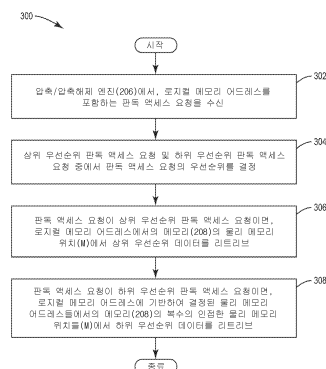
전체 청구항 수 : 총 30 항

심사관 : 장호근

(54) 발명의 명칭 프로세서-기반 시스템의 메모리 내의 압축된 메모리 라인들의 우선순위-기반 액세스

(57) 요약

개시된 양상들은 프로세서-기반 시스템에서 압축된 메모리 라인들의 우선순위-기반 액세스에 관한 것이다. 일 양상에서, 프로세서-기반 시스템의 메모리 액세스 디바이스는 메모리에 대한 관독 액세스 요청을 수신한다. 관독 액세스 요청이 상위 우선순위가면, 메모리 액세스 디바이스는, 압축된 메모리 라인에 액세스하기 위해 물리적 메모리 어드레스로서 관독 액세스 요청의 로지컬 메모리 어드레스를 사용한다. 그러나, 관독 액세스 요청이 하위 우선순위가면, 메모리 액세스 디바이스는 관독 액세스 요청의 로지컬 메모리 어드레스를 상위 우선순위 라인들의 압축에 의해 남겨진 메모리 공간 내의 하나 또는 그 초과 물리적 메모리 어드레스들로 변환한다. 이러한 방식으로, 상위 우선순위 압축된 메모리 액세스들의 효율은 달리 압축된 메모리 라인들을 찾고 이들에 액세스하는 데 요구되는 인디렉션(indirection)의 레벨을 제거함으로써 개선된다.

대표도 - 도3

(52) CPC특허분류

G06F 12/0897 (2013.01)

G06F 3/0659 (2013.01)

G06F 3/0665 (2013.01)

G06F 2212/1024 (2013.01)

G06F 2212/1041 (2013.01)

G06F 2212/1056 (2013.01)

G06F 2212/152 (2013.01)

G06F 2212/401 (2013.01)

G06F 2212/65 (2013.01)

(72) 발명자

세니오르, 리차드

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

쟁, 니에안

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

자나키라만, 아난드

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

차브라, 구르빈더, 싱

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

명세서

청구범위

청구항 1

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스로서,
제1 로지컬 메모리 어드레스를 포함하는 판독 액세스 요청을 수신하도록 구성된 제어 포트; 및
상기 메모리에 액세스하도록 구성된 메모리 액세스 포트를 포함하고,
상기 메모리 액세스 디바이스는:

상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 상기 판독 액세스 요청의 우선순위를 결정하고;

상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 메모리 액세스 포트를 통해, 상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스에서 상기 메모리로부터 제1 압축된 상위 우선순위 메모리 라인을 리트리브(retrieve)하고; 그리고

상기 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 메모리 액세스 포트를 통해, 상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스에 기반하여 결정된 복수의 물리적 메모리 어드레스들에서 상기 메모리로부터 제1 압축된 하위 우선순위 메모리 라인을 리트리브하도록 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 2

제1 항에 있어서,

상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하는 것에 기반하여:

상기 제1 압축된 상위 우선순위 메모리 라인의 상위 우선순위 메타데이터(metadata)를 리트리브하고; 그리고

상기 상위 우선순위 메타데이터에 기반하여 상기 제1 압축된 상위 우선순위 메모리 라인으로부터 상위 우선순위 데이터를 리트리브하도록 추가로 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 3

제2 항에 있어서,

상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하는 것에 기반하여, 상기 제1 로지컬 메모리 어드레스의 패리티(parity) 및 상기 상위 우선순위 메타데이터에 기반하여 대응하는 메모리 위치의 끝으로부터 상기 제1 압축된 상위 우선순위 메모리 라인을 리트리브하도록 추가로 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 4

제2 항에 있어서,

상기 메모리 액세스 디바이스는:

상기 상위 우선순위 메타데이터에 기반하여, 상기 제1 압축된 상위 우선순위 메모리 라인이 제외(exception)를 포함한다고 결정하고;

상기 상위 우선순위 메타데이터로부터 제외 인덱스를 리트리브하고;

상기 메모리 액세스 포트를 통해, 상기 제외 인덱스에 대응하는 물리적 메모리 어드레스에서 상기 메모리의 제외 메모리 위치에 저장된 상위 우선순위 제외 데이터를 리트리브하고; 그리고

상기 제1 압축된 상위 우선순위 메모리 라인 및 상기 상위 우선순위 제외 데이터로부터 상기 상위 우선순위 데이터를 리트리브하도록 구성됨으로써,

상기 제1 압축된 상위 우선순위 메모리 라인으로부터 상기 상위 우선순위 데이터를 리트리브하도록 추가로 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 5

제1 항에 있어서,

상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스가 미리 결정된 상위 우선순위 어드레스 범위 내에 있다고 결정하도록 구성됨으로써, 상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하도록 추가로 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 6

제1 항에 있어서,

상기 메모리 액세스 디바이스는:

상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스와 미리 결정된 하위 우선순위 어드레스 범위의 가장 낮은 어드레스 사이의 차이에 2를 곱함으로써, 하위 우선순위 어드레스 인덱스를 결정하고;

상기 하위 우선순위 어드레스 인덱스를 상기 미리 결정된 상위 우선순위 어드레스 범위의 가장 낮은 어드레스에 함함으로써, 상기 복수의 물리적 메모리 어드레스들 중 제1 물리적 메모리 어드레스를 결정하고; 그리고

상기 제1 물리적 메모리 어드레스에서 시작하는 상기 복수의 물리적 메모리 어드레스들에 저장된 상기 제1 압축된 하위 우선순위 메모리 라인을 리트리브하도록 구성됨으로써,

상기 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하는 것에 기반하여, 상기 메모리로부터 상기 제1 압축된 하위 우선순위 메모리 라인을 리트리브하도록 추가로 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 7

제6 항에 있어서,

상기 제1 압축된 하위 우선순위 메모리 라인의 길이를 포함하는 하위 우선순위 메타데이터를 리트리브하고; 그리고

상기 제1 압축된 하위 우선순위 메모리 라인의 길이에 기반하여, 상기 제1 압축된 하위 우선순위 메모리 라인으로부터 하위 우선순위 데이터를 리트리브하도록 추가로 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 8

제7 항에 있어서,

상기 메모리 액세스 디바이스는:

상기 하위 우선순위 메타데이터에 기반하여, 상기 제1 압축된 하위 우선순위 메모리 라인이 제외를 포함한다고 결정하고;

상기 하위 우선순위 메타데이터로부터 제외 포인터를 리트리브하고;

상기 메모리 액세스 포트를 통해, 상기 제외 포인터에 대응하는 물리적 메모리 어드레스에서 상기 메모리의 제외 메모리 위치에 저장되는 하위 우선순위 제외 데이터를 리트리브하고; 그리고

상기 제1 압축된 하위 우선순위 메모리 라인 및 상기 하위 우선순위 제외 데이터로부터 상기 하위 우선순위 데이터를 리트리브하도록 구성됨으로써,

상기 제1 압축된 하위 우선순위 메모리 라인으로부터 상기 하위 우선순위 데이터를 리트리브하도록 추가로 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 9

제1 항에 있어서,

상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스가 미리 결정된 하위 우선순위 어드레스 범위 내에 있다고 결정하도록 구성됨으로써, 상기 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하도록 추가로 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 10

제1 항에 있어서,

상기 메모리 액세스 디바이스는 프로세서를 더 포함하고, 상기 프로세서는:

상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 상기 판독 액세스 요청의 우선순위를 결정하고;

상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 메모리 액세스 포트를 통해, 상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스에서 상기 메모리로부터 제2 압축된 상위 우선순위 메모리 라인을 리트리브하고; 그리고

상기 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 메모리 액세스 포트를 통해, 상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스에 기반하여 결정된 상기 복수의 물리적 메모리 어드레스들에서 상기 메모리로부터 상기 제1 압축된 하위 우선순위 메모리 라인을 리트리브하도록 구성되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 11

제1 항에 있어서,

상기 메모리 액세스 디바이스는 집적 회로에 통합되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 12

제1 항에 있어서,

상기 메모리 액세스 디바이스는 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정형 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 스마트 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 데스크탑 컴퓨터, PDA(personal digital assistant), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 음악 플레이어, 디지털 음악 플레이어, 휴대용 음악 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, DVD(digital video disc) 플레이어, 휴대용 디지털 비디오 플레이어 및 자동차로 구성된 그룹으로부터 선택된 디바이스에 통합되는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 13

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스로서,

로지컬 메모리 어드레스를 포함하는 판독 액세스 요청을 수신하기 위한 수단; 및

상기 메모리에 액세스하기 위한 수단;

상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 상기 판독 액세스 요청의 우선순위를 결정하기 위한 수단;

상기 판독 액세스 요청의 우선순위가 상위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 메모리에 액세스하기 위한 수단을 통해, 상기 판독 액세스 요청의 상기 로지컬 메모리 어드레스에서 상기 메모리로부터 압축된 상위 우선순위 메모리 라인을 리트리브하기 위한 수단; 및

상기 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 메모리에 액세스하기 위한 수단을 통해, 상기 판독 액세스 요청의 상기 로지컬 메모리 어드레스에 기반하여 결정된 복수의 물리적 메모리 어드레스들에서 상기 메모리로부터 압축된 하위 우선순위 메모리 라인을 리트리브하기 위한 수단을 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스.

청구항 14

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법으로서,

메모리 액세스 디바이스에 의해, 제1 로지컬 메모리 어드레스를 포함하는 판독 액세스 요청을 수신하는 단계;

상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 상기 판독 액세스 요청의 우선순위를 결정하는 단계;

상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 메모리 액세스 포트를 통해, 상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스에서 상기 메모리로부터 제1 압축된 상위 우선순위 메모리 라인을 리트리브하는 단계; 및

상기 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 메모리 액세스 포트를 통해, 상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스에 기반하여 결정된 복수의 물리적 메모리 어드레스들에서 상기 메모리로부터 제1 압축된 하위 우선순위 메모리 라인을 리트리브하는 단계를 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 15

제14 항에 있어서,

상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하는 것에 기반하여:

상기 제1 압축된 상위 우선순위 메모리 라인의 상위 우선순위 메타데이터를 리트리브하는 단계; 및

상기 상위 우선순위 메타데이터에 기반하여 상기 제1 압축된 상위 우선순위 메모리 라인으로부터 상위 우선순위 데이터를 리트리브하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 16

제15 항에 있어서,

상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하는 것에 기반하여, 상기 제1 로지컬 메모리 어드레스의 패리티 및 상기 상위 우선순위 메타데이터에 기반하여 대응하는 메모리 위치의 끝으로부터 상기 제1 압축된 상위 우선순위 메모리 라인을 리트리브하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 17

제15 항에 있어서,

상기 방법은:

상기 상위 우선순위 메타데이터에 기반하여, 상기 제1 압축된 상위 우선순위 메모리 라인이 제외를 포함한다고 결정하고;

상기 상위 우선순위 메타데이터로부터 제외 인덱스를 리트리브하고;

상기 메모리 액세스 포트를 통해, 상기 제외 인덱스에 대응하는 물리적 메모리 어드레스에서 상기 메모리의 제외 메모리 위치에 저장되는 상위 우선순위 제외 데이터를 리트리브하고; 그리고

상기 제1 압축된 상위 우선순위 메모리 라인 및 상기 상위 우선순위 제외 데이터로부터 상기 상위 우선순위 데이터를 리트리브함으로써,

상기 제1 압축된 상위 우선순위 메모리 라인으로부터 상기 상위 우선순위 데이터를 리트리브하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 18

제14 항에 있어서,

상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스가 미리 결정된 상위 우선순위 어드레스 범위 내에 있다고 결정함으로써, 상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 19

제14 항에 있어서,

상기 방법은:

상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스와 미리 결정된 하위 우선순위 어드레스 범위의 가장 낮은 어드레스 사이의 차이에 2를 곱함으로써, 하위 우선순위 어드레스 인덱스를 결정하고;

상기 하위 우선순위 어드레스 인덱스를 상기 미리 결정된 상위 우선순위 어드레스 범위의 가장 낮은 어드레스에 합함으로써, 상기 복수의 물리적 메모리 어드레스들 중 제1 물리적 메모리 어드레스를 결정하고; 그리고

상기 제1 물리적 메모리 어드레스에서 시작하는 상기 복수의 물리적 메모리 어드레스들에 저장된 상기 제1 압축된 하위 우선순위 메모리 라인을 리트리브함으로써,

상기 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하는 것에 기반하여, 상기 메모리로부터 상기 제1 압축된 하위 우선순위 메모리 라인을 리트리브하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 20

제19 항에 있어서,

상기 제1 압축된 하위 우선순위 메모리 라인의 길이를 포함하는 하위 우선순위 메타데이터를 리트리브하는 단계; 및

상기 제1 압축된 하위 우선순위 메모리 라인의 길이에 기반하여, 상기 압축된 하위 우선순위 메모리 라인으로부터 하위 우선순위 데이터를 리트리브하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 21

제20 항에 있어서,

대응하는 제1 로지컬 메모리 어드레스의 패리티 및 상기 제1 압축된 하위 우선순위 메모리 라인의 길이에 기반하여, 상기 복수의 물리적 메모리 어드레스들 각각의 끝으로부터 상기 제1 압축된 하위 우선순위 메모리 라인을 리트리브하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 22

제20 항에 있어서,

상기 방법은:

상기 하위 우선순위 메타데이터에 기반하여, 상기 제1 압축된 하위 우선순위 메모리 라인이 제외를 포함한다고 결정하고;

상기 하위 우선순위 메타데이터로부터 제외 포인터를 리트리브하고;

상기 메모리 액세스 포트를 통해, 상기 제외 포인터에 대응하는 물리적 메모리 어드레스에서 상기 메모리의 제외 메모리 위치에 저장되는 하위 우선순위 제외 데이터를 리트리브하고; 그리고

상기 제1 압축된 하위 우선순위 메모리 라인 및 상기 하위 우선순위 제외 데이터로부터 상기 하위 우선순위 데이터를 리트리브함으로써,

상기 제1 압축된 하위 우선순위 메모리 라인으로부터 상기 하위 우선순위 데이터를 리트리브하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 23

제14 항에 있어서,

상기 판독 액세스 요청의 상기 제1 로지컬 메모리 어드레스가 미리 결정된 하위 우선순위 어드레스 범위 내에 있다고 결정함으로써, 상기 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 24

제14 항에 있어서,

제2 로지컬 메모리 어드레스 및 데이터를 포함하는 기록 액세스 요청을 수신하는 단계;

상위 우선순위 기록 액세스 요청 및 하위 우선순위 기록 액세스 요청 중에서 상기 기록 액세스 요청의 우선순위를 결정하는 단계;

상기 기록 액세스 요청이 상위 우선순위 기록 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 메모리 액세스 포트를 통해, 상기 기록 액세스 요청의 데이터를, 상기 기록 액세스 요청의 상기 제2 로지컬 메모리 어드레스에서 제2 압축된 상위 우선순위 메모리 라인의 메모리에 저장하는 단계; 및

상기 기록 액세스 요청이 하위 우선순위 기록 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 메모리 액세스 포트를 통해, 상기 기록 액세스 요청의 데이터를, 상기 기록 액세스 요청의 상기 제2 로지컬 메모리 어드레스에 기반하여 결정된 복수의 물리적 메모리 어드레스들에서 제2 압축된 하위 우선순위 메모리 라인의 상기 메모리에 저장하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 25

제24 항에 있어서,

상기 기록 액세스 요청이 상위 우선순위 기록 액세스 요청이라고 결정하는 것에 기반하여;

상기 기록 액세스 요청의 데이터를 압축하는 단계;

상기 제2 로지컬 메모리 어드레스의 패리티에 기반하여, 상기 기록 액세스 요청의 상기 제2 로지컬 메모리 어드레스에 대응하는 메모리 위치의 끝에, 상기 기록 액세스 요청의 압축된 데이터를 포함하는 상기 제2 압축된 상위 우선순위 메모리 라인을 저장하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 26

제24 항에 있어서,

상기 기록 액세스 요청이 상위 우선순위 기록 액세스 요청이라고 결정하는 것에 기반하여;

상기 기록 액세스 요청의 데이터를 압축하는 단계;

상기 기록 액세스 요청의 데이터의 압축에 기반하여, 상기 기록 액세스 요청의 데이터가 제외를 발생시킨다고 결정하는 단계;

상기 기록 액세스 요청의 데이터의 제1 부분 및 제외 인덱스를 포함하는 상기 제2 압축된 하위 우선순위 메모리 라인을, 상기 기록 액세스 요청의 상기 제2 로지컬 메모리 어드레스에 대응하는 물리적 메모리 어드레스에 저장하는 단계; 및

제외 메모리 위치 및 상기 제외 인덱스에 대응하는 물리적 메모리 어드레스에서 상기 메모리에 상위 우선순위 제외 데이터를 저장하는 단계 - 상기 상위 우선순위 제외 데이터는 상기 기록 액세스 요청의 데이터의 제2 부분을 포함함 - 를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 27

제24 항에 있어서,

상기 방법은:

상기 기록 액세스 요청의 데이터를 압축하고;

상기 기록 액세스 요청의 상기 제2 로지컬 메모리 어드레스와 미리 결정된 하위 우선순위 어드레스 범위의 가장 낮은 어드레스 사이의 차이에 2를 곱함으로써 하위 우선순위 어드레스 인덱스를 결정하고;

상기 하위 우선순위 어드레스 인덱스를 미리 결정된 상위 우선순위 어드레스 범위의 가장 낮은 어드레스에 합함으로써, 상기 복수의 물리적 메모리 어드레스들 중 제1 물리적 메모리 어드레스를 결정하고;

상기 기록 액세스 요청의 압축된 데이터의 제1 부분을 포함하는 상기 제2 압축된 하위 우선순위 메모리 라인의 제1 부분을 상기 제1 물리적 메모리 어드레스의 제1 끝에서 상기 제1 물리적 메모리 어드레스에 저장하고; 그리고

상기 기록 액세스 요청의 압축된 데이터의 제2 부분을 포함하는 상기 제2 압축된 하위 우선순위 메모리 라인의 제2 부분을 상기 제1 물리적 메모리 어드레스에 인접한 제2 물리적 메모리 어드레스의 제2 끝에서 상기 제2 물리적 메모리 어드레스에 저장함으로써,

상기 기록 액세스 요청의 데이터를 상기 복수의 물리적 메모리 어드레스들에서 상기 제2 압축된 하위 우선순위 메모리 라인에 저장하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 28

제24 항에 있어서,

상기 방법은:

상기 기록 액세스 요청의 데이터를 압축하고;

상기 기록 액세스 요청의 데이터의 압축에 기반하여, 상기 기록 액세스 요청의 데이터가 제외를 발생시킨다고 결정하고;

상기 기록 액세스 요청의 상기 제2 로지컬 메모리 어드레스와 미리 결정된 하위 우선순위 어드레스 범위의 가장 낮은 어드레스 사이의 차이에 2를 곱함으로써 하위 우선순위 어드레스 인덱스를 결정하고;

상기 하위 우선순위 어드레스 인덱스를 미리 결정된 상위 우선순위 어드레스 범위의 가장 낮은 어드레스에 합함으로써, 상기 복수의 물리적 메모리 어드레스들 중 제1 물리적 메모리 어드레스를 결정하고;

상기 기록 액세스 요청의 데이터의 제1 부분을 포함하는 상기 제2 압축된 하위 우선순위 메모리 라인의 제1 부분을 상기 제1 물리적 메모리 어드레스의 제1 끝에서 상기 제1 물리적 메모리 어드레스에 저장하고;

상기 기록 액세스 요청의 데이터의 제2 부분을 포함하는 상기 제2 압축된 하위 우선순위 메모리 라인의 제2 부분을, 상기 제1 물리적 메모리 어드레스에 인접한 제2 물리적 메모리 어드레스의 제2 끝에서 상기 제2 물리적 메모리 어드레스에 저장하고;

상기 제2 압축된 하위 우선순위 메모리 라인의 제1 부분 및 상기 제2 압축된 하위 우선순위 메모리 라인의 제2 부분 중 적어도 하나에 제외 포인터를 저장하고; 그리고

상기 기록 액세스 요청의 데이터의 제3 부분을 상기 제외 포인터에 대응하는 제3 물리적 메모리 어드레스에 저장함으로써,

상기 기록 액세스 요청의 데이터를 상기 복수의 물리적 메모리 어드레스들에서 상기 제2 압축된 하위 우선순위 메모리 라인에 저장하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 29

제24 항에 있어서,

상기 제2 압축된 하위 우선순위 메모리 라인의 길이를 포함하는 하위 우선순위 메타데이터를 상기 제2 압축된 하위 우선순위 메모리 라인에 저장하는 단계를 더 포함하는,

프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법.

청구항 30

메모리에 저장된 메모리 라인에 액세스하기 위한 프로세서-기반 시스템으로서,

메모리;

상기 메모리에 커플링되고, 상기 메모리에 액세스하도록 구성된 프로세서;

상기 메모리 및 상기 프로세서에 커플링된 메모리 액세스 디바이스를 포함하고, 상기 메모리 액세스 디바이스는:

상기 프로세서로부터 로지컬 메모리 어드레스를 포함하는 판독 액세스 요청을 수신하고;

상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 상기 판독 액세스 요청의 우선순위를 결정하고;

상기 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 판독 액세스 요청의 상기 로지컬 메모리 어드레스에서 상기 메모리로부터 압축된 상위 우선순위 메모리 라인을 리트리브하고; 그리고

상기 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하는 것에 대한 응답으로, 상기 판독 액세스 요청의 상기 로지컬 메모리 어드레스에 기반하여 결정된 복수의 물리적 메모리 어드레스들에서 상

기 메모리로부터 압축된 하위 우선순위 메모리 라인을 리트리브하도록 구성되는,
메모리에 저장된 메모리 라인에 액세스하기 위한 프로세서-기반 시스템.

발명의 설명

기술 분야

[0001] 본 출원은, 2016년 3월 18일자로 "PRIORITY-BASED ACCESS OF COMPRESSED MEMORY LINES IN MEMORY IN A PROCESSOR-BASED SYSTEM"란 명칭으로 출원된 미국 특허 출원 일련 번호 제15/074,444 호를 우선권으로 주장하며, 상기 가 특허 출원은 본원에 인용에 의해 그 전체가 통합된다.

[0002] 본 개시내용의 기술은 일반적으로 데이터를 컴퓨터 메모리에 저장하는 것에 관한 것이며, 더 상세하게는, 프로세서-기반 시스템의 메모리 내의 압축된 및 비압축된 메모리 라인들에 액세스하는 것에 관한 것이다.

배경 기술

[0003] 컴퓨팅 디바이스들은 사회에서 널리 퍼져 있다. 이들 디바이스들은 서버들, 컴퓨터들, 셀룰러 텔레폰들, PDA들(portable digital assistants), 휴대용 게임 콘솔들, 팜톱 컴퓨터들 및 다른 전자 디바이스들을 포함할 수 있다. 컴퓨팅 디바이스들은 전통적으로 매우 다양한 애플리케이션들에서 계산 작업들을 수행하는 프로세서-기반 시스템을 포함한다. 프로세서-기반 시스템은, 사용자에게 기능을 전달하기 위해, SoC(system-on-a-chip)에서 함께 작동하도록 설계된 다른 집적 회로들에 포함될 수 있다. 통상적인 프로세서-기반 시스템은 소프트웨어 명령들을 실행하는 하나 또는 그 초과 프로세서들을 포함한다. 소프트웨어 명령들은 메모리 내의 위치로부터 데이터를 페치(fetch)하고, 페치된 데이터를 사용하여 하나 또는 그 초과 프로세서 동작들을 수행하고, 저장된 결과를 생성하도록 프로세서에 명령한다. 예들로서, 소프트웨어 명령들은 시스템 또는 메인 메모리에 저장될 수 있다. 소프트웨어 명령들은 또한 더 빠른 페칭을 위해 캐시 메모리에 페치되어 저장될 수 있다. 예컨대, 캐시 메모리("캐시")는 프로세서에 대해 로컬인 캐시 메모리, 프로세서 블록 내의 프로세서들 사이에서 공유된 로컬 캐시, 다수의 프로세서 블록들 사이에서 공유된 캐시, 또는 프로세서-기반 시스템의 메인 메모리일 수 있다. 이와 관련하여, 시스템 또는 메인 메모리로부터 액세스되는 메모리 라인들의 크기는, 메모리 액세스 위해 시스템 또는 메인 메모리 내의 액세스되는 메모리 라인들이 효율 목적으로 캐시 메모리 내의 캐시 라인을 채울 수 있게 하기 위한 캐시 라인들의 크기일 수 있다.

[0004] 도 1은 프로세서-기반 시스템(102)을 포함하는 예시적인 SoC(100)의 개략도이다. 프로세서-기반 시스템(102)은 복수의 프로세서 블록들(104(1)-104(N))을 포함하고, 여기서 'N'은 요구된 프로세서 블록들(104)의 임의의 수와 동일하다. 각각의 프로세서 블록(104(1)-104(N))은 2개의 프로세서들(106(1), 106(2)) 및 공유 레벨 2(L2) 캐시(108(1)-108(N))를 각각 포함한다. 프로세서 블록들(104(1)-104(N)) 중 임의의 것에 의해 사용되거나, 이들 각각 사이에서 공유되는 캐싱된 데이터를 저장하기 위한 공유 레벨 3(L3) 캐시(110)가 또한 제공된다. 프로세서 블록들(104(1)-104(N)) 각각이 공유 L3 캐시(110)뿐만 아니라 메인, 외부 메모리(예컨대, DDR(double-rate DRAM(dynamic random access memory)))에 액세스하기 위한 메모리 제어기(114), 주변장치들(116), 다른 저장소(118), 고속 PCI(peripheral component interconnect) 인터페이스(120), DMA(direct memory access) 제어기(122) 및 IMC(integrated memory controller)(124)를 포함하는 다른 공유된 자원들에 액세스할 수 있게 하는 내부 시스템 버스(112)가 제공된다.

[0005] 프로세서-기반 시스템들이 복잡성 및 성능이 증가함에 따라, 메모리의 메모리 용량 요건들이 또한 증가할 수 있다. 그러나, 프로세서-기반 시스템에서 추가 메모리 용량을 제공하는 것은 집적 회로 상의 메모리에 대해 필요로 되는 비용 및 영역을 증가시킨다. 캐시 라인 레벨 압축과 같은 메모리 용량 압축 — 여기서 메모리 라인마다, 캐시 라인들의 크기가 독립적으로 압축됨 — 은, 물리적 메모리 용량을 증가시키지 않고서, 프로세서-기반 시스템의 유효 메모리 용량을 증가시키기 위해 운영 시스템에 알기 쉽게(transparent) 사용될 수 있다. 그러나, 메모리에서 압축된 라인들을 어드레스하는 것은 메모리 판독 액세스 레이턴시를 증가시킬 수 있는데, 왜냐하면 메모리 판독 액세스에 대한 응답으로, 압축된 데이터를 압축해제하는 데 프로세싱 시간이 소요되기 때문이다. 또한, 압축된 데이터를 메모리에 기록하는 것은 메모리 기록 레이턴시를 증가시킬 수 있는데, 왜냐하면 메모리에 기록될 데이터를 압축하는 데 프로세싱 시간이 소요되기 때문이다. 추가로, 데이터 압축은 메모리 관리 복잡성을 증가시킬 수 있는데, 왜냐하면 프로세서가 고정-크기 캐시 라인들의 로지컬 메모리 어드레스들을, 고정-크기 캐시 라인들에 대응하는 메모리 내의 가변 크기 압축된 캐시 라인들을 저장하는 대응하는 물리적 메모리 어드레스들로 맵핑하기 때문이다. 결과적으로, 예컨대, 메모리 내의 특정 캐시 라인에 액세스하

는 것은, 특정 캐시 라인에 대응하는 메모리 내의 압축된 캐시 라인의 위치를 결정하기 위한 어드레스 컴퓨테이션의 추가 계층 및 메모리 내의 메타데이터에 대한 액세스를 요구할 수 있다. 이는 메모리 용량 압축을 사용하는 프로세서-기반 시스템에 대한 복잡성, 비용 및 레이턴시를 증가시킬 수 있다.

발명의 내용

- [0006] 본원에 개시된 양상들은 프로세서-기반 시스템의 메모리 내의 압축된 메모리 라인들의 우선순위-기반 액세스를 포함한다. 이와 관련하여, 하나의 예시적인 양상에서, 프로세서-기반 시스템의 메모리 액세스 디바이스(예컨대, 메모리 제어기 또는 압축/압축해제 엔진)는 메모리로부터 메모리 라인에 액세스하기 위한 판독 액세스 요청 - 판독 액세스 요청은 로지컬 메모리 어드레스를 포함함 - 을 수신한다. 메모리 내의 각각의 어드레스 가능한 메모리 위치는, 캐시 라인 크기일 수 있는 버스트 데이터 길이의 크기까지 메모리 라인의 데이터를 저장하도록 구성된다. 메모리 액세스 디바이스는 판독 액세스 요청의 우선순위를 결정한다. 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이면, 메모리 액세스 디바이스는, 압축된 메모리 라인을 메모리에 저장하는 메모리 위치에 액세스하기 위해, 물리적 메모리 어드레스로서 판독 액세스 요청의 로지컬 메모리 어드레스를 사용한다. 메모리 내의 압축된 메모리 라인은 요청된 상위 우선순위 데이터를 압축된 형태(즉, 압축된 상위 우선순위 메모리 라인)로 포함한다. 이러한 방식으로, 메모리 내의 대응하는 압축된 메모리 라인의 메모리 위치를 결정하고 이에 액세스하기 위해, 대응하는 물리적 메모리 어드레스로의 상위 우선순위 판독 액세스 요청의 로지컬 메모리 어드레스의 변환과 연관된 레이턴시가 요구되지 않는다. 결과적으로, 상위 우선순위 데이터에 대한 메모리 판독 액세스 레이턴시가 감소될 수 있다.
- [0007] 대응하는 상위 우선순위 데이터에 액세스하는 데 사용되는 로지컬 메모리 어드레스에서 메모리에 압축된 상위 우선순위 메모리 라인들을 저장하는 것은 상위 우선순위 데이터에 대한 더 빠른 액세스를 허용한다. 이는 또한 압축된 하위 우선순위 메모리 라인들을 저장하기 위한 메모리 내의 추가 공간을 생성한다. 예컨대, 압축된 하위 우선순위 메모리 라인들은, 메모리 내의 저장된 압축된 상위 우선순위 메모리 라인들 사이의 공간들 걸쳐 남겨진 "홀들(holes)"에 저장될 수 있다. 이와 관련하여, 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이면, 메모리 액세스 디바이스는, 로지컬 메모리 어드레스에 기반하여 판독 액세스 요청의 로지컬 메모리 어드레스를 물리적 메모리 어드레스로 변환한다. 이어서, 메모리 액세스 디바이스는, 요청된 하위 우선순위 데이터를 압축된 형태로 포함하는 메모리 내의 압축된 메모리 라인, 즉, 압축된 하위 우선순위 메모리 라인을 저장하는 메모리 위치에 액세스하기 위해, 물리적 메모리 어드레스를 사용한다. 이러한 방식으로, 메모리 판독 액세스들을 위한 로지컬 메모리 어드레스의 변환은 하위 우선순위 판독 액세스 요청들에 제한되고, 따라서 프로세서-기반 시스템 내의 압축된 메모리 라인들의 더 높은 전체 메모리 액세스 효율을 제공한다.
- [0008] 이와 관련하여, 하나의 예시적인 양상에서, 프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스가 제공된다. 메모리 액세스 디바이스는 로지컬 메모리 어드레스를 포함하는 판독 액세스 요청을 수신하도록 구성된 제어 포트 및 메모리에 액세스하도록 구성된 메모리 액세스 포트를 포함한다. 메모리 액세스 디바이스는 상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 판독 액세스 요청의 우선순위를 결정하도록 구성된다. 메모리 액세스 디바이스는, 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정한 것에 대한 응답으로, 메모리 액세스 포트를 통해, 판독 액세스 요청의 로지컬 메모리 어드레스에서의 메모리로부터 압축된 상위 우선순위 메모리 라인을 리트리브(retrieve)하도록 추가로 구성된다. 메모리 액세스 디바이스는, 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정한 것에 대한 응답으로, 메모리 액세스 포트를 통해, 판독 액세스 요청의 로지컬 메모리 어드레스에 기반하여 결정된 물리적 메모리 어드레스들에서의 메모리로부터 압축된 하위 우선순위 메모리 라인을 리트리브하도록 추가로 구성된다.
- [0009] 다른 예시적인 양상에서, 프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스가 제공된다. 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스는 로지컬 메모리 어드레스를 포함하는 판독 액세스 요청을 수신하기 위한 수단 및 메모리에 액세스하기 위한 수단을 포함한다. 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스는 상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 판독 액세스 요청의 우선순위를 결정하기 위한 수단을 포함한다. 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스는, 판독 액세스 요청의 우선순위가 상위 우선순위 판독 액세스 요청이라고 결정한 것에 대한 응답으로, 메모리에 액세스하기 위한 수단을 통해, 판독 액세스 요청의 로지컬 메모리 어드레스에서의 메모리로부터 압축된 상위 우선순위 메모리 라인을 리트리브하기 위한 수단을 더 포함한다. 메모리 라인에 액세스하기 위한 메모리 액세스 디바이스는 또한, 판독 액세스 요청이 하위 우선순위 판독 액세스 요청

이라고 결정한 것에 대한 응답으로, 메모리에 액세스하기 위한 수단을 통해, 판독 액세스 요청의 로지컬 메모리 어드레스에 기반하여 결정된 복수의 물리적 메모리 어드레스들에서의 메모리로부터 압축된 하위 우선순위 메모리 라인을 리트리브하기 위한 수단을 포함한다.

[0010] 다른 예시적인 양상에서, 프로세서-기반 시스템의 메모리에 저장된 메모리 라인에 액세스하기 위한 방법이 제공된다. 메모리 라인에 액세스하기 위한 방법은, 메모리 액세스 디바이스에 의해, 판독 액세스 요청을 수신하는 단계 및 상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 판독 액세스 요청의 우선순위를 결정하는 단계를 포함한다. 메모리 라인에 액세스하기 위한 방법은, 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정한 것에 대한 응답으로, 메모리 액세스 디바이스의 메모리 액세스 포트를 통해, 판독 액세스 요청의 로지컬 메모리 어드레스에서의 메모리 내의 메모리 위치에 저장된 상위 우선순위 데이터를 리트리브하는 단계를 더 포함한다. 메모리 라인에 액세스하기 위한 방법은, 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정한 것에 대한 응답으로, 메모리 액세스 디바이스의 메모리 액세스 포트를 통해, 판독 액세스 요청의 로지컬 메모리 어드레스에 기반하여 결정된 물리적 메모리 어드레스들에서의 메모리 내의 복수의 인접한 메모리 위치들에 저장된 하위 우선순위 데이터를 리트리브하는 단계를 더 포함한다.

[0011] 다른 양상에서, 메모리의 메모리 라인에 액세스하기 위한 프로세서-기반 시스템이 제공된다. 프로세서-기반 시스템은 메모리, 메모리에 커플링되고, 메모리에 액세스하도록 구성된 프로세서, 및 메모리 및 프로세서에 커플링된 메모리 액세스 디바이스를 포함한다. 메모리 액세스 디바이스는 프로세서로부터 로지컬 메모리 어드레스를 포함하는 판독 액세스 요청을 수신하고, 그리고 상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 판독 액세스 요청의 우선순위를 결정하도록 구성된다. 메모리 액세스 디바이스는, 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정한 것에 대한 응답으로, 판독 액세스 요청의 로지컬 메모리 어드레스에서의 메모리로부터 압축된 상위 우선순위 메모리 라인을 리트리브하도록 추가로 구성된다. 메모리 액세스 디바이스는 또한, 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정한 것에 대한 응답으로, 판독 액세스 요청의 로지컬 메모리 어드레스에 기반하여 결정된 복수의 물리적 메모리 어드레스들에서의 메모리로부터 압축된 하위 우선순위 메모리 라인을 리트리브하도록 구성된다.

도면의 간단한 설명

[0012] 도 1은 프로세서-기반 시스템을 포함하는 예시적인 SoC(system-on-a-chip)의 개략도이다.

[0013] 도 2는, 상위 우선순위 판독 액세스 요청들에 대한 판독 액세스 레이턴시를 감소시키기 위해 메모리 내의 압축된 메모리 라인들의 우선순위-기반 액세스를 제공하도록 구성된 메모리 액세스 디바이스를 포함하는 예시적인 프로세서-기반 시스템의 블록도이다.

[0014] 도 3은, 상위 우선순위 판독 액세스 요청들에 대한 판독 액세스 레이턴시를 감소시키기 위해 도 2의 프로세서-기반 시스템의 메모리 내의 압축된 메모리 라인들의 우선순위-기반 판독 액세스를 위한 예시적인 프로세스를 예시하는 흐름도이다.

[0015] 도 4는 도 2에 예시된 프로세서-기반 시스템의 메모리 내의 상위 우선순위 데이터 및 하위 우선순위 데이터를 위한 저장된 압축된 메모리 라인들의 예시적인 메모리 구성을 예시하는 도면이다.

[0016] 도 5는 도 4에 예시된 예시적인 메모리 구성에서 저장된 압축된 메모리 라인들의 메모리 구성의 더 상세한 예시적인 세부사항을 예시하는 도면이다.

[0017] 도 6은 도 5의 메모리 구성에 사용될 수 있는 메모리 구성의 추가의 예시적인 세부사항을 설명하기 위한 예시적인 메모리 구성들을 예시하는 도면이다.

[0018] 도 7a 및 7b는 도 5의 메모리 구성에 사용될 수 있는 메모리 구성의 추가의 예시적인 세부사항을 설명하기 위한 예시적인 메모리 구성들을 예시하는 도면들이다.

[0019] 도 8은 압축된 상위 우선순위 메모리 라인이 제외를 나타낼 때, 도 2에 예시된 프로세서-기반 시스템의 메모리 내의 압축된 상위 우선순위 메모리 라인의 우선순위-기반 판독 액세스를 위한 예시적인 프로세스를 예시하는 흐름도이다.

[0020] 도 9는 압축된 하위 우선순위 메모리 라인이 제외를 나타낼 때, 도 2에 예시된 프로세서-기반 시스템의 메모리 내의 압축된 하위 우선순위 메모리 라인의 우선순위-기반 판독 액세스를 위한 예시적인 프로세스를 예시하는 흐름도이다.

[0021] 도 10은 도 2에 예시된 프로세서-기반 시스템의 메모리 내의 압축된 메모리 라인들에 대한 우선순위-기반 기록 액세스를 위한 예시적인 프로세스를 예시하는 흐름도이다.

[0022] 도 11은 도 2에 예시된 프로세서-기반 시스템의 메모리 내의 하위 우선순위 압축된 메모리 라인들에 대한 우선순위-기반 기록 액세스를 위한 프로세스에 대한 추가의 예시적인 세부사항을 예시하는 흐름도이다.

[0023] 도 12는 상위 우선순위 판독 액세스 요청들에 대한 판독 액세스 레이턴시를 감소시키기 위해 메모리 내의 압축된 메모리 라인들의 우선순위-기반 액세스를 제공하도록 구성된 메모리 액세스 디바이스를 포함할 수 있는 예시적인 프로세서-기반 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] [0024] 이제, 도시한 도면들을 참조하여, 본 개시내용의 몇몇 예시적 양상들이 설명된다. "예시적"이란 단어는 본원에서 "예, 사례, 또는 예시로서의 역할을 하는"을 의미하기 위해 사용된다. 본원에서 "예시적"으로서 설명되는 임의의 양상이 반드시 다른 양상들에 비하여 바람직하거나 또는 유리한 것으로서 해석되지 않는다.
- [0014] [0025] 이와 관련하여, 도 2는 예시적인 프로세서-기반 시스템(200)의 블록도이다. 프로세서-기반 시스템(200) 내의 압축된 메모리 라인들의 우선순위-기반 액세스의 예시적인 양상들을 논의하기 전에, 프로세서-기반 시스템(200)의 예시적인 컴포넌트들의 설명이 먼저 아래에 제공된다.
- [0015] [0026] 이와 관련하여, 프로세서-기반 시스템(200)은 상위 우선순위 판독 액세스 요청들에 대한 판독 액세스 레이턴시를 감소시키기 위해 메모리에 압축된 메모리 라인들의 우선순위-기반 액세스를 제공하도록 구성된 메모리 액세스 디바이스(204)를 포함하는 메모리 시스템(202)을 포함한다. 예컨대, 메모리 액세스 디바이스(204)는 메모리 시스템(202)을 위한 메모리 제어기에 포함될 수 있다. 이러한 예에서, 프로세서-기반 시스템(200)의 메모리 액세스 디바이스(204)는 이러한 예에서 압축/압축해제 엔진(206)의 형태로 제공된다. 압축/압축해제 엔진(206)은 상위 우선순위 판독 액세스 요청들에 대한 판독 액세스 레이턴시를 감소시키기 위해 메모리(208) 내의 메모리 위치들(M(0)-M(X-1))의 메모리 라인들(ML(0)-M(X-1))에 저장된 압축된 메모리 라인들의 우선순위-기반 액세스를 제공하도록 구성되고, 여기서 'X'는 메모리(208)에 제공된 메모리 위치들의 임의의 수를 나타낸다. 프로세서-기반 시스템(200)은 프로세서(210)를 더 포함한다. 프로세서(210)는 메모리(208)에 저장된 프로그램 명령들을 실행하거나, 그렇지 않다면 프로세서-기반 기능을 수행하기 위해 메모리(208)에 저장된 데이터를 활용하도록 구성된다.
- [0016] [0027] 프로세서(210)는 프로세서 메모리 액세스 경로(212)를 통해 메모리 시스템(202)과 통신한다. 압축/압축해제 엔진(206)은 프로세서 메모리 액세스 경로(212)를 통해 프로세서(210)로부터 판독 액세스 요청 및 기록 액세스 요청을 수신하도록 구성된 제어 포트(213)를 포함한다. 프로세서 메모리 액세스 경로(212)는 메모리 시스템(202)에 대한 액세스를 제어하기 위한 제어 버스(214), 메모리 액세스에 대응하는 어드레스를 제공하기 위한 어드레스 버스(216), 및 메모리 시스템(202)과 데이터를 교환하기 위한 데이터 버스(218)를 포함한다. 압축/압축해제 엔진(206)은 메모리(208)에 대한 메모리 판독/기록 액세스들을 제어하도록 구성된다. 따라서, 압축/압축해제 엔진(206)은 메모리(208)에 대한 액세스를 제공하는 메모리 액세스 포트(219)를 더 포함한다. 예컨대, 압축/압축해제 엔진(206)은 메모리 액세스 포트(219)를 통해 메모리(208)로부터 데이터를 리트리브하고, 압축되면, 리트리브된 데이터를 압축해제하고, 리트리브된 데이터를 외부 디바이스, 이를테면, 프로세서(210)에 제공하도록 구성된다. 압축/압축해제 엔진(206)은 또한 프로세서(210)와 같은 외부 디바이스로부터 수신된 데이터를 압축하고, 메모리 액세스 포트(219)를 통해 메모리(208)에 데이터를 저장하도록 구성된다. 그러나, 다른 양상들에서, 프로세서는 메모리 액세스 디바이스(204)로서 동작하고, 프로세서 메모리 액세스 경로(212)를 통해 메모리(208)에 대해 직접적으로 메모리 판독/기록 액세스들을 수행할 수 있다.
- [0017] [0028] 도 2를 계속 참조하면, 압축/압축해제 엔진(206)은 메모리(208)로부터 상위 우선순위 데이터를 판독하도록 구성된 높은 우선순위 디코드 엔진(220)을 포함한다. 압축/압축해제 엔진(206) 또한 메모리(208)로부터 하위 우선순위 데이터를 판독하도록 구성된 낮은 우선순위 디코드 엔진(222)을 포함한다.
- [0018] [0029] 예시적인 프로세서-기반 시스템(200)에서, 메모리(208)는 압축된 메모리 라인들을 저장하는 메모리 유닛(224)을 포함한다. 메모리 유닛(224)은 X 물리적 메모리 위치들(M(0)-M(X-1))을 포함하며, 각각의 물리적 메모리 위치(M)는 미리 결정된 크기, 예컨대, 64 바이트들의 데이터의 메모리 라인(ML)을 저장하도록 구성된다. 압축된 메모리 라인들은 압축/압축해제 엔진 메모리 액세스 경로(228)를 통해 압축/압축해제 엔진(206)에 의해 메모리 유닛(224)에 저장될 수 있다. 위에 언급된 바와 같이, 다른 양상들에서, 압축된 메모리 라인들은 프로

세서 메모리 액세스 경로(212)를 통해 프로세서(210)에 의해 메모리 유닛(224)에 저장될 수 있다.

- [0019] [0030] 예시적인 양상에서, 각각의 물리적 메모리 위치(M)는 각각의 메모리 라인(ML)에 제1 압축된 메모리 라인을 그리고 제2 압축된 메모리 라인의 부분을 저장한다. 제2 압축된 메모리 라인의 부분은 제1 메모리 라인의 압축에 의해 대응하는 메모리 라인(ML(0)-ML(X-1))에 남겨진 "홀들(holes)"에 저장된다. 이는 메모리 유닛(224)이 메모리 유닛(224)의 X개의 물리적 메모리 위치들(M(0)-M(X-1))의 X개의 메모리 라인들(ML(0)-ML(X-1))에 X 개 초과 압축된 메모리 라인들을 저장하도록 허용한다.
- [0020] [0031] 하나의 예시적인 양상에서, 메모리(208)는 멀티-레벨 캐시 메모리로서 동작할 수 있으며, 여기서 하나 또는 그 초과 캐시 레벨들의 멀티-레벨 캐시는 더 빠른 판독 액세스를 위해 메모리 유닛(224)으로부터 이전에 액세스된 비압축된 메모리 라인들을 저장할 수 있다. 이와 관련하여, 메모리(208)는 비압축된 메모리 라인들을 저장하는 선택적인 하위 레벨 캐시(226)를 포함할 수 있고, 메모리 유닛(224)은 압축된 메모리 라인들을 저장하는 상위 레벨 캐시 메모리로서 동작할 수 있다. 선택적인 하위 레벨 캐시(226)는 어드레스 버스(216)로부터 어드레스 정보를 수신할 수 있고, 선택적인 히트/미스(hit/miss) 라인(230)을 통해 압축/압축해제 엔진(206)과 히트/미스 정보를 교환할 수 있다. 이와 관련하여, 판독 액세스 요청의 메모리 어드레스가 선택적 하위 레벨 캐시(226)에서의 캐시 히트를 발생시키면, 이에 따라 선택적인 하위 레벨 캐시(226)는 선택적 히트/미스 라인(230)을 통해 압축/압축해제 엔진(206)에 시그널링하고, 요청된 데이터를 데이터 버스(218)를 통해 프로세서(210)에 제공한다. 그러나, 판독 액세스 요청의 로지컬 메모리 어드레스가 선택적 하위 레벨 캐시(226)에서 캐시 미스를 발생시키면, 이에 따라 선택적 하위 레벨 캐시(226)는 선택적 히트/미스 라인(230)을 통해 압축/압축해제 엔진(206)에 시그널링한다. 이어서, 압축/압축해제 엔진(206)은, 메모리 유닛(224)에서 대응하는 압축된 메모리 라인(ML)에 액세스하고, 압축된 메모리 라인을 압축해제하고, 압축해제된 데이터를 선택적인 하위 레벨 캐시(226)에 저장함으로써, 요청된 데이터에 액세스한다. 이어서, 선택적인 하위 레벨 캐시(226)는 요청된 데이터를 데이터 버스(218)를 통해 프로세서(210)에 제공한다. 간략화를 위해, 그리고 비제한적으로, 앞으로 메모리 유닛(224)만을 포함하는 메모리(208)가 설명될 것이다.
- [0021] [0032] 하나의 예시적인 양상에서, 압축된 메모리 라인들의 우선순위-기반 액세스를 프로세서-기반 시스템(200)의 메모리(208)에 제공하기 위해, 압축/압축해제 엔진(206)은 메모리(208)로부터 데이터에 액세스하기 위한 판독 액세스 요청을 수신한다. 요청된 데이터는 미리 결정된 크기를 갖고, 메모리(208) 내의 어드레싱 가능한 물리적 메모리 위치들(M(0)-M(X-1)) 각각은 미리 결정된 크기의 대응하는 메모리 라인(ML(0)-ML(X-1))을 저장하도록 구성된다. 각각의 메모리 라인(ML(0)-ML(X-1))은 압축된 상위 우선순위 메모리 라인을 포함하는 제1 압축된 메모리 라인, 및 압축된 하위 우선순위 메모리 라인의 부분을 포함하는 제2 압축된 메모리 라인의 부분을 포함하도록 구성된다. 이는 메모리(208)가 대응하는 물리적 메모리 위치(M(0)-M(X-1))의 메모리 라인(ML(0)-ML(X-1)) 내에 각각 최대 X개의 압축된 상위 우선순위 메모리 라인들을 저장할 수 있게 하고, 따라서, 대응하는 상위 우선순위 데이터의 로지컬 메모리 어드레스에 대응하는 메모리(208)의 물리적 메모리 위치(M(0)-M(X-1))에 최대 X개의 압축된 상위 우선순위 메모리 라인들을 각각 저장할 수 있게 한다. 또한, 이는 메모리(208)가 메모리(208)의 X개의 물리적 메모리 위치들(M(0)-M(X-1)) 내에 추가적인 압축된 메모리 라인들, 즉, 압축된 하위 우선순위 메모리 라인들을 저장할 수 있게 하고, 따라서, 메모리(208)의 크기를 증가시키지 않고서 메모리(208)의 용량을 증가시킨다. 따라서, 예시적인 양상에서, 압축/압축해제 엔진(206)은, 메모리(208)의 용량을 증가시키면서, 감소된 레이턴시로 메모리(208) 내의 상위 우선순위 데이터에 액세스할 수 있다.
- [0022] [0033] 이와 관련하여, 이러한 예에서, 프로세서 메모리 액세스 경로(212)를 통해 판독 액세스 요청을 수신할 때, 압축/압축해제 엔진(206)은 판독 액세스 요청의 우선순위를 결정한다. 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이면, 압축/압축해제 엔진(206)은, 요청된 상위 우선순위 데이터를 포함하는 물리적 메모리 위치((M(0)-M(X-1)))에 액세스하기 위해 물리적 메모리 어드레스로서 어드레스 버스(216) 내의 판독 액세스 요청의 로지컬 메모리 어드레스를 사용한다. 메모리(208)의 물리적 메모리 위치(M(0)-M(X-1))는, 판독 액세스 요청에 대응하는 압축된 상위 우선순위 메모리 라인을 압축된 형태로 포함하는 메모리 라인(ML(0)-ML(X-1))을 포함한다. 이러한 방식으로, 메모리(208)의 대응하는 물리적 메모리 어드레스(M(0)-M(X-1))로의 상위 우선순위 판독 액세스 요청의 로지컬 메모리 어드레스의 변환과 연관된 레이턴시는 메모리(208)로부터 요구된 상위 우선순위 데이터에 액세스하도록 요구되지 않는다. 압축/압축해제 엔진(206)은 압축된 상위 우선순위 데이터를 압축해제하고, 메모리 시스템(202)은 요청된 상위 우선순위 데이터를 데이터 버스(218)를 통해 프로세서(210)에 제공한다.
- [0023] [0034] 반면에, 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이면, 압축/압축해제 엔진(206)은, 요청된 하위 우선순위 데이터를 저장하는 인접한 메모리 위치들(M(0)-M(X-1))에 액세스하기 위해 판독 액세스 요청의

로지컬 메모리 어드레스를 물리적 메모리 어드레스로 변환한다. 인접한 물리적 메모리 위치들(M(0)-M(X-1)) 각각은 대응하는 상위 우선순위 데이터의 압축에 의해 남겨진 홀을 포함하고, 홀들은 요청된 하위 우선순위 데이터를 압축된 형태로 포함하는 메모리 라인(ML(0)-ML(X-1))을 저장하도록 결합한다. 따라서, 압축/압축해제 엔진(206)은 압축된 하위 우선순위 데이터를 압축해제하고, 요청된 하위 우선순위 데이터를 데이터 버스(218)를 통해 제공할 수 있다. 이러한 방식으로, 판독 액세스 요청에 대한 로지컬 메모리 어드레스의 변환이 요구되지만, 그러한 변환은 하위 우선순위 판독 액세스 요청들로 제한되고, 따라서 프로세서-기반 시스템(200)에서 압축된 메모리 라인들의 더 높은 전체 메모리 액세스 효율을 제공한다. 또한, 압축된 하위 우선순위 메모리 라인들은 상위 우선순위 데이터의 압축에 의해 남겨진 홀에 저장되고, 따라서 메모리 크기를 증가시키지 않고서 메모리 용량을 증가시킨다.

[0024] [0035] 도 3은, 판독 액세스 레이턴시를 감소시키기 위해, 압축/압축해제 엔진(206)이 도 2의 프로세서-기반 시스템(200) 내의 메모리(208) 내의 압축된 메모리 라인들의 우선순위-기반 판독 액세스 요청을 수행하는 예시적인 프로세스(300)를 예시한 흐름도이다. 위에 논의된 바와 같이, 프로세서-기반 시스템(200)의 예에서, 압축/압축해제 엔진(206)은, 메모리(208)가 선택적인 하위 레벨 캐시(226)를 포함하지 않을 때, 또는 선택적인 하위 레벨 캐시가 포함되는 경우 선택적인 하위 레벨 캐시(226)에서 미스가 발생하면, 메모리 판독 요청을 수행하도록 요구된다. 예시적인 프로세스(300)에서, 압축/압축해제 엔진(206)은 프로세서 메모리 액세스 경로(212)를 통해 프로세서(210)로부터 판독 액세스 요청을 수신하도록 구성된다(블록 302). 판독 액세스 요청은 메모리(208)의 물리적 메모리 위치(M(0)-M(X-1))에 액세스하기 위한, 어드레스 버스(216)를 통해 제공된 로지컬 메모리 어드레스를 포함한다. 압축/압축해제 엔진(206)은 또한, 상위 우선순위 판독 액세스 요청 및 하위 우선순위 판독 액세스 요청 중에서 판독 액세스 요청의 우선순위를 결정하도록 구성된다(블록 304). 압축/압축해제 엔진(206)은 또한, 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이면, 압축/압축해제 엔진 메모리 액세스 경로(228)를 통해, 판독 액세스 요청의 로지컬 메모리 어드레스에서의 메모리(208) 내의 물리적 메모리 위치(M(0)-M(X-1))에 저장된 상위 우선순위 데이터를 리트리브하도록 구성된다(블록(306)). 압축/압축해제 엔진(206)은 또한, 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이면, 판독 액세스 요청의 로지컬 메모리 어드레스에 기반하여 결정된, 메모리(208) 내의 복수의 인접한 물리적 메모리 위치들(M(0)-M(X-1))에 저장된 하위 우선순위 데이터를, 압축/압축해제 엔진 메모리 액세스 경로(228)를 통해, 리트리브하도록 구성된다(블록 308).

[0025] [0036] 따라서, 메모리(208) 내의 압축된 메모리 라인의 우선순위-기반 판독 액세스를 위한 예시적인 프로세스(300)는 대응하는 물리적 메모리 어드레스에 상위 우선순위 판독 액세스 요청의 로지컬 메모리 어드레스의 변환을 요구하지 않는다. 이것은 메모리(208) 또는 다른 메모리 내의 메타데이터를 채택하고 액세스할 필요성을 제거하고 및/또는 변환을 수행하기 위해 인덱싱을 사용하고 관련된 레이턴시를 피할 수 있다. 따라서, 예컨대, 가장 빈번하게 사용되는 데이터를 상위 우선순위 메모리 라인에 저장함으로써, 이러한 예시적인 양상들은, 요청된 데이터의 로지컬 메모리 어드레스의 변환이 그들의 우선순위에 상관없이 액세스를 위해 요구되는 시스템에서 보다, 프로세서-기반 시스템(200)에서 더 높은 전체 메모리 액세스 효율을 산출한다.

[0026] [0037] 위에 논의된 프로세서-기반 시스템(200)의 메모리(208) 내의 압축된 메모리 라인들의 우선순위-기반 액세스는 메모리(208)의 복수의 미리 결정된 구성 특성들에 의해 지원될 수 있다. 이들 미리 결정된 구성 특성들은 대응하는 어드레스의 패리티 및 압축된 메모리 라인의 우선순위에 기반한 메모리 라인(ML(0)-ML(X-1)) 내의 압축된 메모리 라인들의 위치, 및 메모리(208)의 크기를 포함할 수 있다. 압축/압축해제 엔진(206)은 메모리(208)로부터 데이터를 효율적으로 리트리브하기 위해 이들 미리 결정된 구성 특성들을 사용할 수 있다. 예컨대, 압축/압축해제 엔진(206)은, 요청된 하위 우선순위 데이터를 포함하는 압축된 하위 우선순위 메모리 라인의 물리적 메모리 위치(M(0)-M(X-1))를 결정하기 위해, 압축된 메모리 라인의 우선순위 및 메모리(208)의 크기를 알 필요가 있다.

[0027] [0038] 이와 관련하여, 도 4는 도 2에 예시된 프로세서-기반 시스템(200)의 메모리(208) 내의 상위 우선순위 데이터 및 하위 우선순위 데이터에 대한 저장된 압축된 메모리 라인들의 예시적인 메모리 구성(400)을 예시하는 도면이다. 도 2의 메모리(208)에 관련하여 그리고 특히 메모리(208) 내의 메모리 유닛(224)에 관련하여 언급된 바와 같이, 메모리(208)는 X개의 물리적 메모리 위치들(M(0)-M(X-1))을 포함하고, 물리적 메모리 위치들(M(0)-M(X-1)) 각각은 미리 결정된 크기, 예컨대, 64 바이트들의 메모리 라인(ML(0)-ML(X-1))을 저장하도록 구성된다. 예시적인 메모리 구성(400)에서, 물리적 메모리 위치들(M(0)-M(X-1)) 각각은 압축된 상위 우선순위 메모리 라인(402)(도 4에서 CHPML(402)로 도시됨)을 포함하는 메모리 라인(ML(0)-ML(X-1))을 저장할 수 있다. 또한, 물리적 메모리 위치들(M(0)-M(X-1)) 각각은 대응하는 압축된 상위 우선순위 메모리 라인(402)의 압축에 의해 물리적 메모리 위치(M(0)-M(X-1))에 남겨진 홀을 적어도 부분적으로 채우는 압축된 하위 우선순위 메모리 라인(도 4의

CLPML(404)로 도시됨)의 부분을 저장할 수 있다. 메모리(208)는 최대 X개의 압축된 상위 우선순위 메모리 라인들(402(0)-402(X-1))을 저장한다. 각각의 압축된 상위 우선순위 메모리 라인(402)은 대응하는 메모리 라인(ML(0)-ML(X-1))에 배치되고, 대응하는 비압축된 상위 우선순위 메모리 라인, 즉, 대응하는 상위 우선순위 데이터의 로지컬 메모리 어드레스와 매칭하는 대응하는 물리적 메모리 위치(M(0)-M(X-1))에 저장된다. 이러한 구성 특성은 메모리(208) 내의 대응하는 물리적 메모리 위치(M(0)-M(X-1))로부터 단지 하나의 메모리 라인(ML(0)-ML(X-1))을 판독함으로써 각각의 압축된 상위 우선순위 메모리 라인(402)이 액세스되도록 허용한다. 그러나, 이러한 구성 특성을 이용하기 위해, 압축/압축해제 엔진(206)은 판독 액세스 요청이 상위 우선순위 액세스 요청이라고 결정할 필요가 있다.

[0028]

[0039] 이와 관련하여, 압축/압축해제 엔진(206)은, 판독 액세스 요청의 로지컬 메모리 어드레스가 0으로부터 X-1로 연장되는 상위 우선순위 어드레스 범위 내에 있다고 결정함으로써, 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정하도록 구성된다. 상세하게, 위에 언급된 바와 같이, 메모리(208)는 X개의 물리적 메모리 위치들(M(0)-M(X-1))을 포함한다. 하나의 예시적인 양상에서, 물리적 메모리 위치들(M(0)-M(X-1)) 각각은, 물리적 메모리 위치(M(0)-M(X-1))로서 판독 액세스 요청의 로지컬 메모리 위치를 사용하여 액세스될 수 있는 하나의 압축된 상위 우선순위 메모리 라인(402)을 포함한다. 따라서, 예시적인 메모리 구성(400)에서, 압축된 상위 우선순위 메모리 라인들(402)은 하위 X개의 물리적 메모리 위치들(M(0)-M(X-1))에 저장된다. 따라서, 하나의 예시적인 양상에서, 상위 우선순위 어드레스 범위는 0에서부터 X-1까지이고, 압축/압축해제 엔진(206)은, 판독 액세스 요청의 로지컬 메모리 어드레스가 0 내지 X-1에 속한다고 결정함으로써, 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정할 수 있다.

[0029]

[0040] 이러한 예에서, 판독 액세스 요청의 우선순위를 표시하기 위해 판독 액세스 요청의 로지컬 메모리 어드레스를 사용하는 것은, 수신된 판독 액세스 요청이 상위 우선순위 액세스 요청이라고 결정하기 위해, 메모리(208) 또는 다른 메모리 내의 메타데이터에 액세스할 필요성을 제거한다. 또한, 각각의 로지컬 메모리 어드레스가 압축된 상위 우선순위 메모리 라인(402) 또는 압축된 하위 우선순위 메모리 라인(404) 중 하나에 대응하기 때문에, 압축/압축해제 엔진(206)은 또한, 판독 액세스 요청의 로지컬 메모리 어드레스가 상위 우선순위 어드레스 범위를 벗어난다고 결정함으로써, 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정하도록 구성된다. 그러나, 하위 우선순위 판독 액세스 요청에 대해, 압축/압축해제 엔진(206)은, 판독 액세스 요청의 로지컬 메모리 어드레스의 변환을 사용하여, 요청된 하위 우선순위 데이터, 즉, 대응하는 압축된 하위 우선순위 메모리 라인(404)을 포함하는 물리적 메모리 위치들(M(0)-M(X-1))을 결정할 필요가 있다.

[0030]

[0041] 이와 관련하여, 일 양상에서, 대응하는 물리적 메모리 위치(M(0)-M(X-1))가 하위 우선순위 판독 액세스 요청의 로지컬 메모리 어드레스로부터 유도될 수 있도록, 각각의 압축된 하위 우선순위 메모리 라인(404)이 메모리 구성(400)에 저장된다. 특히, 이러한 특정 예에서, 압축된 하위 우선순위 메모리 라인들(404) 중 하나의 압축된 하위 우선순위 메모리 라인(404)이 2개의 압축된 상위 우선순위 메모리 라인들(402)마다 저장되도록, 데이터가 메모리(208)에 저장되고, 따라서 X개의 물리적 메모리 위치들로부터 X + Y개의 로지컬 메모리 위치들로 50%의 메모리 용량 증가를 제공하고, 여기서 Y는 X/2이라는 것이 주목된다. 따라서, 이 양상에서, 로지컬 메모리 위치들 중 하위 2/3, 즉 로지컬 메모리 어드레스들((0)-(X-1))은 압축된 상위 우선순위 메모리 라인들(402(0)-402(X-1))에 할당되고, 로지컬 메모리 위치들 중 상위 1/3, 즉, 로지컬 메모리 위치들(((X)-(X + Y-1))은 압축된 하위 우선순위 메모리 라인들(404(0)-404(Y-1))에 할당된다. 또한, 각각의 압축된 하위 우선순위 메모리 라인(404)은 물리적 메모리 위치들(M(0)-M(X-1)) 중 2개의 인접한 물리적 메모리 위치들에 저장된다. 따라서, 메모리 구성(400)의 구성 특성은, 다음의 수학식에 의해, 값 X 및 판독 액세스 요청의 대응하는 로지컬 메모리 위치에 기반하여, 대응하는 압축된 하위 우선순위 메모리 라인(404)을 저장하는 복수의 물리적 메모리 위치들(M(0)-M(X-1)) 중 제1 물리적 메모리 위치(M(q))의 결정을 허용한다.

[0031]

$$q = 2 * (lma - X)$$

[0032]

여기서 lma는 판독 액세스 요청의 로지컬 메모리 어드레스이고, X는 메모리(208) 내의 물리적 메모리 위치들(M)의 수이다.

[0033]

[0042] 예컨대, 메모리(208)가 512개의 물리적 메모리 위치들((M(0)-M(511)))을 포함하면, 메모리(208)는, 메모리(208) 내의 $512 + 256 = 768$ 개의 로지컬 메모리 위치들의 총 용량에 대해, 512개의 압축된 상위 우선순위 메모리 라인들(402(0)-402(511)) 및 $512/2 = 256$ 개의 압축된 하위 우선순위 메모리 라인들(404(0)-404(255))을 저장할 수 있다. 또한, 판독 액세스 요청의 로지컬 메모리 어드레스가 514이면, 물리적 메모리 어드레스(q)는 $2 * (514 - 512) = 4$ 이다. 따라서, 판독 액세스 요청의 로지컬 메모리 어드레스(514)에 대응하는 압축된 하위

우선순위 메모리 라인(404)은 물리적 메모리 위치(M(4)), 즉, 도 4의 CLPML(404(2))에서 시작하는 인접한 물리적 메모리 위치들(M(0)-M(X-1))에 있다. 따라서, 이러한 예시적인 양상은 대응하는 인접한 물리적 메모리 위치들(M(4)-M(5))로의 로지컬 메모리 어드레스(514)의 변환을 요구한다. 그러나, 변환은 미리 결정되고 이미 이용 가능한 값들에 기반한 간단한 컴퓨테이션만을 요구하고, 이는 변환을 수행하기 위한 메모리(208) 또는 다른 메모리 내의 메타데이터에 액세스할 필요성 및 연관된 레이턴시를 제거한다.

[0034] [0043] 따라서, 메모리 구성(400)의 구성 특성들은, 판독 액세스 요청으로 수신된 로지컬 메모리 어드레스 및 메모리(208) 내의 물리적 메모리 위치들(X)의 번호에 기반하여, 압축/압축해제 엔진(206)이 그 안의 각각의 압축된 하위 우선순위 메모리 라인(404)의 물리적 메모리 위치(M(0)-M(X-1))를 결정하도록 허용한다. 그러나, 각각의 물리적 메모리 위치(M(0)-M(X-1))가 압축된 상위 우선순위 메모리 라인(402) 및 압축된 하위 우선순위 메모리 라인(404)의 부분을 포함하는 메모리 라인(ML(0)-ML(X-1))을 저장하기 때문에, 압축/압축해제 엔진(206)은 대응하는 메모리 라인(ML(0)-ML(X-1))으로부터 요청된 데이터를 리트리브하기 위해 추가 정보를 필요로 한다. 이와 관련하여, 하나의 예시적인 양상에서, 각각의 압축된 상위 우선순위 메모리 라인(402)은 대응하는 물리적 메모리 어드레스의 패리티에 기반하여 대응하는 물리적 메모리 위치(M(0)-M(X-1))의 예지에 저장되고, 각각의 압축된 하위 우선순위 메모리 라인(404)은 연속적인 압축된 상위 우선순위 메모리 라인들(402) 사이에 저장되고, 각각의 압축된 하위 우선순위 메모리 라인(404)의 각각의 부분은 대응하는 물리적 메모리 위치(M(0)-M(X-1))의 중 최대 절반을 차지하기 위해 대응하는 물리적 메모리 위치(M(0)-M(X-1))의 예지에 저장된다. 아래에서 상세히 설명될 바와 같이, 이는 메모리(208)에 대한 단일 메모리 액세스에 의한 각각의 압축된 메모리 라인의 리트리벌(retrieval)을 가능하게 한다.

[0035] [0044] 이와 관련하여, 메모리 구성(400)에서, 압축된 상위 우선순위 메모리 라인(402) 및 압축된 하위 우선순위 메모리 라인(404)은, 대응하는 물리적 메모리 위치(M(0)-M(X-1))의 물리적 메모리 어드레스가 짝수일 때, 압축된 상위 우선순위 메모리 라인(402)이 대응하는 물리적 메모리 위치(M(0)-M(X-1))에 저장된 메모리 라인(ML(0)-ML(X-1))의 좌측 예지 상에 저장되고, 대응하는 물리적 메모리 위치(M(0)-M(X-1))의 물리 메모리 어드레스가 홀수일 때, 압축된 상위 우선순위 메모리 라인(402)이 대응하는 물리적 메모리 위치(M(0)-M(X-1))에 저장된 메모리 라인(ML(0)-ML(X-1))의 우측 예지 상에 저장되도록, 저장된다. 예컨대, 도 4의 메모리 구성(400)에서, 물리적 메모리 위치(M(0))에 저장된 압축된 상위 우선순위 메모리 라인(402(0))은, 물리적 메모리 어드레스(0)가 짝수이기 때문에, 물리적 메모리 위치(M(0))의 좌측 예지에 저장된다. 또한, 물리적 메모리 위치(M(1))에 저장되는 압축된 상위 우선순위 메모리 라인(402(1))은, 물리적 메모리 어드레스(1)가 홀수이기 때문에, 물리적 메모리 위치(M(1))의 우측 예지에 저장된다. 이는, 압축된 하위 우선순위 메모리 라인(404(0))의 제1 부분이 물리적 메모리 위치(M(0))의 우측 상의 홀에 저장되고, 압축된 하위 우선순위 메모리 라인(404(0))의 제2 부분이 물리적 메모리 위치(M(1))의 좌측 상의 홀에 인접하게 저장되도록, 압축된 하위 우선순위 메모리 라인(404(0))이 압축된 상위 우선순위 메모리 라인(402(0))과 압축된 상위 우선순위 메모리 라인(402(1)) 사이에 저장되도록 허용한다. 또한, 메모리 구성(400)에 예시된 바와 같이, 압축된 하위 우선순위 메모리 라인(404(0))의 제1 및 제2 부분들은 자신들의 대응하는 메모리 라인들(ML(0)-ML(X-1)) 중 절반 초과를 차지하지 않는다. 메모리 구성(400)의 이러한 구성 특성은 전체 압축된 하위 우선순위 메모리 라인(404(0))이 물리적 메모리 위치(M(0))의 하프-캐시 라인 포인트에서 시작하는 단일 메모리 액세스로 메모리(208)에서 액세스되도록 허용한다. 따라서, 메모리(208)의 메모리 구성(400)은 압축/압축해제 엔진(206)이 메모리(208)의 단일 메모리 액세스로 압축된 상위 우선순위 메모리 라인들(402) 및 압축된 하위 우선순위 메모리 라인들(404) 중 임의의 것에 액세스하도록 허용한다.

[0036] [0045] 그러나, 메모리(208)의 물리적 메모리 위치(M(0)-M(X-1))로부터 압축된 메모리 라인을 리트리브하기 위해, 대응하는 메타데이터는, 이러한 예에서, 그 안의 압축된 메모리 라인들의 경계들을 결정하기 위해 사용된다. 이와 관련하여, 도 5는 도 4에 예시된 메모리(208)에 대한 메모리 구성(400)의 저장된 압축된 상위 우선순위 메모리 라인들(402(0) 및 402(1)) 및 압축된 하위 우선순위 메모리 라인(404(0))의 예시적인 메모리 구성(500)을 상세히 예시하는 도면이다. 압축된 상위 우선순위 메모리 라인들(402(0) 및 402(1)) 및 압축된 하위 우선순위 메모리 라인(404(0)) 각각은, 예컨대, 대응하는 압축된 메모리 라인이 제외를 포함하는지 여부를 표시하는 대응하는 메타데이터(502, 504 및 506)를 각각 포함한다. 제외들은 도 6을 참조하여 아래에 설명될 것이다. 각각의 메타데이터(502, 504 및 506)는 자신들의 대응하는 압축된 메모리 라인들 내의 대응하는 물리적 메모리 위치(M(0)-M(X-1))의 예지에 위치되어, 압축/압축해제 엔진(206)이 압축된 메모리 라인들(402(0), 404(0), 402(1))의 대응하는 압축된 메모리 라인으로부터 메타데이터를 각각 리트리브하도록 허용한다. 또한, 압축된 메모리 라인들(402(0), 402(1), 404(0)) 각각은, 도시된 바와 같이, 상위 우선순위 데이터(508), 하위 우선순위 데이터(510) 및 상위 우선순위 데이터(512)를 각각 포함하도록 구성된다. 메모리 구성(500)에서, 물

리적 메모리 위치(M(1))는 미사용 섹션(514)을 더 포함한다. 이와 관련하여, 임의의 물리적 메모리 위치(M(0)-M(X-1))는, 그 안의 압축된 상위 우선순위 메모리 라인(402) 및 압축된 하위 우선순위 메모리 라인(404)이 전체 물리적 메모리 위치(M(0)-M(X-1))를 완전히 차지하지 않을 때, 미사용 섹션(514)을 포함할 수 있다.

[0037]

[0046] 따라서, 메모리 구성(500)의 구성 특성들은, 추가 메타데이터에 액세스할 필요없이, 판독 액세스 요청의 로지컬 메모리 어드레스 및 메모리(208)의 물리적 메모리 위치 X의 번호에 기반한 간단한 컴퓨테이션에 의해, 압축/압축해제 엔진(206)이 압축된 메모리 라인들(402, 404)의 원하는 압축된 메모리 라인을 포함하는 물리적 메모리 어드레스(M(0)-M(X-1))를 결정하도록 허용한다. 예컨대, 도 2-5를 참조하면, 로지컬 메모리 어드레스를 포함하는 판독 액세스 요청을 수신할 때(도 3의 블록 302), 압축/압축해제 엔진(206)은 로지컬 메모리 어드레스에 기반하여 판독 액세스 요청의 우선순위를 결정한다. 로지컬 메모리 어드레스가 (0)이면, 그리고 메모리(208)가 512개의 물리적 메모리 위치들을 포함하면, 압축/압축해제 엔진(206)은, 판독 액세스 요청이 상위 우선순위 판독 액세스 요청이라고 결정한다. 이는, 로지컬 메모리 어드레스가 메모리(208)의 물리적 메모리 위치들(M(0)-M(X-1))의 번호보다 더 낮고 따라서 메모리(208)의 미리 결정된 상위 우선순위 어드레스 범위 내에 있기 때문이다. 이어서, 압축/압축해제 엔진(206)은, 물리적 메모리 위치(M(0))로부터 압축된 상위 우선순위 메모리 라인(402(0))을 리트리브하기 위해, 대응하는 압축된 메모리 라인(ML(0))의 물리적 메모리 어드레스(0)로서 판독 액세스 요청(0)의 로지컬 메모리 어드레스를 사용한다. 또한, 물리적 메모리 어드레스(0)가 짝수이기 때문에, 압축/압축해제 엔진(206)은, 압축된 상위 우선순위 메모리 라인(402(0))이 물리적 메모리 위치((M(0))의 좌측 에지 상에 있다고 결정한다. 이어서, 압축/압축해제 엔진(206)은 압축된 상위 우선순위 메모리 라인(402(0))의 좌측 에지로부터 상위 우선순위 메타데이터(502) 및 길이(N)를 리트리브한다. 이어서, 압축/압축해제 엔진(206)은 압축된 상위 우선순위 메모리 라인(402(0))으로부터 상위 우선순위 데이터(508)를 리트리브하고, 압축된 경우에, 상위 우선순위 데이터(508)를 압축해제하고, 비압축된 상위 우선순위 데이터를 데이터 버스(218)를 통해 프로세서(210)에 제공한다.

[0038]

[0047] 위에 설명된 바와 같이, 각각의 물리적 메모리 위치(M(0)-M(X-1))는 최대 미리 결정된 크기의 데이터를 저장할 수 있다. 또한, 도 5에 예시된 예시적인 메모리 구성(500)에서, 각각의 물리적 메모리 위치(M(0)-M(X-1))는 압축된 상위 우선순위 메모리 라인(402) 및 압축된 하위 우선순위 메모리 라인(404)의 부분을 포함하고, 압축된 메모리 라인들(402, 404)의 각각의 압축된 메모리 라인은 대응하는 메타데이터 필드 및 대응하는 압축된 데이터 필드를 포함한다. 이는, 예컨대, 상위 우선순위 데이터에 할당되는 공간을 제한한다. 실시예에서, 예컨대, 64 바이트들을 저장할 수 있는 메모리 위치(M)에 대해, 최소 4 바이트들이 상위 우선순위 메타데이터 및 압축된 하위 우선순위 메모리 라인(404)에 대해 예비될 수 있기 때문에, 상위 우선순위 데이터에 대해 60 바이트들만이 할당될 수 있다. 그러나, 상위 우선순위 데이터는 대응하는 데이터 필드 내에 적합하도록 압축 가능하지 않을 수 있어서, 제외가 발생한다. 이와 관련하여, 예시적인 실시예에서, 제외 메모리 영역 내의 추가 메모리 위치는 비압축된 상위 우선순위 데이터의 부분을 저장하도록 할당된다. 이러한 방식으로, 상위 우선순위 데이터의 부분은 압축된 상위 우선순위 메모리 라인(402)의 대응하는 데이터 필드에 압축되지 않고 저장되고, 나머지는 추가 메모리 위치에 저장된다. 따라서, 압축/압축해제 엔진(206)은 제외가 발생한다고 결정하고, 압축된 상위 우선순위 메모리 라인(402) 및 제외 영역 내의 메모리 위치로부터 데이터를 리트리브함으로써 제외를 프로세싱하도록 구성된다.

[0039]

[0048] 이와 관련하여, 도 6은 도 5에 예시된 메모리 구성(500)의 양상들을 상세하게 설명하기 위한 메모리 구성들(600 및 602)을 예시하는 도면이다. 특히, 메모리 구성들(600 및 602)은, 예시적인 양상들에 따른 제외들의 사용을 예시하기 위해, 압축된 상위 우선순위 메모리 라인(402(0))의 상위 우선순위 메타데이터(502)의 추가 세부사항을 제공한다. 이와 관련하여, 상위 우선순위 메타데이터(502)는, 압축된 상위 우선순위 메모리 라인(402)이 제외를 포함하는지 여부를 압축/압축해제 엔진(206)에 표시하기 위한 제외 플래그(604)를 포함한다. 또한, 압축된 상위 우선순위 메모리 라인(402)이 제외를 포함한다는 것을 제외 플래그(604)가 표시할 때, 상위 우선순위 메타데이터(502)는 또한 제외 영역(608) 내의 부가 데이터의 위치를 압축/압축해제 엔진(206)에 표시하기 위한 제외 인덱스(606)를 포함한다.

[0040]

[0049] 이와 관련하여, 메모리 구성(600)에서, 제외 플래그(604)는 거짓(예컨대, '0')으로 설정되어, 압축된 상위 우선순위 메모리 라인(402(0))이 제외를 포함하지 않음을 나타낸다. 따라서, 도 6의 메모리 구성(600)에서, 요청된 상위 우선순위 데이터는 상위 우선순위 데이터(508)로서 압축된 형태로 저장되고, 그에 따라 압축/압축해제 엔진(206)에 의해 리트리브될 수 있다. 그러나, 메모리 구성(602)에서, 제외 플래그(604)는 참(예컨대, '1')으로 설정되어, 압축된 상위 우선순위 메모리 라인(402(0))이 제외를 포함한다는 것을 나타낸다. 또한, 제외로 인해, 상위 우선순위 메타데이터(502)는 인덱스(IDX)로 설정된 제외 인덱스(606)를 더 포함한다.

따라서, 도 6의 메모리 구성(602)에서, 요청된 상위 우선순위 데이터는 물리적 메모리 위치(M(0))에서의 상위 우선순위 데이터(508-A) 및 IDX로 인덱싱된 제외 영역(608 M(EA))에 대해 할당된 물리적 메모리 위치에서의 상위 우선순위 제외 데이터(508-B)의 조합으로서 비압축된 형태로 저장된다. 따라서, 압축/압축해제 엔진(206)은 요청된 상위 우선순위 데이터를 그에 따라 리트리브하도록 구성된다.

[0041] [0050] 위에 설명된 예시적인 양상에서, 상위 우선순위 데이터(508-A 및 508-B)의 부분들은 압축되지 않고서 저장된다. 이는, 압축/압축해제 엔진(206)이, 압축해제를 수행하거나 미리 결정된 크기인 리트리브된 데이터의 크기를 결정할 필요없이, 요청된 상위 우선순위 데이터를 리트리브하도록 허용한다. 이는, 제외의 사용에 의해 입증된 바와 같이, 대응하는 데이터가 잘 압축되지 않기 때문에(즉, 압축이 크기의 상당한 감소를 제공하지 않기 때문에) 메모리(208)의 메모리 용량에 크게 영향을 주지 않는다. 따라서, 압축은 상당한 이점들을 제공하지 않는다. 또한, 제외 영역은 알려진 바이트 수만 저장할 필요가 있을 수 있고, 따라서 제외 영역의 사용을 최대화한다. 예컨대, 64 바이트를 저장할 수 있는 메모리 위치(M)에 대해, 상위 우선순위 메타데이터 및 압축된 하위 우선순위 메모리 라인(404)에 대해 최소 4 바이트들이 예비될 수 있기 때문에, 60 바이트들만이 상위 우선순위 데이터에 할당될 수 있다. 따라서, 60 바이트들 미만으로 압축될 수 없는 상위 우선순위 데이터는 제외를 야기할 것이다. 이러한 상위 우선순위 데이터에 대해, 예시적인 양상에서, 60 바이트들은 상위 우선순위 데이터(508-A)로서 압축되지 않고 저장되고, 상위 우선순위 데이터의 나머지 4 바이트들만이 상위 우선순위 제외 데이터(508-B)로서 압축되지 않고 저장된다. 따라서, 제외 영역에 저장된 데이터의 압축은, 제외 영역이 상주하는 메모리(208) 또는 메모리의 메모리 용량을 상당히 향상시키지는 않는다.

[0042] [0051] 위의 예시적인 양상은 상위 우선순위 데이터 및 특히 상위 우선순위 데이터 제외들의 저장 및 관독에 관한 메모리 구성들을 제공한다. 하위 우선순위 데이터는 상위 우선순위 데이터의 저장 및 관독을 상보(complement)하도록 저장 및 관독된다. 이와 관련하여, 도 7a 및 7b는 도 5에 예시된 예시적인 메모리 구성(500)의 추가 양상들을 상세히 설명하기 위한 예시적인 메모리 구성들(700 및 702)을 각각 예시하는 도면들이다. 특히, 메모리 구성들(700 및 702)은 예시적인 양상들에 따른 제외들의 사용을 예시하기 위해 압축된 하위 우선순위 메모리 라인(404(0))의 하위 우선순위 메타데이터(504)의 추가의 예시적인 세부사항들을 제공한다. 이와 관련하여, 하위 우선순위 메타데이터(504)는 제외 플래그(704), P로 설정된 하위 우선순위 데이터(510)의 제1 부분에 대한 길이(706) 및 Q로 설정된 하위 우선순위 데이터(510)의 제2 부분에 대한 길이(708)를 포함한다. 또한, 하위 우선순위 메타데이터(504)는, 대응하는 압축된 메모리 라인이 제외를 포함한다는 것을 제외 플래그(704)가 나타낼 때, 제외 포인터(710)를 포함한다.

[0043] [0052] 이와 관련하여, 도 7a의 메모리 구성(700)에서, 제외 플래그는 거짓(예컨대, '0')이며, 이는 압축된 하위 우선순위 메모리 라인(404(0))이 제외를 포함하지 않음을 나타낸다. 따라서, 메모리 구성(700)에서, 요청된 하위 우선순위 데이터는 인접한 물리적 메모리 위치들(M(0)-M(X-1))에서 하위 우선순위 데이터(510)로서 압축된 형태로 저장되고, 그에 따라 압축/압축해제 엔진(206)에 의해 리트리브될 수 있다. 그러나, 도 7b의 메모리 구성(702)에서, 제외 플래그(704)는 참(예컨대, '1')으로 설정되고, 제외 포인터(710)는 PTR-A 및 PTR-B로 세그먼트화된 어드레스(PTR)로 설정된다. 따라서, 메모리 구성(702)에서, 요청된 하위 우선순위 데이터는 인접한 물리적 메모리 위치들(M(0)-M(1))에서의 하위 우선순위 데이터(510-A)의 부분 및 제외 영역(608) 내의 물리적 메모리 위치(M(PTR))에서의 하위 우선순위 제외 데이터(510-B)의 다른 부분을 결합함으로써 리트리브된다. 예시적인 양상에서, 하위 우선순위 데이터는 제외의 경우조차 압축된 형태로 저장된다. 그러나, 하위 우선순위 데이터는 압축되지 않고 저장될 수 있다.

[0044] [0053] 이와 관련하여, 도 8은, 압축된 상위 우선순위 메모리 라인(402)이 제외를 나타낼 때, 프로세서-기반 시스템(200)의 메모리(208) 내의 압축된 상위 우선순위 메모리 라인(402)의 우선순위-기반 관독 액세스를 위한 예시적인 프로세스(800)를 예시하는 흐름도이다. 예시적인 프로세스(800)는, 메모리(208) 내의 압축된 상위 우선순위 메모리 라인(402)이 제외를 표시할 때, 상위 우선순위 관독 액세스 요청의 로지컬 메모리 어드레스에서 메모리(208) 내의 물리적 메모리 위치(M(0)-M(X-1))에서 상위 우선순위 데이터를 리트리브(블록 306)하기 위한 예시적인 프로세스를 도 3의 블록(306)이 설명하기 때문에, 도 3의 블록(306)에 관련된다.

[0045] [0054] 이와 관련하여, 로지컬 메모리 어드레스를 포함하는 관독 액세스 요청을 수신하고, 관독 액세스 요청이 상위 우선순위 관독 액세스 요청이라고 결정할 때(도 3의 블록들 302-304), 압축/압축해제 엔진(206)은 메모리(208)의 물리적 메모리 위치(M(0)-M(X-1))로부터 상위 우선순위 메타데이터(502)를 리트리브한다(블록 802). 예컨대, 도 6을 참조하면, 로지컬 메모리 어드레스가 0이면, 압축/압축해제 엔진(206)은 M(0)으로부터 압축된 상위 우선순위 메모리 라인(402(0))을 리트리브하고, 또한 상위 우선순위 메타데이터(502)로부터 제외 플래그(604)를 리트리브한다. 압축/압축해제 엔진(206)은 그 안의 압축된 상위 우선순위 메모리 라인(402)으로부터

상위 우선순위 데이터를 획득한다(블록 804). 이어서, 압축/압축해제 엔진(206)은 상위 우선순위 메타데이터(502)에 기반하여 상위 우선순위 데이터가 제외를 포함한다고 결정한다(블록 806). 압축/압축해제 엔진(206)은 예컨대, 상위 우선순위 메타데이터(502)에서 제외 플래그(604)를 판독함으로써 이를 결정할 수 있다. 이어서, 압축/압축해제 엔진(206)은 상위 우선순위 메타데이터(502)로부터 제외 인덱스(606)를 리트리브하고(블록 808), 제외 인덱스(606)로 인덱싱된 제외 영역에 대응하는 물리적 메모리 어드레스에 저장된 상위 우선순위 제외 데이터(508-B)를 리트리브한다(블록 810). 이어서, 압축/압축해제 엔진(206)은 상위 우선순위 데이터(508-A) 및 상위 우선순위 제외 데이터(508-B)로부터 요청된 상위 우선순위 데이터를 획득한다(블록 812).

[0046] [0055] 또한, 도 9는, 압축된 하위 우선순위 메모리 라인(404)이 제외를 나타낼 때, 프로세서-기반 시스템(200)의 메모리(208) 내의 압축된 하위 우선순위 메모리 라인(404)의 우선순위-기반 판독 액세스를 위한 예시적인 프로세스(900)를 예시하는 흐름도이다. 예시적인 프로세스(900)는, 도 3의 블록(308)이 판독 액세스 요청의 로지컬 메모리 어드레스에 기반하여 결정된 물리적 메모리 어드레스에서의 메모리(208) 내의 복수의 인접한 물리적 메모리 위치들에서 하위 우선순위 데이터를 리트리브하기 위한 예시적인 프로세스를 설명하기 때문에, 도 3의 블록(308)에 관련된다.

[0047] [0056] 이와 관련하여, 로지컬 메모리 어드레스를 포함하는 판독 액세스 요청을 수신하고, 판독 액세스 요청이 하위 우선순위 판독 액세스 요청이라고 결정할 때(도 3의 블록들 302-304), 압축/압축해제 엔진(206)은 그 안의 압축된 하위 우선순위 메모리 라인(404)의 길이를 포함하는 메모리(208)의 물리적 메모리 위치(M(0)-M(X-1))로부터 하위 우선순위 메타데이터(504)를 리트리브한다(블록 902). 예컨대, 도 7b를 참조하면, 판독 액세스 요청의 로지컬 메모리 어드레스가 물리적 메모리 어드레스 0으로 변환되는 X로 설정되면, 압축/압축해제 엔진(206)은 인접한 물리적 메모리 위치들(M(0)-M(X-1))로부터 압축된 하위 우선순위 메모리 라인(404(0)), 및 하위 우선순위 메타데이터(504)로부터 길이들(P 및 Q)을 리트리브한다. 압축/압축해제 엔진(206)은 그 안의 압축된 하위 우선순위 메모리 라인(404)으로부터 하위 우선순위 데이터를 획득하기 위해 길이들(P 및 Q)을 사용한다(블록 904). 예컨대, 물리적 메모리 어드레스가 0이면, 압축/압축해제 엔진(206)은 인접한 물리적 메모리 위치들(M(0)-M(1))에서의 압축된 하위 우선순위 메모리 라인(404(0))으로부터 하위 우선순위 데이터(510-A)를 획득하기 위해 길이들(P 및 Q)을 사용한다. 이어서, 압축/압축해제 엔진(206)은 하위 우선순위 메타데이터(504)에 기반하여 하위 우선순위 데이터가 제외를 포함한다고 결정한다(블록 906). 압축/압축해제 엔진(206)은, 예컨대, 하위 우선순위 메타데이터(504)에서 제외 플래그(704)를 판독함으로써 이를 결정할 수 있다. 이어서, 압축/압축해제 엔진(206)은 하위 우선순위 메타데이터(504)로부터 제외 포인터(710)를 리트리브하고(블록 908), 제외 포인터(M(PTR))에 대응하는 물리적 메모리 어드레스에서의 메모리(208) 내의 제외 메모리 라인에 저장된 하위 우선순위 제외 데이터(510-B)를 리트리브한다(블록 910). 이어서, 압축/압축해제 엔진(206)은 하위 우선순위 데이터(510-A) 및 하위 우선순위 제외 데이터(510-B)로부터 요청된 하위 우선순위 데이터를 획득한다(블록 912).

[0048] [0057] 앞서 언급된 바와 같이, 프로세서-기반 시스템(200)의 메모리(208) 내의 압축된 메모리 라인들의 우선순위-기반 액세스는 메모리(208)에 기록된 압축된 메모리 라인들의 구성에 의해 지원될 수 있다. 특히, 각각의 메모리 위치(M(0)-M(X-1))는 압축된 상위 우선순위 메모리 라인(402) 및 압축된 하위 우선순위 메모리 라인(404)의 적어도 일부를 저장한다. 이와 관련하여, 하나의 예시적인 양상에서, 비압축된 상위 우선순위 데이터는, 압축된 상위 우선순위 데이터를 포함하는 압축된 상위 우선순위 메모리 라인(402)을 저장하는 메모리 위치(M(0)-M(X-1))의 물리적 메모리 어드레스가 비압축된 상위 우선순위 데이터의 로지컬 메모리 어드레스와 매칭하도록, 압축되어 메모리(208)에 저장된다. 또한, 비압축된 하위 우선순위 데이터는 압축되어, 상위 우선순위 데이터의 압축에 의해 남겨진 홀들의 메모리(208)에 저장된다. 따라서, 예시적인 양상에서, 압축/압축해제 엔진(206)은, 메모리(208)의 용량을 증가시키면서, 감소된 레이턴시로 메모리(208) 내의 상위 우선순위 데이터에 액세스할 수 있다. 또한, 다른 예시적인 양상에서, 압축된 하위 우선순위 데이터는, 압축된 하위 우선순위 데이터의 물리적 메모리 어드레스들이 비압축된 하위 우선순위 데이터의 로지컬 메모리 어드레스를 인덱싱함으로써 결정되도록 저장될 수 있어서, 로지컬 메모리 어드레스의 대응하는 물리적 메모리 어드레스로의 변환을 사용하기 위해 메모리(208) 내의 메타데이터에 액세스할 필요성을 제거함으로써 프로세서-기반 시스템(200) 내의 압축된 메모리 라인들의 전체 메모리 액세스 효율을 추가로 증가시킨다.

[0049] [0058] 이와 관련하여, 도 10은, 도 2에 예시된 프로세서-기반 시스템(200)의 메모리(208) 내의 압축된 메모리 라인들의 우선순위-기반의 기록 액세스를 위한 예시적인 프로세스(1000)를 예시하는 흐름도이다. 예시적인 양상들에서, 프로세스(1000)는 압축/압축해제 엔진 메모리 액세스 경로(228)를 통해 압축/압축해제 엔진(206)에 의해 수행된다. 프로세스(1000)는 또한 프로세서 메모리 액세스 경로(212)를 통해 프로세서(210)에 의해, 또는

프로세서-기반 시스템(200) 외부의 다른 프로세서들(도시되지 않음)에 의해 수행될 수 있다.

- [0050] [0059] 이와 관련하여, 예시적인 양상들에서, 압축/압축해제 엔진(206)은 어드레스 버스(216)를 통한 로지컬 메모리 어드레스 및 데이터 버스(218)를 통한 메모리(208) 내의 저장을 위한 데이터를 포함하는 기록 액세스 요청을 수신한다(블록 1002). 압축/압축해제 엔진(206)은 상위 우선순위 기록 액세스 요청 및 하위 우선순위 기록 액세스 요청 중에서 기록 액세스 요청의 우선순위를 결정한다(블록 1004). 이어서, 압축/압축해제 엔진(206)은, 기록 액세스 요청이 상위 우선순위 기록 액세스 요청인 경우, 압축/압축해제 엔진 메모리 액세스 경로(228)를 통해 기록 액세스 요청의 데이터를 기록 액세스 요청의 로지컬 메모리 어드레스에서의 메모리 위치(M(0)-M(X-1))의 메모리(208)에 저장한다(블록 1006). 그러나, 기록 액세스 요청이 하위 우선순위 기록 액세스 요청인 경우, 압축/압축해제 엔진(206)은, 기록 액세스 요청의 로지컬 메모리 어드레스에 기반하여 결정된 물리적 메모리 어드레스에서의 메모리(208) 내의 복수의 인접한 메모리 위치들(M(0)-M(X-1))에서 메모리(208)에 기록 액세스 요청의 데이터를 저장한다.
- [0051] [0060] 위에 언급된 바와 같이, 기록 액세스 요청이 상위 우선순위 기록 액세스 요청인 경우, 압축/압축해제 엔진(206)은, 대응하는 판독 액세스 요청의 로지컬 메모리 어드레스와 매칭하는, 메모리(208)의 물리적 메모리 어드레스에 상위 우선순위 데이터를 저장한다. 그러나, 하나의 예시적인 양상에서, 기록 액세스 요청이 하위 우선순위 기록 액세스 요청인 경우, 압축/압축해제 엔진(206)은 하위 우선순위 데이터를 저장할 적절한 홀들을 결정해야 한다. 이와 관련하여, 도 11은 도 2에 예시된 프로세서-기반 시스템(200)의 메모리(208) 내의 하위 우선순위 압축된 메모리 라인들의 우선순위-기반 기록 액세스를 위한 상세한 예시적인 프로세스(1100)를 예시하는 흐름도이다. 압축/압축해제 엔진(206) 비압축된 하위 우선순위 데이터를 수신한다(블록 1102). 압축/압축해제 엔진(206)은 압축된 하위 우선순위 메모리 라인(404)을 생성하기 위해, 비압축된 하위 우선순위 데이터를 압축한다(블록 1104). 압축된 하위 우선순위 메모리 라인(404)은 압축된 하위 우선순위 데이터 및 대응하는 메타데이터를 포함한다. 예컨대, 도 7a를 참조로, 하위 우선순위 메타데이터(504)는 압축된 하위 우선순위 메모리 라인(404)의 길이(P + Q)를 포함한다. 압축/압축해제 엔진(206)은 압축된 하위 우선순위 메모리 라인(404)의 크기를 결정하고(블록 1106), 로지컬 메모리 어드레스를 메모리(208)의 물리적 메모리 어드레스로 변환한다. 압축/압축해제 엔진(206)은, 대응하는 인접한 압축된 상위 우선순위 메모리 라인들(402) 사이의 압축된 하위 우선순위 메모리 라인(404)에 할당된 공간이 압축된 하위 우선순위 메모리 라인(404)의 크기보다 더 큰 경우, 메모리(208)의 물리적 메모리 어드레스에서의 물리적 메모리 위치(M(0)-M(X-1))에서 시작하는 인접한 물리적 메모리 위치들에 압축된 하위 우선순위 메모리 라인(404)을 저장한다(블록 1110). 예컨대, 도 7a를 참조로, 물리적 메모리 어드레스가 0인 경우, 압축/압축해제 엔진(206)은, 압축된 상위 우선순위 메모리 라인들(402(0) 및 402(1)) 사이의 공간이 압축된 하위 우선순위 메모리 라인(404(0))의 크기보다 더 크면, 물리적 메모리 위치들(M(0) 및 M(1))에 압축된 하위 우선순위 메모리 라인(404)을 저장한다.
- [0052] [0061] 반면에, 압축/압축해제 엔진(206)은, 대응하는 인접한 압축된 상위 우선순위 메모리 라인들(402) 사이의 압축된 하위 우선순위 메모리 라인(404)에 할당된 공간이 압축된 하위 우선순위 메모리 라인(404)의 크기보다 더 작은 경우에, 메모리(208)의 물리적 메모리 어드레스에 하위 우선순위 데이터의 제1 부분 및 제외 영역(608)에 대한 제외 포인터를 저장하고, 제외 포인터에 대응하는 제외 영역(608)의 메모리 위치에 하위 우선순위 데이터의 제2 부분을 저장한다. 예컨대, 도 7b를 참조하면, 물리 메모리 어드레스가 0이면, 압축/압축해제 엔진(206)은, 압축된 상위 우선순위 메모리 라인들(402(0) 및 402(1)) 사이의 공간이 압축된 하위 우선순위 메모리 라인(404(0))의 크기보다 더 작은 경우, 하위 우선순위 데이터(510-A)의 제1 부분 및 제외 포인터(PTR)를 물리적 메모리 위치들(M(0) 및 M(1))에 저장하고, 하위 우선순위 데이터(510-B)의 제2 부분을 물리적 메모리 위치(M(PTR))에서의 제외 영역에 저장한다.
- [0053] [0062] 본원에 개시된 양상들에 따른 프로세서-기반 시스템의 메모리 내의 압축된 메모리 라인들의 우선순위-기반 액세스는 임의의 프로세서-기반 디바이스에 제공되거나 통합될 수 있다. 예들은, 제한없이, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정형 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 스마트 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 데스크탑 컴퓨터, PDA(personal digital assistant), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 음악 플레이어, 디지털 음악 플레이어, 휴대용 음악 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, DVD(digital video disc) 플레이어, 휴대용 디지털 비디오 플레이어 및 자동차를 포함한다.
- [0054] [0063] 이와 관련하여, 도 12는 도 2에 예시된 압축/압축해제 엔진(206)을 포함할 수 있는 예시적인 프로세서-기반 시스템(1200)의 블록도이다. 이러한 예에서, 프로세서-기반 시스템(1200)은 하나 또는 그 초과 of 중앙 프로세싱 유닛들(CPU들)(1202)을 포함하며, 이들 각각은 하나 또는 그 초과 of 프로세서들(1204)을 포함한다. 하

나 또는 그 초과의 프로세서들(1204)은 도 1의 블록-기반 컴퓨터 프로세서(100)를 포함할 수 있다. CPU(들)(1202)는 마스터 디바이스일 수 있다. CPU(들)(1202)는 일시적으로 저장된 데이터에 대한 신속한 액세스를 위해 프로세서(들)(1204)에 커플링된 캐시 메모리(1206)를 가질 수 있다. CPU(들)(1202)는 시스템 버스(1208)에 커플링되고, 프로세서-기반 시스템(1200) 내에 포함된 마스터 및 슬레이브 디바이스들을 인터커플링(intercouple)할 수 있다. 잘 알려진 바와 같이, CPU(들)(1202)는 시스템 버스(1208)를 통해 어드레스, 제어, 및 데이터 정보를 교환함으로써 이러한 다른 디바이스들과 통신한다. 예컨대, CPU(들)(1202)는, 슬레이브 디바이스의 예로서 메모리 제어기(1210)에 버스 트랜잭션 요청들을 통신할 수 있다.

[0055] [0064] 다른 마스터 및 슬레이브 디바이스들이 시스템 버스(1208)에 연결될 수 있다. 도 12에서 예시된 바와 같이, 이들 디바이스들은 예들로서 메모리 시스템(1212), 하나 또는 그 초과의 입력 디바이스들(1214), 하나 또는 그 초과의 출력 디바이스들(1216), 하나 또는 그 초과의 네트워크 인터페이스 디바이스들(1218), 및 하나 또는 그 초과의 디스플레이 제어기들(1220)을 포함할 수 있다. 입력 디바이스(들)(1214)는 입력 키들, 스위치들, 음성 프로세서들 등(그러나, 이들에 제한되지 않음)을 포함하는 임의의 타입의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(1216)는 오디오, 비디오, 다른 시각적 표시자들 등(그러나, 이들에 제한되지 않음)을 포함하는 임의의 타입의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(1218)는 네트워크(1222)로의, 그리고 네트워크(1222)로부터의 데이터의 교환을 허용하도록 구성된 임의의 디바이스들일 수 있다. 네트워크(1222)는 유선 또는 무선 네트워크, 사설 또는 공중 네트워크, LAN(local area network), WLAN(wireless local area network), WAN(wide area network), BLUETOOTH™ 네트워크 및 인터넷(그러나, 이들에 제한되지 않음)을 포함하는 임의의 타입의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(1218)는 원하는 임의의 타입의 통신 프로토콜을 지원하도록 구성될 수 있다. 메모리 시스템(1212)은 하나 또는 그 초과의 메모리 유닛들(1224(0-N))을 포함할 수 있다.

[0056] [0065] CPU(들)(1202)는 또한, 하나 또는 그 초과의 디스플레이들(1226)에 전송되는 정보를 제어하기 위해 시스템 버스(1208)를 통해 디스플레이 제어기(들)(1220)에 액세스하도록 구성될 수 있다. 디스플레이 제어기(들)(1220)는 하나 또는 그 초과의 비디오 프로세서들(1228)을 통해 디스플레이될 정보를 디스플레이(들)(1226)에 전송하고, 이 하나 또는 그 초과의 비디오 프로세서들(1228)은 디스플레이될 정보를 디스플레이(들)(1226)에 적절한 포맷으로 프로세싱한다. 디스플레이(들)(1226)는 CRT(cathode ray tube), LCD(liquid crystal display), 플라즈마 디스플레이 등(그러나, 이들에 제한되지 않음)을 포함하는 임의의 타입의 디스플레이를 포함할 수 있다.

[0057] [0066] 당업자들은 추가로, 본원에 개시된 양상들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들, 및 알고리즘들이 전자 하드웨어, 메모리 또는 다른 컴퓨터-판독가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령들, 또는 이 둘의 조합들로서 구현될 수 있다는 것을 인식할 것이다. 본원에서 설명된 마스터 디바이스들, 및 슬레이브 디바이스들은 예들로서 임의의 회로, 하드웨어 컴포넌트, IC(integrated circuit), 또는 IC 칩에서 사용될 수 있다. 본원에서 개시된 메모리는 임의의 타입 및 사이즈의 메모리일 수 있으며, 원하는 임의의 타입의 정보를 저장하도록 구성될 수 있다. 이러한 상호교환성을 명확하게 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 일반적으로 그들의 기능성 면에서 위에서 설명되었다. 그러한 기능성이 어떻게 구현되는지는 특정한 애플리케이션, 설계 선택들, 및/또는 전체 시스템에 부과된 설계 제약들에 따라 좌우된다. 당업자들은 설명된 기능성을 각각의 특정 애플리케이션에 대해 다양한 방식으로 구현할 수 있지만, 그러한 구현 결정들이 본 개시내용의 범위를 벗어나게 하는 것으로 해석되어서는 안된다.

[0058] [0067] 본원에서 개시된 양상들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 및 회로들은 프로세서, DSP(Digital Signal Processor), ASIC(Application Specific Integrated Circuit), FPGA(Field Programmable Gate Array) 또는 다른 프로그래머블 논리 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본원에서 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현되거나 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 통상적인 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합(예컨대, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 연결된 하나 또는 그 초과의 마이크로프로세서들, 또는 임의의 다른 그러한 구성)으로서 구현될 수 있다.

[0059] [0068] 본원에서 개시된 양상들은 하드웨어로 그리고 하드웨어에 저장되는 명령들로 구현될 수 있고, 예컨대, RAM(Random Access Memory), 플래시 메모리, ROM(Read Only Memory), EPROM(Electrically Programmable ROM),

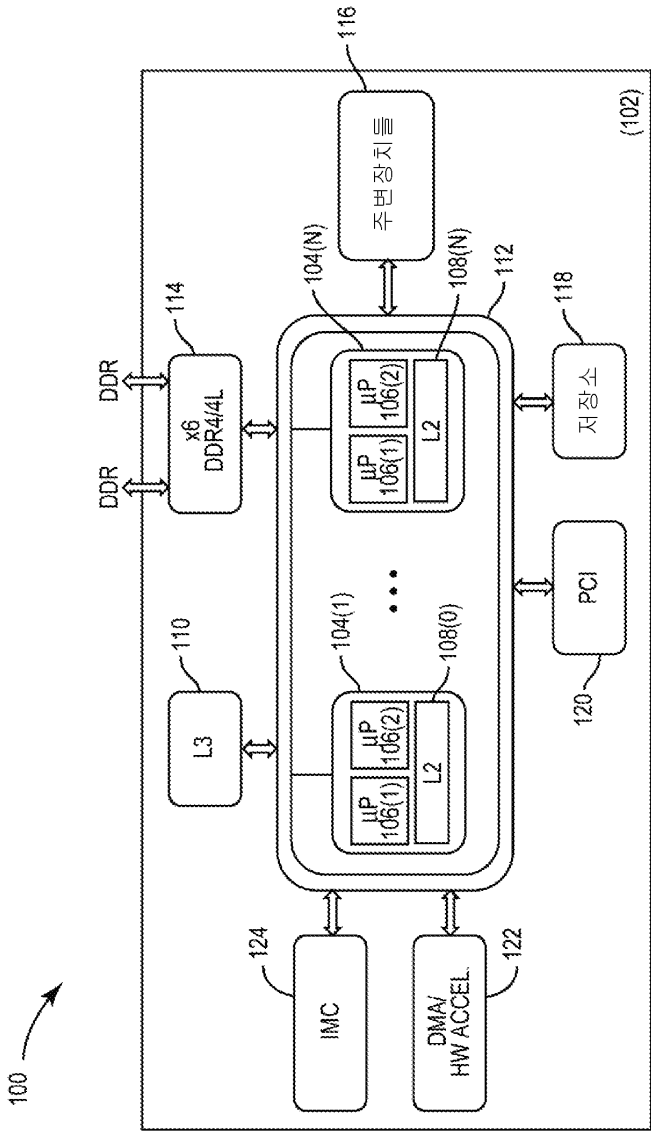
EEPROM(Electrically Erasable Programmable ROM), 레지스터들, 하드 디스크, 탈착가능 디스크, CD-ROM, 또는 기술분야에서 알려진 임의의 다른 형태의 컴퓨터 판독가능 매체에 상주할 수 있다. 예시적 저장 매체가 프로세서에 커플링되어, 이 프로세서가 저장 매체로부터 정보를 읽고 정보를 저장 매체에 쓸 수 있다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC는 원격 스테이션에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국, 또는 서버에서 이산 컴포넌트들로서 상주할 수 있다.

[0060] [0069] 또한, 본원에서 예시적 양상들 중 임의의 양상에서 설명된 동작 단계들이 예들 및 논의를 제공하기 위해 설명된다는 것이 주목된다. 설명된 동작들은 예시된 시퀀스들 이외의 많은 상이한 시퀀스들로 수행될 수 있다. 또한, 단일 동작 단계에서 설명된 동작들은 실제로, 다수의 상이한 단계들에서 수행될 수 있다. 부가적으로, 예시적 양상들에서 논의된 하나 또는 그 초과 동작 단계들은 결합될 수 있다. 당업자에게 쉽게 명백할 바와 같이, 흐름도 다이어그램들에서 예시된 동작 단계들이 많은 상이한 수정들의 대상일 수 있다는 것이 이해되어야 한다. 또한, 당업자들은 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 것을 사용하여 표현될 수 있다는 것을 이해할 것이다. 예컨대, 위의 설명 전체에 걸쳐 지칭될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기 필드들 또는 입자들, 광학 필드들 또는 입자들, 또는 이들의 임의의 조합에 의해 표현될 수 있다.

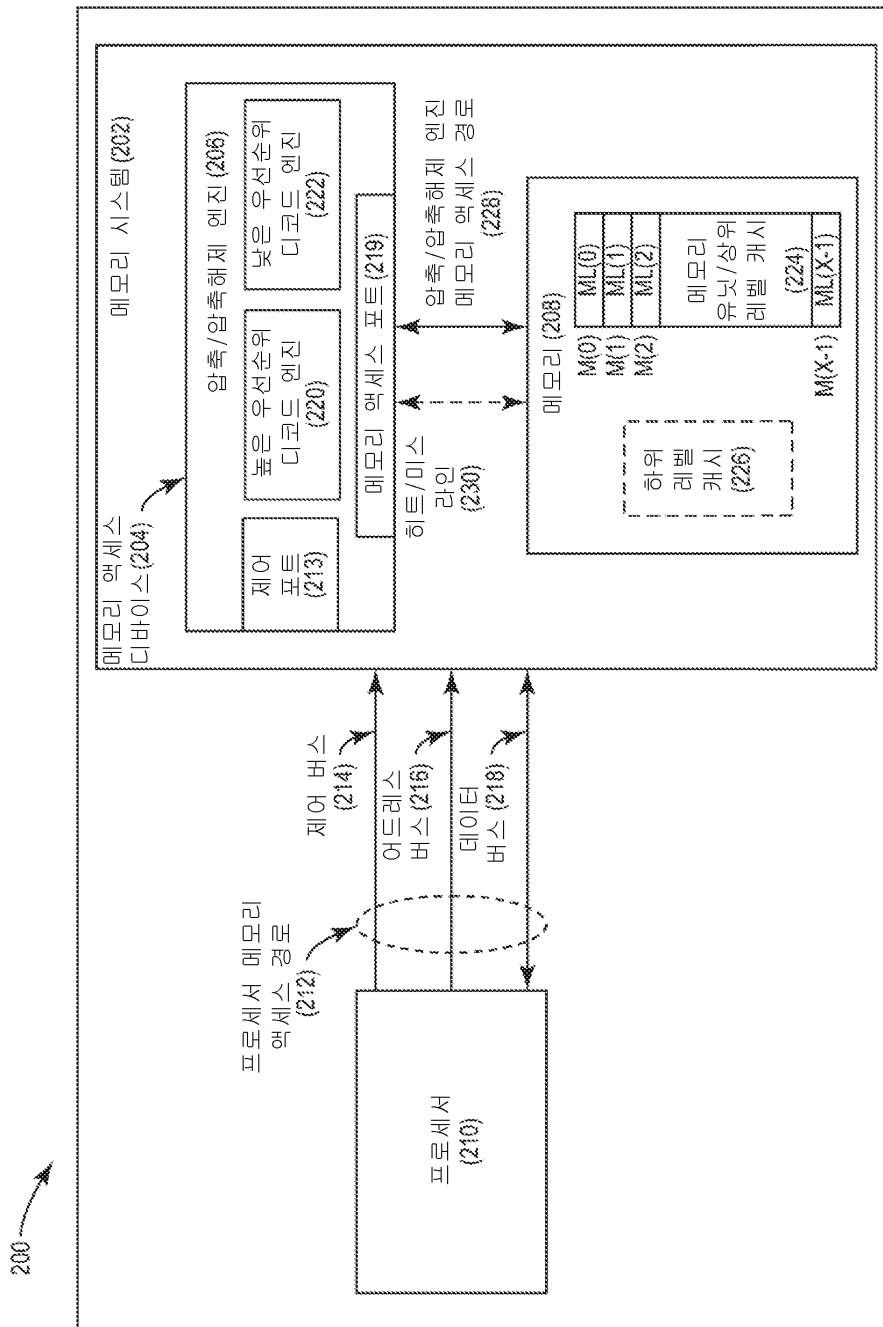
[0061] [0070] 본 개시내용에 대한 전술한 설명은 임의의 당업자가 본 개시내용을 실시하거나 또는 사용하는 것을 가능하게 하기 위해 제공된다. 본 개시내용에 대한 다양한 수정들은 당업자들에게 쉽게 명백할 것이고, 본 개시내용의 사상 또는 범위로부터 벗어나지 않고, 본원에서 정의된 일반적인 원리들이 다른 변형들에 적용될 수 있다. 따라서, 본 개시내용은 본원에서 설명된 예들 및 설계들로 제한되도록 의도되는 것이 아니라, 본원에서 개시된 원리들 및 신규한 특징들과 일치하는 가장 넓은 범위에 부합할 것이다.

도면

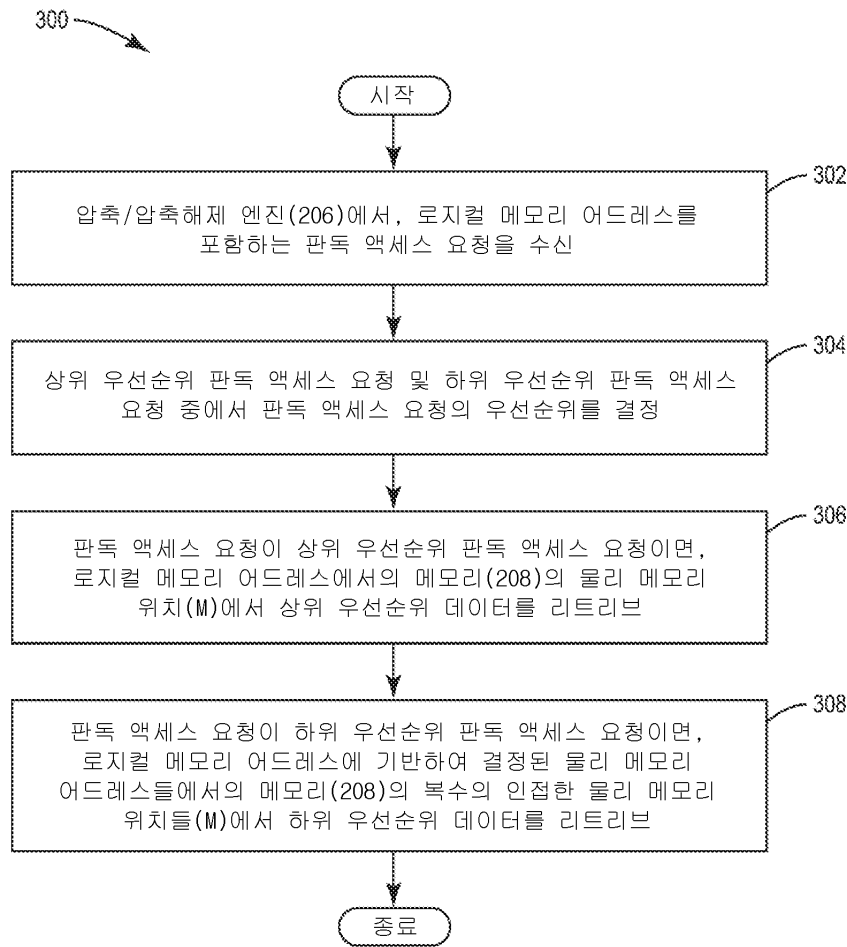
도면1



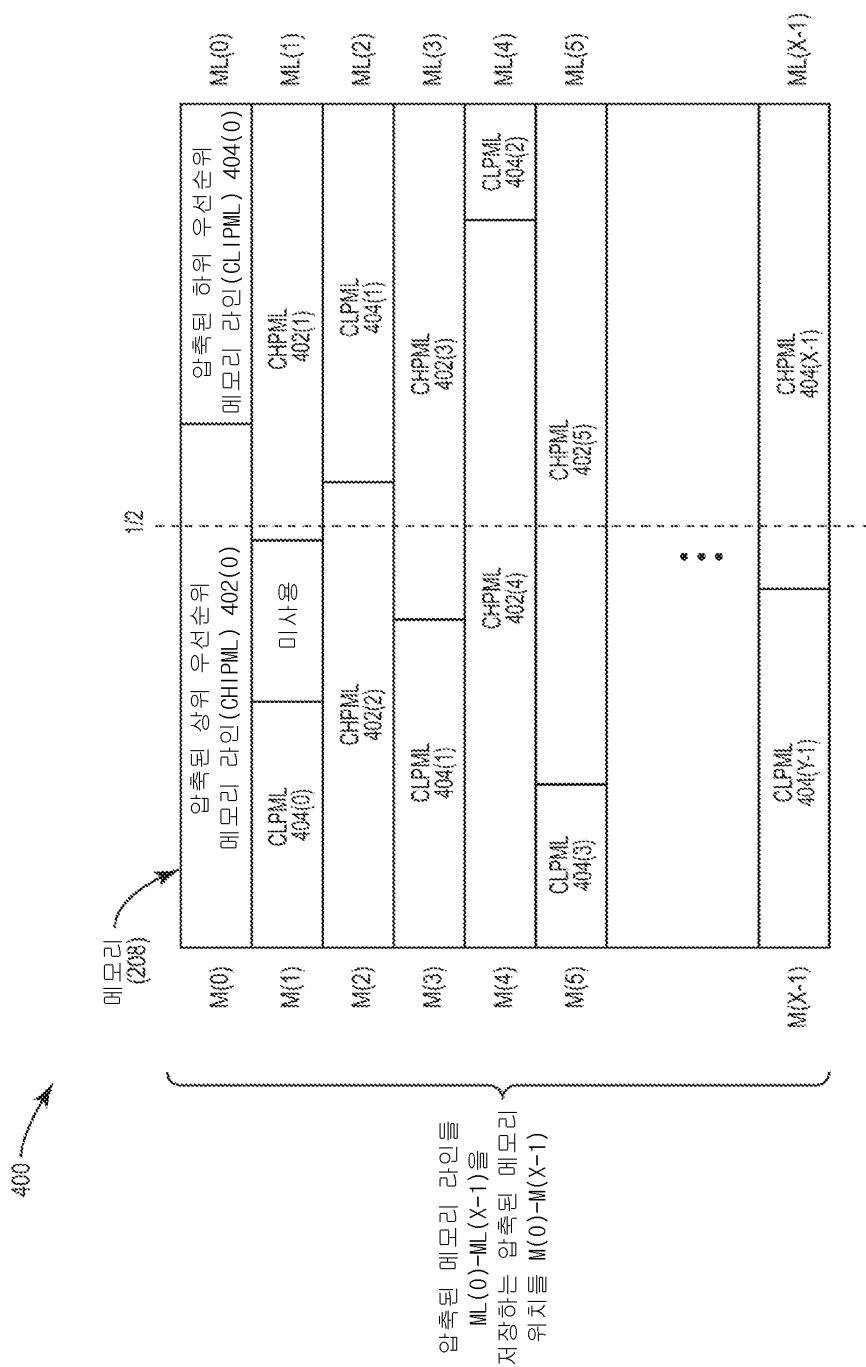
도면2



도면3

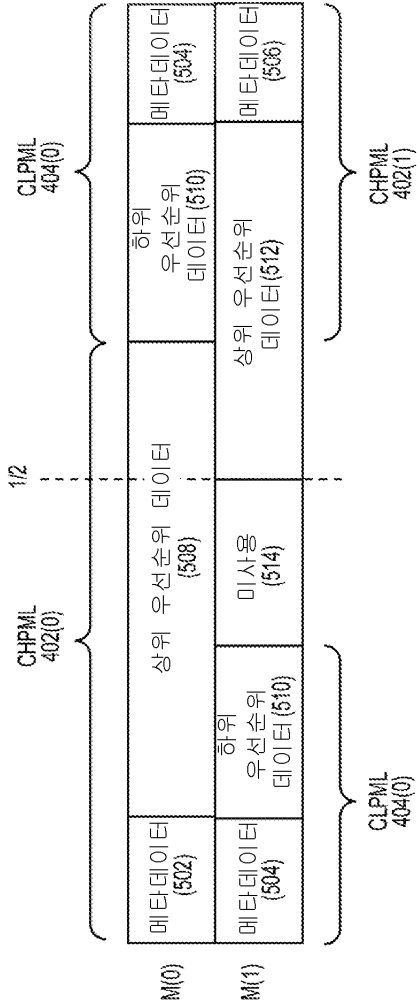


도면4

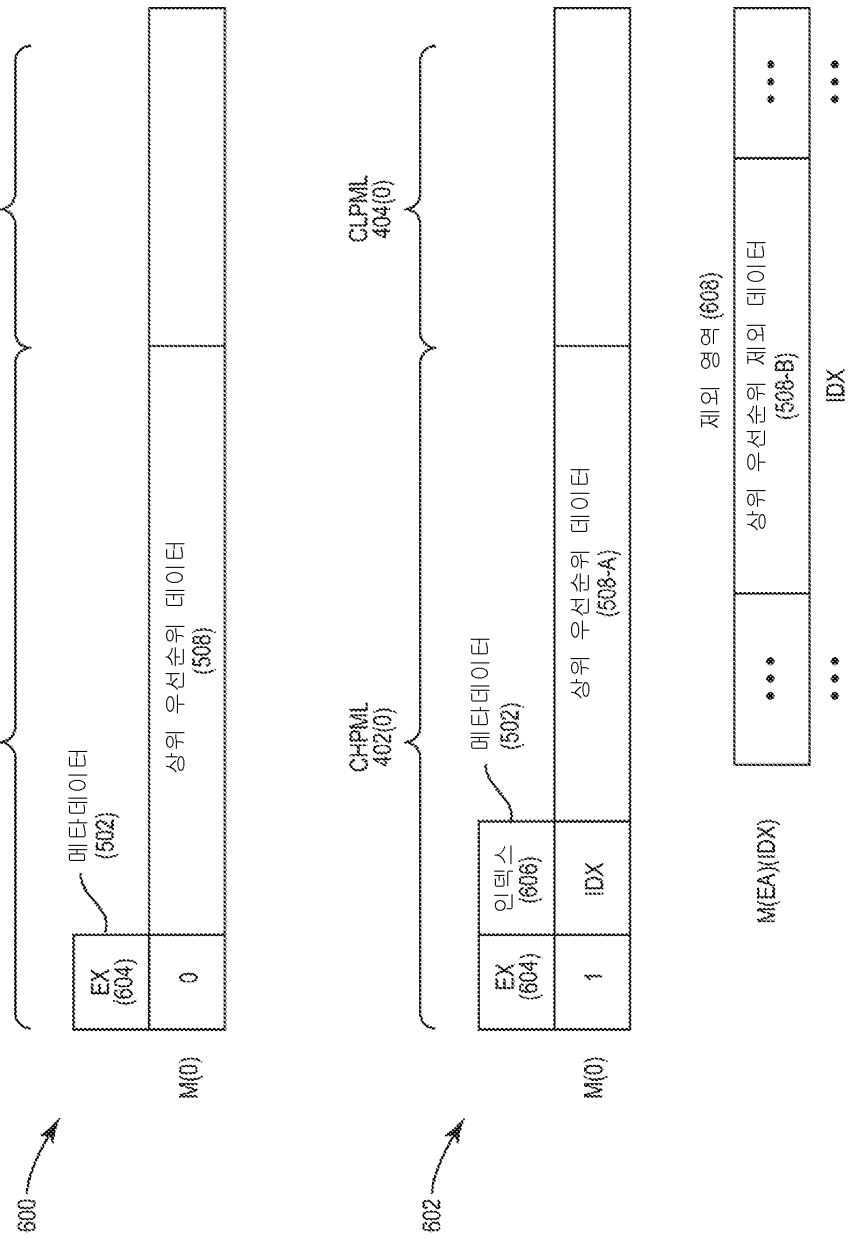


도면5

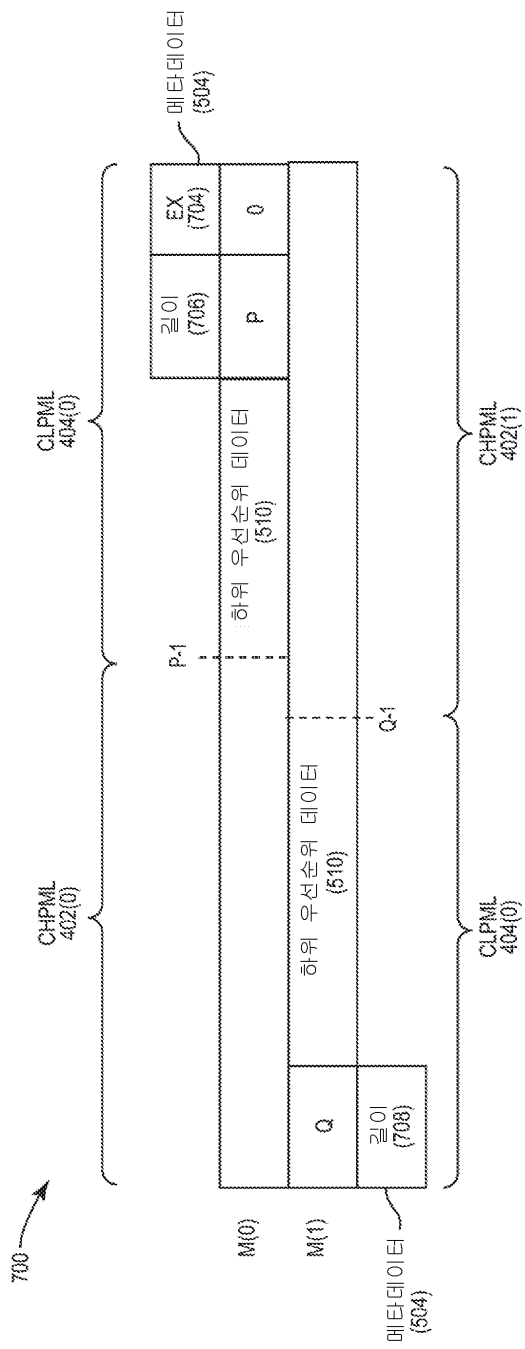
500 ↗



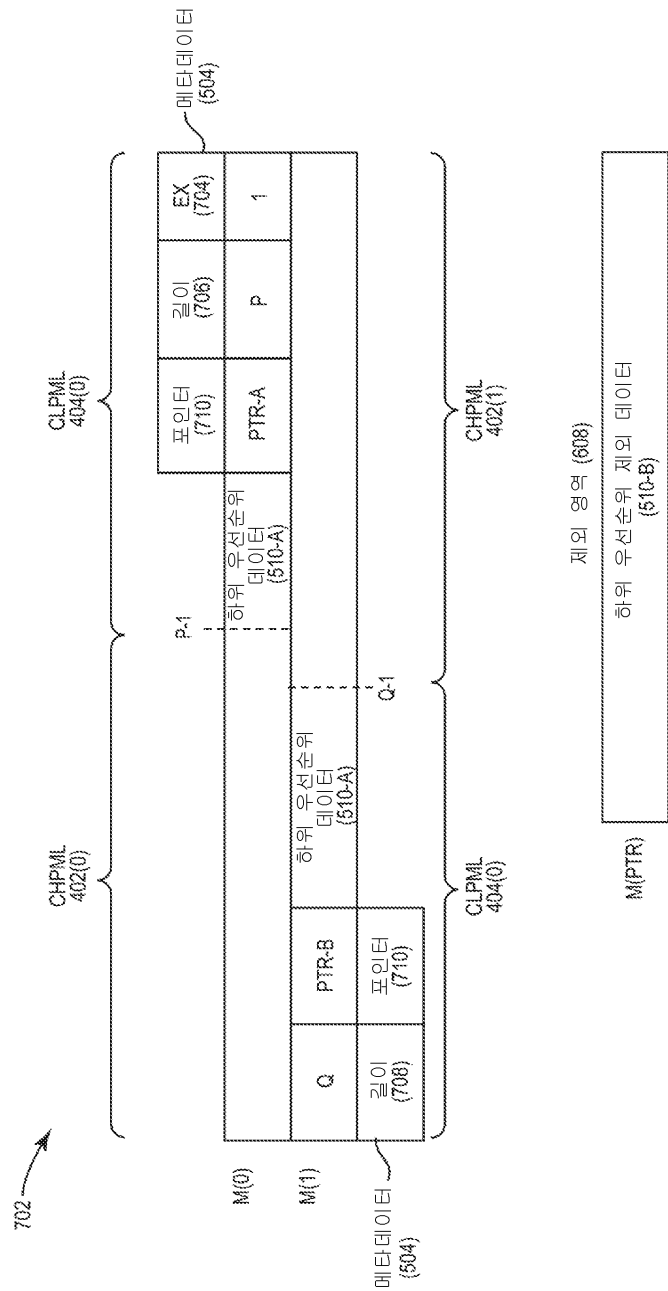
도면6



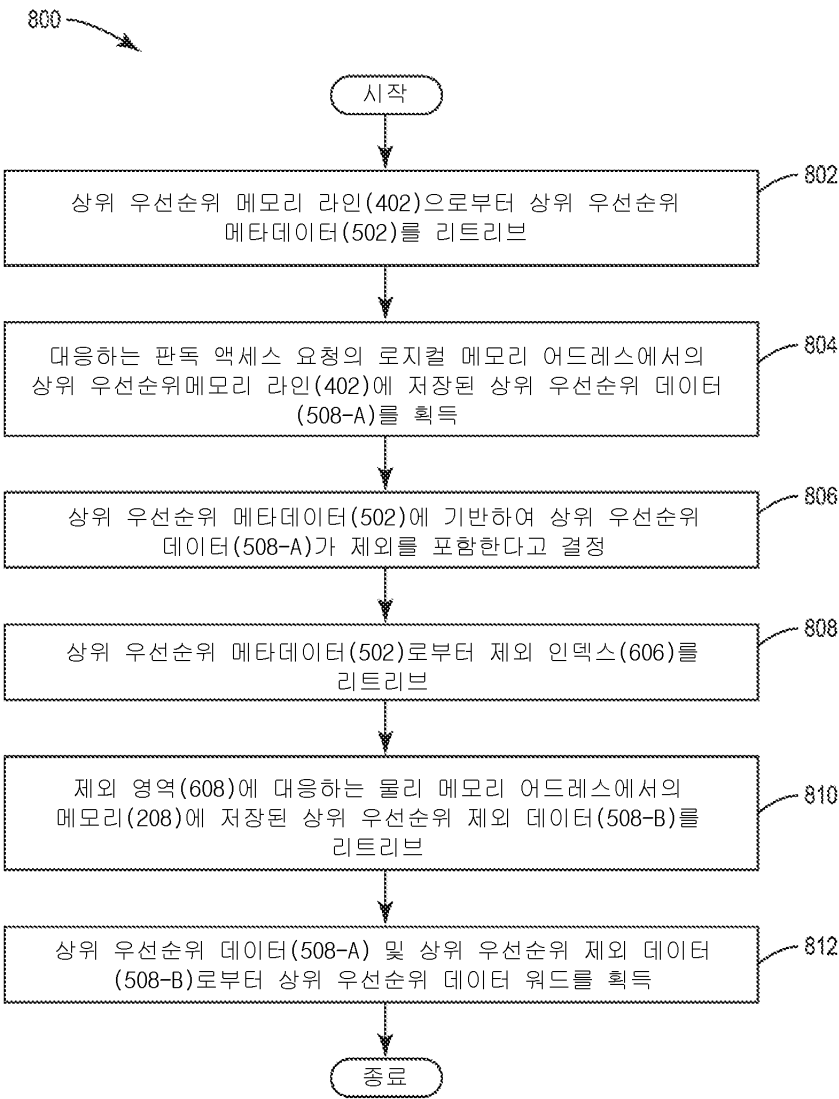
도면7a



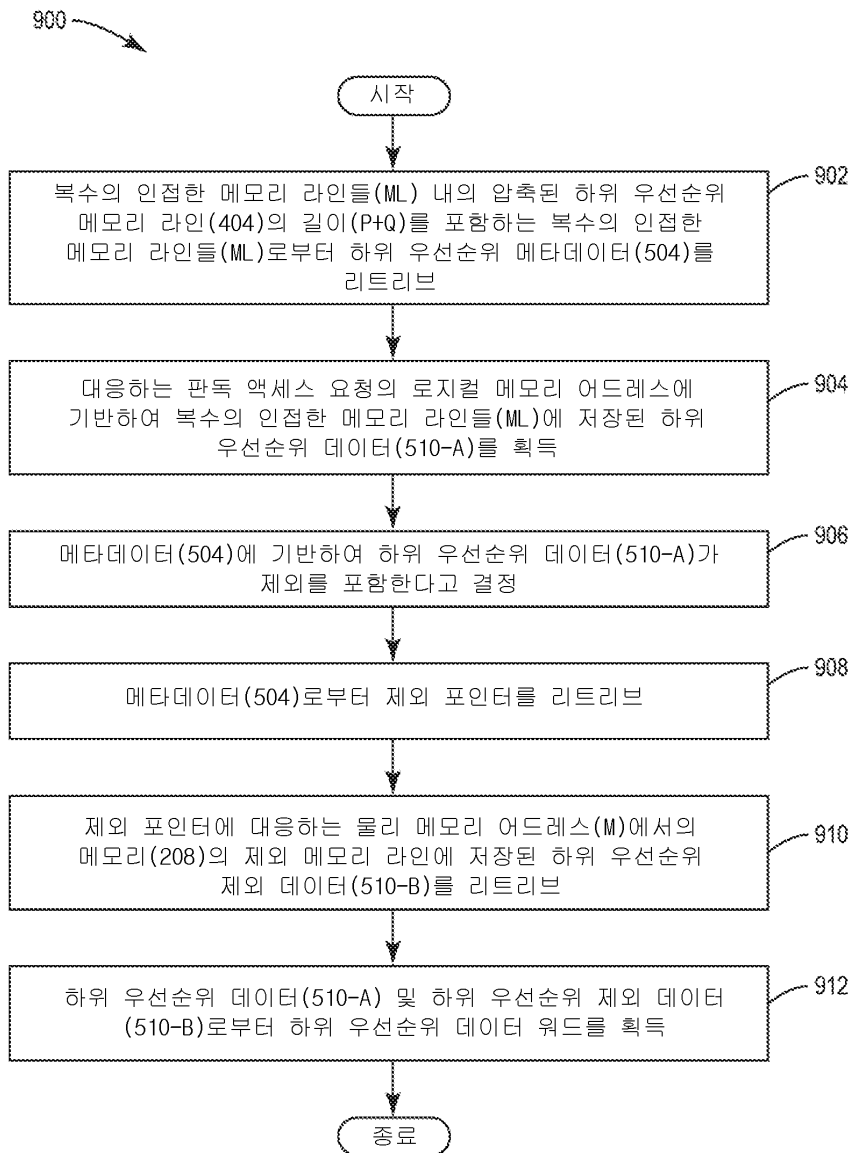
도면7b



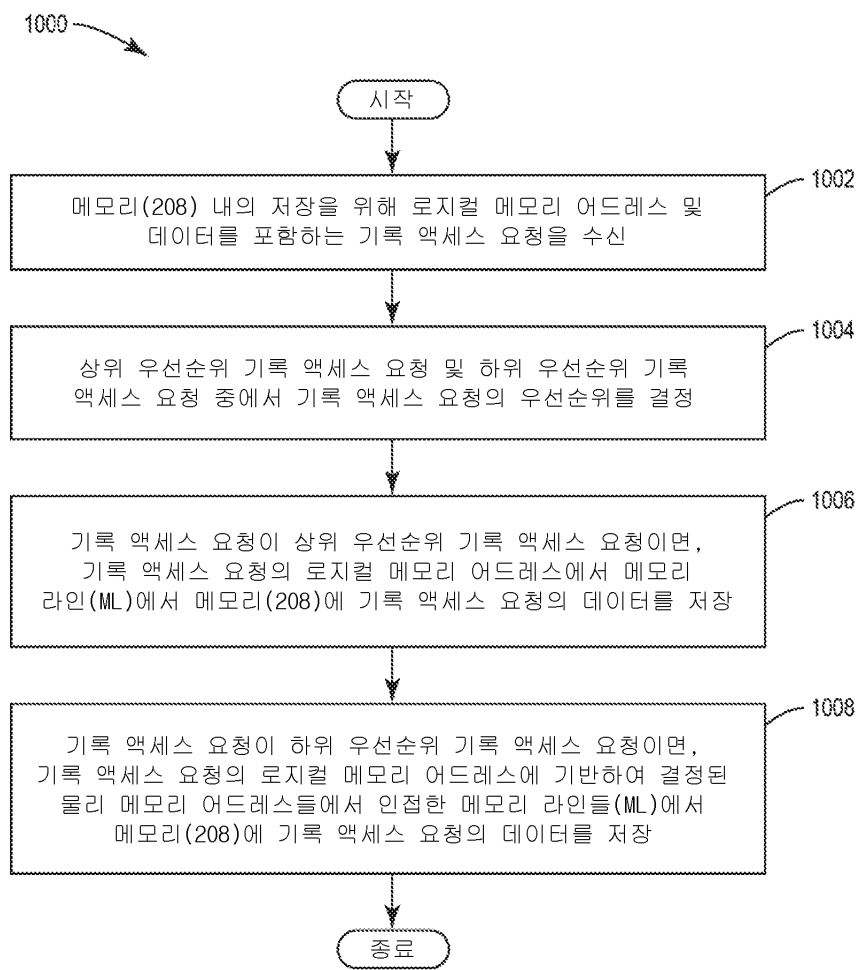
도면8



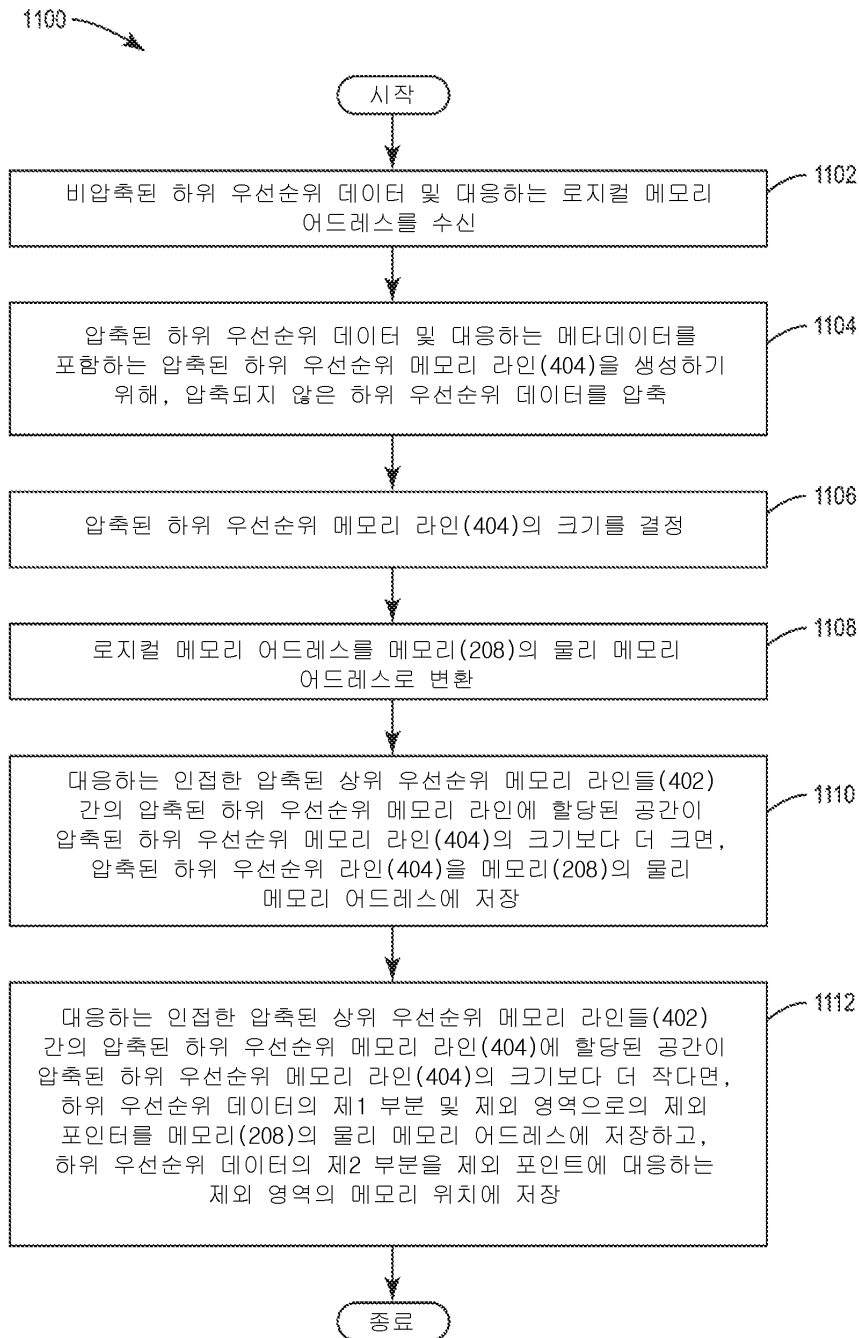
도면9



도면10



도면11



도면12

