



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I664731 B

(45)公告日：中華民國 108 (2019) 年 07 月 01 日

(21)申請案號：103116084 (22)申請日：中華民國 103 (2014) 年 05 月 06 日

(51)Int. Cl. : H01L29/78 (2006.01) H01L29/40 (2006.01)

(30)優先權：2013/05/20 日本 2013-106223

2013/05/20 日本 2013-106253

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；須澤英臣 SUZAWA, HIDEOMI (JP)；岡
崎豐 OKAZAKI, YUTAKA (JP)；宮入秀和 MIYAIRI, HIDEKAZU (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201306265A1 US 2010/0051936A1

US 2012/0256178A1

Gun Hee Kim, Byung Du Ahn, Hyun Soo Shin, Woong Hee Jeong, Hee Jin Kim, " Effect of indium composition ratio on solution processed nanocrystalline InGaZnO thin film transistors", Applied Physics Letters 94, 233501 (2009)。

審查人員：黃淑萍

申請專利範圍項數：21 項 圖式數：29 共 132 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

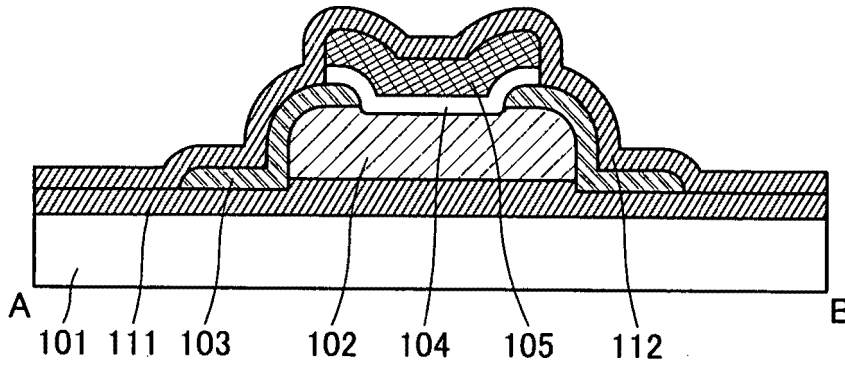
本發明提供一種使用氧化物半導體且可靠性高的半導體裝置。或者，本發明提供一種使用氧化物半導體且在維持良好的電特性的同時實現微型化的半導體裝置。本發明的一個方式的半導體裝置包括：第一保護絕緣層；第一保護絕緣層上的氧化物半導體層；與氧化物半導體層電連接的源極電極及汲極電極；位於源極電極及汲極電極上且與氧化物半導體層重疊的閘極絕緣層；隔著閘極絕緣層與氧化物半導體層重疊的閘極電極；以及覆蓋源極電極、汲極電極和閘極電極的第二保護絕緣層。另外，第一保護絕緣層及第二保護絕緣層包含具有氧過剩區的氧化鋁膜且具有在源極電極、汲極電極及閘極電極沒有存在的區域中彼此接觸的區域。

A structure is employed in which a first protective insulating layer; an oxide semiconductor layer over the first protective insulating layer; a source electrode and a drain electrode that are electrically connected to the oxide semiconductor layer; a gate insulating layer that is over the source electrode and the drain electrode and overlaps with the oxide semiconductor layer; a gate electrode that overlaps with the oxide semiconductor layer with the gate insulating layer provided therebetween; and a second protective insulating layer that covers the source electrode, the drain electrode, and the gate electrode are included. Furthermore, the first protective insulating layer and the second protective insulating layer each include an aluminum

oxide film that includes an oxygen-excess region, and are in contact with each other in a region where the source electrode, the drain electrode, and the gate electrode are not provided.

指定代表圖：

圖 1B



符號簡單說明：

101 . . . 基板

102 . . . 半導體層

103 . . . 電極

104 . . . 閘極絕緣層

105 . . . 閘極電極

111 . . . 保護絕緣層

112 . . . 保護絕緣層

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本說明書等所公開的發明係關於一種半導體裝置及半導體裝置的製造方法。

[0002] 在本說明書等中，半導體裝置是指能夠藉由利用半導體特性工作的所有裝置，電晶體、半導體電路、記憶體裝置、攝像裝置、電光裝置、發電裝置（包括薄膜太陽能電池、有機薄膜太陽能電池等）及電子裝置等都是半導體裝置的一個方式。

【先前技術】

[0003] 使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於積體電路（IC）、影像顯示裝置（簡單地記載為顯示裝置）等電子裝置。作為可以用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知，而作為其他材料，氧化物半導體受到關注。

[0004] 例如，公開了作為氧化物半導體使用氧化鋅、In-Ga-Zn 類氧化物半導體來製造電晶體的技術（參照

專利文獻 1 及專利文獻 2)。

[0005] 另外，公開了如下技術：為了提高電晶體的載子移動率，層疊電子親和力（或導帶底端能階）不同的氧化物半導體層的技術（參照專利文獻 3 及專利文獻 4）。

[0006]

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻 2] 日本專利申請公開第 2007-096055 號公報

[專利文獻 3] 日本專利申請公開第 2011-124360 號公報

[專利文獻 4] 日本專利申請公開第 2011-138934 號公報

[0007] 在實現商品化步驟上，高可靠性對具有使用氧化物半導體的電晶體的半導體裝置很重要。尤其是，半導體裝置的電特性變動或降低是導致可靠性降低的主要原因之一。

【發明內容】

[0008] 鑒於上述問題，本發明的一個方式的目的之一是提供一種使用氧化物半導體且可靠性高的半導體裝置。

[0009] 另外，為了實現電晶體的工作的高速化、電

晶體的低耗電量化、低價格化、高積體化等，必須要實現電晶體的微型化。

[0010] 於是，本發明的一個方式的目的之一是提供一種使用氧化物半導體且在維持良好的電特性的同時實現微型化的半導體裝置。

[0011] 注意，這些目的的記載不妨礙其他目的的存在。本發明的一個方式並不需要實現所有上述目的。另外，從說明書等的記載看來上述以外的目的是顯然的，且可以從說明書等的記載中抽出上述以外的目的。

[0012] 本發明的一個方式的半導體裝置包括：第一保護絕緣層；第一保護絕緣層上的氧化物半導體層；與氧化物半導體層電連接的源極電極及汲極電極；位於源極電極及汲極電極上且與氧化物半導體層重疊的閘極絕緣層；隔著閘極絕緣層與氧化物半導體層重疊的閘極電極；以及覆蓋源極電極、汲極電極和閘極電極的第二保護絕緣層。另外，第一保護絕緣層及第二保護絕緣層包含具有氧過剩區的氧化鋁膜且具有在源極電極、汲極電極及閘極電極沒有存在的區域中彼此接觸的區域。

[0013] 另外，較佳的是，上述閘極電極隔著閘極絕緣層覆蓋氧化物半導體層的頂面及側面。

[0014] 另外，上述氧化物半導體層的厚度較佳為通道寬度的 0.1 倍以上且 10 倍以下。

[0015] 此外，該半導體裝置還可以包括：設置在第一保護絕緣層與氧化物半導體層之間且包含氧化物半導體

層的金屬元素中的至少一種的第一氧化物層；以及設置在氧化物半導體層與閘極絕緣層之間且包含氧化物半導體層的金屬元素中的至少一種的第二氧化物層。在此，第一氧化物層的導帶底端和第二氧化物層的導帶底端都比氧化物半導體層的導帶底端接近真空能階，第一氧化物層的導帶底端的能量與氧化物半導體層的導帶底端的能量之間的差異為 0.05eV 以上且 2eV 以下，並且第二氧化物層的導帶底端的能量與氧化物半導體層的導帶底端的能量之間的差異為 0.05eV 以上且 2eV 以下。

[0016] 另外，第二氧化物層的頂面也可以與源極電極的下面、汲極電極的下面及閘極絕緣層的下面接觸。

[0017] 或者，第二氧化物層的下面也可以與源極電極的頂面、汲極電極的頂面以及沒有設置源極電極和汲極電極的區域中的氧化物半導體層的頂面和側面接觸。

[0018] 此外，本發明的其他方式的半導體裝置包括：具有溝槽的絕緣層；以覆蓋溝槽的側面及底面的方式設置的第一保護絕緣層；在第一保護絕緣層上以填上溝槽的方式設置的氧化物半導體層；與氧化物半導體層電連接的源極電極及汲極電極；位於源極電極及汲極電極上且與氧化物半導體層重疊的閘極絕緣層；隔著閘極絕緣層與氧化物半導體層重疊的閘極電極；以及覆蓋源極電極、汲極電極和閘極電極的第二保護絕緣層。再者，第一保護絕緣層及第二保護絕緣層包含具有氧過剩區的氧化鋁膜且具有在源極電極、汲極電極及閘極電極沒有存在的區域中彼此



接觸的區域。

[0019] 根據本發明的一個方式，可以提供一種使用氧化物半導體且可靠性高的半導體裝置。

[0020] 另外，根據本發明的一個方式，可以提供一種使用氧化物半導體且在維持良好的電特性的同時實現微型化的半導體裝置。

【圖式簡單說明】

[0021] 在圖式中：

圖 1A 至圖 1C 是根據實施方式的半導體裝置的結構例子；

圖 2A 至圖 2E 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 3A 和圖 3B 是根據實施方式的半導體裝置的結構例子；

圖 4 是根據實施方式的半導體裝置的結構例子；

圖 5A 至圖 5C 是根據實施方式的半導體裝置的結構例子；

圖 6A 至圖 6E 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 7A 和圖 7B 是根據實施方式的半導體裝置的結構例子；

圖 8 是根據實施方式的半導體裝置的結構例子；

圖 9A 至圖 9D 是根據實施方式的半導體裝置的結構

例子及電路圖；

圖 10A 和圖 10B 是根據實施方式的半導體裝置的結構例子；

圖 11A 和圖 11B 是說明根據實施方式的帶圖的圖；

圖 12A 和圖 12B 是根據實施方式的半導體裝置的結構例子；

圖 13A 至圖 13D 是根據實施方式的半導體裝置的結構例子；

圖 14A 至圖 14D 是根據實施方式的半導體裝置的結構例子；

圖 15 是根據實施方式的半導體裝置的結構例子；

圖 16A 至圖 16D 是根據實施方式的半導體裝置的結構例子及電路圖；

圖 17A 和圖 17B 是根據實施方式的半導體裝置的結構例子；

圖 18 是根據實施方式的半導體裝置的等效電路圖；

圖 19 是根據實施方式的半導體裝置的電路圖；

圖 20 是根據實施方式的半導體裝置的方塊圖；

圖 21 是說明根據實施方式的記憶體裝置的電路圖；

圖 22A 至圖 22C 是根據實施方式的電子裝置；

圖 23A 至圖 23C 是氧化物半導體的剖面 TEM 影像及局部性的傅立葉轉換影像；

圖 24A 至圖 24D 是示出氧化物半導體膜的奈米束電子繞射圖案以及示出透過電子繞射測量裝置的一個例

子的圖；

圖 25A 至圖 25C 是示出利用透過電子繞射測量的結構分析的一個例子的圖以及平面 TEM 影像；

圖 26A 和圖 26B 是根據實施方式的半導體裝置的結構例子；

圖 27A 和圖 27B 是根據實施方式的半導體裝置的結構例子；

圖 28A 和圖 28B 是根據實施方式的半導體裝置的結構例子；

圖 29A 至圖 29D 是根據實施方式的半導體裝置的結構例子。

【實施方式】

[0022] 參照圖式對實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

[0023] 注意，在下面說明的發明結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。另外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0024] 注意，在本說明書所說明的各個圖式中，有時為了明確起見，誇大表示各構成要素的大小、層的厚度、區域。因此，本發明的一個方式並不限於圖式中的比例。

[0025] 另外，在本說明書等中使用的“第一”，“第二”等序數詞是為了方便識別構成要素而附的，而不是為了在數目方面上進行限定的。

[0026] 電晶體是半導體元件的一種，可以進行電流或電壓的放大、控制導通或非導通的切換操作等。本說明書中的電晶體包括 IGFET (Insulated Gate Field Effect Transistor : 絕緣閘場效電晶體) 和薄膜電晶體 (TFT : Thin Film Transistor) 。

[0027]

實施方式 1

在本實施方式中，作為本發明的一個方式的半導體裝置的例子，參照圖式對電晶體的結構例子及製造方法例子進行說明。

[0028] 在使用氧化物半導體製造電晶體的情況下，作為氧化物半導體的載子的供應源之一可以舉出氧缺陷。當電晶體的包括通道形成區的氧化物半導體中的氧缺陷較多時，在通道形成區中生成電子，這是導致電晶體變為常導通化、洩漏電流增大、因壓力施加引起的臨界電壓變動（漂移）等電特性不良的主要原因。

[0029] 另外，在氧化物半導體層中，氫、矽、氮、

碳以及主要成分以外的金屬元素都為雜質。例如，氫的一部分在氧化物半導體層中形成施體能階，而使載子密度增大。

[0030] 因此，為了使使用氧化物半導體的半導體裝置具有穩定的電特性，需要採取藉由對氧化物半導體層供應充分的氧來降低氧缺陷並減低氫等雜質的濃度的措施。

[0031] 於是，在本發明的一個方式的半導體裝置中，以圍繞氧化物半導體層的方式設置包含具有氧過剩區的氧化鋁膜的保護絕緣層，將氧從該保護絕緣層供應到通道形成區，由此填補可能形成在通道形成區中的氧缺陷。再者，藉由保護絕緣層抑制氧從氧化物半導體層被釋放，而抑制形成氧缺陷。

[0032] 在本發明的一個方式中，作為用來對通道形成區供應氧的保護絕緣層，應用包括包含過剩氧的氧化鋁膜的絕緣層。在此，過剩氧例如是指超過化學計量組成的氧，或者是指藉由半導體裝置的製程中的熱處理以下的溫度下的加熱可能被釋放的氧。例如，作為包含過剩氧的氧化鋁膜，可以使用 AlO_x (x 大於 $3/2$) 膜。因為可以將包含在氧化鋁膜中的過剩氧藉由加熱釋放而供應到氧化物半導體層，所以藉由將這種包括氧化鋁膜的絕緣層設置在氧化物半導體層的下側及上側，可以對通道形成區有效地供應氧。

[0033] 另外，包含過剩氧的氧化鋁膜例如可以在包含氧的氛圍下藉由濺射法等形成。

[0034] 另外，氧化鋁膜是對氧及氫的透過性比氧化矽膜、氧氮化矽膜等的絕緣層或氧化物半導體層低的絕緣層。換言之，氧化鋁膜是具有對氧及氫的阻擋性的絕緣層。因此，藉由設置包括氧化鋁膜的絕緣層，可以抑制被該絕緣層圍繞的區域中的氧的脫離導致的氧缺陷的形成，並且，可以抑制氫或氫化合物的混入。

[0035] 在本發明的一個方式中，在氧化物半導體層及與該氧化物半導體層電連接的源極電極及汲極電極沒有存在的區域中，設置在氧化物半導體層的上側及下側的保護絕緣層彼此接觸。就是說，本發明的一個方式的半導體裝置具有以包圍氧化物半導體層的方式設置有氧化鋁膜的結構。藉由具有這種結構，除了氧化物半導體層的前通道一側及背通道一側的介面之外，可以抑制氧化物半導體層側面的氧的脫離及/或氫等雜質的混入，並且供應氧。因此，可以抑制在該氧化物半導體層中形成通道的電晶體的電特性變動，而形成可靠性高的半導體裝置。

[0036] 因此，在本發明的一個方式的半導體裝置中，藉由降低通道形成區中的氧缺陷，可以實現具有良好的電特性且電特性變動得到抑制的可靠性高的半導體裝置。

[0037] 根據本發明的一個方式的結構的效果例如可以如下面說明。

[0038] 在本發明的一個方式的半導體裝置中，以包圍氧化物半導體層的方式設置包括具有過剩氧的氧化鋁膜



的絕緣層。包含在氧化鋁膜中的過剩氧藉由半導體裝置的製程中的加熱處理供應到形成通道的氧化物半導體層。再者，因為氧化鋁膜具有對氧及氫的阻擋性，因此可以抑制來自被包括氧化鋁膜的絕緣層包圍的氧化物半導體層的氧的脫離以及對氧化物半導體層的氫等雜質的混入。被供應充分的氧且氫等雜質的混入得到抑制的氧化物半導體層是高純度本質化的氧化物半導體層。

[0039] 另外，在上述半導體裝置中，隔著閘極絕緣層與氧化物半導體層重疊的閘極電極以與氧化物半導體層的通道形成區的側面及頂面重疊的方式設置是較佳的。藉由採用這種結構，對氧化物半導體層在垂直於其側面的方向及垂直於其頂面的方向上施加電場，因此可以良好地控制電晶體的臨界電壓，並且可以提高次臨界擺幅值（也稱為 S 值）。

[0040] 在此，為了實現半導體裝置的高密度化（高積體化），必須要實現電晶體的微型化。另一方面，已知電晶體的微型化有時導致電晶體的電特性的惡化。

[0041] 例如，已知：在使用矽的電晶體中，通道長度的縮短導致次臨界擺幅值（S 值）的劣化或臨界電壓的變動等的短通道效果。

[0042] 然而，因為使用氧化物半導體的電晶體是以電子為多數載子的積累型電晶體（accumulation transistor），所以與矽等的反轉型電晶體相比，不容易發生短通道的 DIBL（Drain Induced Barrier Lowering：汲極

感應能障降低)。換言之，使用氧化物半導體的電晶體具有對短通道效果的耐性。

[0043] 另外，電晶體的通道寬度的縮小可能導致通態電流 (on-state current) 的降低。為了提高通態電流，雖然已知使活性層厚膜化而在活性層的側面也形成通道的方法，但是形成通道的表面積的增大導致通道形成區與閘極絕緣層之間的介面的載子散射的增加，所以難以充分提高通態電流。

[0044] 然而，在本發明的一個方式的電晶體中，藉由以包圍形成通道的氧化物半導體層的方式具有包括含有過剩氧的氧化鋁膜的絕緣層，可以將包含在氧化鋁膜中的過剩氧供應到氧化物半導體層，並且可以抑制來自氧化物半導體層的氧的脫離及氫等雜質的混入。對氧化物半導體層來說，氧缺陷及氫成為載子的生成要因，因此藉由設置包含過剩氧的氧化鋁膜，可以抑制在形成通道的氧化物半導體層的介面可能產生的載子散射。

[0045] 因此，即使縮小通道寬度，藉由使氧化物半導體層厚膜化而增大與閘極電極重疊的氧化物半導體層的表面積，也可以充分提高通態電流。為了在氧化物半導體層的側面方向上施加來自閘極電極的電場，將氧化物半導體層的厚度設定為通道寬度以上是較佳的。

[0046] 另外，藉由與氧化物半導體層接觸地設置包含氧化物半導體層的金屬元素中的至少一種的氧化物層，可以進一步抑制上述載子散射，所以是有效的。

[0047] 另外，在使電晶體的通道長度及通道寬度變為極小時，使用光阻遮罩加工的佈線、半導體層等的端面有時為圓形（具有曲面）。在以覆蓋厚膜化的氧化物半導體層的方式形成薄膜絕緣層（例如，閘極絕緣層）的情況下，覆蓋性的降低有時導致形狀不良而不能獲得穩定的電特性。但是，藉由氧化物半導體層的端面具有曲面，可以提高設置在氧化物半導體層上的絕緣層的覆蓋性，所以是較佳的。

[0048] 另外，氧化物半導體層中的氫的一部分被氧缺陷俘獲，使氧化物半導體層 n 型化，所以費米能階（ E_f ）近於導帶底端（ E_c ）。因此，在包含多量的氫的氧化物半導體層中，在有電特性變動的憂慮的同時，被期待電晶體的場效移動率的提高。另一方面，當氧化物半導體層為本質或實質上本質時，氧化物半導體層的費米能量與能帶間隙中心（mid gap）（氧化物半導體層的能隙的中間的能量）一致或無限趨近於能帶間隙中心。在此情況下，有包含在氧化物半導體層中的載子的載子數的減少導致的場效移動率的降低的憂慮。

[0049] 然而，在本發明的一個方式的電晶體中，對氧化物半導體層除了來自垂直於氧化物半導體層的方向上的閘極電場之外，施加來自側面方向上的閘極電場。就是說，對氧化物半導體層整體施加閘極電場，電流流在氧化物半導體層的塊體。由此，可以在實現由於高純度本質化的電特性變動的抑制的同時實現電晶體的場效移動率的提

高。

[0050] 更明確地說，例如可以採用以下結構。

[0051]

[結構例子 1]

圖 1A 示出本結構例子所例示的電晶體 100 的頂面示意圖。另外，圖 1B 和圖 1C 分別示出沿著圖 1A 中的切斷線 A-B 和 C-D 的剖面示意圖。此外，為了明確起見，在圖 1A 中未圖示一部分的構成要素。

[0052] 電晶體 100 設置在基板 101 上，並包括：島狀半導體層 102；與半導體層 102 電連接的一對電極 103；位於一對電極 103 上且與半導體層 102 重疊的閘極絕緣層 104；以及位於閘極絕緣層 104 上且與半導體層 102 重疊的閘極電極 105。

[0053] 另外，在基板 101 與半導體層 102 之間設置有第一保護絕緣層 111。此外，在一對電極 103 及閘極電極 105 上設置有第二保護絕緣層 112。再者，第一保護絕緣層 111 和第二保護絕緣層 112 在沒有設置一對電極 103 及閘極電極 105 的區域中以彼此接觸的方式設置。

[0054] 半導體層 102 包含氧化物半導體。另外，半導體層 102 至少包含銦 (In) 或鋅 (Zn) 是較佳的。或者，較佳為包含 In 和 Zn 的兩者。更佳的是，包含以 In-M-Zn 類氧化物 (M 為 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬) 表示的氧化物。

[0055] 一對電極 103 的一個電極用作電晶體 100 的

源極電極，另一個電極用作汲極電極。另外，在圖 1B 中，一對電極 103 分別以與半導體層 102 的頂面及側面接觸的方式設置。

[0056] 閘極電極 105 以隔著閘極絕緣層 104 圍繞半導體層 102 的頂面及側面的方式設置。

[0057] 在此，電晶體的通道長度（ L 長）是指對置的源極與汲極之間的距離。另外，電晶體的通道寬度（ W 長）是指與通道長度方向正交的方向上的半導體層的寬度。此外，根據電晶體的源極電極、汲極電極、閘極電極及半導體層的形狀，通道長度及通道寬度有時不均勻。在此情況下，可以作為電晶體的通道長度或通道寬度使用它們的平均值或最小值等。

[0058] 因為閘極電極 105 以圍繞半導體層 102 的側面的方式設置，所以可以使半導體層 102 的側面也用作通道形成區。此時，較佳的是，將半導體層 102 的厚度設定為半導體層 102 的通道寬度的 0.05 倍以上且 20 倍以下，較佳為 0.1 倍以上且 10 倍以下。藉由採用這種形狀，即使縮小通道寬度也通態電流的下降得到抑制，可以實現更微細且能夠進行高速工作的電晶體。

[0059] 也可以將如此以圍繞電晶體的半導體層的頂面及側面的方式設置有閘極電極且藉由積極地使用形成在半導體層的側面附近的通道而提高通態電流的電晶體的結構稱為 Surrounded Channel (S-Channel) 結構。

[0060] 第一保護絕緣層 111 及第二保護絕緣層 112

可以使用具有氧過剩區且具有能夠抑制氧的擴散的功能（也稱為對氧的阻擋性）的絕緣材料。例如，作為第一保護絕緣層 111 及第二保護絕緣層 112 可以使用包含氧化鋁膜的層。除此之外，也可以使用包含氧化鋁、氧氮化鋁、氧化鎳、氧氮化鎳、氧化鈮、氧氮化鈮、氧化鈣、氧氮化鈣、氧化鈮穩定氧化鋯（YSZ）等包含氧的絕緣材料的膜。

[0061] 作為具有氧過剩區的絕緣膜，例如較佳為使用包含超過化學計量組成的氧的氧化物絕緣膜。在包含超過化學計量組成的氧的氧化物絕緣膜中，藉由加熱被脫離一部分的氧。

[0062] 另外，作為第一保護絕緣層 111 及第二保護絕緣層 112，較佳為使用氫的含量極低的絕緣材料。例如，可以使用包括藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的氫的含量低於 $5 \times 10^{21} \text{atoms/cm}^3$ ，較佳為低於 $2 \times 10^{21} \text{atoms/cm}^3$ ，更佳為低於 $1 \times 10^{21} \text{atoms/cm}^3$ 的區域的絕緣材料。

[0063] 另外，作為用於第一保護絕緣層 111 及第二保護絕緣層 112 的絕緣材料，也可以使用使上述氧化物包含氧化矽的材料。例如，可以使用以 0.1wt.% 至 30wt.% 的範圍（例如，5wt.% 或 10wt.% 等）含有氧化矽的氧化鋁。藉由使氧化鋁以上述範圍包含氧化矽，可以增大由於加熱脫離的氧的量且降低膜的應力，而不降低對氧的阻擋性。

[0064]



[各構成要素]

下面說明電晶體 100 的各構成要素。

[0065]

(半導體層)

作為半導體層 102 所含的氧化物半導體，使用與矽相比能帶間隙寬且載子密度小的氧化物半導體可以降低電晶體的關閉狀態 (off-state) 時的電流，所以是較佳的。

[0066] 另外，作為用於半導體層 102 的半導體的結晶性，可以使用非晶半導體、結晶半導體(微晶半導體、多晶半導體、單晶半導體或者其一部分或整體具有結晶部的半導體)中的任一種。將結晶半導體用於半導體層 102 可以抑制電晶體的特性劣化，所以是較佳的。

[0067] 尤其是，作為半導體層 102，較佳為使用如下層：具有多個結晶部，該結晶部的 c 軸朝向大致垂直於半導體層 102 的被形成面 (圖 1A 至圖 1C 中的第一保護絕緣層 111 的頂面) 或半導體層 102 的頂面的方向，並且在相鄰的結晶部間不具有晶界。

[0068] 藉由作為半導體層 102 使用這種材料，電特性變動得到抑制，而可以實現可靠性高的電晶體 100。

[0069] 另外，半導體層 102 可以具有單層結構或兩層以上的疊層結構。在採用疊層結構的情況下，可以組合兩種以上的具有不同的組成的氧化物半導體膜。

[0070] 注意，在後面的實施方式中詳細地說明能夠適用於半導體層 102 的氧化物半導體的較佳的方式及其形

成方法。

[0071]

(基板)

雖然對基板 101 的材料等沒有特別的限制，但是至少使用具有能夠承受製程中的加熱處理的耐熱性的材料。例如，作為基板 101，可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板、氧化釷穩定氧化鋯(YSZ)基板等。此外，還可以應用由矽或碳化矽等構成的單晶半導體基板或多晶半導體基板、由矽鍺等構成的化合物半導體基板、SOI 基板等。

[0072] 此外，作為基板 101 還可以使用在各種半導體基板或 SOI 基板上形成有半導體元件的基板。在此情況下，在基板 101 上隔著層間絕緣層形成電晶體 100。此時，藉由嵌入在該層間絕緣層中的連接電極，電晶體 100 的閘極電極 105、一對電極 103 中的至少一個與上述半導體元件電連接即可。藉由在半導體元件上隔著層間絕緣層設置電晶體 100，可以抑制因製造電晶體 100 而造成的面積的增大。

[0073]

(閘極電極)

閘極電極 105 可以使用選自鋁、鉻、銅、鈹、鈦、鉬、鎢中的金屬、以上述金屬為成分的合金或組合上述金屬的合金等而形成。另外，也可以使用選自錳、鋯中的一個或多個的金屬。此外，也可以使用以摻雜磷等雜質元素



的多晶矽為代表的半導體、鎳矽化物等矽化物。此外，閘極電極 105 可以採用單層結構或者兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鋁膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鈦膜或氮化鎢膜上層疊鎢膜的兩層結構、以及依次層疊鈦膜、鋁膜及鈦膜的三層結構等。此外，也可以使用組合鋁與選自鈦、鈮、鎢、鉬、鉻、釷、釷中的一種的膜、組合鋁與上述金屬中的多種的合金膜或上述金屬的氮化膜。

[0074] 另外，閘極電極 105 也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加氧化矽的銦錫氧化物等透光導電材料。此外，也可以採用上述透光導電材料與上述金屬的疊層結構。

[0075] 另外，還可以在閘極電極 105 和閘極絕緣層 104 之間設置 In-Ga-Zn 類氧氮化物半導體膜、In-Sn 類氧氮化物半導體膜、In-Ga 類氧氮化物半導體膜、In-Zn 類氧氮化物半導體膜、Sn 類氧氮化物半導體膜、In 類氧氮化物半導體膜、金屬氮化膜(InN、ZnN 等)等。由於上述膜具有 5eV 以上，較佳為 5.5eV 以上的功函數，且大於氧化物半導體的電子親和力，所以可使包括氧化物半導體的電晶體的臨界電壓向正方向漂移，從而可以實現所謂的常閉特性的切換元件。例如，在使用 In-Ga-Zn 類氧氮化物半

導體膜的情況下，使用其氮濃度至少高於半導體層 102，具體為 7atoms%以上的 In-Ga-Zn 類氧氮化物半導體膜。

[0076]

(閘極絕緣層)

作為閘極絕緣層 104，例如使用氧化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鎵、Ga-Zn 類金屬氧化物、氮化矽等即可，並以單層或疊層的結構設置。

[0077] 此外，藉由作為閘極絕緣層 104 使用矽酸鉛 (HfSiO_x)、添加有氮的矽酸鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮的鋁酸鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鉛、氧化釷等 high-k 材料，可以降低電晶體的閘極漏電流。

[0078]

(一對電極)

一對電極 103 作為導電材料可以使用由鋁、鈦、鉻、鎳、銅、鈮、銦、鉍、銀、鉭或鎢構成的金屬或以這些金屬為主要成分的合金的單層結構或疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鋁膜上層疊鈦膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊鈦膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構、以及依次層疊鉍膜或氮化鉍膜、鋁膜或銅膜以及鉍膜或氮化鉍膜的三層結構等。另外，也可以使用包含氧化銮、氧化錫或氧化鋅的透明導電材料。

[0079] 以上是電晶體 100 的結構例子及各構成要素



的說明。

[0080]

[製造方法例子 1]

以下，參照圖式對圖 1A 至圖 1C 所例示的電晶體 100 的製造方法的一個例子進行說明。圖 2A 至圖 2E 是以下所例示的製造方法的各製程中的剖面示意圖。

[0081]

[第一保護絕緣層的形成]

首先，在基板 101 上形成第一保護絕緣層 111（圖 2A）。

[0082] 第一保護絕緣層 111 例如在包含氧的氛圍下藉由濺射法等形成。除此之外，也可以在包含氧的氛圍下藉由 CVD（Chemical Vapor Deposition：化學氣相沉積）法、MBE（Molecular Beam Epitaxy：分子束磊晶）法、ALD（Atomic Layer Deposition：原子層沉積）法或 PLD（Pulsed Laser Deposition：脈衝雷射沉積）法等形成第一保護絕緣層 111。

[0083] 例如，在作為第一保護絕緣層 111 使用氧化鋁膜的情況下，可以以氧化鋁為濺射靶材，在包含氧的氛圍下形成第一保護絕緣層 111。另外，也可以使成膜氣體包含稀有氣體等惰性氣體。例如，較佳的是，將在成膜氣體整體的流量中氧的流量所占的比率設定為 20%以上，較佳為 30%以上，更佳為 40%以上。另外，雖然可以藉由以鋁為濺射靶材的反應性濺射法形成氧化鋁膜，但是藉由以

氧化鋁為濺射靶材可以使更多的氧包含在膜中，所以是較佳的。

[0084]

(半導體層的形成)

接著，在第一保護絕緣層 111 上形成半導體膜。然後，利用光微影法等在半導體膜上形成光阻遮罩，藉由蝕刻去除半導體膜的不需要的部分。然後去除光阻遮罩，由此可以形成島狀半導體層 102 (圖 2B)。

[0085] 作為半導體膜的成膜，可以使用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法等。或者，也可以使用溶膠-凝膠法、噴射法，霧化法等使用液狀材料的薄膜形成技術。作為半導體膜的成膜，較佳為使用濺射法。作為濺射法，可以使用 RF 濺射法、DC 濺射法、AC 濺射法等。尤其是，DC 濺射法可以降低成膜時產生的塵屑並可以使厚度分佈均勻，因此較佳為使用 DC 濺射法。

[0086] 在形成半導體膜之後，可以進行加熱處理。以 250°C 以上且 650°C 以下的溫度，較佳為 300°C 以上且 500°C 以下的溫度下，在惰性氣體氛圍下、包含 10ppm 以上的氧化氣體的氛圍下或者減壓狀態下進行加熱處理，即可。另外，也可以在如下方法進行加熱處理：為了填補脫離了的氧，在惰性氣體氛圍下進行加熱處理之後，在包含 10ppm 以上的氧化氣體的氛圍下進行另一個加熱處理。藉由加熱處理，氧從第一保護絕緣層 111 供應到半導體膜 (或半導體層 102)，可以降低包含在半導體層 102 中的

氧化物半導體中的氧缺陷。另外，加熱處理既可以剛在形成半導體膜之後進行，又可以在對半導體膜進行加工來形成島狀半導體層 102 之後進行。

[0087] 作為用於形成光阻遮罩的光，例如可以使用 i 線（波長為 365nm）、g 線（波長為 436nm）、h 線（波長為 405nm）或混合它們的光。除此之外，也可以使用紫外線、KrF 雷射或 ArF 雷射等。另外，也可以藉由液浸曝光技術進行曝光。此外，作為用於曝光的光，也可以使用極紫外線（EUV：Extreme Ultra-violet）或 X 線。另外，也可以使用電子束代替用於曝光的光。藉由使用極紫外線、X 線或電子束，可以進行極微細的加工，所以是較佳的。此外，在藉由掃描電子束等的束進行曝光的情況下，不需要光罩。

[0088] 在此，如圖 2B 所示，在對半導體膜進行蝕刻時，第一保護絕緣層 111 的一部分有時被蝕刻而不與半導體層 102 重疊的區域薄膜化。藉由使第一保護絕緣層 111 的半導體層 102 的周圍的頂面比半導體層 102 的下面低，可以實現後面形成的閘極電極 105 圍繞半導體層 102 的側面的下部的結構。其結果，來自閘極電極 105 的電場充分施加到半導體層 102 的側面的下部，可以增大電晶體 100 的通態電流。與此同樣，如圖 26A 和圖 26B 所示，藉由以閘極電極 105 的下面比半導體層 102 的下面低的方式對第一保護絕緣層 111 的一部分進行蝕刻，可以進一步增大電晶體 100 的通態電流，所以是較佳的。

[0089] 另外，根據用於第一保護絕緣層 111 的材料或半導體膜的蝕刻的條件，有時第一保護絕緣層 111 沒有被蝕刻。此時，形成在半導體層 102 上的膜的覆蓋性得到提高，所以是較佳的。

[0090] 另外，如圖 2B 所示，將半導體層 102 加工為其上部的角部具有平緩的曲面是較佳的。尤其是，在對半導體層 102 進行微細加工時，在很多情況下具有這種形狀。藉由採用具有這種形狀的半導體層 102，形成在半導體層 102 上的膜的覆蓋性得到提高，由此可以抑制電晶體 100 的電特性的不均勻和變動，所以是較佳的。

[0091]

(一對電極的形成)

接著，在第一保護絕緣層 111 及半導體層 102 上形成導電膜。然後，利用光微影法等，在導電膜上形成光阻遮罩，藉由蝕刻去除導電膜的不需要的部分。然後去除光阻遮罩，由此可以形成一對電極 103 (圖 2C)。

[0092] 導電膜例如可以藉由濺射法、蒸鍍法、CVD 法等形成。

[0093] 在此，如圖 2C 所示，在對導電膜進行蝕刻時，半導體層 102 的上部的一部分有時被蝕刻而不與一對電極 103 重疊的部分薄膜化。因此，較佳的是，考慮到被蝕刻的深度，預先將成為半導體層 102 的半導體膜的厚度設定為厚。

[0094] 另外，雖然未明確地圖示，但是在對導電膜

進行蝕刻時也與上述同樣地第一保護絕緣層 111 的一部分有時被蝕刻而薄膜化。

[0095]

(閘極絕緣層、閘極電極的形成)

接著，在半導體層 102、一對電極 103 和第一保護絕緣層 111 上形成絕緣膜。再者，在該絕緣膜上形成導電膜。然後，利用光微影法等導電膜上形成光阻遮罩，藉由蝕刻去除導電膜及絕緣膜的不需要的部分。然後，藉由去除光阻遮罩，可以形成閘極電極 105 及閘極絕緣層 104 (圖 2D)。

[0096] 成為閘極絕緣層 104 的絕緣膜可以使用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法等形式。尤其是，藉由利用 CVD 法，較佳為利用電漿 CVD 法形成該絕緣膜可以提高覆蓋性，所以是較佳的。

[0097] 另外，成為閘極電極 105 的導電膜例如可以藉由濺射法、蒸鍍法、CVD 法等形式。

[0098] 另外，在此說明如下情況：在形成閘極電極 105 的同時對閘極絕緣層 104 進行蝕刻，對閘極絕緣層 104 進行加工，以便閘極絕緣層 104 具有與閘極電極 105 同樣的頂面形狀，但是也可以分別對它們進行加工，以便閘極絕緣層 104 具有它延伸在閘極電極 105 的外側的頂面形狀。另外，此時，藉由作為用於光微影法等曝光遮罩使用灰色調遮罩或半色調遮罩等多色調遮罩可以簡化製程，所以是較佳的。

[0099]

(第二保護絕緣層的形成)

接著，在第一保護絕緣層 111、一對電極 103、閘極絕緣層 104 和閘極電極 105 上形成第二保護絕緣層 112 (圖 2E)。

[0100] 第二保護絕緣層 112 可以藉由與第一保護絕緣層 111 同樣的方法形成。

[0101] 在此，第二保護絕緣層 112 以在沒有設置一對電極 103 及閘極電極 105 的區域中與第一保護絕緣層 111 接觸的方式設置。因此，可以由第一保護絕緣層 111 及第二保護絕緣層 112 圍繞半導體層 102。

[0102] 藉由以上製程，可以製造電晶體 100。

[0103]

(加熱處理)

也可以在形成第二保護絕緣層 112 之後進行加熱處理。藉由加熱處理，可以將氧從第一保護絕緣層 111 及第二保護絕緣層 112 供應到半導體層 102，來降低半導體層 102 中的氧缺陷。另外，此時，藉由第一保護絕緣層 111 及第二保護絕緣層 112 抑制氧從半導體層 102 被釋放，而抑制在半導體層 102 中形成氧缺陷。

[0104] 以上是電晶體 100 的製程例子的說明。

[0105]

[結構例子 1 的變形例]

以下，對其結構的一部分與上述結構例子 1 所例示的



電晶體不同的電晶體的結構例子進行說明。另外，省略與上述重複的部分的說明，只對不同之處進行詳細說明。此外，即使表示位置或形狀不同的構成要素，在其功能同一的情況下，有時附加同一符號而省略說明。

[0106]

(變形例 1)

圖 3A 和圖 3B 示出以下所例示的電晶體的剖面示意圖。另外，頂面示意圖可以援用圖 1A。圖 1B 和圖 1C 中的電晶體與圖 3A 和圖 3B 所示的電晶體之間的不同之處主要在於：在半導體層 102 與第一保護絕緣層 111 之間具有絕緣層 106。

[0107] 設置在半導體層 102 的下部的絕緣層 106 較佳為包含藉由加熱釋放氧的氧化物絕緣材料。藉由在半導體層 102 的下部設置絕緣層 106，由於在電晶體的製程中的加熱處理等中被施加的熱，可以將更多的氧供應到半導體層 102。另外，藉由由第一保護絕緣層 111 和第二保護絕緣層 112 圍繞包括絕緣層 106 和半導體層 102 的結構，抑制氧從絕緣層 106 釋放到外部（基板 101 一側或第二保護絕緣層 112 的上方），可以將氧更有效地供應到半導體層 102。

[0108] 另外，雖然可以以覆蓋第一保護絕緣層 111 的頂面的方式設置絕緣層 106，但是較佳的是，如圖 3A 和圖 3B 所示以使半導體層 102 和絕緣層 106 的頂面形狀大致一致的方式使用同一光阻遮罩對它們進行加工。藉由

採用這種結構，第一保護絕緣層 111 和第二保護絕緣層 112 在沒有設置閘極電極 105 及一對電極 103 的區域中接觸，所以可以遮斷氧的擴散路徑，有效地對半導體層 102 供應氧。

[0109] 絕緣層 106 較佳為使用其氧含量超過化學計量組成的氧化物絕緣膜。其氧含量超過化學計量組成的氧化物絕緣膜中的氧的一部分因加熱而脫離。其氧含量超過化學計量組成的氧化物絕緣膜為如下氧化物絕緣膜：當利用熱脫附譜分析法（TDS：Thermal Desorption Spectroscopy）進行分析時，換算為氧原子的氧的脫離量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上。

[0110] 當作為絕緣層 106 利用電漿 CVD 法形成氧化矽膜或氧氮化矽膜時，作為原料氣體，較佳為使用包含矽的沉積氣體及氧化氣體。作為包含矽的沉積氣體的典型例子，可以舉出矽烷、乙矽烷、丙矽烷、氟化矽烷等。作為氧化氣體，可以舉出氧、臭氧、一氧化二氮、二氧化氮等。

[0111] 例如，將安裝在電漿 CVD 設備中的進行了真空排氣的處理室內的基板的溫度保持為 180°C 以上且 260°C 以下，較佳為 200°C 以上且 240°C 以下，將原料氣體導入處理室中並將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，較佳為設定為 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應高頻功率，即 0.17W/cm^2 以



上且 $0.5\text{W}/\text{cm}^2$ 以下，更佳為 $0.25\text{W}/\text{cm}^2$ 以上且 $0.35\text{W}/\text{cm}^2$ 以下，以上述條件形成氧化矽膜或氧氮化矽膜。

[0112] 由於作為成膜條件，在施加有上述壓力的處理室中供應具有上述功率密度的高頻電力，因此電漿中的原料氣體的分解效率得到提高，氧自由基增加，且原料氣體進一步氧化，所以氧化物絕緣膜中的氧含量超過化學計量比。然而，當基板溫度是上述溫度時，因為矽與氧的鍵合力較弱，所以氧的一部分因加熱而脫離。其結果是，可以形成一種氧化物絕緣膜，其氧含量超過化學計量組成且氧的一部分會因加熱而脫離。

[0113]

(變形例 2)

圖 4 示出以與電晶體 100 相鄰的方式形成電容元件 120 的例子。

[0114] 電容元件 120 包括：電晶體 100 的一對電極 103 的一個電極；與對與閘極電極 105 同一的導電膜進行加工而形成的電極 125；以及一對電極 103 的一個電極與電極 125 之間的對與閘極絕緣層 104 同一的絕緣膜進行加工而形成的介電層 124。

[0115] 如此，藉由對用於製造電晶體 100 的膜進行加工而形成電容元件 120，可以在製造電晶體 100 的同時製造電容元件 120，而不增加製程。

[0116] 另外，雖然在圖 4 中示出將電晶體 100 的一對電極 103 的一個電極用作電容元件 120 的一個電極的結

構，但是不侷限於此，也可以作為電容元件 120 的一個電極使用對與電晶體 100 的一對電極 103 同一的導電膜進行加工而形成的不同的電極。此外，也可以將閘極電極 105 和電極 125 以及閘極絕緣層 104 和介電層 124 中的至少一組形成為連續的膜。

[0117] 在此，作為用於構成閘極絕緣層 104 及介電層 124 的絕緣膜的材料，較佳為使用氧化鋁、氧化鉛、氧化銻、氧化鉍、氧化鈦、鈦酸鋇、鈦酸鋇等高介電常數材料。另外，也可以使用包含鏷、鋁、釷或鎢等的金屬的這些材料、包含這些金屬的氧化物的材料。此外，也可以層疊包含上述材料的膜。

[0118] 另外，該絕緣膜較佳為使用包含超過化學計量組成的氧的氧化物絕緣膜。藉由使用這種絕緣膜，由於在電晶體的製造工程中的加熱處理等中被施加的熱，可以將氧從閘極絕緣層 104 供應到半導體層 102。

[0119] 以上是變形例的說明。

[0120]

[結構例子 2]

以下，對其結構的一部分與上述結構例子 1 等不同的電晶體的結構例子進行說明。另外，有時省略與上述重複的部分的說明。

[0121] 圖 5A 示出本結構例子所例示的電晶體 200 的頂面示意圖。另外，圖 5B 和圖 5C 分別示出沿著圖 5A 中的切斷線 E-F 和 G-H 的剖面示意圖。此外，為了明確起

見，在圖 5A 中未圖示一部分的構成要素。

[0122] 電晶體 200 包括：設置在基板 201 上的具有溝槽的絕緣層 207；設置在絕緣層 207 上且以填上溝槽的方式設置的半導體層 202；設置在半導體層 202 上且與半導體層 202 電連接的一對電極 203；位於一對電極 203 上且與半導體層 202 重疊的閘極絕緣層 204；以及位於閘極絕緣層 204 上且與半導體層 202 重疊的閘極電極 205。

[0123] 另外，在半導體層 202 的下方以覆蓋絕緣層 207 的溝槽的側面及底面的方式設置有第一保護絕緣層 211。如圖 5B 和圖 5C 所示，較佳的是，第一保護絕緣層 211 以覆蓋絕緣層 207 的沒有設置溝槽的區域的頂面的方式設置。此外，以覆蓋一對電極 203 及閘極電極 205 的方式設置有第二保護絕緣層 212。再者，第一保護絕緣層 211 和第二保護絕緣層 212 在沒有設置一對電極 203 及閘極電極 205 的區域中以彼此接觸的方式設置。

[0124] 半導體層 202、一對電極 203、閘極絕緣層 204、閘極電極 205 等分別可以使用與結構例子 1 中的半導體層 102、一對電極 103、閘極絕緣層 104、閘極電極 105 等同樣的材料。另外，第一保護絕緣層 211 及第二保護絕緣層 212 可以使用與結構例子 1 中的第一保護絕緣層 111 及第二保護絕緣層 112 同樣的材料。

[0125] 第一保護絕緣層 211 以覆蓋設置在絕緣層 207 中的溝槽的側面及底面的方式設置，並且半導體層 202 以填上該溝槽的方式設置。因為半導體層 202 的側面及下面

被第一保護絕緣層 211 圍繞，所以可以在抑制氫等雜質從絕緣層 207 擴散到半導體層 202 的同時抑制氧從半導體層 202 釋放到絕緣層 207。

[0126] 另外，因為可以藉由調整溝槽的深度而將半導體層 202 的厚度設定為厚，所以容易增大電晶體 200 的通態電流且提高源極與汲極之間的耐壓。例如，在平坦面上形成厚的半導體層時，設置在其上層的膜不容易覆蓋半導體層，而有可能導致膜的分離或者在膜中形成低密度區域。另一方面，在本結構例子中，以填上溝槽的方式設置半導體層 202，以便使其頂面的高度與第一保護絕緣層 211 的頂面的高度大致一致。因此，可以在不影響到設置在其上層的膜的覆蓋性的狀態下將半導體層 202 的厚度設定為厚。

[0127] 以上是電晶體 200 的結構例子的說明。

[0128]

[製造方法例子 2]

以下，參照圖式對圖 5A 至圖 5C 所例示的電晶體 200 的製造方法的一個例子進行說明。圖 6A 至圖 6E 是使用以下所例示的製造方法的各製程中的剖面示意圖。

[0129]

(絕緣層的形成)

首先，在基板 201 上形成絕緣層 207。

[0130] 絕緣層 207 可以藉由濺射法、CVD 法或蒸鍍法等形成。



[0131] 作為絕緣層 207，可以使用氧化矽、氧氮化矽、氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鉍、氧氮化鉍、氧化鉛、氧氮化鉛等絕緣材料。

[0132] 另外，作為絕緣層 207 也可以層疊由不同的絕緣材料構成的膜。藉由作為絕緣層 207 採用疊層結構，可以使設置於下方的膜用作後面形成溝槽時的蝕刻停止層。

[0133]

(溝槽的形成)

接著，利用光微影法等，在絕緣層 207 上形成光阻遮罩，藉由蝕刻去除絕緣層 207 的上部。然後，去除光阻遮罩，由此可以在絕緣層 207 中形成溝槽。

[0134] 在此，如上所述，藉由作為絕緣層 207 採用由不同的材料構成的多層結構，可以容易進行蝕刻。再者，藉由將設置於下方的層用作蝕刻停止層，可以使溝槽的底面平坦化，所以是較佳的。

[0135] 另外，在增大溝槽的深度的情況下，有可能在蝕刻的途中光阻遮罩消失。此時，預先形成由對在絕緣層 207 進行蝕刻時不容易被蝕刻的材料（即，對薄膜的絕緣層 207 的選擇比大的材料）構成的薄膜，藉由光阻遮罩對該薄膜進行蝕刻。然後，也可以藉由將薄膜用作硬遮罩對絕緣層 207 的上部進行蝕刻來形成溝槽。在用作硬遮罩的薄膜具有絕緣性的情況下，也可以在形成溝槽之後殘留

硬遮罩。

[0136]

(第一保護絕緣層的形成)

接著，在絕緣層 207 上以覆蓋溝槽的側面及底面的方式形成第一保護絕緣層 211 (圖 6A)。

[0137] 與製造方法例子 1 中的第一保護絕緣層 111 同樣地形成第一保護絕緣層 211。

[0138]

(半導體層的形成)

接著，在第一保護絕緣層 211 上形成半導體膜。在由半導體膜完全填上溝槽的情況下，較佳的是，以半導體膜的與溝槽重疊的部分的頂面的高度相等於或高於第一保護絕緣層 211 的不與溝槽重疊的部分的高度的方式形成半導體膜。

[0139] 半導體膜也可以與上述製造方法例子 1 同樣地形成。

[0140] 也可以在形成半導體膜之後進行加熱處理。與上述製造方法例子 1 同樣地進行加熱處理。藉由加熱處理，氧從第一保護絕緣層 211 供應到半導體膜 (或半導體層 202)，可以降低包含在半導體層 202 中的氧化物半導體中的氧缺陷。另外，加熱處理既可以剛在形成半導體膜之後進行，又可以在對半導體膜進行加工來形成島狀半導體層 202 之後進行。

[0141] 接著，進行平坦化處理，以半導體膜的頂面

與不重疊於第一保護絕緣層 211 的溝槽的部分的頂面一致的方式進行加工，由此可以形成埋入溝槽中的島狀半導體層 202（圖 6B）。

[0142] 作為平坦化處理，例如可以使用 CMP（Chemical Mechanical Polishing：化學機械拋光）等拋光處理或蝕刻處理。

[0143] 在此，在作為第一保護絕緣層 211 使用氧化鋁等且作為平坦化處理使用 CMP 等拋光處理的情況下，可以將第一保護絕緣層 211 用作蝕刻停止層。因此，可以抑制平坦化處理導致半導體層 202 的薄膜化，並且，可以減少其厚度的不均勻。

[0144]

（一對電極的形成）

接著，在第一保護絕緣層 211 及半導體層 202 上形成導電膜。然後，利用光微影法等導電膜上形成光阻遮罩，藉由蝕刻去除導電膜的不需要的部分。然後去除光阻遮罩，由此可以形成一對電極 203（圖 6C）。

[0145] 導電膜例如可以藉由濺射法、蒸鍍法、CVD 法等形成。

[0146] 在此，如圖 6C 所示，在對導電膜進行蝕刻時，半導體層 202 的上部的一部分有時被蝕刻而不與一對電極 203 重疊的部分薄膜化。因此，較佳的是，考慮到被蝕刻的深度，預先將成為半導體層 202（即，溝槽的深度）的半導體膜的厚度設定為厚。

[0147] 另外，雖然未明確地圖示，但是在對導電膜進行蝕刻時第一保護絕緣層 211 的一部分也有時被蝕刻而薄膜化。

[0148]

(閘極絕緣層、閘極電極的形成)

接著，在半導體層 202、一對電極 203 和第一保護絕緣層 211 上形成絕緣膜。再者，在該絕緣膜上形成導電膜。然後，利用光微影法等，在導電膜上形成光阻遮罩，藉由蝕刻去除導電膜及絕緣膜的不需要的部分。然後，藉由去除光阻遮罩，可以形成閘極電極 205 及閘極絕緣層 204 (圖 6D)。

[0149] 成為閘極絕緣層 204 的絕緣膜、成為閘極電極 205 的導電膜可以藉由上述製造方法例子 1 同樣的方法形成。

[0150] 另外，雖然在此說明如下情況：在形成閘極電極 205 的同時對閘極絕緣層 204 進行蝕刻，對閘極絕緣層 204 進行加工，以便具有與閘極電極 205 同樣的頂面形狀的情況，但是也可以分別對它們進行加工，以便具有閘極絕緣層 204 延伸在閘極電極 205 的外側的頂面形狀。另外，此時，藉由作為用於光微影法等，的曝光遮罩使用灰色調遮罩或半色調遮罩等多色調遮罩可以簡化製程，所以是較佳的。

[0151]

(第二保護絕緣層的形成)

接著，在第一保護絕緣層 211、一對電極 203、閘極絕緣層 204 和閘極電極 205 上形成第二保護絕緣層 212（圖 6E）。

[0152] 第二保護絕緣層 212 可以藉由與第一保護絕緣層 211 同樣的方法形成。

[0153] 在此，第二保護絕緣層 212 以在沒有設置一對電極 203 及閘極電極 205 的區域中與第一保護絕緣層 211 接觸的方式設置。因此，可以由第一保護絕緣層 211 及第二保護絕緣層 212 圍繞半導體層 202。

[0154] 藉由以上製程，可以製造電晶體 200。

[0155]

（加熱處理）

也可以在形成第二保護絕緣層 212 之後進行加熱處理。藉由加熱處理，可以將氧從第一保護絕緣層 211 及第二保護絕緣層 212 供應到半導體層 202，來降低半導體層 202 中的氧缺陷。另外，此時，藉由第一保護絕緣層 211 及第二保護絕緣層 212 抑制氧從半導體層 202 被釋放，而抑制在半導體層 202 中形成氧缺陷。

[0156] 以上是電晶體 200 的製程例子的說明。

[0157]

[結構例子 2 的變形例]

以下，對其結構的一部分與上述結構例子 2 所例示的電晶體不同的電晶體的結構例子進行說明。另外，省略與上述重複的部分的說明，只對不同之處進行詳細說明。此

外，即使表示位置或形狀不同的構成要素，在其功能同一的情況下，有時附加同一符號而省略說明。

[0158]

(變形例 1)

圖 7A 和圖 7B 示出以下所例示的電晶體的剖面示意圖。另外，頂面示意圖可以援用圖 5A。圖 5B 和圖 5C 中的電晶體與圖 7A 和圖 7B 所示的電晶體之間的不同之處主要在於：在半導體層 202 與第一保護絕緣層 211 之間具有絕緣層 206。

[0159] 在設置於絕緣層 207 中的溝槽中，絕緣層 206 以覆蓋第一保護絕緣層 211 的側面及頂面的方式設置。另外，絕緣層 206 以覆蓋半導體層 202 的側面及下面的方式設置。

[0160] 設置在半導體層 202 的下部的絕緣層 206 較佳為包含藉由加熱釋放氧的氧化物絕緣材料。藉由在半導體層 202 的下部設置絕緣層 206，由於在電晶體的製程中的加熱處理等中被施加的熱，可以將更多的氧供應到半導體層 202。另外，藉由採用由第一保護絕緣層 211 和第二保護絕緣層 212 圍繞包括絕緣層 206 和半導體層 202 的結構，抑制氧從絕緣層 206 釋放到外部（絕緣層 207 一側或第二保護絕緣層 212 的上方），可以將氧更有效地供應到半導體層 202。

[0161] 另外，雖然可以以還覆蓋不與第一保護絕緣層 211 的溝槽重疊的區域的頂面的方式設置絕緣層 206，

但是以設置於溝槽的內側的方式藉由平坦化處理對絕緣層 206 進行加工是較佳的。藉由採用這種結構，第一保護絕緣層 211 和第二保護絕緣層 212 在沒有設置閘極電極 205 及一對電極 203 的區域中接觸，所以可以遮斷氧的擴散路徑，有效地對半導體層 202 供應氧。

[0162] 與上述絕緣層 106 同樣，絕緣層 206 較佳為使用包含超過化學計量組成的氧的氧化物絕緣膜。

[0163]

(變形例 2)

圖 8 示出以與電晶體 200 相鄰的方式形成電容元件 220 的例子。

[0164] 電容元件 220 在電晶體 200 的一對電極 203 的一個電極與對與閘極電極 205 同一的導電膜進行加工而形成的電極 225 之間包括對與閘極絕緣層 204 同一的絕緣膜進行加工而形成的介電層 224。

[0165] 如此，藉由對用於製造電晶體 200 的膜進行加工而形成電容元件 220，可以在製造電晶體 200 的同時製造電容元件 220，而不增加製程。

[0166] 另外，雖然在圖 8 中示出將電晶體 200 的一對電極 203 的一個電極用作電容元件 220 的一個電極的結構，但是不侷限於此，也可以作為電容元件 220 的一個電極使用對與電晶體 200 的一對電極 203 同一的導電膜進行加工而形成的不同的電極。此外，也可以將閘極電極 205 和電極 225 以及閘極絕緣層 204 和介電層 224 中的至少一

組形成為連續的膜。

[0167] 在此，作為用於構成閘極絕緣層 204 及介電層 224 的絕緣膜的材料，較佳為使用氧化鋁、氧化鉛、氧化銻、氧化鉍、氧化鈦、鈦酸鋇、鈦酸鋇等高介電常數材料。另外，作為這些材料也可以使用包含鏷、鋁、鈮或鎢等金屬、包含這些金屬的氧化物的材料。此外，也可以層疊包含上述材料的膜。

[0168] 另外，該絕緣膜較佳為使用包含超過化學計量組成的氧的氧化物絕緣膜。藉由使用這種絕緣膜，由於在電晶體的製造工程中的加熱處理等中被施加的熱，可以將氧從閘極絕緣層 204 也供應到半導體層 202。

[0169]

(變形例 3)

在基板上配置多個電晶體的情況下，對多個電晶體設置一個溝槽，而不對一個電晶體設置一個溝槽，由此可以更高密度地積體電晶體。

[0170] 作為其一個例子，圖 9A 至圖 9D 示出如下情況：在將四個電晶體 200 串聯連接時，在設置於絕緣層 207 中的一個溝槽的上部形成四個電晶體 200 的情況。圖 9A 是頂面示意圖，圖 9B 是沿著圖 9A 中的切斷線 I-J 的剖面示意圖。

[0171] 如圖 9B 所示，在形成在絕緣層 207 中的一個溝槽的上部形成有四個電晶體 200。另外，在相鄰的兩個電晶體 200 之間設置有共同的電極 203，由此該兩個電晶

體 200 串聯連接。另一方面，閘極電極 205 設置在各電晶體 200 中。

[0172] 第一保護絕緣層 211 和第二保護絕緣層 212 在設置於兩端的電極 203 的外側的區域中接觸，以圍繞四個電晶體 200 的方式設置。

[0173] 圖 9C 示出能夠應用這種串聯連接的電晶體 200 的電路結構的一個例子。圖 9C 所示的電路包括四個電晶體和三個電容元件。在相鄰的兩個電晶體中，一方的電晶體的源極或汲極與另一方的電晶體的源極或汲極電連接來形成節點，該節點與電容元件的一個電極電連接。

[0174] 例如，電容元件可以應用上述變形例 2 所例示的電容元件 220 的結構。

[0175] 藉由施加以下所示的電位，例如可以將圖 9C 所示的電路用作移位暫存器。

[0176] 對三個電容元件的每一個的另一個電極施加共用電位。另外，對四個電晶體中的最左邊的電晶體和從左邊數第三個的電晶體的閘極施加同一時脈信號（CLK1），對從左邊數第二個的電晶體和最右邊的電晶體的閘極施加同一時脈信號（CLK2）。另外，以最左邊的電晶體的源極和汲極中的一方為被施加輸入電位（IN）的輸入端子，以最右邊的電晶體的源極和汲極中的一方為被施加輸出電位（OUT）的輸出端子。藉由作為 CLK1 和 CLK2 使用具有使相鄰的電晶體交替地成為導通狀態（on-state）而在相同的期間中不使它們成為導通狀態的電位

(例如，高位準電位)的時脈信號，可以將施加到輸入端子的電位的資料從左邊移動到右邊。

[0177] 另外，圖 9D 所示的結構是對圖 9C 的電路附加串聯連接的多個讀出用電晶體 260 的結構。電晶體 260 的每一個與電容元件的一個電極的節點電連接。此外，對各電容元件的另一個電極施加讀出用電位。藉由採用這種結構，可以使圖 9D 所示的電路用作能夠隨時讀出保持在與電容元件的一個電極連接的節點中的電位的資料的 NAND 型記憶體裝置。在此，電晶體 260 例如既可以使用與電晶體 200 同樣地應用氧化物半導體的電晶體，又可以使用如以下實施方式所例示地應用不同的半導體的電晶體。

[0178] 以上是變形例的說明。

[0179] 本實施方式可以與本說明書中所記載的其他實施方式適當地組合而實施。

[0180]

實施方式 2

在本實施方式中，對其結構的一部分與實施方式 1 所例示的電晶體不同的電晶體的結構例子進行說明。另外，省略與上述重複的部分的說明，只對不同之處進行詳細說明。此外，即使表示位置或形狀不同的構成要素，也在其功能同一的情況下，有時附加同一符號，省略說明。

[0181] 較佳的是，本發明的一個方式的半導體裝置在氧化物半導體層與重疊於該氧化物半導體層的閘極絕緣

層之間以及在氧化物半導體層與重疊於該氧化物半導體層的保護絕緣層之間包括作為構成元素包含構成氧化物半導體層的金屬元素中的至少一種金屬元素的氧化物層。由此，可以抑制氧化物半導體層與重疊於該氧化物半導體層的絕緣層之間的介面形成陷阱能階，因此可以抑制電晶體的電特性的劣化。

[0182] 就是說，在本發明的一個方式中，較佳的是，氧化物半導體層中的至少頂面及下面被用作防止形成與氧化物半導體層之間的介面能階的障壁膜的氧化物層覆蓋，通道寬度方向上的氧化物半導體層的頂面及側面隔著閘極絕緣層被閘極電極覆蓋，並且，以包圍氧化物半導體層的方式設置包括氧化鋁膜的絕緣層。藉由採用這種結構，可以抑制在氧化物半導體層中及與氧化物半導體層之間的介面生成成為載子的生成要因的氧缺陷並抑制混入雜質，所以可以使氧化物半導體層高純度本質化。高純度本質化是指使氧化物半導體層本質化或實質上本質化。因此，可以抑制包含該氧化物半導體層的電晶體的電特性變動，可以提供一種可靠性高的半導體裝置。

[0183] 注意，在本說明書等中，實質上本質是指氧化物半導體層的載子密度低於 $1 \times 10^{17}/\text{cm}^3$ 、低於 $1 \times 10^{15}/\text{cm}^3$ 或低於 $1 \times 10^{13}/\text{cm}^3$ 的狀態。藉由使氧化物半導體層高純度本質化，可以對電晶體賦予穩定的電特性。

[0184] 更明確而言，例如可以採用以下結構。

[0185]

[結構例子 1]

圖 10A 和圖 10B 示出以下所例示的電晶體 150 的剖面示意圖。另外，頂面示意圖可以援用圖 1A。圖 10A 和圖 10B 所示的電晶體 150 與實施方式 1 所例示的電晶體 100 之間的不同之處主要在於：具有第一氧化物層 151 及第二氧化物層 152。

[0186] 第一氧化物層 151 設置在第一保護絕緣層 111 與半導體層 102 之間。另外，第二氧化物層 152 設置在半導體層 102 與閘極絕緣層 104 之間。

[0187] 更明確而言，第二氧化物層 152 以其頂面與一對電極 103 的下面及閘極絕緣層 104 的下面接觸的方式設置。

[0188] 第一氧化物層 151 及第二氧化物層 152 都包含含有與半導體層 102 相同的金屬元素中的一種以上的氧化物。

[0189] 注意，有時半導體層 102 與第一氧化物層 151 的邊界或半導體層 102 與第二氧化物層 152 的邊界不明確。

[0190] 例如，作為第一氧化物層 151 及第二氧化物層 152，使用如下材料：包含 In 或 Ga，典型為 In-Ga 類氧化物、In-Zn 類氧化物、In-M-Zn 類氧化物（M 為 Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf），並且其導帶底能量比半導體層 102 更近於真空能階。典型的是，第一氧化物層 151 或第二氧化物層 152 的導帶底的能量與半導體層

102 的導帶底的能量之間的差異較佳為 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。

[0191] 藉由將用作穩定劑的 Ga 的含量比半導體層 102 多的氧化物用於以夾著半導體層 102 的方式設置的第一氧化物層 151 及第二氧化物層 152，可以抑制氧從半導體層 102 釋放。

[0192] 作為半導體層 102，例如當使用原子個數比為 In:Ga:Zn=1:1:1 或 3:1:2 的 In-Ga-Zn 類氧化物時，作為第一氧化物層 151 或第二氧化物層 152，例如可以使用原子個數比為 In:Ga:Zn=1:3:2、1:3:4、1:3:6、1:6:4、1:6:8、1:6:10 或 1:9:6 等的 In-Ga-Zn 類氧化物。此外，半導體層 102、第一氧化物層 151 及第二氧化物層 152 的原子個數比分別包括上述原子個數比的 $\pm 20\%$ 的變動作為誤差。此外，第一氧化物層 151 及第二氧化物層 152 既可以使用相同的組成的材料形成，又可以使用不同的組成的材料形成。

[0193] 此外，當作為半導體層 102 使用 In-M-Zn 類氧化物時，作為用來形成成為半導體層 102 的半導體膜的靶材，當將該靶材所包含的金屬元素的原子個數比設定為 In:M:Zn= $x_1:y_1:z_1$ 時，較佳為使用如下原子個數比的氧化物： x_1/y_1 的值為 1/3 以上且 6 以下，較佳為 1 以上且 6 以下， z_1/y_1 的值為 1/3 以上且 6 以下，較佳為 1 以上且 6 以下。另外，藉由將 z_1/y_1 設定為 6 以下，可以使後面所述

的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子個數比的典型例子，可以舉出 $\text{In:M:Zn}=1:1:1$ 、 $3:1:2$ 等。

[0194] 此外，當作為第一氧化物層 151、第二氧化物層 152 使用 In-M-Zn 類氧化物時，作為用來形成成為第一氧化物層 151、第二氧化物層 152 的氧化物膜的靶材，當將該靶材所包含的金屬元素的原子個數比設定為 $\text{In:M:Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ 時，較佳為使用如下原子個數比的氧化物： $\text{x}_2/\text{y}_2 < \text{x}_1/\text{y}_1$ ， z_2/y_2 的值為 $1/3$ 以上且 6 以下，較佳為 1 以上且 6 以下。另外，藉由將 z_2/y_2 設定為 6 以下，可以使後面所述的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子個數比的典型例子，可以舉出 $\text{In:M:Zn}=1:3:4$ 、 $1:3:6$ 、 $1:3:8$ 等。

[0195] 另外，藉由將導帶底能量比半導體層 102 離真空能階近的材料用於第一氧化物層 151 及第二氧化物層 152，主要在半導體層 102 中形成通道，半導體層 102 成為主要的電流路徑。如上所述，藉由將形成有通道的半導體層 102 夾在包含相同的金屬元素的第一氧化物層 151 與第二氧化物層 152 之間，介面能階的生成得到抑制，而電晶體的電特性的可靠性得到提高。

[0196] 注意，不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性(場效移動率、臨界電壓等)使用具有適當的組成的材料。另外，較佳的是，適當地設定半導體層 102、第一氧化物層 151、第二氧化物層 152 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子



個數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0197] 在此，較佳的是，半導體層 102 的厚度至少比第一氧化物層 151 厚。半導體層 102 越厚，可以越提高電晶體的通態電流。另外，第一氧化物層 151 只要具有抑制生成與半導體層 102 之間的介面能階的效果不被失去的程度的厚度即可。例如，可以將半導體層 102 的厚度設定為大於第一氧化物層 151 的厚度，較佳為第一氧化物層 151 的厚度的 2 倍以上，更佳為 4 倍以上，進一步較佳為 6 倍以上。

[0198] 另外，與第一氧化物層 151 同樣，第二氧化物層 152 也只要具有抑制生成與半導體層 102 之間的介面能階的效果不被失去的程度的厚度即可。例如，可以將第二氧化物層 152 的厚度設定為與第一氧化物層 151 同等或其以下的厚度。在第二氧化物層 152 厚時，有可能來自閘極電極 105 的電場不容易施加到半導體層 102，所以第二氧化物層 152 較佳為薄。另外，不侷限於此，考慮到閘極絕緣層 104 的耐壓，根據驅動電晶體 150 的電壓適當地設定第二氧化物層 152 的厚度即可。

[0199] 另外，較佳的是，如圖 10B 所示，藉由使第一保護絕緣層 111 的氧化物層 151 的周圍的頂面比氧化物層 151 的下面低，實現閘極電極 105 圍繞半導體層 102 的側面的下部的結構。其結果，來自閘極電極 105 的電場充分施加到半導體層 102 的側面的下部，可以增大電晶體

150 的通態電流。與此同樣，如圖 27A 和圖 27B 所示，藉由使閘極電極 105 的下面比氧化物層 151 的下面低，可以進一步增大電晶體 150 的通態電流，所以是較佳的。

[0200] 在此，對電晶體 150 的通道形成區的帶結構進行說明。

[0201] 圖 11A 和圖 11B 示意性地示出通道形成區的厚度方向上的帶結構。

[0202] 在圖 11A 和圖 11B 中， E_{c11} 、 E_{cS1} 、 E_{cS2} 、 E_{cS3} 及 E_{cI2} 分別示意性地示出第一保護絕緣層 111、第一氧化物層 151、半導體層 102、第二氧化物層 152 及閘極絕緣層 104 的導帶底的能量。注意，在此為了方便起見而不考慮每一個層的厚度。

[0203] 這裡，真空能階和導帶底的能量之間的能量差（也稱為電子親和力）是真空能階與價電子帶上端之間的能量差（也稱為游離電位）減去能隙的值。另外，可以利用光譜橢圓偏光計（例如，HORIBA JOBIN YVON 公司製造的 UT-300）測量能隙。另外，真空能階與價電子帶上端的能量差可以利用紫外線光電子能譜（UPS: Ultraviolet Photoelectron Spectroscopy）裝置（例如，PHI 公司製造的 VersaProbe）測量。

[0204] 如圖 11A 所示，導帶底的能量在第一氧化物層 151、半導體層 102 及第二氧化物層 152 之間沒有能障而連續地變化。可以推測這是因為：由於第一氧化物層 151、半導體層 102 及第二氧化物層 152 的組成相似，因

此在第一氧化物層 151 與半導體層 102 之間以及在半導體層 102 與第二氧化物層 152 之間氧容易相互擴散而在它們之間形成有被稱為混合層的層。

[0205] 另外，雖然圖 11A 示出第一氧化物層 151 及第二氧化物層 152 是具有同樣的能隙的氧化物層的情況，但是也可以是具有不同能隙的氧化物層。例如，當 E_{cS3} 具有比 E_{cS1} 高的能量時，帶結構的一部分表示為圖 11B 所示的帶結構。此外，雖然未圖示，但是 E_{cS1} 也可以具有比 E_{cS3} 高的能量。

[0206] 從圖 11A 和圖 11B 可知，在通道形成區中，半導體層 102 成為井 (well)，在半導體層 102 中形成通道。另外，由於在第一氧化物層 151、半導體層 102 及第二氧化物層 152 中導帶底端的能量連續地變化，因此也可以說氧化物疊層中的能量具有 U 字形井 (U-shaped Well)。另外，也可以將具有上述結構的通道稱為埋入通道。

[0207] 因為第一氧化物層 151 及第二氧化物層 152 是包含一種以上的構成半導體層 102 的金屬元素的氧化物，因此可以說層疊有第一氧化物層 151、半導體層 102 及第二氧化物層 152 的疊層結構是主要成分相同而層疊的氧化物疊層（以下，將層疊有第一氧化物層 151、半導體層 102 及第二氧化物層 152 的疊層結構也表示為氧化物疊層）。較佳的是，主要成分相同而層疊的氧化物疊層不是僅將各層層疊，而是以形成連續結合（在此，尤其是指各

層之間的導帶底端的能量連續變化的 U 字形井結構) 的方式形成。這是因為：當有可能形成缺陷中心或再結合中心等缺陷能階的雜質混雜於各層之間的介面時，能帶失去連續性，因此載子在介面被俘獲或者因再結合而消失。

[0208] 為了形成連續結合，較佳為使用具備負載鎖定室的多室成膜裝置（例如濺射裝置）以不使各層暴露於大氣的方式連續地層疊。在濺射裝置中的各處理室中，較佳為使用低溫泵等吸附式真空泵進行高真空抽氣（抽空到 $5 \times 10^{-7} \text{Pa}$ 至 $1 \times 10^{-4} \text{Pa}$ 左右）來盡可能地去除有可能成為氧化物半導體的雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止氣體從排氣系統倒流到處理室內。

[0209] 為了獲得高純度本質氧化物半導體，不僅需要對室內進行高真空抽氣，而且需要進行濺射氣體的高度純化。作為用作濺射氣體的氧氣體或氫氣體，藉由使用露點為 -40°C 以下，較佳為 -80°C 以下，更佳為 -100°C 以下的高純度氣體，能夠盡可能地防止水分等混入氧化物半導體。

[0210] 設置在半導體層 102 的上層或下層的第一氧化物層 151 及第二氧化物層 152 用作阻擋層，其可以抑制在接觸於氧化物疊層的絕緣層（第一保護絕緣層 111 及閘極絕緣層 104）與氧化物疊層之間的介面形成的陷阱能階影響到用作電晶體的載子的主要路徑（載子路徑）的半導體層 102。

[0211] 例如，包含在半導體層中的氧缺陷作為存在



於氧化物半導體的能隙內的深的能量位置的局域能階而明顯化。當載子被這種局域能階俘獲時，電晶體的可靠性下降，因此需要減少包含在半導體層中的氧缺陷。在氧化物疊層中，藉由以與半導體層 102 的上側及下側接觸的方式設置與半導體層 102 相比不容易產生氧缺陷的氧化物層，可以減少半導體層 102 中的氧缺陷。例如，可以使半導體層 102 的利用恆定光電流法（也稱為 CPM:Constant Photocurrent Method）測定出的起因於局域能階的吸收係數低於 $1 \times 10^{-3}/\text{cm}$ ，較佳為低於 $1 \times 10^{-4}/\text{cm}$ 。

[0212] 另外，在半導體層 102 接觸於其構成要素與半導體層 102 不同的絕緣層（例如，包含氧化矽膜的絕緣層）的情況下，在兩層之間的介面會形成介面能階，該介面能階有可能形成通道。在此情況下，有可能出現具有不同臨界電壓的第二電晶體，而使電晶體的外觀上的臨界電壓發生變動。然而，由於在氧化物疊層中第一氧化物層 151 包含一種以上的構成半導體層 102 的金屬元素，因此在第一氧化物層 151 與半導體層 102 之間的介面不容易形成介面能階。因而，藉由設置第一氧化物層 151，可以降低電晶體的臨界電壓等電特性的不均勻。

[0213] 另外，當在閘極絕緣層 104 與半導體層 102 之間的介面形成通道時，在該介面產生介面散射而使電晶體的場效移動率下降。然而，由於在氧化物疊層中第二氧化物層 152 包含一種以上的構成半導體層 102 的金屬元素，因此在半導體層 102 與第二氧化物層 152 之間的介面

不容易產生載子散射，而可以提高電晶體的場效移動率。

[0214]

[結構例子 2]

圖 12A 和圖 12B 示出以下所例示的電晶體 160 的剖面示意圖。另外，頂面示意圖可以援用圖 1A。圖 12A 和圖 12B 所示的電晶體 160 與上述電晶體 150 之間的不同之處主要在於：第二氧化物層 152 的形狀不同。

[0215] 在電晶體 160 中，第二氧化物層 152 以其下面與一對電極 103 的每個頂面接觸的方式設置。再者，第二氧化物層 152 在沒有設置一對電極 103 的區域中與半導體層 102 的頂面及側面接觸。

[0216] 在圖 12A 和圖 12B 所示的結構中，以第二氧化物層 152 及閘極絕緣層 104 的頂面形狀與閘極電極 105 的頂面形狀大致一致的方式使用同一光罩對它們進行加工。另外，第二保護絕緣層 112 以與第二氧化物層 152 及閘極絕緣層 104 的各端部接觸的方式設置。藉由採用這種結構，可以抑制氧藉由第二氧化物層 152 及閘極絕緣層 104 的端部從半導體層 102 脫離。

[0217] 另外，如圖 12B 所示，在電晶體 160 中，以不但其頂面而且其側面也與第二氧化物層 152 接觸的方式設置半導體層 102。就是說，半導體層 102 的通道形成區被第一氧化物層 151 和第二氧化物層 152 圍繞。

[0218] 藉由採用這種結構，由於以與半導體層 102 的側面接觸的方式設置的第二氧化物層 152，可以抑制在

半導體層 102 的側面也形成介面能階。其結果，即使積極地使用形成在半導體層 102 的側面附近的通道，也可以抑制電晶體的電特性變動，而可以實現兼有高通態電流和高可靠性的電晶體。

[0219] 另外，較佳的是，如圖 12B 所示，藉由使第一保護絕緣層 111 的氧化物層 151 的周圍的頂面比氧化物層 151 的下面低，實現閘極電極 105 圍繞半導體層 102 的側面的下部的結構。其結果，來自閘極電極 105 的電場充分施加到半導體層 102 的側面的下部，可以增大電晶體 160 的通態電流。與此同樣，如圖 28A 和圖 28B 所示，藉由使閘極電極 105 的下面比氧化物層 151 的下面低，可以進一步增大電晶體 160 的通態電流，所以是較佳的。

[0220] 另外，也可以使用實施方式 1 所例示的藉由加熱釋放氧的絕緣層 106。

[0221] 圖 13A 和圖 13B 示出與上述電晶體 160 不同的結構的電晶體 170 的剖面示意圖。

[0222] 電晶體 170 與電晶體 160 之間的不同之處主要在於：在第一氧化物層 151 與第一保護絕緣層 111 之間具有絕緣層 106。

[0223] 如圖 13A 和圖 13B 所示，將半導體層 102、第一氧化物層 151 及絕緣層 106 加工為島狀，以覆蓋它們的方式設置第二氧化物層 152，並且在它們的下方設置第一保護絕緣層 111，由此可以使絕緣層 106 所釋放的氧藉由第一氧化物層 151 更有效地供應到半導體層 102。

[0224] 另外，較佳的是，如圖 13B 所示，藉由使第一保護絕緣層 111 的絕緣層 106 的周圍的頂面比絕緣層 106 的下面低，實現閘極電極 105 圍繞半導體層 102 的側面的下部的結構。其結果，來自閘極電極 105 的電場充分施加到半導體層 102 的側面的下部，可以增大電晶體 170 的通態電流。與此同樣，如圖 29A 和圖 29B 所示，藉由使閘極電極 105 的下面比氧化物層 151 的下面低，可以進一步增大電晶體 170 的通態電流，所以是較佳的。

[0225] 另外，圖 13C 和圖 13D 示出其結構的一部分與電晶體 170 不同的電晶體 180 的剖面示意圖。電晶體 180 包括：沒有加工為島狀的絕緣層 106、第一氧化物層 151 及第二氧化物層 152。藉由作為第一氧化物層 151 及第二氧化物層 152 使用能帶間隙足夠大的材料，可以實現這種結構。

[0226] 另外，在採用電晶體 180 的結構的情況下，較佳的是，在未圖示的區域中設置絕緣層 106、第一氧化物層 151 和第二氧化物層 152 被蝕刻而第一保護絕緣層 111 與第二保護絕緣層 112 接觸的區域。例如，也可以採用在被第一保護絕緣層 111 和第二保護絕緣層 112 圍繞的區域中設置多個電晶體的結構。

[0227] 另外，較佳的是，如圖 13D 所示，藉由使第一保護絕緣層 111 的半導體層 102 的周圍的頂面比半導體層 102 的下面低，實現閘極電極 105 圍繞半導體層 102 的側面的下部的結構。其結果，來自閘極電極 105 的電場充



分施加到半導體層 102 的側面的下部，可以增大電晶體 180 的通態電流。與此同樣，如圖 29C 和圖 29D 所示，藉由使閘極電極 105 的下面比半導體層 102 的下面低，可以進一步增大電晶體 180 的通態電流，所以是較佳的。

[0228]

[結構例子 3]

圖 14A 和圖 14B 示出以下所例示的電晶體 250 的剖面示意圖。另外，頂面示意圖可以援用圖 1A。圖 14A 和圖 14B 所示的電晶體 250 與實施方式 1 所例示的電晶體 200 之間的不同之處主要在於：具有第一氧化物層 251 及第二氧化物層 252。

[0229] 第一氧化物層 251 設置在第一保護絕緣層 211 與半導體層 202 之間。另外，第二氧化物層 252 設置在半導體層 202 與閘極絕緣層 204 之間。

[0230] 更明確而言，在設置於絕緣層 207 中的溝槽中，第一氧化物層 251 以覆蓋第一保護絕緣層 211 的側面及頂面的方式設置。另外，第一氧化物層 251 以與半導體層 202 的下面及側面接觸的方式設置。

[0231] 另外，第二氧化物層 252 以其下面與一對電極 203 的每一個的頂面接觸的方式設置。並且，在沒有設置一對電極 203 的區域中，第二氧化物層 252 與半導體層 202 的頂面接觸。

[0232] 第一氧化物層 251 及第二氧化物層 252 分別包含含有一種以上的與半導體層 202 同一的金屬元素的氧

化物。

[0233] 另外，半導體層 202 與第一氧化物層 251 之間的邊界或半導體層 202 與第二氧化物層 252 之間的邊界有時不清楚。

[0234] 作為第一氧化物層 251 及第二氧化物層 252，例如可以使用與上述第一氧化物層 151 及第二氧化物層 152 同樣的材料。

[0235] 在圖 14A 至圖 14B 所示的結構中，以第二氧化物層 252 及閘極絕緣層 204 的頂面形狀與閘極電極 205 的頂面形狀大致一致的方式使用同一光罩對它們進行加工。另外，第二保護絕緣層 212 以與第二氧化物層 252 及閘極絕緣層 204 的每一個的端部接觸的方式設置。藉由採用這種結構，可以抑制氧藉由第二氧化物層 252 及閘極絕緣層 204 的端部從半導體層 202 脫離。

[0236] 另外，如圖 14B 所示，在電晶體 250 中，以不但其下面而且其側面也與第一氧化物層 251 接觸的方式設置半導體層 202，並且其頂面與第二氧化物層 252 接觸。就是說，半導體層 202 的通道形成區被第一氧化物層 251 和第二氧化物層 252 圍繞。

[0237] 藉由採用這種結構，可以在與半導體層 202 中的通道形成區的表面之間的介面抑制形成介面能階。因此，可以抑制電晶體的電特性變動，而可以實現可靠性高的電晶體。

[0238] 在此，較佳的是，半導體層 202 的厚度至少

比第一氧化物層 251 厚。半導體層 202 越厚，可以越提高電晶體的通態電流。另外，第一氧化物層 251 只要具有抑制生成與半導體層 202 之間的介面能階的效果不被失去的程度的厚度即可。例如，可以將半導體層 202 的厚度設定為大於第一氧化物層 251 的厚度，較佳為第一氧化物層 251 的厚度的 2 倍以上，更佳為 4 倍以上，進一步較佳為 6 倍以上。

[0239] 另外，可以考慮到第一保護絕緣層 211、第一氧化物層 251 及半導體層 202 的每一個的進行加工之後的厚度，而適當地設定設置在絕緣層 207 中的溝槽的深度。此外，可以根據電晶體 250 的通道長度及通道寬度，而適當地設定溝槽的寬度。

[0240] 另外，與第一氧化物層 251 同樣，第二氧化物層 252 也只要具有抑制生成與半導體層 202 之間的介面能階的效果不被失去的程度的厚度即可。例如，可以將其厚度設定為與第一氧化物層 251 同等或其以下的厚度。在第二氧化物層 252 厚時，有可能來自閘極電極 205 的電場不容易施加到半導體層 202，所以第二氧化物層 252 較佳為薄。另外，不侷限於此，考慮到閘極絕緣層 204 的耐壓，根據驅動電晶體 250 的電壓適當地設定第二氧化物層 252 的厚度即可。

[0241] 另外，也可以應用實施方式 1 的變形例 1 所例示的藉由加熱釋放氧的絕緣層 206。

[0242] 圖 14C 和圖 14D 示出與上述電晶體 250 不同

的結構的電晶體 270 的剖面示意圖。

[0243] 電晶體 270 與電晶體 250 之間的不同之處主要在於：在第一氧化物層 251 與第一保護絕緣層 211 之間具有絕緣層 206、以及以覆蓋溝槽的方式設置半導體層 202。

[0244] 如此，藉由以填上溝槽的方式設置第一氧化物層 251，可以在通道形成區中增大半導體層 202 與絕緣層 206 之間的物理的距離。因此，在通道形成區中，可以進一步降低形成在與半導體層 202 之間的介面的介面能階。

[0245] 圖 15 示出將具有與上述電晶體 250 及 270 不同的結構的電晶體 280 串聯連接的情況。電晶體 280 與電晶體 270 之間的不同之處主要在於：第一氧化物層 251 以覆蓋溝槽的方式設置。

[0246] 如此，藉由將絕緣層 206 埋入溝槽，在其上設置第一氧化物層 251 及半導體層 202，可以容易增大絕緣層 206 的體積，其結果，可以增大供應到半導體層 202 的氧的量。再者，藉由採用這種結構，在絕緣層 206 的頂面沒有形成步階，因此可以在不降低設置於其上層的第一氧化物層 251 或半導體層 202 等的覆蓋性的情況下將絕緣層 206 的厚度設定為厚。

[0247] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0248]

實施方式 3

在本實施方式中，說明能夠適用於本發明的一個方式的半導體裝置的氧化物半導體。

[0249] 氧化物半導體具有 3.0eV 以上的高能隙。在包括以適當的條件對氧化物半導體進行加工並充分降低其載子密度而獲得的氧化物半導體膜的電晶體中，可以使關閉狀態下的源極與汲極之間的洩漏電流（關態電流（off-state current））為比習知的使用矽的電晶體小得多。

[0250] 能夠應用的氧化物半導體至少含有銦（In）或鋅（Zn）是較佳的。尤其是較佳為包含 In 及 Zn。另外，作為用來減少使用該氧化物半導體的電晶體的電特性不均勻的穩定劑，除了包含上述元素以外，還包含選自鎵（Ga）、錫（Sn）、鈦（Hf）、鋯（Zr）、鈦（Ti）、釷（Sc）、鉕（Y）、鑰系元素（例如，鈾（Ce）、釷（Nd）、釷（Gd））中的一種或多種是較佳的。

[0251] 例如，作為氧化物半導體可以使用氧化銦、氧化錫、氧化鋅、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-Zr-Zn 類氧化物、In-Ti-Zn 類氧化物、In-Sc-Zn 類氧化物、In-Y-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-

Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0252] 在此，“In-Ga-Zn 類氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比例沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

[0253] 另外，作為氧化物半導體，也可以使用表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 且 m 不是整數) 的材料。另外，M 表示選自 Ga、Fe、Mn 及 Co 中的一種或多種金屬元素或者用作上述穩定劑的元素。另外，作為氧化物半導體，也可以使用表示為 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 且 n 是整數) 的材料。

[0254] 例如，可以使用其原子數比為 In:Ga:Zn=1:1:1、In:Ga:Zn=1:3:2、In:Ga:Zn=1:3:4、In:Ga:Zn=1:3:6、In:Ga:Zn=3:1:2 或 In:Ga:Zn=2:1:3 的 In-Ga-Zn 類氧化物或接近於上述組成的氧化物。

[0255] 當氧化物半導體膜含有多量的氫時，該氫與氧化物半導體鍵合而使該氫的一部分成為施體，因此產生作為載子的電子。其結果是，導致電晶體的臨界電壓向負



向漂移。因此，較佳的是，藉由在形成氧化物半導體膜之後進行脫水化處理（脫氫化處理），從氧化物半導體膜去除氫或水分來進行高度純化以使其儘量不包含雜質。

[0256] 另外，有時氧化物半導體膜中的氧也因脫水化處理（脫氫化處理）而被減少。因此，為了填補因對氧化物半導體膜的脫水化處理（脫氫化處理）而增加的氧缺陷，將氧添加到氧化物半導體膜是較佳的。在本說明書等中，有時將對氧化物半導體膜供應氧的情況稱為加氧化處理，或者，有時將使氧化物半導體膜的氧含量超過化學計量組成的情況稱為過氧化處理。

[0257] 如上所述，藉由進行脫水化處理（脫氫化處理）以從氧化物半導體膜去除氫或水分，並進行加氧化處理以填補氧缺陷，可以得到被 i 型（本質）化的氧化物半導體膜或無限趨近於 i 型而實質上呈 i 型（本質）的氧化物半導體膜。注意，“實質上本質”是指：在氧化物半導體膜中，來自於施體的載子極少（近於零），載子密度為 $1 \times 10^{17}/\text{cm}^3$ 以下， $1 \times 10^{16}/\text{cm}^3$ 以下， $1 \times 10^{15}/\text{cm}^3$ 以下， $1 \times 10^{14}/\text{cm}^3$ 以下， $1 \times 10^{13}/\text{cm}^3$ 以下。

[0258] 如此，具備 i 型或實質上呈 i 型的氧化物半導體膜的電晶體可以實現極為優良的關態電流特性。例如，可以將使用氧化物半導體膜的電晶體處於關閉狀態時的汲極電流在室溫（ 25°C 左右）下設定為 $1 \times 10^{-18}\text{A}$ 以下，較佳為 $1 \times 10^{-21}\text{A}$ 以下，更佳為 $1 \times 10^{-24}\text{A}$ 以下，或者，可以將汲極電流在 85°C 的溫度下設定為 $1 \times 10^{-15}\text{A}$ 以下，較佳為

1×10^{-18} A 以下，更佳為 1×10^{-21} A 以下。注意，“電晶體處於關閉狀態”是指：在採用 n 通道型電晶體的情況下，閘極電壓充分小於臨界電壓的狀態。明確而言，在閘極電壓比臨界電壓小 1V 以上、2V 以上或 3V 以上時，電晶體成為關閉狀態。

[0259] 下面，對氧化物半導體膜的結構進行說明。

[0260] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 膜、多晶氧化物半導體膜、微晶氧化物半導體膜以及非晶氧化物半導體膜等。

[0261] 首先，說明 CAAC-OS 膜。

[0262] 在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下，因此也包括角度為 -5° 以上且 5° 以下的情況。另外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下，因此也包括角度為 85° 以上且 95° 以下的情況。

[0263] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0264] CAAC-OS 膜是包含呈 c 軸配向的多個結晶部的氧化物半導體膜之一。

[0265] 在 CAAC-OS 膜的穿透式電子顯微鏡 (TEM: Transmission Electron Microscope) 影像中，觀察不到結

晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0266] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映著被形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0267] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0268] 圖 23A 是 CAAC-OS 膜的剖面 TEM 影像。另外，圖 23B 是進一步放大圖 23A 的剖面 TEM 影像，為便於理解而強調表示原子排列。

[0269] 圖 23C 是圖 23A 中的 A-O-A' 之間的由圓圈圍繞的區域（直徑大致為 4nm）的局部性的傅裡葉變換影像。在圖 23C 所示的各區域中可以確認到 c 軸配向性。此外，A-O 之間的 c 軸方向和 O-A' 之間的 c 軸方向不同，由此可知 A-O 之間和 O-A' 之間具有不同的晶粒。另外，可知：在 A-O 之間，c 軸的角度為 14.3° 、 16.6° 、 26.4° 等而逐漸地連續變化。同樣地，可知：在 O-A' 之間，c 軸的角度為 -18.3° 、 -17.6° 、 -15.9° 等而逐漸地連續變化。

[0270] 另外，在 CAAC-OS 膜的電子繞射圖案中，觀察到表示配向性的斑點(亮點)。例如，在使用例如為 1nm 以上且 30nm 以下的電子束獲得的 CAAC-OS 膜的上表面的電子繞射圖案(也稱為奈米束電子繞射圖案)中，觀察到斑點(參照圖 24A)。

[0271] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0272] 注意，CAAC-OS 膜所包含的結晶部幾乎都是可以容納在一個邊長小於 100nm 的立方體內的尺寸。因此，有時 CAAC-OS 膜所包含的結晶部的尺寸為可以被容納在一邊短於 10nm、短於 5nm 或短於 3nm 的立方體。但是，有時包含在 CAAC-OS 膜中的多個結晶部聯結，從而形成一個大結晶區。例如，在平面 TEM 影像中有時會觀察到 2500nm^2 以上、 $5\mu\text{m}^2$ 以上或 $1000\mu\text{m}^2$ 以上的結晶區。

[0273] 使用 X 射線繞射(XRD:X-Ray Diffraction)裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜時，在繞射角 (2θ) 為 31° 附近時會出現峰值。由於該峰值來源於 InGaZnO_4 結晶的(009)面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0274] 另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在



2θ 為 56° 附近時會出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)。當該樣本是 InGaZnO_4 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0275] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0276] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0277] 此外，在 CAAC-OS 膜中， c 軸配向結晶部的分佈不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面附近的結晶成長而形成時，有時頂面附近的 c 軸配向結晶部的比例高於被形成面附近的 c 軸配向結晶部的比例。另外，在添加有雜質的 CAAC-OS 膜

中，添加有雜質的區域變質而有時 CAAC-OS 膜中的 c 軸配向結晶部所占的比例根據區域不同。

[0278] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0279] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，矽等元素因為其與氧的結合力比構成氧化物半導體膜的金屬元素與氧的結合力更強而成為因從氧化物半導體膜奪取氧而打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。此外，鐵或鎳等重金屬、氫、二氧化碳等因為其原子半徑（分子半徑）大而在包含在氧化物半導體膜內部時成為打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。注意，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0280] 此外，CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0281] 將雜質濃度低且缺陷態密度低（氧缺陷的個數少）的狀態稱為“高純度本質”或“實質上高純度本質”。

高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常開啟特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為高可靠性電晶體。此外，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放需要長時間，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0282] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0283] 接下來，說明微晶氧化物半導體膜。

[0284] 在微晶氧化物半導體膜的 TEM 影像中有時觀察不到明確的結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶（nc：nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）膜。另外，例如在 nc-OS 膜的 TEM 影像時，有時觀察不到明確的晶界。

[0285] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其

原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在對 nc-OS 膜進行使用其束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於結晶部或者比結晶部小的電子射線的電子繞射時，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0286] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0287] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0288] 當氧化物半導體膜為具有多個結構的疊層時，有時可以藉由利用奈米束電子繞射來進行結構分析。



[0289] 圖 24C 示出一種透過電子繞射測量裝置，包括：電子槍室 10；電子槍室 10 下的光學系統 12；光學系統 12 下的樣本室 14；樣本室 14 下的光學系統 16；光學系統 16 下的觀察室 20；設置在觀察室 20 的拍攝裝置 18；以及觀察室 20 下的膠片室 22。以朝向觀察室 20 的內部的方式設置拍攝裝置 18。另外，該透過電子繞射測量裝置也可以不包括膠片室 22。

[0290] 此外，圖 24D 示出圖 24C 所示的透過電子繞射測量裝置內部的結構。在透過電子繞射測量裝置內部中，從設置在電子槍室 10 的電子槍發射的電子藉由光學系統 12 照射到配置在樣本室 14 中的物質 28。穿過物質 28 的電子藉由光學系統 16 入射到設置在觀察室 20 內部的螢光板 32 中。在螢光板 32 中，藉由呈現對應於所入射的電子的強度的圖案，可以測量透過電子繞射圖案。

[0291] 因為拍攝裝置 18 朝向螢光板 32 地設置，所以可以拍攝呈現在螢光板 32 的圖案。穿過拍攝裝置 18 的透鏡的中間部及螢光板 32 的中間部的直線和螢光板 32 的頂面所形成的角度例如為 15° 以上且 80° 以下， 30° 以上且 75° 以下或 45° 以上且 70° 以下。該角度越小，由拍攝裝置 18 拍攝的透過電子繞射圖案的應變越大。但是，如果預先知道該角度，則能夠校正所得到的透過電子繞射圖案的應變。另外，有時也可以將拍攝裝置 18 設置在膠片室 22。例如，也可以以與電子 24 的入射方向相對的方式將拍攝裝置 18 設置在膠片室 22 中。在此情況下，可以從螢

光板 32 的背面拍攝應變少的透過電子繞射圖案。

[0292] 樣本室 14 設置有用來固定樣本的物質 28 的支架。支架具有使穿過物質 28 的電子透過的結構。例如，支架也可以具有將物質 28 移動到 X 軸、Y 軸、Z 軸等的功能。支架的移動功能例如具有在 1nm 以上且 10nm 以下、5nm 以上且 50nm 以下、10nm 以上且 100nm 以下、50nm 以上且 500nm 以下、100nm 以上且 1 μ m 以下等的範圍中移動的精度，即可。至於這些範圍，根據物質 28 的結構設定最適合的範圍，即可。

[0293] 接著，說明使用上述透過電子繞射測量裝置測量物質的透過電子繞射圖案的方法。

[0294] 例如，如圖 24D 所示，藉由改變物質中的奈米束的電子 24 的照射位置（掃描物質中的奈米束的電子 24），可以確認到物質的結構逐漸地產生變化的情況。此時，如果物質 28 是 CAAC-OS 膜，則可以觀察到圖 24A 所示的繞射圖案。或者，如果物質 28 是 nc-OS 膜，則可以觀察到圖 24B 所示的繞射圖案。

[0295] 即使物質 28 是 CAAC-OS 膜，也有時部分地觀察到與 nc-OS 膜等同樣的繞射圖案。因此，有時可以在一定的範圍中觀察到 CAAC-OS 膜的繞射圖案的區域的比例（也稱為 CAAC 化率）表示 CAAC-OS 膜的優劣。例如，優良的 CAAC-OS 膜的 CAAC 化率為 50%以上，較佳為 80%以上，更佳為 90%以上，進一步較佳為 95%以上。另外，將觀察到與 CAAC-OS 膜不同的繞射圖案的區域的

比例表示為非 CAAC 化率。

[0296] 作為一個例子，至於具有剛進行成膜之後（表示為 *as-sputtered*）的 CAAC-OS 膜或在包含氧的氛圍中以 450°C 進行加熱處理之後的 CAAC-OS 膜的各樣本的頂面，一邊進行掃描一邊得到透過電子繞射圖案。在此，一邊以 5nm/秒鐘的速度進行掃描 60 秒鐘一邊觀察繞射圖案，且在每個 0.5 秒鐘將觀察到的繞射圖案轉換為靜態影像，從而導出 CAAC 化率。注意，作為電子線使用束徑為 1nm 的奈米束。另外，對六個樣本進行同樣的測量。而且，在算出 CAAC 化率時利用六個樣本中的平均值。

[0297] 圖 25A 示出各樣本的 CAAC 化率。剛進行成膜之後的 CAAC-OS 膜的 CAAC 化率為 75.7%（非 CAAC 化率為 24.3%）。此外，進行 450°C 的加熱處理之後的 CAAC-OS 膜的 CAAC 化率為 85.3%（非 CAAC 化率為 14.7%）。由此可知，與剛進行成膜之後相比，450°C 的加熱處理之後的 CAAC 化率較高。也就是說，可以知道藉由高溫（例如 400°C 以上）下的加熱處理，降低非 CAAC 化率（提高 CAAC 化率）。此外，在進行低於 500°C 的加熱處理時也可以得到具有高 CAAC 化率的 CAAC-OS 膜。

[0298] 在此，與 CAAC-OS 膜不同的繞射圖案的大部分是與 nc-OS 膜同樣的繞射圖案。此外，在測量區域中觀察不到非晶氧化物半導體膜。由此可知，藉由加熱處理，具有與 nc-OS 膜同樣的結構的區域受到相鄰的區域的結構的影響而重新排列，並 CAAC 化。

[0299] 圖 25B 及圖 25C 是剛進行成膜之後及 450°C 的加熱處理之後的 CAAC-OS 膜的平面 TEM 影像。藉由對圖 25B 和圖 25C 進行比較，可以知道 450°C 的加熱處理之後的 CAAC-OS 膜的性質更均勻。也就是說，可以知道藉由高溫的加熱處理提高 CAAC-OS 膜的性質。

[0300] 藉由採用這種測量方法，有時可以對具有多種結構的氧化物半導體膜進行結構分析。

[0301]

實施方式 4

在本實施方式中，參照圖式說明利用本發明的一個方式的電晶體的電路的一個例子。

[0302] 圖 16A 示出半導體裝置的電路圖，圖 16C 和圖 16D 示出半導體裝置的剖面圖。在圖 16C 及圖 16D 中，在圖式中的左邊示出電晶體 100 的通道長度方向上的剖面圖，在圖式中的右邊示出電晶體 100 的通道寬度方向上的剖面圖。另外，在電路圖中，為了表示使用氧化物半導體的電晶體，附上“OS”的符號。

[0303] 圖 16C 和圖 16D 所示的半導體裝置在其下部包括使用第一半導體材料的電晶體 2200，並在其上部包括使用第二半導體材料的電晶體。在此，說明採用在實施方式 1 中例示出的電晶體 100 作為使用第二半導體材料的電晶體的例子。

[0304] 另外，圖 17A 和圖 17B 示出作為使用第二半導體材料的電晶體應用實施方式 1 所例示的電晶體 200 時

的剖面結構例子。

[0305] 這裡，第一半導體材料和第二半導體材料的能隙較佳為不同。例如，可以將氧化物半導體以外的半導體材料（矽、銻、矽銻、碳化矽或砷化鎵等）用於第一半導體材料，並且將在實施方式 1 中說明的氧化物半導體用於第二半導體材料。作為氧化物半導體以外的材料使用單晶矽等的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體的關態電流小。

[0306] 在此，說明電晶體 2200 為 p 通道電晶體的情況，但是當然也可以使用 n 通道電晶體構成不同的電路。另外，除了使用氧化物半導體的實施方式 1 所示那樣的電晶體以外，半導體裝置的材料或結構等半導體裝置的具體結構不需要侷限於在此所示的結構。

[0307] 圖 16A、圖 16C 及圖 16D 示出將 p 通道電晶體及 n 通道電晶體串聯連接且將各閘極連接的所謂的 CMOS 電路的一個結構實例。

[0308] 本發明的一個方式的使用氧化物半導體的電晶體的通態電流很大，所以可以實現電路的高速工作。

[0309] 在圖 16C 所示的結構中，在電晶體 2200 的上部隔著絕緣層 2201 設置有電晶體 100。另外，在電晶體 2200 與電晶體 100 之間設置有多個佈線 2202。填埋於各絕緣膜中的多個插頭 2203 電連接該絕緣膜上及下的佈線或電極。另外，設置有覆蓋電晶體 100 的絕緣層 2204、絕緣層 2204 上的佈線 2205、對與電晶體的一對電極相同

的導電膜進行加工來形成的佈線 2206。

[0310] 如此，藉由層疊兩個電晶體，可以降低電路所占的面積，從而可以以更高密度配置多個電路。

[0311] 在圖 16C 中，電晶體 100 的源極和汲極中的一個藉由佈線 2202 及插頭 2203 與電晶體 2200 的源極和汲極中的一個電連接。另外，電晶體 100 的閘極藉由佈線 2205、佈線 2206、插頭 2203 及佈線 2202 等與電晶體 2200 的閘極電連接。

[0312] 在圖 16D 所示的結構中，在電晶體 100 的閘極絕緣層中設置有用來埋入插頭 2203 的開口部，並且電晶體 100 的閘極與插頭 2203 接觸。藉由採用上述結構，容易實現電路的積體化，而且可以使佈線或插頭的個數或長度比圖 16C 所示的結構小，從而可以使電路以更高速度工作。

[0313] 在圖 16C 或圖 16D 所示的結構中，藉由改變電晶體 100 及電晶體 2200 的電極的連接結構，可以構成各種電路。例如，如圖 16B 所示，藉由採用使各電晶體的源極與汲極連接的電路結構，可以將它用作所謂的類比開關。

[0314] 另外，藉由使用實施方式 1 和 2 中任一個所例示的電晶體，可以製造具有讀取目標物的資料的影像感測器功能的半導體裝置。

[0315] 圖 18 示出具有影像感測器功能的半導體裝置的等效電路的一個例子。

[0316] 光電二極體 602 的一個電極與光電二極體重設信號線 658 電連接，光電二極體 602 的另一個電極與電晶體 640 的閘極電連接。電晶體 640 的源極和汲極中的一個與光感測器參考信號線 672 電連接，電晶體 640 的源極和汲極中的另一個與電晶體 656 的源極和汲極中的一個電連接。電晶體 656 的閘極與閘極信號線 659 電連接，電晶體 656 的源極和汲極中的另一個與光感測器輸出信號線 671 電連接。

[0317] 作為光電二極體 602，例如可以使用層疊有具有 p 型導電型的半導體層、高電阻的（具有 i 型導電型的）半導體層及具有 n 型導電型的半導體層的 pin 型光電二極體。

[0318] 藉由檢測入射到光電二極體 602 的光，可以讀取檢測目標的資料。另外，在讀取檢測目標的資料時，也可以使用背光等的光源。

[0319] 另外，作為電晶體 640 及電晶體 656，可以使用實施方式 1 和 2 中任一個所例示的通道形成在氧化物半導體中的電晶體。在圖 18 中，為了明確表示電晶體 640 及電晶體 656 包含氧化物半導體，附上“OS”的符號。

[0320] 電晶體 640 及電晶體 656 是在上述實施方式中示出一個例子的電晶體，並具有由包括含有過剩氧的氧化鋁膜的絕緣層包圍其中形成通道的氧化物半導體層的結構。另外，電晶體 640 及電晶體 656 較佳為具有由閘極電極在電性上圍繞氧化物半導體層的結構。因此，電晶體

640 及電晶體 656 是電特性變動得到抑制的在電性上穩定的電晶體。藉由包括該電晶體，可以作為圖 18 所示的具有影像感測器功能的半導體裝置提供一種可靠性高的半導體裝置。

[0321] 本實施方式可以與在本說明書中所記載的其他實施方式適當地組合而實施。

[0322]

實施方式 5

在本實施方式中，參照圖式對一種半導體裝置（記憶體裝置）的一個例子進行說明，該半導體裝置（記憶體裝置）使用本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

[0323] 圖 19 示出半導體裝置的電路圖。

[0324] 圖 19 所示的半導體裝置包括使用第一半導體材料的電晶體 3200、使用第二半導體材料的電晶體 3300 以及電容元件 3400。此外，作為電晶體 3300，可以使用上述實施方式所說明的電晶體。

[0325] 電晶體 3300 是其通道形成在具有氧化物半導體的半導體層中的電晶體。因為電晶體 3300 的關態電流小，所以藉由使用該電晶體，可以長期保持儲存資料。換言之，因為可以製造不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低功耗。

[0326] 在圖 19 中，第一佈線 3001 與電晶體 3200 的

源極電極電連接，第二佈線 3002 與電晶體 3200 的汲極電極電連接。此外，第三佈線 3003 與電晶體 3300 的源極電極和汲極電極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電極電連接。並且，電晶體 3200 的閘極電極及電晶體 3300 的源極電極和汲極電極中的另一個與電容元件 3400 的電極的一個電連接，第五佈線 3005 與電容元件 3400 的電極的另一個電連接。

[0327] 在圖 19 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 3200 的閘極電極的電位的特徵，可以像如下所示那樣進行資料的寫入、保持以及讀出。

[0328] 對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為導通狀態的電位，使電晶體 3300 成為導通狀態。由此，第三佈線 3003 的電位供應到電晶體 3200 的閘極電極及電容元件 3400。換言之，對電晶體 3200 的閘極電極供應規定的電荷（寫入）。這裡，供應賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一種。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為關閉狀態的電位，來使電晶體 3300 成為關閉狀態，而保持供應到電晶體 3200 的閘極電極的電荷（保持）。

[0329] 因為電晶體 3300 的關態電流極小，所以電晶體 3200 的閘極電極的電荷被長時間地保持。

[0330] 接著，對資料的讀出進行說明。當在對第一佈線 3001 供應規定的電位（恆電位）的狀態下對第五佈

線 3005 供應適當的電位（讀出電位）時，根據保持在電晶體 3200 的閘極電極中的電荷量，第二佈線 3002 具有不同的電位。這是因為如下緣故：一般而言，在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極電極供應高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極電極供應低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“導通狀態”所需要的第五佈線 3005 的電位。因此，藉由將第五佈線 3005 的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以辨別供應到電晶體 3200 的閘極電極的電荷。例如，在寫入時被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 $V_0 (>V_{th_H})$ ，電晶體 3200 成為“導通狀態”。當被供應低位準電荷時，即使第五佈線 3005 的電位為 $V_0 (<V_{th_L})$ ，電晶體 3200 依然是“關閉狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出所保持的資料。

[0331] 注意，當將記憶單元配置為陣列狀時，需要僅讀出所希望的記憶單元的資料。如此，當不讀出資料時，對第五佈線 3005 供應不管閘極電極的狀態如何都使電晶體 3200 成為“關閉狀態”的電位，即小於 V_{th_H} 的電位，即可。或者，對第五佈線 3005 供應不管閘極電極的狀態如何都使電晶體 3200 成為“導通狀態”的電位，即大於 V_{th_L} 的電位，即可。

[0332] 在本實施方式所示的半導體裝置中，藉由使



用將氧化物半導體用於通道形成區的關態電流極小的電晶體，可以在極長的期間內保持儲存資料。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率極低，所以可以充分降低功耗。另外，即使在沒有電力供應的情況下（注意，較佳為固定電位），也可以長期保持儲存資料。

[0333] 另外，在本實施方式所示的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件劣化的問題。例如，由於不需要如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此根本不會發生如閘極絕緣層的劣化等問題。換言之，在根據所公開的發明的半導體裝置中，對重寫的次數沒有限制，這限制是習知的非揮發性記憶體所具有的問題，所以可靠性得到極大提高。再者，根據電晶體的導通狀態或關閉狀態而進行資料寫入，因此可以容易地實現高速的工作。

[0334] 本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

[0335]

實施方式 6

在本實施方式中，說明至少可以使用實施方式中的一個所說明的電晶體且包含上述實施方式所說明的記憶體裝置的 CPU。

[0336] 圖 20 是示出將在實施方式 1 中說明的電晶體

至少用於其一部分的 CPU 的結構的一例的方塊圖。

[0337] 圖 20 所示的 CPU 在基板 1190 上包括：ALU (Arithmetic logic unit：算術邏輯單元) 1191；ALU 控制器 1192；指令解碼器 1193；中斷控制器 1194；時序控制器 1195；暫存器 1196；暫存器控制器 1197；匯流排介面 1198 (Bus I/F)；可改寫的 ROM1199；以及 ROM 介面 1189 (ROM I/F)。作為基板 1190，使用半導體基板、SOI 基板或玻璃基板等。ROM1199 和 ROM 介面 1189 可以設置在另一晶片上。當然，圖 20 所示的 CPU 只是將其結構簡化而示出的一個例子，而實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 20 所示的 CPU 或算術電路的結構為一個核心，設置多個該核心並使其同時並聯地工作。另外，在 CPU 的內部算術電路或資料通路中能處理的位數例如為 8 位、16 位、32 位、64 位等。

[0338] 在藉由匯流排介面 1198 輸入到 CPU 的指令被輸入到指令解碼器 1193 且被解碼之後，該指令被輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197 和時序控制器 1195。

[0339] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令而進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，當 CPU 執行程式時，中斷控制器 1194 對來自外部的輸入/輸出裝置或週邊電路的

中斷要求根據其優先度或遮罩狀態進行判斷，並處理該要求。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態而從暫存器 1196 讀出資料或將資料寫入暫存器 1196。

[0340] 另外，時序控制器 1195 生成控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具備根據基準時脈信號 CLK1 生成內部時脈信號 CLK2 的內部時脈生成部，將該內部時脈信號 CLK2 供應到上述各種電路。

[0341] 在圖 20 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用在上述實施方式中示出的電晶體。

[0342] 在圖 20 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指示，進行暫存器 1196 中的保持工作的選擇。換言之，在暫存器 1196 所具有的記憶單元中，選擇利用正反器保持資料還是利用電容元件保持資料。當選擇利用正反器保持資料時，對暫存器 1196 中的記憶單元供應電源電壓。當選擇利用電容元件保持資料時，改寫電容元件的資料，而可以停止對暫存器 1196 內的記憶單元供應電源電壓。

[0343] 圖 21 示出可用作暫存器 1196 的記憶元件的電路圖的一個例子。記憶元件 700 包括：被儲存的資料在停止電源供應時消失的電路 701；被儲存的資料在停止電

源供應時不消失的電路 702；開關 703；開關 704；邏輯元件 706；電容元件 707 以及具有選擇功能的電路 720。電路 702 包括電容元件 708、電晶體 709 及電晶體 710。另外，記憶元件 700 根據需要還可以包括如二極體、電阻元件或電感器等其他元件。

[0344] 在此，電路 702 可以使用在上述實施方式中說明的記憶體裝置。在停止對記憶元件 700 供應電源電壓之後，接地電位（0V）或使電晶體 709 成為關閉狀態的電位繼續被輸入到電路 702 中的電晶體 709 的閘極。例如，電晶體 709 的閘極藉由電阻器等負載接地。

[0345] 在此示出如下例子：開關 703 使用具有一導電型（例如，n 通道型）的電晶體 713 構成，而開關 704 使用具有與該一導電型相反的導電型（例如，p 通道型）的電晶體 714 構成。這裡，開關 703 的第一端子對應於電晶體 713 的源極和汲極中的一個，開關 703 的第二端子對應於電晶體 713 的源極和汲極中的另一個，並且開關 703 的第一端子與第二端子之間的導通或非導通（即，電晶體 713 的導通狀態或關閉狀態）由輸入到電晶體 713 的閘極中的控制信號 RD 選擇。開關 704 的第一端子對應於電晶體 714 的源極和汲極中的一個，開關 704 的第二端子對應於電晶體 714 的源極和汲極中的另一個，並且，開關 704 的第一端子與第二端子之間的導通或非導通（即，電晶體 714 的導通狀態或關閉狀態）由輸入到電晶體 714 的閘極中的控制信號 RD 選擇。

[0346] 電晶體 709 的源極和汲極中的一個電連接到電容元件 708 的一對電極中的一個及電晶體 710 的閘極。在此，將連接部分稱為節點 M2。電晶體 710 的源極和汲極中的一個電連接到能夠供應低電位電源的佈線（例如，GND 線），而另一個電連接到開關 703 的第一端子（電晶體 713 的源極和汲極中的一個）。開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）電連接到開關 704 的第一端子（電晶體 714 的源極和汲極中的一個）。開關 704 的第二端子（電晶體 714 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）、開關 704 的第一端子（電晶體 714 的源極和汲極中的一個）、邏輯元件 706 的輸入端子和電容元件 707 的一對電極中的一個是電連接著的。在此，將連接部分稱為節點 M1。可以對電容元件 707 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 707 的一對電極中的另一個電連接到能夠供應低電位電源的佈線（例如，GND 線）。可以對電容元件 708 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 708 的一對電極中的另一個電連接到能夠供應低電位電源的佈線（例如，GND 線）。

[0347] 另外，當積極地利用電晶體或佈線的寄生電

容等時，也可以不設置電容元件 707 及電容元件 708。

[0348] 控制信號 WE 被輸入到電晶體 709 的第一閘極（第一閘極電極）。開關 703 及開關 704 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0349] 對應於保持在電路 701 中的資料的信號被輸入到電晶體 709 的源極和汲極中的另一個。圖 21 示出從電路 701 輸出的信號被輸入到電晶體 709 的源極和汲極中的另一個的例子。由邏輯元件 706 使從開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 720 輸入到電路 701。

[0350] 另外，雖然圖 21 示出從開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）輸出的信號經由邏輯元件 706 及電路 720 被輸入到電路 701 的例子，但是本發明的一個方式不侷限於此。也可以不使從開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 701。例如，當在電路 701 內設置有節點並在該節點中保持使從輸入端子輸入的信號的邏輯值反轉的信號時，可以將從開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0351] 圖 21 所示的電晶體 709 可以使用在實施方式 1 中說明的電晶體。另外，電晶體 709 較佳為包括隔著半導體層與第一閘極對置的第二閘極（第二閘極電極）。可以對第一閘極輸入控制信號 WE 並對第二閘極輸入控制信號 WE2。控制信號 WE2 可以是具有固定電位的信號。該固定電位例如可以選自接地電位 GND 或低於電晶體 709 的源極電位的電位等。控制信號 WE2 是具有用來控制電晶體 709 的臨界電壓的電位信號，能夠降低電晶體 709 的 I_{cut} 。另外，電晶體 709 也可以使用不具有第二閘極的電晶體。

[0352] 另外，在圖 21 所示的用於記憶元件 700 的電晶體中，電晶體 709 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。另外，也可以作為用於記憶元件 700 的所有的電晶體使用其通道形成在氧化物半導體層中的電晶體。或者，記憶元件 700 除了電晶體 709 以外也可以包括其通道形成在氧化物半導體層中的電晶體，並且作為剩下的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0353] 圖 21 所示的電路 701 例如可以使用正反器電路。另外，邏輯元件 706 例如可以使用反相器或時脈反相器等。

[0354] 在本發明的一個方式的半導體裝置中，在不

向記憶元件 700 供應電源電壓的期間，可以由設置在電路 702 中的電容元件 708 保持儲存在電路 701 中的資料。

[0355] 另外，其通道形成在氧化物半導體層中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體層中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流小得多。因此，藉由將這種電晶體用作電晶體 709，即使在不向記憶元件 700 供應電源電壓的期間也可以長期間儲存電容元件 708 中的信號。因此，記憶元件 700 在停止供應電源電壓的期間也可以保持儲存資料（資料）。

[0356] 另外，藉由設置開關 703 及開關 704，能夠使儲存元件進行預充電工作，因此可以縮短在再次開始供應電源電壓之後電路 701 重新保持原來的資料的時間。

[0357] 另外，在電路 702 中，由電容元件 708 保持的信號被輸入到電晶體 710 的閘極。因此，在再次開始向記憶元件 700 供應電源電壓之後，可以將由電容元件 708 保持的信號轉換為電晶體 710 的狀態（導通狀態或關閉狀態），並從電路 702 讀出。因此，即使在對應於保持在電容元件 708 中的信號的電位有些變動的情況下，也可以準確地讀出原來的信號。

[0358] 藉由將這種記憶元件 700 用於處理單元所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應



電源之前的狀態。因此，在處理單元整體或構成處理單元的一個或多個邏輯電路中在短時間內也可以停止供應電源而可以抑制功耗。

[0359] 在本實施方式中，雖然說明了將記憶元件 700 用於 CPU 的例子，但是也可以將記憶元件 700 應用於 DSP (Digital Signal Processor: 數位訊號處理器)、定製 LSI、PLD (Programmable Logic Device: 可程式邏輯裝置) 等 LSI、RF-ID (Radio Frequency Identification: 射頻識別)。

[0360] 本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

[0361]

實施方式 7

在本實施方式中，說明可以使用在上述實施方式中說明的電晶體、記憶體裝置或 CPU (包括 DSP、定製 LSI、PLD、RF-ID) 等半導體裝置的電子裝置的例子。

[0362] 上述實施方式所例示的電晶體、記憶體裝置或 CPU 等可以應用於各種電子裝置 (包括遊戲機)。作為電子裝置，可以舉出電視機、顯示器等顯示裝置、照明設備、個人電腦、文字處理機、影像再現裝置、可攜式音訊播放機、收音機、磁帶錄音機、音響、電話機、無繩電話、行動電話機、車載電話、步話機、無線設備、遊戲機、計算器、可攜式資訊終端、電子筆記本、電子書閱讀器、電子翻譯器、聲音輸入器、攝影機、數位靜態照相

機、電動剃鬚刀、IC 晶片、微波爐等高頻加熱裝置、電鍋、洗衣機、吸塵器、空調器等空調設備、洗碗機、烘碗機、乾衣機、烘被機、電冰箱、電冷凍箱、電冷藏冷凍箱、DNA 保存用冰凍器、輻射計數器 (radiation counters)、透析裝置、X 射線診斷裝置等醫療設備等。另外，也可以舉出感煙探測器、感熱探測器、氣體警報裝置、防盜警報裝置等警報裝置。再者，還可以舉出工業設備諸如引導燈、信號機、傳送帶、電梯、自動扶梯、工業機器人、蓄電系統等。另外，利用使用燃料的發動機或來自非水類二次電池的電力藉由電動機推進的移動體等也包括在電子裝置的範疇內。作為上述移動體，例如可以舉出電動汽車 (EV)、兼具內燃機和電動機的混合動力汽車 (HEV)、插電式混合動力汽車 (PHEV)、使用履帶代替上述汽車的車輪的履帶式車輛、包括電動輔助自行車的電動自行車、摩托車、電動輪椅、高爾夫球車、小型或大型船舶、潛水艇、直升機、飛機、火箭、人造衛星、太空探測器、行星探測器、太空船。圖 22A 至圖 22C 示出這些電子裝置的具體例子。

[0363] 在圖 22A 所示的電視機 8000 中，外殼 8001 組裝有顯示部 8002，利用顯示部 8002 可以顯示影像，並且從揚聲器部 8003 可以輸出聲音。可以將上述實施方式所例示的電晶體用於用來使安裝於外殼 8001 的顯示部 8002 工作的驅動電路或像素。

[0364] 作為顯示部 8002，可以使用液晶顯示裝置、

在各個像素中具備有機 EL 元件等發光元件的發光裝置、電泳顯示裝置、DMD (Digital Micromirror Device : 數位微鏡裝置) 、 PDP (Plasma Display Panel : 電漿顯示面板) 等半導體顯示裝置。

[0365] 電視機 8000 也可以具備接收機及數據機等。電視機 8000 可以藉由利用接收機接收一般的電視廣播，再者，藉由經由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通信。

[0366] 此外，電視機 8000 也可以具備用來進行資訊通信的 CPU8004 或記憶體等。藉由作為 CPU8004 或記憶體使用上述實施方式所示的電晶體、記憶體裝置或 CPU，可以實現低功耗化。

[0367] 圖 22A 所示的警報裝置 8100 是住宅用火災警報器，並是使用感煙或感熱檢測部 8102 和微型電腦 8101 的電子裝置的一個例子。微型電腦 8101 包括在上述實施方式中示出的電晶體、記憶體裝置或 CPU。

[0368] 另外，圖 22A 所示的包括室內機 8200 和室外機 8204 的空調器是包括在上述實施方式中示出的電晶體、記憶體裝置或 CPU 等的電子裝置的一個例子。明確而言，室內機 8200 具有外殼 8201、出風口 8202、CPU8203 等。在圖 22A 中，例示出 CPU8203 設置在室內機 8200 中的情況，但是 CPU8203 也可以設置在室外機 8204 中。或者，在室內機 8200 和室外機 8204 的兩者中

也可以設置有 CPU8203。藉由將在上述實施方式中示出的電晶體用於空調器的 CPU，可以實現低功耗化。

[0369] 另外，圖 22A 所示的電冷藏冷凍箱 8300 是包括在上述實施方式中示出的電晶體、記憶體裝置或 CPU 等的電子裝置的一個例子。明確而言，電冷藏冷凍箱 8300 包括外殼 8301、冷藏室門 8302、冷凍室門 8303 及 CPU8304 等。在圖 22A 中，CPU8304 設置在外殼 8301 的內部。藉由將在上述實施方式中示出的電晶體用於電冷藏冷凍箱 8300 的 CPU8304，可以實現低功耗化。

[0370] 圖 22B 和圖 22C 例示出電子裝置的一個例子的電動汽車。電動汽車 9700 安裝有二次電池 9701。二次電池 9701 的功率由電路 9702 調整輸出而供應到驅動裝置 9703。電路 9702 由具有未圖示的 ROM、RAM、CPU 等的處理裝置 9704 控制。藉由將在上述實施方式中示出的電晶體用於電動汽車 9700 的 CPU，可以實現低功耗化。

[0371] 驅動裝置 9703 包括直流電動機或交流電動機，或者將電動機和內燃機組合而構成。處理裝置 9704 根據電動汽車 9700 的駕駛員的操作資料（加速、減速、停止等）、行車資料（上坡、下坡等資料，或者車輪所受到的負載資料等）的輸入資料，向電路 9702 輸出控制信號。電路 9702 根據處理裝置 9704 的控制信號而調整從二次電池 9701 供應的電能並控制驅動裝置 9703 的輸出。當安裝有交流電動機時，雖然未圖示，但是還安裝有將直流轉換為交流的逆變器。



[0372] 本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

【符號說明】

[0373]

- 100：電晶體
- 101：基板
- 102：半導體層
- 103：電極
- 104：閘極絕緣層
- 105：閘極電極
- 106：絕緣層
- 111：保護絕緣層
- 112：保護絕緣層
- 120：電容元件
- 124：介電層
- 125：電極
- 150：電晶體
- 151：氧化物層
- 152：氧化物層
- 160：電晶體
- 170：電晶體
- 180：電晶體
- 200：電晶體

- 201 : 基板
- 202 : 半導體層
- 203 : 電極
- 204 : 閘極絕緣層
- 205 : 閘極電極
- 206 : 絕緣層
- 207 : 絕緣層
- 211 : 保護絕緣層
- 212 : 保護絕緣層
- 220 : 電容元件
- 224 : 介電層
- 225 : 電極
- 250 : 電晶體
- 251 : 氧化物層
- 252 : 氧化物層
- 260 : 電晶體
- 270 : 電晶體
- 280 : 電晶體
- 602 : 光電二極體
- 640 : 電晶體
- 656 : 電晶體
- 658 : 光電二極體重設信號線
- 659 : 閘極信號線
- 671 : 光感測器輸出信號線



672 : 光感測器基準信號線

700 : 記憶元件

701 : 電路

702 : 電路

703 : 開關

704 : 開關

706 : 邏輯元件

707 : 電容元件

708 : 電容元件

709 : 電晶體

710 : 電晶體

713 : 電晶體

714 : 電晶體

720 : 電路

1189 : ROM 介面

1190 : 基板

1191 : ALU

1192 : ALU 控制器

1193 : 指令解碼器

1194 : 中斷控制器

1195 : 時序控制器

1196 : 暫存器

1197 : 暫存器控制器

1198 : 匯流排介面

- 1199 : ROM
- 2200 : 電晶體
- 2201 : 絕緣層
- 2202 : 佈線
- 2203 : 插頭
- 2204 : 絕緣層
- 2205 : 佈線
- 2206 : 佈線
- 3001 : 佈線
- 3002 : 佈線
- 3003 : 佈線
- 3004 : 佈線
- 3005 : 佈線
- 3200 : 電晶體
- 3300 : 電晶體
- 3400 : 電容元件
- 8000 : 電視機
- 8001 : 外殼
- 8002 : 顯示部
- 8003 : 揚聲器部
- 8004 : CPU
- 8100 : 警報裝置
- 8101 : 微型電腦
- 8102 : 檢測部

- 8200 : 室內機
- 8201 : 外殼
- 8202 : 出風口
- 8203 : CPU
- 8204 : 室外機
- 8300 : 電冷藏冷凍箱
- 8301 : 外殼
- 8302 : 冷藏室門
- 8303 : 冷凍室門
- 8304 : CPU
- 9700 : 電動汽車
- 9701 : 二次電池
- 9702 : 電路
- 9703 : 驅動裝置
- 9704 : 處理裝置

I664731

發明摘要

※申請案號：103116084

※申請日：103年05月06日

※IPC分類：

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明提供一種使用氧化物半導體且可靠性高的半導體裝置。或者，本發明提供一種使用氧化物半導體且在維持良好的電特性的同時實現微型化的半導體裝置。本發明的一個方式的半導體裝置包括：第一保護絕緣層；第一保護絕緣層上的氧化物半導體層；與氧化物半導體層電連接的源極電極及汲極電極；位於源極電極及汲極電極上且與氧化物半導體層重疊的閘極絕緣層；隔著閘極絕緣層與氧化物半導體層重疊的閘極電極；以及覆蓋源極電極、汲極電極和閘極電極的第二保護絕緣層。另外，第一保護絕緣層及第二保護絕緣層包含具有氧過剩區的氧化鋁膜且具有在源極電極、汲極電極及閘極電極沒有存在的區域中彼此接觸的區域。

【 英文 】

A structure is employed in which a first protective insulating layer; an oxide semiconductor layer over the first protective insulating layer; a source electrode and a drain electrode that are electrically connected to the oxide semiconductor layer; a gate insulating layer that is over the source electrode and the drain electrode and overlaps with the oxide semiconductor layer; a gate electrode that overlaps with the oxide semiconductor layer with the gate insulating layer provided therebetween; and a second protective insulating layer that covers the source electrode, the drain electrode, and the gate electrode are included. Furthermore, the first protective insulating layer and the second protective insulating layer each include an aluminum oxide film that includes an oxygen-excess region, and are in contact with each other in a region where the source electrode, the drain electrode, and the gate electrode are not provided.



【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

101：基板

102：半導體層

103：電極

104：閘極絕緣層

105：閘極電極

111：保護絕緣層

112：保護絕緣層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包括：

包含氧化鋁的第一保護絕緣層；

該第一保護絕緣層上的氧化物半導體層；

與該氧化物半導體層電連接的源極電極及汲極電極；

位於該源極電極及該汲極電極上且與該氧化物半導體層重疊的閘極絕緣層；

隔著該閘極絕緣層與該氧化物半導體層重疊的閘極電極；以及

覆蓋該源極電極、該汲極電極和該閘極電極的包含氧化鋁的第二保護絕緣層，

其中，該氧化物半導體層的通道形成區與該第一保護絕緣層重疊，

其中，該閘極絕緣層與該源極電極的頂面、該汲極電極的頂面和該氧化物半導體層的頂面接觸，以及

其中，在沒有設置該源極電極、該汲極電極和該閘極電極的區域中，該第一保護絕緣層和該第二保護絕緣層彼此接觸。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中該閘極電極隔著該閘極絕緣層覆蓋該氧化物半導體層的頂面和側面。

3. 根據申請專利範圍第 1 項之半導體裝置，

其中該氧化物半導體層的厚度為通道寬度的 0.1 倍以上且 10 倍以下。

4.根據申請專利範圍第 1 項之半導體裝置，還包括：

該第一保護絕緣層與該氧化物半導體層之間的第一氧化物層，該第一氧化物層包含該氧化物半導體層所包含的至少一種金屬元素；以及

該氧化物半導體層與該閘極絕緣層之間的第二氧化物層，該第二氧化物層包含該氧化物半導體層所包含的至少一種金屬元素，

其中該第一氧化物層的導帶底端和該第二氧化物層的導帶底端都比該氧化物半導體層的導帶底端接近真空能階，

該第一氧化物層的該導帶底端的能量與該氧化物半導體層的該導帶底端的能量之間的差異為 0.05eV 以上且 2eV 以下，

並且該第二氧化物層的該導帶底端的能量與該氧化物半導體層的該導帶底端的該能量之間的差異為 0.05eV 以上且 2eV 以下。

5.根據申請專利範圍第 4 項之半導體裝置，

其中該第二氧化物層的頂面與該源極電極的下面、該汲極電極的下面和該閘極絕緣層的下面接觸。

6.根據申請專利範圍第 4 項之半導體裝置，

其中該第二氧化物層的下面與該源極電極的頂面、該汲極電極的頂面以及沒有設置該源極電極和該汲極電極的區域中的該氧化物半導體層的頂面和側面接觸。

7.根據申請專利範圍第 1 項之半導體裝置，其中該源

極電極和該汲極電極不重疊的該氧化物半導體層的厚度小於該源極電極或該汲極電極重疊的該氧化物半導體層的厚度。

8.根據申請專利範圍第 1 項之半導體裝置，還包括該第一保護絕緣層與該氧化物半導體層之間的第三絕緣層。

9.根據申請專利範圍第 1 項之半導體裝置，其中該氧化物半導體層包含結晶。

10.根據申請專利範圍第 9 項之半導體裝置，其中該結晶的 c 軸大致垂直於形成有該氧化物半導體層的表面或該氧化物半導體層的表面。

11.根據申請專利範圍第 1 項之半導體裝置，其中該第一保護絕緣層和該第二保護絕緣層都包括氧過剩區。

12.根據申請專利範圍第 1 項之半導體裝置，其中該第一保護絕緣層和該第二保護絕緣層都被配置以釋放氧。

13.一種半導體裝置，包括：

具有溝槽的第一絕緣層；

覆蓋該溝槽的側面和底面的包含氧化鋁的第一保護絕緣層；

位於該第一保護絕緣層上且填上該溝槽的氧化物半導體層；

與該氧化物半導體層電連接的源極電極及汲極電極；

位於該源極電極及該汲極電極上且與該氧化物半導體層重疊的閘極絕緣層；

隔著該閘極絕緣層與該氧化物半導體層重疊的閘極電

極；以及

覆蓋該源極電極、該汲極電極和該閘極電極的包含氧化鋁的第二保護絕緣層，

其中，在沒有設置該源極電極、該汲極電極和該閘極電極的區域中，該第一保護絕緣層和該第二保護絕緣層彼此接觸。

14. 根據申請專利範圍第 13 項之半導體裝置，還包括：

該第一保護絕緣層與該氧化物半導體層之間的第一氧化物層，該第一氧化物層包含該氧化物半導體層所包含的至少一種金屬元素；以及

該氧化物半導體層與該閘極絕緣層之間的第二氧化物層，該第二氧化物層包含該氧化物半導體層所包含的至少一種金屬元素，

其中該第一氧化物層的導帶底端和該第二氧化物層的導帶底端都比該氧化物半導體層的導帶底端接近真空能階，

該第一氧化物層的該導帶底端的能量與該氧化物半導體層的該導帶底端的能量之間的差異為 0.05eV 以上且 2eV 以下，

並且該第二氧化物層的該導帶底端的能量與該氧化物半導體層的該導帶底端的該能量之間的差異為 0.05eV 以上且 2eV 以下。

15. 根據申請專利範圍第 14 項之半導體裝置，

其中該第二氧化物層的下面與該源極電極的頂面、該汲極電極的頂面以及沒有設置該源極電極和該汲極電極的區域中的該氧化物半導體層的頂面接觸。

16.根據申請專利範圍第 13 項之半導體裝置，其中該源極電極和該汲極電極不重疊的該氧化物半導體層的厚度小於該源極電極或該汲極電極重疊的該氧化物半導體層的厚度。

17.根據申請專利範圍第 13 項之半導體裝置，還包括該第一保護絕緣層與該氧化物半導體層之間的第四絕緣層。

18.根據申請專利範圍第 13 項之半導體裝置，其中該氧化物半導體層包含結晶。

19.根據申請專利範圍第 18 項之半導體裝置，其中該結晶的 c 軸大致垂直於形成有該氧化物半導體層的表面或該氧化物半導體層的表面。

20.根據申請專利範圍第 13 項之半導體裝置，其中該第一保護絕緣層和該第二保護絕緣層都包括氧過剩區。

21.根據申請專利範圍第 13 項之半導體裝置，其中當進行加熱處理時，該第一保護絕緣層和該第二保護絕緣層都被配置以釋放氧。