



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

213 298

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 09 02 81
(21) PV 951-81

(51) Int. Cl.³

G 06 F 3/04

(40) Zveřejněno 31 08 81
(45) Vydáno 01 02 84

(75)

Autor vynálezu

BUREŠ JAROSLAV ing., BRNO

(54) Zapojení řídicích obvodů vstupu a výstupu pro inteligentní terminál

1

Vynález se týká zapojení řídicích obvodů vstupu a výstupu pro inteligentní terminál. Jednou ze základních funkcí inteligentních terminálů je programové řízení vnitřních i vnějších periferních zařízení, která jsou k inteligentnímu terminálu velitelně připojována prostřednictvím řídicích obvodů vstupu a výstupu. Zapojení těchto řídicích obvodů vstupu a výstupu je proto rozhodující jak pro výkon celého inteligentního terminálu, tak pro jeho složitost a tím i cenu zařízení.

Dosud známá zapojení řídicích obvodů vstupu a výstupu mají řadu nevýhod. Řídicí obvody pro střední počítače nebo minipočítače jsou tak rozsáhlé, že jejich použití v malých zařízeních jako jsou inteligentní terminály není možné. Existují též řídicí jednotky vstupu a výstupu, používané například v programových kalkulátorech nebo inteligentních terminálech. Tyto typy řídicích jednotek však používají speciálních obvodů vysoké integrace, kterých není možné realizovat u menších výrobních serií, neboť vyžadují neúměrně vysoké náklady na technologické vybavení.

Uvedené nedostatky odstraňuje zapojení řídicích obvodů vstupu a výstupu pro inteligentní terminál podle vynálezu, jehož podstatou je, že první vstup klopného obvodu typu J-K pro nastavení do stavu logické 1 je připojen na první vstup devátého třívstupového obvodu typu negace logického součinu a tvoří současně dvacátý šestý vstup zapojení, připojitelný na časový zdroj, druhý vstup klopného obvodu typu J-K pro nastavení do stavu logické 1 je připojen na třetí vstup klopného obvodu typu J-K pro nastavení do stavu logické 1 a tvoří současně

dvacátý sedmý vstup zapojení, připojitelný na časový zdroj, hodinový vstup dvacátého třetího klopného obvodu typu D je připojen přes sedmý inverter na hodinový vstup klopného obvodu typu J-K a na první vstup osmého dvouvstupového obvodu typu negace logického součinu a tvoří současně dvacátý třetí vstup zapojení, připojitelný na časový zdroj, nulevací vstup klopného obvodu typu J-K je připojen na druhý vstup čtyřicátého čtvrtého dvouvstupového obvodu typu negace logického součinu, na druhý vstup jedenáctého třívstupového obvodu typu negace logického součinu, na druhý vstup patnáctého třívstupového obvodu typu negace logického součinu, na vstupní a výstupní sběrnici pro připojení periferních zařízení a tvoří současně dvacátý osmý vstup zapojení, připojitelný na nulevací obvod, jedničkový výstup klopného obvodu typu J-K je připojen na první vstup dvanáctého dvouvstupového obvodu typu negace logického součinu, na nulevací vstup dvacátého prvního klopného obvodu typu D a na nulevací vstup dvacátého druhého klopného obvodu typu D, nulevý výstup klopného obvodu typu J-K je připojen přes šestý inverter na nulevací vstup dvacátého třetího klopného obvodu typu D a na nulevací vstup dvacátého čtvrtého klopného obvodu typu D, jedničkový výstup dvacátého prvního klopného obvodu typu D je připojen na první a na druhý vstup druhého čtyřvstupového obvodu typu negace logického součinu, na první vstup pátého třívstupového obvodu typu negace logického součinu, na první vstup devátého dvouvstupového obvodu typu negace logického součinu, na druhý vstup padesátého čtvrtého dvouvstupového obvodu typu negace logického součinu a na základní vstup druhého klopného obvodu typu D, nulevý výstup dvacátého prvního klopného obvodu typu D je připojen na první vstup třetího čtyřvstupového obvodu typu negace logického součinu a na první a druhý vstup klopného obvodu typu J-K pro nastavení do stavu logické 0, jedničkový výstup dvacátého druhého klopného obvodu typu D je připojen na třetí vstup klopného obvodu typu J-K pro nastavení do stavu logické 0, na druhý vstup pátého třívstupového obvodu typu negace logického součinu a na druhý vstup třetího čtyřvstupového obvodu typu negace logického součinu, nulevý výstup dvacátého druhého klopného obvodu typu D je připojen na základní vstup dvacátého prvního klopného obvodu typu D, na druhý vstup devátého dvouvstupového obvodu typu negace logického součinu a na třetí vstup druhého čtyřvstupového obvodu typu negace logického součinu, nulevý výstup dvacátého třetího klopného obvodu typu D je připojen na základní vstup dvacátého třetího klopného obvodu typu D, na hodinový vstup dvacátého čtvrtého klopného obvodu typu D a na první vstup šestnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup sedmého dvouvstupového obvodu typu negace logického součinu, jedničkový výstup dvacátého čtvrtého klopného obvodu typu D je připojen na první vstup sedmnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup šestnáctého dvouvstupového obvodu typu negace logického součinu. Nulevý výstup dvacátého čtvrtého klopného obvodu typu D je připojen na základní vstup dvacátého čtvrtého klopného obvodu typu D, výstup devátého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup dvanáctého dvouvstupového obvodu typu negace logického součinu a na vstup osmého inverteru, jehož výstup je připojen na první vstup sedmého dvouvstupového obvodu typu negace logického součinu, na první vstup třináctého dvouvstupového obvodu typu negace logického součinu, na první vstup čtrnáctého dvouvstupového obvodu typu negace logického součinu a tvoří současně devatenáctý výstup zapojení,

připojitelný na řídicí jednotku mikroprocesoru, výstup sedmého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup osmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na hodinový vstup dvacátého prvního klopného obvodu typu D a na hodinový vstup dvacátého druhého klopného obvodu typu D, vstup prvního bitu kódu prvního dekodéru tvoří současně dvacátý vstup zapojení, připojitelný na procesor, kdežto jeho vstup druhého bitu kódu tvoří současně dvacátý první vstup zapojení, připojitelný na procesor a jeho vstup třetího bitu kódu tvoří současně třináctý vstup zapojení, připojitelný na procesor, přičemž jeho vstup čtvrtého bitu kódu je připojen na nulový potenciál, první výstup prvního dekodéru je připojen na vstup devátého invertoru, jehož výstup je připojen na první vstup osmého třívstupového obvodu typu negace logického součinu, druhý výstup prvního dekodéru je připojen na vstup desátého invertoru, jehož výstup je připojen na třetí vstup dvacátého čtvrtého čtyřvstupového součtové součinného hradla, třetí výstup prvního dekodéru je připojen na vstup jedenáctého invertoru, jehož výstup je připojen na první vstup dvacátého čtvrtého čtyřvstupového součtové součinného hradla, čtvrtý výstup prvního dekodéru je připojen na první vstup druhého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup jedenáctého dvouvstupového obvodu typu negace logického součinu a přes pátý inverter na první vstup padesátého čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na nastavevací vstup dvacátého druhého klopného obvodu typu D, pátý výstup prvního dekodéru je připojen na druhý vstup druhého třívstupového obvodu typu negace logického součinu a na druhý vstup třináctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý první výstup zapojení, připojitelný na časový zdroj, šestý výstup prvního dekodéru je připojen na třetí vstup druhého třívstupového obvodu typu negace logického součinu, sedmý výstup prvního dekodéru je připojen na druhý vstup čtrnáctého dvouvstupového obvodu typu negace logického součinu a na vstup dvacátého invertoru, jehož výstup je připojen na první vstup šestého třívstupového obvodu typu negace logického součinu a na první vstup sedmého třívstupového obvodu typu negace logického součinu, vstup prvního bitu kódu druhého dekodéru tvoří současně šestnáctý vstup zapojení, připojitelný na procesor, kdežto jeho vstup druhého bitu kódu tvoří současně sedmáctý vstup zapojení, připojitelný na procesor a jeho vstup třetího bitu kódu tvoří současně osmnáctý vstup zapojení, připojitelný na procesor, přičemž jeho vstup čtvrtého bitu kódu tvoří současně devatenáctý vstup zapojení, připojitelný na procesor, první výstup druhého dekodéru je připojen na třetí vstup čtvrtého třívstupového obvodu typu negace logického součinu a na vstup třináctého invertoru, jehož výstup je připojen na první vstup prvního dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na druhý vstup osmnáctého dvouvstupového obvodu typu negace logického součinu, na druhý vstup třicátého třetího dvouvstupového obvodu typu negace logického součinu a na čtvrtý vstup dvacátého pátého čtyřvstupového součinného hradla, jehož výstup je připojen na nastavevací vstup dvacátého pátého klopného obvodu typu D, druhý výstup druhého dekodéru je připojen na vstup čtrnáctého invertoru, jehož výstup je připojen na první vstup druhého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého čtvrtého dvouvstupového obvodu typu negace logického součinu a na první vstup dvacátého pátého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně šestnáctý výstup zapojení, připojitelný na arit-

metickou a logickou jednotku, třetí výstup druhého dekodéru je připojen na vstup patnáctého invertoru, jehož výstup je připojen na první vstup třetího dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého druhého dvouvstupového obvodu typu negace logického součinu, na první vstup dvacátého třetího dvouvstupového obvodu typu negace logického součinu, na druhý vstup třicátého čtvrtého dvouvstupového obvodu typu negace logického součinu a na druhý vstup čtyřicátého sedmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen přes čtyřicátý pátý inverter na hodiňový vstup dvacátého šestého klopného obvodu typu D, čtvrtý výstup druhého dekodéru je připojen na vstup šestnáctého invertoru, jehož výstup je připojen na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého šestého dvouvstupového obvodu typu negace logického součinu a na druhý vstup dvacátého osmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup patnáctého třívstupového obvodu typu negace logického součinu, pátý výstup druhého dekodéru je připojen na druhý vstup třetího třívstupového obvodu typu negace logického součinu a na vstup sedmnáctého invertoru, jehož výstup je připojen na první vstup pátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého devátého dvouvstupového obvodu typu negace logického součinu a na druhý vstup čtyřicátého osmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup čtyřicátého devátého dvouvstupového obvodu typu negace logického součinu, šestý výstup druhého dekodéru je připojen na vstup osmnáctého invertoru, jehož výstup je připojen na první vstup šestého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na druhý vstup padesátého dvouvstupového obvodu typu negace logického součinu a na první vstup padesátého prvního dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup padesátého druhého dvouvstupového obvodu typu negace logického součinu, sedmý výstup druhého dekodéru je připojen na první vstup třetího třívstupového obvodu typu negace logického součinu, na druhý vstup desátého dvouvstupového obvodu typu negace logického součinu, na druhý vstup čtvrtého třívstupového obvodu typu negace logického součinu a na vstup devatenáctého invertoru, jehož výstup je připojen na první vstup sedmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého prvního dvouvstupového obvodu typu negace logického součinu, na druhý vstup třicátého druhého dvouvstupového obvodu typu negace logického součinu, na první vstup padesátého třetího dvouvstupového obvodu typu negace logického součinu a na druhé vstupy prvního až čtvrtého čtyřvstupového součtové součinevého hradla, osmý výstup druhého dekodéru je připojen na třetí vstup třetího třívstupového obvodu typu negace logického součinu, na první vstup desátého dvouvstupového obvodu typu negace logického součinu, na první vstup čtvrtého třívstupového obvodu typu negace logického součinu a na vstup dvacátého invertoru, jehož výstup je připojen na čtvrté vstupy prvního až čtvrtého čtyřvstupového součtové součinevého hradla, devátý výstup druhého dekodéru je připojen na vstup dvacátého prvního invertoru, jehož výstup je připojen na druhý vstup třicátého pátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, desátý výstup druhého dekodéru je připojen na vstup dvacátého druhého invertoru, jehož

výstup je připojen na druhý vstup třicátého šestého dvouvstupového obvodu typu negace logického součinu a na první vstup třicátého sedmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup třetího třívstupového obvodu typu negace logického součinu je připojen na druhý vstup dvacátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup jedenáctého třívstupového obvodu typu negace logického součinu, výstup desátého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu, na druhý vstup sedmnáctého dvouvstupového obvodu typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhé vstupy devátého až dvanáctého čtyřvstupového součtové součinnového hradla a přes druhý invertor jednak na třetí vstupy devátého až dvanáctého čtyřvstupového součtové součinnového hradla, jednak na první vstup třináctého čtyřvstupového součtové součinnového hradla a na druhý vstup třívstupového obvodu typu negace logického součinu, výstup čtvrtého třívstupového obvodu typu negace logického součinu je připojen na druhý vstup dvacátého pátého třívstupového součtové součinnového hradla a na první vstup devatenáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup čtyřicátého čtvrtého dvouvstupového obvodu typu negace logického součinu, výstup dvanáctého dvouvstupového obvodu typu negace logického součinu tvoří současně sedmnáctý výstup zapojení, připojitelný na časový zdroj, výstup čtrnáctého dvouvstupového obvodu typu negace logického součinu je připojen na vstup dvacátého čtvrtého invertoru, jehož výstup je připojen na druhé vstupy třetího až šestého dvouvstupového obvodu typu negace logického součinu, výstup druhého čtyřvstupového obvodu typu negace logického součinu je připojen na druhé vstupy pátého až osmého čtyřvstupového součtové součinnového hradla, na druhé vstupy čtrnáctého až sedmnáctého čtyřvstupového součtové součinnového hradla, na druhé vstupy devatenáctého až dvacátého druhého součtové součinnového hradla a na vstup dvacátého šestého invertoru, jehož výstup je připojen na první vstup druhého dvouvstupového obvodu typu negace logického součinu, na čtvrté vstupy pátého až osmého, čtrnáctého až sedmnáctého a devatenáctého až dvacátého druhého čtyřvstupového součtové součinnového hradla, na třetí vstup osmnáctého čtyřvstupového součtové součinnového hradla a na druhý vstup dvacátého třetího součtové součinnového hradla, výstup pátého třívstupového obvodu typu negace logického součinu je připojen na vstup dvacátého sedmého invertoru, jehož výstup je připojen na první vstup jedenáctého dvouvstupového obvodu typu negace logického součinu, na druhý vstup padesátého pátého dvouvstupového obvodu typu negace logického součinu, na druhý vstup šestého třívstupového obvodu typu negace logického součinu, na druhý vstup sedmého třívstupového obvodu typu negace logického součinu a na druhý vstup osmého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstup třicátého invertoru, jehož výstup je připojen na první vstup dvacátého prvního dvouvstupového obvodu typu negace logického součinu, na první vstup osmnáctého dvouvstupového obvodu typu negace logického součinu, na druhý vstup dvacátého třetího dvouvstupového obvodu typu negace logického součinu a na první vstup dvacátého čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně patnáctý výstup zapojení, připojitelný na aritmetickou a logickou jednotku, výstup šestého třívstupového obvodu typu negace logického součinu je

připojen na vstup dvacátého osmého invertoru, jehož výstup je připojen na první vstup dvacátého druhého dvouvstupového obvodu typu negace logického součinu, na první vstup dvacátého šestého dvouvstupového obvodu typu negace logického součinu, na první vstup třicátého pátého dvouvstupového obvodu typu negace logického součinu, na první vstup třicátého šestého dvouvstupového obvodu typu negace logického součinu, na první vstup dvacátého devátého dvouvstupového obvodu typu negace logického součinu, na první vstup dvacátého pátého čtyřvstupového součtově součinného hradla a na druhý vstup padesátého třetího dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvanáctý výstup zapojení, připojitelný na obvody indikace, výstup sedmého třívstupového obvodu typu negace logického součinu je připojen na vstup dvacátého devátého invertoru, jehož výstup je připojen na první vstup třicátého druhého dvouvstupového obvodu typu negace logického součinu, na první vstup třicátého třetího dvouvstupového obvodu typu negace logického součinu a na první vstup třicátého čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup třetího čtyřvstupového obvodu typu negace logického součinu je připojen na vstup třicátého prvního invertoru, jehož výstup je připojen na druhý vstup devatenáctého dvouvstupového obvodu typu negace logického součinu, na první vstup dvacátého dvouvstupového obvodu typu negace logického součinu, na druhý vstup dvacátého pátého dvouvstupového obvodu typu negace logického součinu, na první vstup dvacátého osmého dvouvstupového obvodu typu negace logického součinu, na druhý vstup třicátého sedmého dvouvstupového obvodu typu negace logického součinu, na první vstup čtyřicátého sedmého dvouvstupového obvodu typu negace logického součinu, na druhý vstup padesátého prvního dvouvstupového obvodu typu negace logického součinu a na první vstup prvního dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na nastavovací vstupy prvního až čtvrtého klepného obvodu typu D, výstup dvacátého čtvrtého čtyřvstupového součtově součinného hradla je připojen přes třicátý druhý inverter na první vstup padesátého pátého obvodu typu negace logického součinu, jehož výstup tvoří současně čtrnáctý výstup zapojení, připojitelný na aritmetickou a logickou jednotku, výstupy prvního až sedmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem jsou spojeny a připojeny jednak přes čtrnáctý odpor na kladný pól zdroje elektrické energie, jednak na čtvrtý vstup dvacátého čtvrtého čtyřvstupového součtově součinného hradla, jednak přes dvacátý pátý inverter na druhý vstup dvacátého čtvrtého čtyřvstupového součtově součinného hradla, výstup jedenáctého dvouvstupového obvodu typu negace logického součinu je připojen na vstup dvacátého třetího invertoru, jehož výstup je připojen na třetí vstup dvacátého pátého čtyřvstupového součtově součinného hradla, na první vstup čtyřicátého dvouvstupového obvodu typu negace logického součinu a na první vstup padesátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup padesátého druhého dvouvstupového obvodu typu negace logického součinu, výstup patnáctého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, druhý vstup šestého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem je připojen přes třináctý odpor na kladný pól zdroje elektrické energie a tvoří současně dvanáctý vstup zapojení, při-

pojitelný na obvody ručního ovládání, vstup čtyřicátého čtvrtého invertoru je připojen na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na vstupní a výstupní sběrnici pro připojení periferních zařízení a tvoří současně sedmý vstup zapojení, připojitelný na klávesnici, výstup čtyřicátého čtvrtého invertoru je připojen přes osmnáctý odpor na kladný pól zdroje elektrické energie a na první vstup třicátého devátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup dvanáctého třívstupového obvodu typu negace logického součinu, výstup osmnáctého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup desátého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup jedenáctého třívstupového obvodu typu negace logického součinu, na druhý vstup třicátého devátého dvouvstupového obvodu typu negace logického součinu, na druhý vstup sedmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a na vstupní a výstupní sběrnici pro připojení periferních zařízení, vstup třicátého třetího invertoru je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, přes patnáctý odpor na kladný pól zdroje elektrické energie a přes šestnáctý odpor na nulový potenciál, výstup třicátého třetího invertoru je připojen na první vstup čtyřicátého dvouvstupového obvodu typu negace logického součinu, na druhý vstup třináctého třívstupového obvodu typu negace logického součinu a na druhý vstup dvanáctého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení a tvoří současně dvacátý výstup zapojení, připojitelný na řídicí jednotku mikroprocesoru, výstup jedenáctého třívstupového obvodu typu negace logického součinu je připojen na třetí vstup desátého třívstupového obvodu typu negace logického součinu a na první vstup třináctého třívstupového obvodu typu negace logického součinu, jehož výstup je jednak připojen na druhý vstup šestnáctého třívstupového obvodu typu negace logického součinu, jednak na vstup třicátého šestého invertoru, jednak tvoří současně desátý výstup zapojení, připojitelný na displej, výstup třicátého šestého invertoru je připojen přes první kondensátor jednak na vstup třicátého sedmého invertoru, jednak přes devatenáctý odpor na nulový potenciál, výstup třicátého sedmého invertoru je připojen na první vstup čtyřicátého druhého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen přes třetí kondensátor jednak na druhý vstup čtyřicátého třetího dvouvstupového obvodu typu negace logického součinu, jednak přes dvacátý první odpor na nulový potenciál, výstup čtyřicátého třetího dvouvstupového obvodu typu negace logického součinu je připojen druhý vstup čtyřicátého druhého dvouvstupového obvodu typu negace logického součinu a na první vstup čtyřicátého pátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstup čtyřicátého třetího invertoru, na třetí a čtvrtý vstup třináctého čtyřvstupového součtově součinného hradla, na první a druhý vstup osmnáctého čtyřvstupového součtově součinného hradla, na třetí a čtvrtý vstup dvacátého třetího čtyřvstupového součtově součinného hradla a přes monostabilní klopný obvod na hodinový vstup dvacátého pátého klopného obvodu typu D, výstup dvacátého třetího čtyřvstupového součtově součinného hradla je připojen na hodinové vstupy třináctého až šestnáctého klopného obvodu typu D a přes čtvrtý inverter a na čtvrtý vstup osmnáctého čtyřvstupového součtově součinného hradla, výstup čtyřicátého třetího invertoru tvoří současně osmnáctý výstup zapojení, připojitelný na řídicí jednotku mikroprocesoru, výstup čtyřicátého dvouvstupového obvodu typu negace logického součinu je připojen na třetí vstup dvanáctého třívstupového obvodu typu negace logického součinu, na třetí vstup třináctého třívstupového

obvodu typu negace logického součinu a na první vstup čtyřicátého prvního dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup čtyřicátého dvouvstupového obvodu typu negace logického součinu, výstup devátého třívstupového obvodu typu negace logického součinu je připojen na druhý vstup desátého třívstupového obvodu typu negace logického součinu a na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu, druhý vstup devátého třívstupového obvodu typu negace logického součinu tvoří současně dvacátý pátý vstup zapojení, připojitelný na časový zdroj, třetí vstup devátého třívstupového obvodu typu negace logického součinu tvoří současně dvacátý čtvrtý vstup zapojení, připojitelný na časový zdroj, výstup dvacátého prvního dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup čtrnáctého třívstupového obvodu typu negace logického součinu, jehož první a třetí vstup jsou připojeny na kladný pól zdroje elektrické energie a jehož výstup je připojen přes další monostabilní klopný obvod na druhý vstup čtyřicátého pátého dvouvstupového obvodu typu negace logického součinu, první vstup čtyřicátého třetího dvouvstupového obvodu typu negace logického součinu je připojen přes dvacátý čtvrtý odpor na kladný pól zdroje elektrické energie a tvoří současně jedenáctý vstup zapojení, připojitelný na obvody ručního ovládní, základní vstup dvacátého pátého klopného obvodu typu D je připojen na nulový potenciál a jeho jedničkový výstup je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup čtyřicátého čtvrtého dvouvstupového obvodu typu negace logického součinu je připojen přes čtyřicátý druhý inverter na nulevací vstup dvacátého pátého klopného obvodu typu D, výstup dvacátého druhého dvouvstupového obvodu typu negace logického součinu tvoří současně šestý výstup zapojení, připojitelný na snímač magnetických štítků, výstup dvacátého třetího dvouvstupového obvodu typu negace logického součinu tvoří současně sedmý výstup zapojení, připojitelný na snímač magnetických štítků, výstup dvacátého šestého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup dvacátého sedmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup patnáctého třívstupového obvodu typu negace logického součinu, výstup patnáctého třívstupového obvodu typu negace logického součinu je připojen na druhý vstup dvacátého sedmého dvouvstupového obvodu typu negace logického součinu a na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup dvacátého devátého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup třicátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup třicátého prvního dvouvstupového obvodu typu negace logického součinu, výstup třicátého prvního dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup třicátého dvouvstupového obvodu typu negace logického součinu, na druhý vstup patnáctého dvouvstupového obvodu typu negace logického součinu a tvoří současně jedenáctý výstup zapojení, připojitelný na displej, druhý vstup třicátého prvního dvouvstupového obvodu typu negace logického součinu je připojen přes sedmnáctý odpor na kladný pól zdroje elektrické energie a tvoří současně dvacátý vstup zapojení, připojitelný na displej, čtvrtý vstup třetího čtyřvstupového obvodu typu negace logického součinu je připojen na vstup třicátého čtvrtého invertoru a tvoří současně čtrnáctý vstup zapojení, připojitelný na procesor, výstup třicátého čtvrtého invertoru

je připojen na třetí vstup osmého třívstupového obvodu typu negace logického součinu, čtvrtý vstup sedmého obvodu typu negace logického součinu je připojen na vstup čtyřicátého šestého invertoru a tvoří současně patnáctý vstup zapojení, připojitelný na procesor, výstup čtyřicátého šestého invertoru je připojen na třetí vstup šestého třívstupového obvodu typu negace logického součinu, druhý vstup druhého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem tvoří současně dvacátý druhý vstup zapojení, připojitelný na aritmetickou a logickou jednotku, nastavovací vstup dvacátého šestého klopného obvodu typu D je připojen přes dvacátý pátý odpor na kladný pól zdroje elektrické energie a tvoří současně osmý vstup zapojení, připojitelný na snímač magnetických štítků, základní vstup dvacátého šestého klopného obvodu typu D je připojen na nulový potenciál, kdežto jeho jedničkový výstup je připojen na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně osmý výstup zapojení, připojitelný na snímač magnetických štítků, výstup čtyřicátého devátého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup šestnáctého třívstupového obvodu typu negace logického součinu a tvoří současně devátý výstup zapojení, připojitelný na displej, výstup šestnáctého třívstupového obvodu typu negace logického součinu je připojen na druhý vstup čtyřicátého devátého dvouvstupového obvodu typu negace logického součinu a na první vstup patnáctého dvouvstupového obvodu typu negace logického součinu, třetí vstup šestnáctého třívstupového obvodu typu negace logického součinu tvoří současně desátý vstup zapojení, připojitelný na displej, výstup padesátého druhého dvouvstupového obvodu typu negace logického součinu tvoří současně třináctý výstup zapojení, připojitelný na obvody indikace, výstup třicátého druhého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup třicátého osmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen přes třicátý pátý invertor na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup třicátého třetího dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup třicátého osmého dvouvstupového obvodu typu negace logického součinu a na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup třicátého šestého dvouvstupového obvodu typu negace logického součinu je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, třetí vstup prvního čtyřvstupového součtově součinného hradla je připojen na první vstup devátého čtyřvstupového součtově součinného hradla a tvoří současně čtvrtý vstup zapojení, připojitelný na procesor, třetí vstup druhého čtyřvstupového součtově součinného hradla je připojen na první vstup desátého čtyřvstupového součtově součinného hradla a tvoří současně třetí vstup zapojení, připojitelný na procesor, třetí vstup třetího čtyřvstupového součtově součinného hradla je připojen na první vstup jedenáctého čtyřvstupového součtově součinného hradla a tvoří současně druhý vstup zapojení, připojitelný na procesor, třetí vstup čtvrtého čtyřvstupového součtově součinného hradla je připojen na první vstup dvanáctého čtyřvstupového součtově součinného hradla a tvoří současně první vstup zapojení, připojitelný na procesor, první vstup prvního třívstupového obvodu typu negace logického součinu je připojen na čtvrtý vstup druhého čtyřvstupového obvodu typu negace logického součinu a tvoří současně šestý vstup zapojení, připojitelný na časový zdroj, výstup prvního třívstupového obvodu typu negace logického součinu je připojen na hodinové vstupy prvního až čtvrtého klopného obvodu typu D, první

213 298

vstup dvacátého třetího součtově součinnového hradla je připojen na třetí vstup pátého třívstupového obvodu typu negace logického součinu, na třetí vstup třetího čtyřvstupového obvodu typu negace logického součinu, na hodinové vstupy sedmáctého až dvacátého klopného obvodu typu D a tvoří současně pátý vstup zapojení, připojitelný na časový zdroj, výstup osmáctého čtyřvstupového součtově součinnového hradla je připojen na hodinové vstupy devátého až dvanáctého klopného obvodu typu D a přes třetí inverter na druhý vstup třináctého čtyřvstupového součtově součinnového hradla, jehož výstup je připojen na hodinové vstupy pátého až osmého klopného obvodu typu D a přes první inverter na třetí vstup prvního třívstupového obvodu typu negace logického součinu, výstup prvního čtyřvstupového součtově součinnového hradla je připojen na základní vstup prvního klopného obvodu typu D, jehož jedničkový výstup je připojen na třetí vstup pátého čtyřvstupového součtově součinnového hradla a na čtvrtý vstup prvního čtyřvstupového obvodu typu negace logického součinu, kdežto jeho nulový výstup je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup druhého čtyřvstupového součtově součinnového hradla je připojen na základní vstup druhého klopného obvodu typu D, jehož jedničkový výstup je připojen na třetí vstup šestého čtyřvstupového součtově součinnového hradla a na třetí vstup prvního čtyřvstupového obvodu typu negace logického součinu, kdežto jeho nulový výstup je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup třetího čtyřvstupového součtově součinnového hradla je připojen na základní vstup třetího klopného obvodu typu D, jehož jedničkový výstup je připojen na třetí vstup sedmého čtyřvstupového součtově součinnového hradla a na druhý vstup prvního čtyřvstupového obvodu typu negace logického součinu, kdežto jeho nulový výstup je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup čtvrtého čtyřvstupového součtově součinnového hradla je připojen na základní vstup čtvrtého klopného obvodu typu D, jehož jedničkový výstup je připojen na třetí vstup osmého čtyřvstupového součtově součinnového hradla a na první vstup prvního čtyřvstupového obvodu typu negace logického součinu, kdežto jeho nulový výstup je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup prvního čtyřvstupového obvodu typu negace logického součinu tvoří současně pátý výstup zapojení, připojitelný na klávesnici, první vstup pátého čtyřvstupového součtově součinnového hradla je připojen jednak přes první odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup pátého klopného obvodu typu D, jehož jedničkový výstup je připojen na čtvrtý vstup devátého čtyřvstupového součtově součinnového hradla a na vstupní a výstupní sběrnici pro připojení periferních zařízení, první vstup šestého čtyřvstupového součtově součinnového hradla je připojen jednak přes druhý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup šestého klopného obvodu typu D, jehož jedničkový výstup je připojen na čtvrtý vstup čtyřvstupového součtově součinnového hradla a na vstupní a výstupní sběrnici pro připojení periferních zařízení, první vstup sedmého čtyřvstupového součtově součinnového hradla je připojen jednak přes třetí odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup sedmého klopného obvodu typu D, jehož výstup

je připojen na čtvrtý vstup jedenáctého čtyřvstupového součtové součinného hradla a na vstupní a výstupní sběrnici pro připojení periferních zařízení, první vstup osmého čtyřvstupového součtové součinného hradla je připojen jednak přes čtyřicátý sedmý inverter na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, jednak přes čtvrtý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup osmého klopného obvodu typu D, jehož jedničkový výstup je připojen na čtvrtý vstup dvanáctého čtyřvstupového součtové součinného hradla a na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup devátého čtyřvstupového součtové součinného hradla je připojen na třetí vstup čtrnáctého čtyřvstupového součtové součinného hradla, jehož výstup je připojen na základní vstup devátého klopného obvodu typu D, jedničkový výstup devátého klopného obvodu typu D je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto nulový výstup je připojen na třetí vstup devatenáctého čtyřvstupového součtové součinného hradla, první vstup čtrnáctého součtové součinného hradla je připojen jednak přes pátý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup desátého čtyřvstupového součtové součinného hradla je připojen na třetí vstup patnáctého čtyřvstupového součtové součinného hradla, jehož výstup je připojen na základní vstup desátého klopného obvodu typu D, jedničkový výstup desátého klopného obvodu typu D je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho nulový výstup je připojen na třetí vstup dvacátého čtyřvstupového součtové součinného hradla, první vstup patnáctého čtyřvstupového součtové součinného hradla je připojen jednak přes šestý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup jedenáctého čtyřvstupového součtové součinného hradla je připojen na třetí vstup šestnáctého čtyřvstupového součtové součinného hradla, jehož výstup je připojen na základní vstup jedenáctého klopného obvodu typu D, jedničkový výstup jedenáctého klopného obvodu typu D je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho nulový výstup je připojen na třetí vstup dvacátého prvního čtyřvstupového součtové součinného hradla, první vstup šestnáctého čtyřvstupového součtové součinného hradla je připojen jednak přes sedmý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup dvanáctého čtyřvstupového součtové součinného hradla je připojen na třetí vstup sedmnáctého čtyřvstupového součtové součinného hradla, jehož výstup je připojen na základní vstup dvanáctého klopného obvodu typu D, jedničkový výstup dvanáctého klopného obvodu typu D je připojen na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho nulový výstup je připojen na třetí vstup dvacátého druhého čtyřvstupového součtové součinného hradla, první vstup sedmnáctého čtyřvstupového součtové součinného hradla je připojen jednak přes osmý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, první vstup devatenáctého čtyřvstupového součtové součinného hradla je připojen jednak přes devátý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup třináctého klopného obvodu typu D, jehož jedničkový výstup je připojen na první vstup šestého dvouvstupového obvodu typu negace logického

součinu, na základní vstup sedmáctého klopného obvodu typu D a na vstupní a výstupní sběrnici pro připojení periferních zařízení, první vstup dvacátého čtyřvstupového součtově součinného hradla je připojen jednak přes desátý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho výstu je připojen na základní vstup čtrnáctého klopného obvodu typu D, jehož jedničkový výstup je připojen na první vstup pátého dvouvstupového obvodu typu negace logického součinu, na základní vstup osmnáctého klopného obvodu typu D a na vstupní a výstupní sběrnici pro připojení periferních zařízení, první vstup dvacátého prvního čtyřvstupového součtově součinného hradla je připojen jednak přes jedenáctý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup patnáctého klopného obvodu typu D, jehož jedničkový výstup je připojen na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, na základní vstup devatenáctého klopného obvodu typu D a na vstupní a výstupní sběrnici pro připojení periferních zařízení, první vstup dvacátého druhého čtyřvstupového součtově součinného hradla je připojen jednak přes dvanáctý odpor na kladný pól zdroje elektrické energie, jednak na vstupní a výstupní sběrnici pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup šestnáctého klopného obvodu typu D, jehož jedničkový výstup je připojen na první vstup třetího dvouvstupového obvodu typu negace logického součinu, na základní vstup dvacátého klopného obvodu typu D a na vstupní a výstupní sběrnici pro připojení periferních zařízení, výstup třetího dvouvstupového obvodu typu negace logického součinu tvoří současně první výstup zapojení, připojitelný na procesor, výstup čtvrtého dvouvstupového obvodu typu negace logického součinu tvoří současně druhý výstup zapojení, připojitelný na procesor, výstup pátého dvouvstupového obvodu typu negace logického součinu tvoří současně třetí výstup zapojení, připojitelný na procesor, výstup šestého dvouvstupového obvodu typu negace logického součinu tvoří současně čtvrtý výstup zapojení, připojitelný na procesor, jedničkový výstup sedmáctého klopného obvodu typu D je připojen na první vstup prvního čtyřvstupového součtově součinného hradla, jedničkový výstup osmnáctého klopného obvodu typu D je připojen na první vstup druhého čtyřvstupového součtově součinného hradla, jedničkový výstup devatenáctého klopného obvodu typu D a je připojen na první vstup třetího čtyřvstupového součtově součinného hradla, jedničkový výstup dvacátého klopného obvodu typu D je připojen na první vstup čtvrtého čtyřvstupového součtově součinného hradla.

Zapojením řídicích obvodů vstupu a výstupu pro inteligentní terminál podle vynálezu se dosáhne toho, že s použitím minimálního počtu běžných číslicových obvodů malé nebo střední integrace jsou realizovány všechny řídicí funkce, potřebné pro řízení vnitřních i vnějších periferních zařízení, velitelně připojovaných k inteligentnímu terminálu. Vnitřní periferní zařízení, to je snímač magnetických štítků, zobrazovací jednotka, klávesnice a obvody indikace, jsou navíc řízeny tak, aby jejich vnitřní struktura mohla být maximálně zjednodušena tím, že pro přenos dat stačí vyrovnávací paměť na jeden znak. Vnější periferní zařízení mohou být připojována v libovolné konfiguraci s možností využití přerušování centrálního procesoru prostřednictvím obvodů vstupu a výstupu. Uvedených vlastností je dosaženo tím, že veškeré řídicí funkce vnitřních i vnějších periferních zařízení jsou prováděny pomocí společných obvodů, ve kterých probíhá jak přenos informací mezi jakýmkoliv periferním zařízením a ří-

dicí jednotkou, tak i přenos řídicích signálů prostřednictvím společné vstupní a výstupní sběrnice, což přináší mnohonásobné využití všech obvodů zapojení.

Zapojení řídicích obvodů vstupu a výstupu pro inteligentní terminál podle vynálezu je znázorněno na připojených výkresech, na nichž obr. 1 představuje blokové schéma zapojení, obr. 2a až 2d schéma zapojení vstupního a výstupního registru, obr. 3a až 3f schéma zapojení vstupního a výstupního řadiče, obr. 4 skladbu mikroinstrukce a obr. 5 časový diagram časové ho zdroje.

Zapojení řídicích obvodů vstupu a výstupu pro inteligentní terminál podle vynálezu se skládá ze vstupního a výstupního registru VVREG, vstupního a výstupního řadiče VVRAD a vstupní a výstupní sběrnice VVS (obr.1). Obvody, na které jsou připojeny vstupy a výstupy uvedených řídicích obvodů, to je časový zdroj, klávesnice, procesor, snímač magnetických štítků, displej, obvody indikace, obvody ručního ovládání, aritmetická a logická jednotka, nulevací obvod a řídicí jednotka mikroprocesoru, nejsou znázorněny.

První vstup 91 klopného obvodu KCFS typu J-K pro nastavení do stavu logické 1 pro signál TLDOR je připojen na první vstup devátého třívstupového obvodu NST9 typu negace logického součinu a tvoří současně dvacátý šestý vstup 026 zapojení, připojitelný na neznázorněný časový zdroj (obr. 2a až 2d, 3a až 3f). Druhý vstup 92 klopného obvodu KCFS typu J-K pro nastavení do stavu logické 1 pro signál HDOT2 je připojen na třetí vstup 93 klopného obvodu KCFS typu J-K pro nastavení do stavu logické 1 a tvoří současně dvacátý sedmý vstup 027 zapojení, připojitelný na časový zdroj. Hodinový vstup 232 dvacátého třetího klopného obvodu KCDC1 typu D pro signál T5B je připojen přes sedmý invertor INV7 na hodinový vstup 95 klopného obvodu KCFS typu J-K a na první vstup osmého dvouvstupového obvodu NSD8 typu negace logického součinu a tvoří současně dvacátý třetí vstup 023 zapojení, připojitelný na časový zdroj. Nulevací vstup 99 klopného obvodu KCFS typu J-K pro signál NUL je připojen na druhý vstup čtyřicátého čtvrtého dvouvstupového obvodu NSD44 typu negace logického součinu, na druhý vstup jedenáctého třívstupového obvodu NST11 typu negace logického součinu, na druhý vstup patnáctého třívstupového obvodu NST15 typu negace logického součinu, na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení a tvoří současně dvacátý osmý vstup 028 zapojení, připojitelný na neznázorněný nulevací obvod. Jedničkový výstup 091 klopného obvodu KCFS typu J-K pro signál CFS je připojen na první vstup dvanáctého dvouvstupového obvodu NSD12 typu negace logického součinu, na nulevací vstup 213 dvacátého prvního klopného obvodu KCFO typu D a na nulevací vstup 223 dvacátého druhého klopného obvodu KCF1 typu D. Nulevý výstup 092 klopného obvodu KCFS typu J-K pro signál CFS je připojen přes šestý invertor INV6 na nulevací vstup 233 dvacátého třetího klopného obvodu KCDC1 typu D a na nulevací vstup 243 dvacátého čtvrtého klopného obvodu KCDC2 typu D. Jedničkový výstup 2101 dvacátého prvního klopného obvodu KCFO pro signál CFO je připojen na první a druhý vstup druhého čtyřvstupového obvodu NSC2 typu negace logického součinu, na první vstup pátého třívstupového obvodu NST5 typu negace logického součinu, na první vstup devátého dvouvstupového obvodu NSD9 typu negace logického součinu, na druhý vstup padesátého čtvrtého dvouvstupového obvodu NSD54 typu negace logického součinu a na základní vstup 221 dvacátého druhého klopného obvodu KCF1 typu D. Nulevý výstup 2102 dvacátého prvního klopného obvodu KCFO typu D pro signál CFO je připojen na první vstup třetího čtyřvstupového obvodu NSC3 typu negace logického součinu a na první a druhý vstup 96,97 klopného obvodu

KCFS typu J-K pro nastavení do stavu logické 0. Jedničkový výstup 2201 dvacátého druhého klopného obvodu KCF1 typu D pro signál CFl je připojen na třetí vstup 98 klopného obvodu KCFS typu J-K pro nastavení do stavu logické 0, na druhý vstup pátého třívstupového obvodu NST5 typu negace logického součinu a na druhý vstup třetího čtyřvstupového obvodu NSC3 typu negace logického součinu. Nulový výstup 2202 dvacátého druhého klopného obvodu KCF1 typu D pro signál CFl je připojen na základní vstup 211 dvacátého prvního klopného obvodu KCFO typu D, na druhý vstup devátého dvouvstupového obvodu NSD9 typu negace logického součinu a na třetí vstup druhého čtyřvstupového obvodu NSC2 typu negace logického součinu. Nulový výstup 2302 dvacátého třetího klopného obvodu KCDC1 typu D je připojen na základní vstup 231 dvacátého třetího klopného obvodu KCDC1 typu D, na hodinový vstup 242 dvacátého čtvrtého klopného obvodu KCDC2 typu D a na první vstup šestnáctého dvouvstupového obvodu NSD16 typu negace logického součinu, jehož výstup pro signál CDCZ je připojen na druhý vstup sedmého dvouvstupového obvodu NSD7 typu negace logického součinu. Jedničkový výstup 2401 dvacátého čtvrtého klopného obvodu KCDC2 typu D je připojen na první vstup sedmnáctého dvouvstupového obvodu NSD17 typu negace logického součinu, jehož výstup je připojen na druhý vstup šestnáctého dvouvstupového obvodu NSD16 typu negace logického součinu. Nulový výstup 2402 dvacátého čtvrtého klopného obvodu KCDC2 typu D je připojen na základní vstup 241 dvacátého čtvrtého klopného obvodu KCDC2 typu D. Výstup devátého dvouvstupového obvodu NSD9 typu negace logického součinu pro signál F1 je připojen na druhý vstup dvanáctého dvouvstupového obvodu NSD12 typu negace logického součinu a na vstup osmého invertoru INV8, jehož výstup pro signál F1 je připojen na první vstup sedmého dvouvstupového obvodu NSD7 typu negace logického součinu, na první vstup třináctého dvouvstupového obvodu NSD13 typu negace logického součinu, na první vstup čtrnáctého dvouvstupového obvodu NSD14 typu negace logického součinu a tvoří současně devatenáctý výstup 0019 zapojení, připojitelný na neznázorněnou řídící jednotku mikroprocesoru. Výstup sedmého dvouvstupového obvodu NSD7 typu negace logického součinu je připojen na druhý vstup osmého dvouvstupového obvodu NSD8 typu negace logického součinu, jehož výstup je připojen na hodinový vstup 212 dvacátého prvního klopného obvodu KCFO typu D a na hodinový vstup 222 dvacátého druhého klopného obvodu KCF1 typu D. Vstup 111 prvního bitu kódu prvního dekodéru LDK4:10 pro signál Q14 tvoří současně dvacátý vstup 020 zapojení, připojitelný na neznázorněný procesor, kdežto jeho vstup 112 druhého bitu kódu pro signál Q15 tvoří současně dvacátý první vstup 021 zapojení, připojitelný na procesor a jeho vstup 113 třetího bitu kódu pro signál Q0 tvoří současně třináctý vstup 013 zapojení, připojitelný na procesor, přičemž jeho vstup 114 čtvrtého bitu kódu je připojen na nulový potenciál. První výstup 1 prvního dekodéru LDK4:10 je připojen na vstup devátého invertoru INV9, jehož výstup pro signál VVD1 je připojen na první vstup osmého třívstupového obvodu NST8 typu negace logického součinu. Druhý výstup 2 prvního dekodéru LDK4:10 je připojen na vstup desátého invertoru INV10, jehož výstup je připojen na třetí vstup dvacátého čtvrtého čtyřvstupového součtově součinného hradla SSHC24. Třetí výstup 3 prvního dekodéru LDK4:10 je připojen na vstup jedenáctého invertoru INV11, jehož výstup pro signál VVD3 je připojen na první vstup dvacátého čtvrtého čtyřvstupového součtově součinného hradla SSHC24. Čtvrtý výstup 4 prvního dekodéru LDK4:10 je připojen na první vstup druhého třívstupového obvodu NST2 typu negace logického součinu, jehož výstup pro signál VVD456 je připojen na druhý vstup jedenáctého dvouvstupového obvodu NSD 11 typu

negace logického součinu a přes pátý invertor INV5 na první vstup pedesátého čtvrtého dvou-
vstupového obvodu NSD54 typu negace logického součinu, jehož výstup je připojen na nastave-
vací vstup 224 dvacátého druhého klopného obvodu KCF1 typu D. Pátý výstup 5 prvního dekodéru
1DK4:10 pro signál VVD5 je připojen na druhý vstup druhého třívstupového obvodu NST2 typu ne-
gace logického součinu a na druhý vstup třináctého dvouvstupového obvodu NSD13 typu negace
logického součinu, jehož výstup pro signál TIDOR(V) tvoří současně dvacátý první výstup 0021
zapejení, připojitelný na časový zdroj. Šestý výstup 6 prvního dekodéru 1DK4:10 je připojen na
třetí vstup druhého třívstupového obvodu NST2 typu negace logického součinu. Sedmý výstup 7
prvního dekodéru 1DK4:10 pro signál VVD6 je připojen na druhý vstup čtrnáctého dvouvstupového
obvodu NSD14 typu negace logického součinu a na vstup dvanáctého invertoru INV12, jehož výstup
pro signál VVD7 je připojen na první vstup šestého třívstupového obvodu NST6 typu negace logic-
kého součinu a na první vstup sedmého třívstupového obvodu NST7 typu negace logického součinu.
Vstup 121 prvního bitu kódu druhého dekodéru 2DK4:10 pro signál Q8 tvoří současně šestnáctý
vstup 016 zapejení, připojitelný na procesor, kdežto jeho vstup 122 druhého bitu kódu pro
signál Q9 tvoří současně sedmnáctý vstup 017 zapejení, připojitelný na procesor a jeho vstup
123 třetího bitu kódu pro signál Q10 tvoří současně osmnáctý vstup 018 zapejení, připojitelný
na procesor, přičemž jeho vstup 124 čtvrtého bitu kódu pro signál Q11 tvoří současně devatenáctý
vstup 019 zapejení, připojitelný na procesor. První výstup 10 druhého dekodéru 2DK4:10 pro sig-
nál v=0 je připojen na třetí vstup čtvrtého třívstupového obvodu NST4 typu negace logického
součinu a na vstup třináctého invertoru INV13, jehož výstup pro signál v=0 je připojen na
první vstup prvního dvouvstupového obvodu NSK1 typu negace logického součinu s otevřeným ko-
lektorem, na druhý vstup osmnáctého dvouvstupového obvodu NSD18 typu negace logického sou-
činu, na druhý vstup třicátého třetího dvouvstupového obvodu NDS33 typu negace logického sou-
činu a na čtvrtý vstup dvacátého pátého čtyřvstupového součtově součinného hradla SSH25,
jehož výstup je připojen na nastavovací vstup 254 dvacátého pátého klopného obvodu KRBIT typu
D. Druhý výstup 20 druhého dekodéru 2DK4:10 je připojen na vstup čtrnáctého invertoru INV14,
jehož výstup pro signál v=1 je připojen na první vstup druhého dvouvstupového obvodu NSK2
typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého čtvrtého dvou-
vstupového obvodu NSD24 typu negace logického součinu a na první vstup dvacátého pátého dvou-
vstupového obvodu NSD25 typu negace logického součinu, jehož výstup pro signál OVFR tvoří sou-
časně šestnáctý výstup 0016 zapejení, připojitelný na neznámou aritmetickou jednotku a
logickou jednotku. Třetí výstup 30 druhého dekodéru 2DK4:10 je připojen na vstup patnáctého
invertoru INV15, jehož výstup pro signál v=2 je připojen na první vstup třetího dvouvstupového
obvodu NSK3 typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého
druhého dvouvstupového obvodu NSD22 typu negace logického součinu, na první vstup dvacátého
třetího dvouvstupového obvodu NSD23 typu negace logického součinu, na druhý vstup třicátého
čtvrtého dvouvstupového obvodu NSD34 typu negace logického součinu a na druhý vstup čtyřicá-
tého sedmého dvouvstupového obvodu NSD47 typu negace logického součinu, jehož výstup je při-
pojen přes čtyřicátý pátý invertor INV45 na hodinový vstup 262 dvacátého šestého klopného
obvodu KX02 typu D. Čtvrtý výstup 40 druhého dekodéru 2DK4:10 je připojen na vstup šestnácté-
ho invertoru INV16, jehož výstup pro signál v=3 je připojen na první výstup čtvrtého dvou-
vstupového obvodu NSK4 typu negace logického součinu s otevřeným kolektorem, na druhý vstup

dvacátého šestého dvou vstupového obvodu NSD26 typu negace logického součinu a na druhý vstup dvacátého osmého dvou vstupového obvodu NSD28 typu negace logického součinu, jehož výstup je připojen na třetí vstup patnáctého tří vstupového obvodu NST15 typu negace logického součinu. Pátý výstup 50 druhého dekodéru 2DK4:10 je připojen na druhý vstup třetího tří vstupového obvodu NST3 typu negace logického součinu a na vstup sedmnáctého invertoru INV17, jehož výstup pro signál $v=4$ je připojen na první vstup pátého dvou vstupového obvodu NSK5 typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého devátého dvou vstupového obvodu NSD29 typu negace logického součinu a na druhý vstup čtyřicátého osmého dvou vstupového obvodu NSD48 typu negace logického součinu, jehož výstup je připojen na první vstup čtyřicátého devátého dvou vstupového obvodu NSD49 typu negace logického součinu. Šestý výstup 60 druhého dekodéru 2DK4:10 je připojen na vstup osmnáctého invertoru INV18, jehož výstup pro signál $v=5$ je připojen na první vstup šestého dvou vstupového obvodu NSK6 typu negace logického součinu s otevřeným kolektorem, na druhý vstup padesátého dvou vstupového obvodu NSD50 typu negace logického součinu a na první vstup padesátého prvního dvou vstupového obvodu NSD51 typu negace logického součinu, jehož výstup je připojen na druhý vstup padesátého druhého dvou vstupového obvodu NSD52 typu negace logického součinu. Sedmý výstup 70 druhého dekodéru 2DK4:10 je připojen na první vstup třetího tří vstupového obvodu NST3 typu negace logického součinu, na druhý vstup desátého dvou vstupového obvodu NSD10 typu negace logického součinu, na druhý vstup čtvrtého tří vstupového obvodu NST4 typu negace logického součinu a na vstup devatenáctého invertoru INV19, jehož výstup pro signál $v=6$ je připojen na první vstup sedmého dvou vstupového obvodu NSK7 typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého prvního dvou vstupového obvodu NSD21 typu negace logického součinu, na druhý vstup třicátého druhého dvou vstupového obvodu NSD32 typu negace logického součinu, na první vstup padesátého třetího dvou vstupového obvodu NSD53 typu negace logického součinu a na druhý vstup prvního až čtvrtého čtyř vstupového součtové součinnového hradla SSHC1 až SSHC4. Osmý výstup 80 druhého dekodéru 2DK4:10 je připojen na třetí vstup třetího tří vstupového obvodu NST3 typu negace logického součinu, na první vstup desátého dvou vstupového obvodu NSD10 typu negace logického součinu, na první vstup čtvrtého tří vstupového obvodu NST4 typu negace logického součinu a na vstup dvacátého invertoru INV20, jehož výstup pro signál $v=7$ je připojen na čtvrté vstupy prvního až čtvrtého čtyř vstupového součtové součinnového hradla SSHC1 až SSHC4. Devátý výstup 90 druhého dekodéru 2DK4:10 je připojen na vstup dvacátého prvního invertoru INV21, jehož výstup pro signál $v=8$ je připojen na druhý vstup třicátého pátého dvou vstupového obvodu NSD35 typu negace logického součinu, jehož výstup pro signál STCS je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Desátý výstup 100 druhého dekodéru 2DK4:10 je připojen na vstup dvacátého druhého invertoru INV22, jehož výstup pro signál $v=9$ je připojen na druhý vstup třicátého šestého dvou vstupového obvodu NSD36 typu negace logického součinu a na první vstup třicátého sedmého dvou vstupového obvodu NSD37 typu negace logického součinu, jehož výstup pro signál CLF9 je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup třetího tří vstupového obvodu NST3 typu negace logického součinu pro signál $v=4,6,7$ je připojen na druhý vstup dvacátého dvou vstupového obvodu NSD20 typu negace logického součinu, jehož výstup je připojen na třetí vstup jedenáctého tří vstupového obvodu NST11 typu negace logického součinu. Výstup desátého dvou vstupového obvodu NSD10

typu negace logického součinu pro signál $v = 6, 7$ je připojen na druhý vstup prvního dvou-
vstupového obvodu NSD1 typu negace logického součinu na druhý vstup sedmnáctého dvouvstupu-
vého obvodu NSD17 typu negace logického součinu a na druhý vstup druhého dvouvstupového ob-
vodu NSD2 typu negace logického součinu, jehož výstup je připojen na druhé vstupy devátého
až dvanáctého čtyřvstupového součtové součinného hradla SSHC9 až SSHC12 a přes druhý inver-
ter INV2 jednak na třetí vstupy devátého až dvanáctého čtyřvstupového součtové součinného
hradla SSHC9 až SSHC12, jednak na první vstup třináctého čtyřvstupového součtové součinného
hradla SSHC13 a na druhý vstup prvního třívstupového obvodu NST1 typu negace logického sou-
činu. Výstup čtvrtého třívstupového obvodu NST4 typu negace logického součinu pro signál $v=0$,
6, 7 je připojen na druhý vstup dvacátého pátého čtyřvstupového součtové součinného hradla
SSHC25 a na první vstup devatenáctého dvouvstupového obvodu NSD19 typu negace logického
součinu, jehož výstup je připojen na první vstup čtyřicátého čtvrtého dvouvstupového obvodu
NSD44 typu negace logického součinu. Výstup dvanáctého dvouvstupového obvodu NSD12 typu ne-
gace logického součinu pro signál HPOV(VV) tvoří současně sedmnáctý výstup 0017 zapojení,
připojitelný na časový zdroj. Výstup čtrnáctého dvouvstupového obvodu NSD14 typu negace lo-
gického součinu je připojen na vstup dvacátého čtvrtého invertoru INV24, jehož výstup pro
signál VDOS je připojen na druhé vstupy třetího až šestého dvouvstupového obvodu NSD3 až
NSD6 typu negace logického součinu. Výstup druhého čtyřvstupového obvodu NSC2 typu negace
logického součinu pro signál FLV je připojen na druhé vstupy pátého až osmého čtyřvstupového
součtové součinného hradla SSHC5 až SSHC8, na druhé vstupy čtrnáctého až sedmnáctého čtyř-
vstupového součtové součinného hradla SSHC14 až SSHC17, na druhé vstupy devatenáctého až
dvacátého druhého součtové součinného hradla SSHC19 až SSHC22 a na vstup dvacátého šestého
invertoru INV26, jehož výstup pro signál PLV je připojen na první vstup druhého dvouvstupu-
vého obvodu NSD2 typu negace logického součinu, na čtvrté vstupy pátého až osmého, čtrnácté-
ho až sedmnáctého a devatenáctého až dvacátého druhého čtyřvstupového součtové součinného
hradla SSHC5 až SSHC8, SSHC14 až SSHC17 a SSHC19 až SSHC22, na třetí vstup osmnáctého čtyř-
vstupového součtové součinného hradla SSHC18 a na druhý vstup dvacátého třetího čtyřvstupu-
vého součtové součinného hradla SSHC23. Výstup pátého třívstupového obvodu NST5 typu negace
logického součinu je připojen na vstup dvacátého sedmého invertoru INV27, jehož výstup pro
signál F2TB je připojen na první vstup jedenáctého dvouvstupového obvodu NSD11 typu negace
logického součinu, na druhý vstup padesátého pátého dvouvstupového obvodu NSD55 typu negace
logického součinu, na druhý vstup šestého třívstupového obvodu NST6 typu negace logického
součinu, na druhý vstup sedmého třívstupového obvodu NST7 typu negace logického součinu a na
druhý vstup osmého třívstupového obvodu NST8 typu negace logického součinu, jehož výstup je
připojen na vstup třicátého invertoru INV30, jehož výstup pro signál IMPC je připojen na
první vstup dvacátého prvního dvouvstupového obvodu NSD21 typu negace logického součinu, na
první vstup osmnáctého dvouvstupového obvodu NSD18 typu negace logického součinu, na druhý
vstup dvacátého třetího dvouvstupového obvodu NSD23 typu negace logického součinu a na první
vstup dvacátého čtvrtého dvouvstupového obvodu NSD24 typu negace logického součinu, jehož výstup
pro signál OVFS tvoří současně patnáctý výstup 0015 zapojení, připojitelný na aritmetickou
a logickou jednotku. Výstup šestého třívstupového obvodu NST6 typu negace logického součinu

je připojen na vstup dvacátého osmého invertoru INV28, jehož výstup pro signál IMPA je připojen na první vstup dvacátého druhého dvouvstupového obvodu NSD22 typu negace logického součinu, na první vstup dvacátého šestého dvouvstupového obvodu NSD26 typu negace logického součinu, na první vstup třicátého pátého dvouvstupového obvodu NSD35 typu negace logického součinu, na první vstup třicátého šestého dvouvstupového obvodu NSD36 typu negace logického součinu, na první vstup dvacátého devátého dvouvstupového obvodu NSD29 typu negace logického součinu, na první vstup dvacátého pátého čtyřvstupového součtové součinného hradla SSHC25 a na druhý vstup padesátého třetího dvouvstupového obvodu NSD53 typu negace logického součinu, jehož výstup pro signál R05 tvoří současně dvanáctý výstup O012 zapojení, připojitelný na obvody indikace. Výstup sedmého třívstupového obvodu NST7 typu negace logického součinu je připojen na vstup dvacátého devátého invertoru INV29, jehož výstup pro signál IMPB je připojen na první vstup třicátého druhého dvouvstupového obvodu NSD32 typu negace logického součinu, na první vstup třicátého třetího dvouvstupového obvodu NSD33 typu negace logického součinu a na první vstup třicátého čtvrtého dvouvstupového obvodu NSD34 typu negace logického součinu, jehož výstup pro signál CLC2 je připojen na vstupní a výstupní sběrnici VVS pro připojení periferního zařízení. Výstup třetího čtyřvstupového obvodu NSC3 typu negace logického součinu je připojen na vstup třicátého prvního invertoru INV31, jehož výstup pro signál IMPD je připojen na druhý vstup devatenáctého dvouvstupového obvodu NSD19 typu negace logického součinu, na první vstup dvacátého dvouvstupového obvodu NSD20 typu negace logického součinu, na druhý vstup dvacátého pátého dvouvstupového obvodu NSD25 typu negace logického součinu, na první vstup dvacátého osmého dvouvstupového obvodu NSD28 typu negace logického součinu, na druhý vstup třicátého sedmého dvouvstupového obvodu NSD37 typu negace logického součinu, na první vstup čtyřicátého sedmého dvouvstupového obvodu NSD47 typu negace logického součinu, na druhý vstup padesátého prvního dvouvstupového obvodu NSD51 typu negace logického součinu a na první vstup prvního dvouvstupového obvodu NSD1 typu negace logického součinu, jehož výstup je připojen na nastavevací vstupy 14, 24, 24, 44 prvního až čtvrtého klopného obvodu KV(15), KV(14), KV(13), KV(12). Výstup dvacátého čtvrtého čtyřvstupového součtové součinného hradla SSHC24 je připojen přes třicátý druhý inverter INV32 na první vstup padesátého pátého dvouvstupového obvodu NSD55 typu negace logického součinu, jehož výstup pro signál PNSSI tvoří současně čtrnáctý výstup O014 zapojení, připojitelný na aritmetickou a logickou jednotku. Výstupy prvního až sedmého dvouvstupového obvodu NSK1 až NSK7 typu negace logického součinu s otevřeným kolektorem jsou spojeny a připojeny jednak přes čtrnáctý odpor R14 na kladný pól + zdroje elektrické energie, jednak na čtvrtý vstup dvacátého čtvrtého čtyřvstupového součtové součinného hradla SSHC24, jednak přes dvacátý pátý inverter INV25 na druhý vstup dvacátého čtvrtého čtyřvstupového součtové součinného hradla SSHC24. Výstup jedenáctého dvouvstupového obvodu NSD11 typu negace logického součinu je připojen na vstup dvacátého třetího invertoru INV23, jehož výstup pro signál F2TB456 je připojen na třetí vstup dvacátého pátého čtyřvstupového součtové součinného hradla SSHC25, na první vstup čtyřicátého osmého dvouvstupového obvodu NSD48 typu negace logického součinu a na první vstup padesátého dvouvstupového obvodu NSD50 typu negace logického součinu, jehož výstup je připojen na první vstup padesátého druhého dvouvstupového obvodu NSD52 typu negace logického součinu. Výstup patnáctého dvouvstupového obvodu NSD15 typu negace logického

součinu je připojen na druhý vstup pátého dvouvstupového obvodu NSK5 typu negace logického součinu s otevřeným kolektorem. Druhý vstup šestého dvouvstupového obvodu NSK6 typu negace logického součinu s otevřeným kolektorem pro signál XQM je připojen přes třináctý odpor R13 na kladný pól + zdroje elektrické energie a tvoří současně dvanáctý vstup 012 zapojení, připojitelný na obvody ručního ovládání. Vstup čtyřicátého čtvrtého invertoru INV44 pro signál KSTOP je připojen na druhý vstup prvního dvouvstupového obvodu NSK1 typu negace logického součinu s otevřeným kolektorem, na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení a tvoří současně sedmý vstup 07 zapojení, připojitelný na klávesnici. Výstup čtyřicátého čtvrtého invertoru INV44 pro signál KSTOP je připojen přes osmnáctý odpor R18 na kladný pól + zdroje elektrické energie a na první vstup třicátého devátého dvouvstupového obvodu NSD39 typu negace logického součinu, jehož výstup je připojen na první vstup dvanáctého třívstupového obvodu NST12 typu negace logického součinu. Výstup osmnáctého dvouvstupového obvodu NSD18 typu negace logického součinu je připojen na první vstup desátého třívstupového obvodu NST10 typu negace logického součinu, jehož výstup pro signál PREB je připojen na první vstup jedenáctého třívstupového obvodu NST11 typu negace logického součinu, na druhý vstup devátého dvouvstupového obvodu NSD39 typu negace logického součinu, na druhý vstup sedmého dvouvstupového obvodu NSK7 typu negace logického součinu s otevřeným kolektorem a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Vstup třicátého třetího invertoru INV33 pro signál $\bar{P}$ je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, přes patnáctý odpor R15 na kladný pól + zdroje elektrické energie a přes šestnáctý odpor R16 na nulový potenciál. Výstup třicátého třetího invertoru INV33 je připojen na první vstup čtyřicátého dvouvstupového obvodu NSD40 typu negace logického součinu, na druhý vstup třináctého třívstupového obvodu NST13 typu negace logického součinu a na druhý vstup dvanáctého třívstupového obvodu NST12 typu negace logického součinu, jehož výstup pro signál PRER je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení a tvoří současně dvacátý výstup 0020 zapojení, připojitelný na řídicí jednotku mikroprocesoru. Výstup jedenáctého třívstupového obvodu NST11 typu negace logického součinu je připojen na třetí vstup desátého třívstupového obvodu NST10 typu negace logického součinu a na první vstup třináctého třívstupového obvodu NST13 typu negace logického součinu, jehož výstup pro signál XQ4R je jednak připojen na vstup třicátého šestého invertoru INV36 a na druhý vstup šestnáctého třívstupového obvodu NST16 typu negace logického součinu, jednak tvoří současně desátý výstup 0010 zapojení, připojitelný na displej. Výstup třicátého šestého invertoru INV36 je připojen přes první kondensátor G1 jednak na vstup třicátého sedmého invertoru INV37 jednak přes devatenáctý odpor R19 na nulový potenciál. Třicátý šestý a třicátý sedmý inverter INV36 a INV37, první kondensátor C1 a devatenáctý odpor R19 tvoří první monostabilní klopný obvod. Výstup třicátého sedmého invertoru INV37 je připojen na první vstup čtyřicátého druhého dvouvstupového obvodu NSD42 typu negace logického součinu, jehož výstup je připojen přes třetí kondensátor C3 jednak na druhý vstup čtyřicátého třetího dvouvstupového obvodu NSD43 typu negace logického součinu, jednak přes dvacátý první odpor R21 na nulový potenciál. Výstup čtyřicátého třetího dvouvstupového obvodu NSD43 typu negace logického součinu je připojen na druhý vstup čtyřicátého druhého dvouvstupového obvodu NSD42 typu negace logického součinu a na první vstup čtyřicátého pátého dvouvstupového

obvodu NSD45 typu negace logického součinu, jehož výstup pro signál V011S je připojen na vstup čtyřicátého invertoru INV40, na vstup čtyřicátého třetího invertoru INV43, na třetí a čtvrtý vstup třináctého čtyřvstupového součtové součinného hradla SSHC13, na první a druhý vstup osmnáctého čtyřvstupového součtové součinného hradla SSHC18 a na třetí a čtvrtý vstup dvacátého třetího čtyřvstupového součtové součinného hradla SSHC23, jehož výstup je připojen na hodinové vstupy 132, 142, 162 třináctého až šestnáctého klopného obvodu KV(3), KV(2), KV(1), KV(0) typu D a přes čtvrtý inverter INV4 na čtvrtý vstup osmnáctého čtyřvstupového součtové součinného hradla SSHC18. Výstup čtyřicátého třetího invertoru INV43 pro signál V011S tvoří současně osmnáctý výstup 0018 zapojení, připojitelný na řídicí jednotku mikroprocesoru. Výstup čtyřicátého dvouvstupového obvodu NSD40 typu negace logického součinu je připojen na třetí vstup dvanáctého třívstupového obvodu NST12 typu negace logického součinu, na třetí vstup třináctého třívstupového obvodu NST13 typu negace logického součinu a na první vstup čtyřicátého prvního dvouvstupového obvodu NSD41 typu negace logického součinu, jehož výstup je připojen na druhý vstup čtyřicátého dvouvstupového obvodu NSD40 typu negace logického součinu. Výstup devátého třívstupového obvodu NST9 typu negace logického součinu je připojen na druhý vstup desátého třívstupového obvodu NST10 typu negace logického součinu a na druhý vstup čtyřicátého prvního dvouvstupového obvodu NSD41 typu negace logického součinu. Druhý vstup devátého třívstupového obvodu NST9 typu negace logického součinu pro signál TLDOS tvoří současně dvacátý pátý vstup 025 zapojení, připojitelný na časový zdroj. Třetí vstup devátého třívstupového obvodu NST9 typu negace logického součinu pro signál TAKT tvoří současně dvacátý čtvrtý vstup 024 zapojení, připojitelný na časový zdroj. Výstup dvacátého prvního dvouvstupového obvodu NSD21 typu negace logického součinu je připojen na druhý vstup čtrnáctého třívstupového obvodu NST14 typu negace logického součinu, jehož první a třetí vstup jsou připojeny na kladný pól + zdroje elektrické energie a jehož výstup je připojen přes druhý kondensátor C2 jednak na vstup třicátého osmého invertoru INV38, jednak přes dvacátý odpor R20 na nulový potenciál. Druhý kondensátor C2, dvacátý odpor R20 a třicátý osmý inverter INV38 tvoří druhý monostabilní klopný obvod. Výstup třicátého osmého invertoru INV38 je připojen na první vstup čtyřicátého šestého dvouvstupového obvodu NSD46 typu negace logického součinu, jehož výstup je připojen přes čtvrtý kondensátor C4 jednak na vstup třicátého devátého invertoru INV39, jednak přes dvacátý druhý odpor R22 na nulový potenciál. Výstup třicátého devátého invertoru INV39 je připojen na druhý vstup čtyřicátého šestého dvouvstupového obvodu NSD46 typu negace logického součinu a na druhý vstup čtyřicátého pátého dvouvstupového obvodu NSD45 typu negace logického součinu. Čtyřicátý šestý dvouvstupový obvod NSD46 typu negace logického

součinu, čtvrtý kondensátor C4, dvacátý druhý odpor R22 a třicátý devátý inverter INV39 tvoří třetí monostabilní klopný obvod. První vstup čtyřicátého třetího dvouvstupového obvodu NSD43 typu negace logického součinu pro signál $\overline{QF}$ je připojen přes dvacátý čtvrtý odpor R24 na kladný pól + zdroje elektrické energie a tvoří současně jedenáctý vstup O11 zapojení, připojitelný na obvody ručního ovládání. Výstup čtyřicátého invertoru INV40 je připojen přes pátý kondensátor C5 jednak na vstup čtyřicátého prvního invertoru INV41, jednak přes dvacátý třetí odpor R23 na nulový potenciál. Čtyřicátý a čtyřicátý první inverter INV40 a INV41, pátý kondensátor C5 a dvacátý třetí odpor R23 tvoří čtvrtý monostabilní klopný obvod. Výstup čtyřicátého prvního invertoru INV41 je připojen na hodinový vstup 252 dvacátého pátého klopného obvodu KRBIT typu D, jehož základní vstup 251 je připojen na nulový potenciál a jehož jedničkový výstup 2501 pro signál RBIT je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup čtyřicátého čtvrtého dvouvstupového obvodu NSD44 typu negace logického součinu je připojen přes čtyřicátý druhý inverter INV42 na nulevací vstup 253 dvacátého pátého klopného obvodu KRBIT. Výstup dvacátého druhého dvouvstupového obvodu NSD22 typu negace logického součinu pro signál $\overline{v2S}$ tvoří současně šestý výstup 006 zapojení, připojitelný na snímač magnetických štítků. Výstup dvacátého třetího dvouvstupového obvodu NSD23 typu negace logického součinu pro signál $\overline{v2R}$ tvoří současně sedmý výstup 007 zapojení, připojitelný na snímač magnetických štítků. Výstup dvacátého šestého dvouvstupového obvodu NSD26 typu negace logického součinu je připojen na první vstup dvacátého sedmého dvouvstupového obvodu NSD27 typu negace logického součinu, jehož výstup je připojen na první vstup patnáctého třívstupového obvodu NST15 typu negace logického součinu. Výstup patnáctého třívstupového obvodu NST15 typu negace logického součinu pro signál RO3 je připojen na druhý vstup dvacátého sedmého dvouvstupového obvodu NSD27 typu negace logického součinu a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup dvacátého devátého dvouvstupového obvodu NSD29 typu negace logického součinu je připojen na první vstup třicátého dvouvstupového obvodu NSD30 typu negace logického součinu, jehož výstup je připojen na první vstup třicátého prvního dvouvstupového obvodu NSD31 typu negace logického součinu. Výstup třicátého prvního dvouvstupového obvodu NSD31 typu negace logického součinu pro signál R04 je připojen na druhý vstup třicátého dvouvstupového obvodu NSD30 typu negace logického součinu, na druhý vstup patnáctého dvouvstupového obvodu NSD15 typu negace logického součinu a tvoří současně jedenáctý výstup 0011 zapojení, připojitelný na displej. Druhý vstup třicátého prvního dvouvstupového obvodu NSD31 typu negace logického součinu pro signál KSN je připojen přes sedmnáctý odpor R17 na kladný pól + zdroje elektrické energie a tvoří současně devátý vstup O9 zapojení, připojitelný na displej. Čtvrtý vstup třetího čtyřvstupového obvodu NSC3 typu negace logického součinu pro signál Q1 je připojen na vstup třicátého čtvrtého invertoru INV34 a tvoří současně čtrnáctý vstup O14 zapojení, připojitelný na procesor. Výstup třicátého čtvrtého invertoru INV34 pro signál $\overline{Q1}$ je připojen na třetí vstup osmého třívstupového obvodu NST8 typu negace logického součinu. Čtvrtý vstup sedmého třívstupového obvodu NST7 typu negace logického součinu pro signál Q3 je připojen na vstup čtyřicátého šestého invertoru INV46 a tvoří současně patnáctý vstup O15 zapojení, připojitelný na procesor. Výstup čtyřicátého šestého invertoru INV46 pro signál $\overline{Q3}$ je připojen na třetí vstup šestého třívstupového obvodu NST6 typu negace logického součinu.

Druhý vstup druhého dvouvstupového obvodu NSK2 typu negace logického součinu s otevřeným kolektorem pro signál OVF tvoří současně dvacátý druhý vstup O22 zapojení, připojitelný na aritmetickou a logickou jednotku. Nastavovací vstup 264 dvacátého šestého klopného obvodu KKO2 typu D pro signál X02S je připojen přes dvacátý pátý odpor R25 na kladný pól + zdroje elektrické energie a tvoří současně osmý vstup O8 zapojení, připojitelný na snímač magnetických štítků. Základní vstup 261 dvacátého šestého klopného obvodu KKO2 typu D je připojen na nulový potenciál, kdežto jeho jedničkový výstup 2601 pro signál X02 je připojen na druhý vstup třetího dvouvstupového obvodu NSK3 typu negace logického součinu s otevřeným kolektorem a tvoří současně osmý výstup O08 zapojení, připojitelný na snímač magnetických štítků. Výstup čtyřicátého devátého dvouvstupového obvodu NSD49 typu negace logického součinu pro signál X04 je připojen na první vstup šestnáctého třívstupového obvodu NST16 typu negace logického součinu a tvoří současně devátý výstup O09 zapojení, připojitelný na displej. Výstup šestnáctého třívstupového obvodu NST16 typu negace logického součinu pro signál X04 je připojen na druhý vstup čtyřicátého devátého dvouvstupového obvodu NSD49 typu negace logického součinu a na první vstup patnáctého dvouvstupového obvodu NSD15 typu negace logického součinu. Třetí vstup šestnáctého třívstupového obvodu NST16 typu negace logického součinu pro signál ZZN tvoří současně desátý vstup O10 zapojení, připojitelný na displej. Výstup padesátého druhého dvouvstupového obvodu NSD52 typu negace logického součinu pro signál X05 tvoří současně třináctý výstup O013 zapojení, připojitelný na obvody indikace. Výstup třicátého druhého dvouvstupového obvodu NSD32 typu negace logického součinu je připojen na první vstup třicátého osmého dvouvstupového obvodu NSD38 typu negace logického součinu, jehož výstup je připojen přes třicátý pátý invertor INV35 pro signál CLC06 na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup třicátého třetího dvouvstupového obvodu NSD33 typu negace logického součinu pro signál CLC0 je připojen na druhý vstup třicátého osmého dvouvstupového obvodu NSD38 typu negace logického součinu a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup třicátého šestého dvouvstupového obvodu NSD36 typu negace logického součinu pro signál STC9 je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Třetí vstup prvního čtyřvstupového součtově součinného hradla SSHCl pro signál Tl(3)V je připojen na první vstup devátého čtyřvstupového součtově součinného hradla SSHCl a tvoří současně čtvrtý vstup O4 zapojení, připojitelný na procesor. Třetí vstup druhého čtyřvstupového součtově součinného hradla SSHCl pro signál Tl(2)V je připojen na první vstup desátého čtyřvstupového součtově součinného hradla SSHCl a tvoří současně třetí vstup O3 zapojení, připojitelný na procesor. Třetí vstup třetího čtyřvstupového součtově součinného hradla SSHCl pro signál Tl(1)V je připojitelný na první vstup jedenáctého čtyřvstupového součtově součinného hradla SSHCl a tvoří současně druhý vstup O2 zapojení, připojitelný na procesor. Třetí vstup čtvrtého čtyřvstupového součtově součinného hradla SSHCl pro signál Tl(0)V je připojen na první vstup dvanáctého čtyřvstupového součtově součinného hradla SSHCl a tvoří současně první vstup O1 zapojení, připojitelný na procesor. První vstup prvního třívstupového obvodu NST1 typu negace logického součinu pro signál TE je připojen na čtvrtý vstup druhého čtyřvstupového obvodu NSC2 typu negace logického součinu a tvoří současně šestý vstup O6 zapojení, připojitelný na časový zdroj. Výstup prvního třívstupového obvodu NST1 typu negace logického součinu je připojen na hodinové vstupy 12, 22, 32, 42 prvního

až čtvrtého klopného obvodu KV(15), KV(14), KV(13), KV(12) typu D. První vstup dvacátého třetího čtyřvstupového součtově součinného hradla SSHC23 pro signál TB je připojen na třetí vstup pátého třívstupového obvodu NST5 typu negace logického součinu, na třetí vstup třetího čtyřvstupového obvodu NSC3 typu negace logického součinu, na hodinové vstupy 172,182,192,202 sedmnáctého až dvacátého klopného obvodu KV(3)a, KV(2)a, KV(1)a, KV(0)a typu D a tvoří současně pátý vstup 05 zapojení, připojitelný na časový zdroj. Výstup osmnáctého čtyřvstupového součtově součinného hradla SSHC18 je připojen na hodinové vstupy 92,102,112,122 devátého až dvanáctého klopného obvodu KV(7), KV(6), KV(5), KV(4) a typově třetí inverter INV3 na druhý vstup třináctého čtyřvstupového součtově součinného hradla SSHC13, jehož výstup je připojen na hodinové vstupy 52, 62, 72, 82 pátého až osmého klopného obvodu KV(11), KV(10), KV(9), KV(8) typu D a přes první inverter INV1 na třetí vstup prvního třívstupového obvodu NST1 typu negace logického součinu. Výstup prvního součtově součinného hradla SSHC1 je připojen na základní vstup 11 prvního klopného obvodu KV(15) typu D, jehož jedničkový výstup 101 pro signál V(15) je připojen na třetí vstup pátého čtyřvstupového součtově součinného hradla SSHC5 a na čtvrtý vstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu, kdežto jeho nulový výstup 102 pro signál V(15) je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup druhého součtově součinného hradla SSHC2 je připojen na základní vstup 21 druhého klopného obvodu KV(14) typu D, jehož jedničkový výstup 201 pro signál V(14) je připojen na třetí vstup šestého čtyřvstupového součtově součinného hradla SSHC6 a na třetí vstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu, kdežto jeho nulový výstup 202 pro signál V(14) je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup třetího součtově součinného hradla SSHC3 je připojen na základní vstup 31 třetího klopného obvodu KV(13) typu D, jehož jedničkový výstup pro signál V(13) je připojen na třetí vstup sedmého čtyřvstupového součtově součinného hradla SSHC7 a na druhý vstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu, kdežto jeho nulový výstup 302 pro signál V(13) je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup čtvrtého součtově součinného hradla SSHC4 je připojen na základní vstup 41 čtvrtého klopného obvodu KV(12) typu D, jehož jedničkový výstup 401 pro signál V(12) je připojen na třetí vstup osmého čtyřvstupového součtově součinného hradla SSHC8 a na první vstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu, kdežto jeho nulový výstup 402 pro signál V(12) je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu pro signál SC0 tvoří současně pátý výstup 005 zapojení, připojitelný na klávesnici. První vstup pátého čtyřvstupového součtově součinného hradla SSHC5 pro signál E(11) je připojen jednak přes první odpor R1 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup 51 pátého klopného obvodu KV(11) typu D, jehož jedničkový výstup 501 pro signál V(11) je připojen na čtvrtý vstup devátého čtyřvstupového součtově součinného hradla SSHC9 a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. První vstup šestého čtyřvstupového součtově součinného hradla SSHC6 pro signál E(10) je připojen jednak přes druhý odpor R2 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení,

kdežto jeho výstup je připojen na základní vstup 61 šestého klopného obvodu KV(10) typu D, jehož jedničkový výstup 601 pro signál V(10) je připojen na čtvrtý vstup desátého čtyřvstupového součtové součinného hradla SSHCl0 a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. První vstup sedmého čtyřvstupového součtové součinného hradla SSHCl7 pro signál E(9) je připojen jednak přes třetí odpor R3 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup 71 sedmého klopného obvodu KV(9) typu D, jehož výstup pro signál V(9) je připojen na čtvrtý vstup jedenáctého čtyřvstupového součtové součinného hradla SSHCl1 a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. První vstup osmého čtyřvstupového součtové součinného hradla SSHCl8 pro signál E(8) je připojen jednak přes čtyřicátý sedmý inverter INV47 na druhý vstup čtvrtého dvouvstupového obvodu NSK4 typu negace logického součinu s otevřeným kolektorem, jednak přes čtvrtý odpor R4 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup 81 osmého klopného obvodu KV(8) typu D, jehož jedničkový výstup 801 pro signál V(8) je připojen na čtvrtý vstup dvanáctého čtyřvstupového součtové součinného hradla SSHCl2 a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup devátého čtyřvstupového součtové součinného hradla SSHCl9 je připojen na třetí vstup čtrnáctého čtyřvstupového součtové součinného hradla SSHCl4, jehož výstup je připojen na základní vstup 91 devátého klopného obvodu KV(7) typu D. Jedničkový výstup 901 devátého klopného obvodu KV(7) typu D pro signál V(7) je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho nulový výstup 902 je připojen na třetí vstup devatenáctého čtyřvstupového součtové součinného hradla SSHCl9. První vstup čtrnáctého čtyřvstupového součtové součinného hradla SSHCl4 pro signál E(7) je připojen jednak přes pátý odpor R5 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup desátého čtyřvstupového součtové součinného hradla SSHCl0 je připojen na třetí vstup patnáctého čtyřvstupového součtové součinného hradla SSHCl5, jehož výstup je připojen na základní vstup 101 desátého klopného obvodu KV(6) typu D. Jedničkový výstup 1001 desátého klopného obvodu KV(6) typu D pro signál V(6) je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho nulový výstup 1002 je připojen na třetí vstup dvacátého čtyřvstupového součtové součinného hradla SSHCl20. První vstup patnáctého čtyřvstupového součtové součinného hradla SSHCl5 pro signál E(6) je připojen jednak přes šestý odpor R6 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup jedenáctého čtyřvstupového součtové součinného hradla SSHCl1 je připojen na třetí vstup šestnáctého čtyřvstupového součtové součinného hradla SSHCl6, jehož výstup je připojen na základní vstup 111 jedenáctého klopného obvodu KV(5) typu D. Jedničkový výstup 1101 jedenáctého klopného obvodu KV(5) typu D pro signál V(5) je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho nulový výstup 1102 je připojen na třetí vstup dvacátého prvního čtyřvstupového součtové součinného hradla SSHCl21. První vstup šestnáctého čtyřvstupového součtové součinného hradla SSHCl6 pro signál E(5) je připojen jednak přes sedmý odpor R7 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení.

Výstup dvanáctého čtyřvstupového součtové součinnového hradla SSHCl7, jehož výstup je připojen na základní vstup 121 dvanáctého klopného obvodu KV(4) typu D. Jedničkový výstup 1201 dvanáctého klopného obvodu KV(4) typu D pro signál V(4) je připojen na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho nulový výstup 1202 je připojen na třetí vstup dvacátého druhého čtyřvstupového součtové součinnového hradla SSHC22. První vstup sedmnáctého čtyřvstupového součtové součinnového hradla SSHCl7 pro signál E(4) je připojen jednak přes osmý odpor R8 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. První vstup devatenáctého čtyřvstupového součtové součinnového hradla SSHC19 pro signál E(3) je připojen jednak přes devátý odpor R9 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup 131 třináctého klopného obvodu KV(3) typu D, jehož jedničkový výstup 1301 pro signál V(3) je připojen na první vstup šestého dvouvstupového obvodu NSD6 typu negace logického součinu, na základní vstup 171 sedmnáctého klopného obvodu KV(3) a typu D a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. První vstup dvacátého čtyřvstupového součtové součinnového hradla SSHC20 pro signál E(2) je připojen jednak přes desátý odpor R10 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup 141 čtrnáctého klopného obvodu KV(2) typu D, jehož jedničkový výstup 1401 pro signál V(2) je připojen na první vstup pátého dvouvstupového obvodu NSD5 typu negace logického součinu, na základní vstup 181 osmnáctého klopného obvodu KV(2) a typu D a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. První vstup dvacátého prvního čtyřvstupového součtové součinnového hradla SSHC21 pro signál E(1) je připojen jednak přes jedenáctý odpor R11 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup 151 patnáctého klopného obvodu KV(1) typu D, jehož jedničkový výstup 1501 pro signál V(1) je připojen na první vstup čtvrtého dvouvstupového obvodu NSD4 typu negace logického součinu, na základní vstup 191 devatenáctého klopného obvodu KV(1) a typu D a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. První vstup dvacátého druhého čtyřvstupového součtové součinnového hradla SSHC22 pro signál E(0) je připojen jednak přes dvanáctý odpor R12 na kladný pól + zdroje elektrické energie, jednak na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup 161 šestnáctého klopného obvodu KV(0) typu D, jehož jedničkový výstup 1601 pro signál V(0) je připojen na vstup třetího dvouvstupového obvodu NSD3 typu negace logického součinu, na základní vstup 201 dvacátého klopného obvodu KV(0) a typu D a na vstupní a výstupní sběrnici VVS pro připojení periferních zařízení. Výstup třetího dvouvstupového obvodu NSD3 typu negace logického součinu pro signál SBUS(0) tvoří současně první výstup 001 zapojení, připojitelný na procesor. Výstup čtvrtého dvouvstupového obvodu NSD4 typu negace logického součinu pro signál SBUS(1) tvoří současně druhý výstup 002 zapojení, připojitelný na procesor. Výstup pátého dvouvstupového obvodu NSD5 typu negace logického součinu pro signál SBUS(2) tvoří současně třetí výstup 003 zapojení, připojitelný na procesor. Výstup šestého dvouvstupového obvodu NSD6 typu negace logického součinu pro signál SBUS(3) tvoří současně čtvrtý výstup 004 zapojení, připojitelný na procesor.

Jedničkový výstup 1701 sedmáctého klopného obvodu KV(3) a typu D pro signál V(3) a je připojen na první vstup prvního čtyřvstupového součtové součinného hradla SSHC1. Jedničkový výstup 1801 osmáctého klopného obvodu KV(2) a typu D pro signál V(2) a je připojen na první vstup druhého čtyřvstupového součtové součinného hradla SSHC2. Jedničkový výstup 1901 devatenáctého klopného obvodu KV(1) a typu D pro signál V(1) a je připojen na první vstup třetího čtyřvstupového součtové součinného hradla SSHC2. Jedničkový výstup 2001 dvacátého klopného obvodu KV(0) a typu D pro signál V(0) a je připojen na první vstup čtvrtého čtyřvstupového součtové součinného hradla SSHC4.

Řídící obvody řídí vstupní a výstupní sběrnici VVS, na kterou přenáší data z procesoru a do procesoru prostřednictvím vstupního a výstupního registru VVREG a kterou řídí prostřednictvím vstupního a výstupního řadiče VVRAD podle instrukce přicházející z procesoru. Dále pak všechny vstupní a výstupní jednotky, které jsou součástí inteligentního terminálu, to je snímač magnetických štítků, displej, klávesnice a obvody indikace. Styk s procesorem zajišťují signály TL(0)V až TL(3)V, to je čtyři signály, které přicházejí z registru TL procesoru přes vstupní a výstupní registr VVREG do periferních zařízení. Dále to jsou vstupní signály Q(0), Q(1), Q(3), Q(8), Q(9), Q(10), Q(11), Q(14), Q(15), které přicházejí z registru Q procesoru a které představují instrukci vysílanou do vstupního a výstupního řadiče VVRAD. Na základě této instrukce vykoná vstupní a výstupní řadič VVRAD požadovanou operaci s příslušným periferním zařízením. Konečně to jsou čtyři výstupní signály SBUS(0) až SBUS(3), které jsou zavedeny do vnitřní sběrnice procesoru z periferních zařízení přes vstupní a výstupní registr VVREG. Styk s aritmetickou a logickou jednotkou se děje výstupním signálem PNSSI pro nastavení přenosového bitu v aritmetické a logické jednotce do stavu logické 1, výstupním signálem OVFS pro nastavení bitu přeplnění v aritmetické a logické jednotce do stavu logické 1, výstupním signálem OVFR pro nastavení bitu přeplnění v aritmetické a logické jednotce do stavu logické 0 a vstupním signálem OVF pro testování bitu přeplnění. Styk s řídící jednotkou mikroprocesoru se děje výstupním signálem VOLLS pro testování obsazenosti vstupního a výstupního registru VVREG, výstupním signálem F1 pro testování přítomnosti fáze F1 a výstupním signálem PRER, kterým se testuje přerušení procesoru a který se dále přivádí do vstupní a výstupní sběrnice VVS, jímž se oznamuje všem periferním jednotkám, že činnost procesoru je přerušena. Styk s časovým zdrojem se děje vstupními signály TB, T5B, TAKT, TE, TLDOS, TLDOR, HDOT2, které určují časové intervaly, ve kterých se má provádět příslušná vstupní nebo výstupní operace v řídících obvodech a výstupními signály HPOV(VV) a TLDOR(V) jdoucími do časového zdroje pro povolání vysílání hodinových impulsů. K internímu styku mezi vstupním a výstupním řadičem VVRAD a vstupním a výstupním registrem VVREG slouží vstupní signál VDOS vstupního a výstupního registru VVREG pro přenos dat ze vstupního a výstupního registru VVREG na sběrnici S procesoru, vstupní signál VOLLS vstupního a výstupního registru VVREG pro přenos informace ze vstupní a výstupní sběrnice VVS do vstupního a výstupního registru VVREG, vstupní signály FLV a FIV vstupního a výstupního registru VVREG pro otevření cesty vstupních dat ze vstupní a výstupní sběrnice VVS do vstupního a výstupního registru VVREG, vstupní signál IMPD vstupního a výstupního registru VVREG pro nulování adresy periferních zařízení, jakož i vstupní signály v=6, v=7 a v=6, 7 vstupního a výstupního registru VVREG určující kód vstupní instrukce. K řízení snímače magnetických štítků jsou určeny signály XO2S pro zpětné hlášení ze snímače magnetických

štítků do vstupního a výstupního řadiče VVRAD, V2S ze vstupního a výstupního řadiče VVRAD do snímače magnetických štítků pro zahájení operace magnetických štítků, V2R ze vstupního a výstupního řadiče do snímače magnetických štítků pro ukončení operace magnetických štítků, dále signál X02 ze vstupního a výstupního řadiče VVRAD do snímače magnetických štítků pro synchronisaci operací čtení nebo zápisu na magnetický štítek. Displej je řízen signály X04 pro synchronisaci znaku R04 pro synchronisaci snímku X04R pro zatemnění obrazovky, ZZN pro zpětné hlášení od začátku znaku a KSN pro zpětné hlášení o konci snímku. K řízení obvodů indikace slouží signály R05 pro nulevání obvodů indikace a X05 pro přepis dat do obvodů indikace. Pro ovládání obvodů ručního ovládání jsou určeny signály QP jako informace o nastavení prvního klíče P a XQM jako informace o nastavení druhého klíče M. Řízení klávesnice se provádí pomocí signálů SC0 pro výběr adresy klávesnice a KSTOP pro zastavení operací všech periferních zařízení. Řízení periferních zařízení se děje signály vstupní a výstupní sběrnice VVS. Šestnáct vstupních signálů V(0) až V(15) slouží pro přenos dat příkazů a adres ze vstupního a výstupního registru VVREG, dvanáct výstupních signálů E(0) až E(11) slouží pro přenos dat a stavů do vstupního a výstupního registru VVREG, výstupní signál E(8) provádí zpětné hlášení z vnějšího periferního zařízení o tom, že toto zařízení ukončilo svou činnost. Vstupní signál PRER podává hlášení ze vstupního a výstupního řadiče VVRAD o tom, že činnost procesoru je přerušena. Výstupní signál P přenáší do vstupního a výstupního řadiče VVRAD žádost o přerušeni. Vstupní signál PREB podává hlášení ze vstupního a výstupního řadiče VVRAD o tom, že přerušeni činnosti procesoru je blokováno. Vstupní signál RBIT ze vstupního a výstupního řadiče VVRAD podává hlášení o tom, že data, příkazy a adresy, přenášené signály V(0) až V(15) jsou platné. Vstupní signál R03 ze vstupního a výstupního řadiče VVRAD modifikuje výstupní signály E(0) až E(11) při obsluze přerušeni. Signály CLC06, CLC0, CLC2, STC8 a STC9 ze vstupního a výstupního řadiče VVRAD řídí kontrolní bity v periferních zařízeních. Vstupní signály CLF9 ze vstupního a výstupního řadiče VVRAD provádí nulevání žádosti o přerušeni a vstupní signál NUL z nulevacího obvodu, přiváděný současně do vstupního a výstupního řadiče VVRAD má za účel nastavení počátečního stavu.

Signálem NUL z nulevacího obvodu se uvede celé zapojení do výchozího stavu. Padnět k jakékoliv vstupní a výstupní operaci je dán z procesoru pomocí signálů TLDOR a HDOT2, jak je zřejmé ze skladby mikroinstrukce (obr.4). Tyto signály jsou přivedeny do klepného obvodu KCFS typu J-K současně se signálem T5B z časového zdroje, jak vidno z časového diagramu časového zdroje (obr.5). Tím se zahájí cyklus čítače fází složeného z klepných obvodů KCFO, KCF1, KCDC1 a KCDC2 typu D. Současně s příchodem těchto signálů přichází z procesoru kék vstupní a výstupní operace tvořené signály Q0, Q8, Q9, Q10, Q14, Q15. Tato instrukce je dekódována pomocí dekodérů 1DK4:10 a 2DK4:10 a přivedena na vstupy kombinační logické sítě vstupního a výstupního řadiče VVRAD a vstupního a výstupního registru VVREG. Tím jsou generovány základní vnitřní signály IMPA, IMPB, IMPC, IMPD a další signály pro posuv vstupního a výstupního registru VVREG, vstup nebo výstup dat na vstupní a výstupní sběrnici VVS, přenos dat mezi procesorem a vstupním a výstupním registrem VVREG signály T1(0)V až T1(3)V a SEUS(0) až SEUS(3). Během činnosti čítače fází jsou též generovány řídicí signály RBIT, CLC06, CLC0, CLC2, STC8, STC9 a CLF9 pro vnější periferní zařízení, dále signály X02S, V2S, V2R, X02 pro řízení snímače magnetických štítků. Pomocí signálů KSN, ZZN, X04, X04R je řízen displej a pomocí signálů R05, X05 obvody indikace.

Obvedy ručního ovládání generují signály $\overline{QP}$ a XQM. Po vyslání nebo přijetí dat vnějším periferním zařízením, respektive po vyslání řídicích signálů ukončí čítač fázi cyklus a zapojení se dostane zpět do výchozího stavu, zatímco procesor pokračuje v provádění operací, které nesouvisí s činností vstupního a výstupního řadiče VVRAD, aniž by čekal na ukončení činnosti periferního zařízení. Až tato periferní jednotka ukončí požadovanou operaci, ohlásí svoji připravenost buď signálem $\overline{E(8)}$ nebo signálem $\overline{P}$. Signál $\overline{E(8)}$ je přiveden na vstup obvodu NSK4 odkud přes další obvedy jako signál PNSSI do aritmetické a logické jednotky, kde nastaví přenosový bit do stavu logické 1. Procesor testuje tento přenosový bit a až je tento ve stavu logické 1, vyšle do vstupního a výstupního řadiče další instrukci pro vykonání vstupní nebo výstupní operace. Signál $\overline{P}$ je přiveden na vstup obvodů INV33 a NST12, odkud jako signál PRER, který způsobí přerušování činnosti procesoru se současným hlášením signálů TLDOR, TLDOS a TAKT, přivedených na vstupy obvodu NST9 a přes paměť tvořenou obvedy NST10, NST11 jako signál PREB, nesoucí hlášení, že procesor provádí obsluhu vzniklého přerušování. Jakmile procesor zpracuje zpracuje požadavek na přerušování, zahájí znovu cyklus čítače fází shora uvedeným způsobem a proces se opakuje. Činnost zapojení je dále zřejmá ze skladby mikroinstrukce (obr.4) a z časového diagramu časového zdroje.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení řídicích obvodů vstupu a výstupu pro inteligentní terminál se vstupním a výstupním řadičem, vstupním a výstupním registrem a vstupní a výstupní sběrnici, vyznačený tím, že první vstup (91) klopného obvodu (KCFS) typu J-K pro nastavení do stavu logické 1 je připojen na první vstup devátého třívstupového obvodu (NST9) typu negace logického součinu a tvoří současně dvacátý šestý vstup (026) zapojení, připojitelný na časový zdroj, druhý vstup (92) klopného obvodu (KCFS) typu J-K pro nastavení do stavu logické 1 je připojen na třetí vstup (93) klopného obvodu (KCFS) typu J-K pro nastavení do stavu logické 1 a tvoří současně dvacátý sedmý vstup (027) zapojení, připojitelný na časový zdroj, hodinový vstup (232) dvacátého třetího klopného obvodu (KCDCl) typu D je připojen přes sedmý inverter (INV7) na hodinový vstup (95) klopného obvodu (KCFS) typu J-K a na první vstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu a tvoří současně dvacátý třetí vstup (023) zapojení, připojitelný na časový zdroj, nulevací vstup (99) klopného obvodu (KCFS) typu J-K je připojen na druhý vstup čtyřicátého čtvrtého dvouvstupového obvodu (NSD44) typu negace logického součinu, na druhý vstup jedenáctého třívstupového obvodu (NST11) typu negace logického součinu, na druhý vstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu, na vstupní a výstupní sběrnici (VS) pro připojení periferních zařízení a tvoří současně dvacátý osmý vstup (028) zapojení, připojitelný na nulevací obvod, jedničkový výstup (091) klopného obvodu (KCFS) typu J-K je připojen na první vstup dvanáctého dvouvstupového obvodu (NSD12) typu negace logického součinu, na nulevací vstup (213) dvacátého prvního klopného obvodu (KCFO) typu D a na nulevací vstup (223) dvacátého druhého klopného obvodu (KCF1) typu D, nulový výstup (092) klopného obvodu (KCFS) typu J-K je připojen přes šestý inverter (INV6) na nulevací vstup (233) dvacátého třetího klopného obvodu (KCDCl) typu D a na nulevací vstup (243) dvacátého čtvrtého klopného obvodu (KCDCl) typu D, jedničkový výstup (2101) dvacátého prvního klopného obvodu (KCFO) typu D je připojen na první a druhý vstup druhého

čtyřvstupového obvodu (NSC2) typu negace logického součinu, na první vstup pátého čtyřvstupového obvodu (NST5) typu negace logického součinu, na první vstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu, na druhý vstup padesátého čtvrtého dvouvstupového obvodu (NSD54) typu negace logického součinu a na základní vstup (221) dvacátého druhého klopného obvodu (KCF1) typu D, nulový výstup (2102) dvacátého prvního klopného obvodu (KCFO) typu D je připojen na první vstup třetího čtyřvstupového obvodu (NSC3) typu negace logického součinu a na první a druhý vstup (96,97) klopného obvodu (KCFS) typu J-K pro nastavení do stavu logické 0, jedničkový výstup (2201) dvacátého druhého klopného obvodu (KCF1) typu D je připojen na třetí vstup (98) klopného obvodu (KCFS) typu J-K pro nastavení do stavu logické 0, na druhý výstup pátého třívstupového obvodu (NST5) typu negace logického součinu a na druhý vstup třetího čtyřvstupového obvodu (NSC3) typu negace logického součinu, nulový výstup (2202) dvacátého druhého klopného obvodu (KCF1) typu D je připojen na základní vstup (211) dvacátého prvního klopného obvodu (KCFO) typu D, na druhý vstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu a na třetí vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu, nulový výstup (2302) dvacátého třetího klopného obvodu (KCD1) typu D je připojen na základní vstup (231) dvacátého třetího klopného obvodu (KCD1) typu D, na hodinový vstup (242) dvacátého čtvrtého klopného obvodu (KCDC2) typu D a na první vstup šestnáctého dvouvstupového obvodu (NSD16) typu negace logického součinu, jehož výstup je připojen na druhý vstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu, jedničkový výstup (2401) dvacátého čtvrtého klopného obvodu (KCDC2) typu D je připojen na první vstup sedmnáctého dvouvstupového obvodu (NSD17) typu negace logického součinu, jehož výstup je připojen na druhý vstup šestnáctého dvouvstupového obvodu (NSD16) typu negace logického součinu. Nulový výstup (2402) dvacátého čtvrtého klopného obvodu (KCDC2) typu D je připojen na základní vstup (241) dvacátého čtvrtého klopného obvodu (KCDC2) typu D, výstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu je připojen na druhý vstup dvanáctého dvouvstupového obvodu (NSD12) typu negace logického součinu a na vstup osmého invertoru (INV8), jehož výstup je připojen na první vstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu, na první vstup třináctého dvouvstupového obvodu (NSD13) typu negace logického součinu, na první vstup čtrnáctého dvouvstupového obvodu (NSD14) typu negace logického součinu a tvoří současně devatenáctý výstup (0019) zapojení, připojitelný na řídicí jednotku mikroprocesoru, výstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu je připojen na druhý vstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu, jehož výstup je připojen na hodinový vstup (212) dvacátého prvního klopného obvodu (KCFO) typu D a na hodinový vstup (222) dvacátého druhého klopného obvodu (KCF1) typu D, vstup (111) prvního bitu kódu prvního dekodéru (LDK4:10) tvoří současně dvacátý vstup (020) zapojení, připojitelný na procesor, kdežto jeho vstup (112) druhého bitu kódu tvoří současně dvacátý první vstup (021) zapojení, připojitelný na procesor a jeho vstup (113) třetího bitu kódu tvoří současně třináctý vstup (013) zapojení, připojitelný na procesor, přičemž jeho vstup (114) čtvrtého bitu kódu je připojen na nulový potenciál, první výstup (1) prvního dekodéru (LDK4:10) je připojen na vstup devátého invertoru (INV9), jehož výstup je připojen na první vstup osmého třívstupového obvodu (NST8) typu negace logického součinu, druhý výstup (2) prvního dekodéru (LDK4:10) je

připojen na vstup desátého invertoru (INV10), jehož výstup je připojen na třetí vstup dvacátého čtvrtého čtyřvstupového součtové součinnového hradla (SSHC24), třetí výstup (3) prvního dekodéru (LDK4:10) je připojen na vstup jedenáctého invertoru (INV11), jehož výstup je připojen na první vstup dvacátého čtvrtého čtyřvstupového součtové součinnového hradla (SSHC24), čtvrtý výstup (4) prvního dekodéru (LDK4:10) je připojen na první vstup druhého třívstupového obvodu (NST2) typu negace logického součinu, jehož výstup je připojen na druhý vstup jedenáctého dvouvstupového obvodu (NSD11) typu negace logického součinu a přes pátý inverter (INV5) na první vstup padesátého čtvrtého dvouvstupového obvodu (NSD54) typu negace logického součinu, jehož výstup je připojen na nastavovací vstup (224) dvacátého druhého klepného obvodu (KCF1) typu D, pátý výstup (5) prvního dekodéru (LDK4:10) je připojen na druhý vstup druhého třívstupového obvodu (NST2) typu negace logického součinu a na druhý vstup třináctého dvouvstupového obvodu (NSD13) typu negace logického součinu, jehož výstup tvoří současně dvacátý první výstup (0021) zapojení, připojitelný na časový zdroj, šestý výstup (6) prvního dekodéru (LDK4:10) je připojen na třetí vstup druhého třívstupového obvodu (NST2) typu negace logického součinu, sedmý výstup (7) prvního dekodéru (LDK4:10) je připojen na druhý vstup čtrnáctého dvouvstupového obvodu (NSD14) typu negace logického součinu a na vstup dvanáctého invertoru (INV12), jehož výstup je připojen na první vstup šestého třívstupového obvodu (NST6) typu negace logického součinu a na první vstup sedmého třívstupového obvodu (NST7) typu negace logického součinu, vstup (121) prvního bitu kódu druhého dekodéru (2DK4:10) tvoří současně šestnáctý vstup (016) zapojení, připojitelný na procesor, kdežto jeho vstup (122) druhého bitu kódu tvoří současně sedmnáctý vstup (017) zapojení, připojitelný na procesor a jeho vstup (123) třetího bitu kódu tvoří současně osmnáctý vstup (018) zapojení, připojitelný na procesor, přičemž jeho vstup (124) čtvrtého bitu kódu tvoří současně devatenáctý vstup (019) zapojení, připojitelný na procesor, první výstup (10) druhého dekodéru (2DK4:10) je připojen na třetí vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu a na vstup třináctého invertoru (INV13), jehož výstup je připojen na první vstup prvního dvouvstupového obvodu (NSK1) typu negace logického součinu s otevřeným kolektorem, na druhý vstup osmnáctého dvouvstupového obvodu (NSD18) typu negace logického součinu, na druhý vstup třicátého třetího dvouvstupového obvodu (NSD33) typu negace logického součinu a na čtvrtý vstup dvacátého pátého čtyřvstupového součtové součinnového hradla (SSHC25), jehož výstup je připojen na nastavovací vstup (254) dvacátého pátého klepného obvodu (KRB1T) typu D, druhý výstup (20) druhého dekodéru (2DK4:10) je připojen na vstup čtrnáctého invertoru (INV14), jehož výstup je připojen na první vstup druhého dvouvstupového obvodu (NSK2) typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého čtvrtého dvouvstupového obvodu (NSD24) typu negace logického součinu a na první vstup dvacátého pátého dvouvstupového obvodu (NSD25) typu negace logického součinu, jehož výstup tvoří současně šestnáctý výstup (0016) zapojení, připojitelný na aritmetickou a logickou jednotku, třetí výstup (30) druhého dekodéru (2DK4:10) je připojen na vstup patnáctého invertoru (INV15), jehož výstup je připojen na první vstup třetího dvouvstupového obvodu (NSK3) typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého druhého dvouvstupového obvodu (NSD22) typu negace logického součinu, na první vstup dvacátého třetího dvouvstupového obvodu (NSD23) typu negace logického součinu, na druhý vstup třicátého čtvrtého dvouvstupového obvodu (NSD34) typu negace logického součinu

a na druhý vstup čtyřicátého sedmého dvouvstupového obvodu (NSD47) typu negace logického součinu, jehož výstup je připojen přes čtyřicátý pátý invertor (INV45) na hodinový vstup (262) dvacátého šestého klopného obvodu (KX02 typu D, čtvrtý výstup (40) druhého dekodéru (2DK4:10) je připojen na vstup šestnáctého invertoru (INV16), jehož výstup je připojen na první vstup čtvrtého dvouvstupového obvodu (NSK4) typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého šestého dvouvstupového obvodu (NSD26) typu negace logického součinu a na druhý vstup dvacátého osmého dvouvstupového obvodu (NSD28) typu negace logického součinu, jehož výstup je připojen na třetí vstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu, pátý výstup (50) druhého dekodéru (2DK4:10) je připojen na druhý vstup třetího třívstupového obvodu (NST3) typu negace logického součinu a na vstup sedmnáctého invertoru (INV17), jehož výstup je připojen na první vstup pátého dvouvstupového obvodu (NSK5) typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého devátého dvouvstupového obvodu (NSD29) typu negace logického součinu a na druhý vstup čtyřicátého osmého dvouvstupového obvodu (NSD48) typu negace logického součinu, jehož výstup je připojen na první vstup čtyřicátého devátého dvouvstupového obvodu (NSD49) typu negace logického součinu, šestý výstup (60) druhého dekodéru (2DK4:10) je připojen na vstup osmnáctého invertoru (INV18), jehož výstup je připojen na první vstup šestého dvouvstupového obvodu (NSK6) typu negace logického součinu s otevřeným kolektorem, na druhý vstup pedesátého dvouvstupového obvodu (NSD50) typu negace logického součinu a na první vstup pedesátého prvního dvouvstupového obvodu (NSD51) typu negace logického součinu, jehož výstup je připojen na druhý vstup pedesátého druhého dvouvstupového obvodu (NSD52) typu negace logického součinu, sedmý výstup (70) druhého dekodéru (2DK4:10) je připojen na první vstup třetího třívstupového obvodu (NST3) typu negace logického součinu, na druhý vstup desátého dvouvstupového obvodu (NSD10) typu negace logického součinu, na druhý vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu a na vstup devatenáctého invertoru (INV19), jehož výstup je připojen na první vstup sedmého dvouvstupového obvodu (NSK7) typu negace logického součinu s otevřeným kolektorem, na druhý vstup dvacátého prvního dvouvstupového obvodu (NSD21) typu negace logického součinu, na druhý vstup třicátého druhého dvouvstupového obvodu (NSD32) typu negace logického součinu, na první vstup pedesátého třetího dvouvstupového obvodu obvodu (NSD53) typu negace logického součinu a na druhé vstupy prvního až čtvrtého čtyřvstupového součtově součinného hradla (SSHCl až SSHC4), osmý výstup druhého dekodéru (2DK4:10) je připojen na třetí vstup třetího třívstupového obvodu (NST3) typu negace logického součinu, na první vstup desátého dvouvstupového obvodu (NSD10) typu negace logického součinu, na první vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu a na vstup dvacátého invertoru (INV20), jehož výstup je připojen na čtvrté vstupy prvního až čtvrtého čtyřvstupového součtově součinného hradla (SSHCl až SSHC4), devátý výstup (90) druhého dekodéru (2DK4:10) je připojen na vstup prvního invertoru (INV21), jehož výstup je připojen na druhý vstup třicátého pátého dvouvstupového obvodu (NSD35) typu negace logického součinu, jehož výstup je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, desátý výstup (100) druhého dekodéru (2DK4:10) je připojen na vstup dvacátého druhého invertoru (INV22), jehož výstup je připojen na druhý vstup třicátého šestého dvouvstupového obvodu (NSD36) typu negace logického součinu a na první vstup třicátého sedmého dvouvstupového ob-

vodu (NSD37) typu negace logického součinu, jehož výstup je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup třetího třívstupového obvodu (NST3) typu negace logického součinu je připojen na druhý vstup dvacátého dvouvstupového obvodu (NSD20) typu negace logického součinu, jehož výstup je připojen na třetí vstup jedenáctého třívstupového obvodu (NST11) typu negace logického součinu, výstup desátého dvouvstupového obvodu (NSD10) typu negace logického součinu je připojen na druhý vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu, na druhý vstup sedmnáctého dvouvstupového obvodu (NSD17) typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu, jehož výstup je připojen na druhé vstupy devátého až dvanáctého čtyřvstupového součtově součinného hradla (SSHC9 až SSHC12) a přes druhý invertor (INV2) jednak na třetí vstupy devátého až dvanáctého čtyřvstupového součtově součinného hradla (SSHC9 až SSHC12), jednak na první vstup třináctého čtyřvstupového součtově součinného hradla (SSHC13) a na druhý vstup prvního třívstupového obvodu (NST1) typu negace logického součinu, výstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu je připojen na druhý vstup dvacátého pátého čtyřvstupového součtově součinného hradla (SSHC25) a na první vstup devatenáctého dvouvstupového obvodu (NSD19) typu negace logického součinu, jehož výstup je připojen na první vstup čtyřicátého čtvrtého dvouvstupového obvodu (NSD44) typu negace logického součinu, výstup dvanáctého dvouvstupového obvodu (NSD12) typu negace logického součinu tvoří současně sedmáctý výstup (0017) zapojení, připojitelný na časový zdroj, výstup čtrnáctého dvouvstupového obvodu (NSD14) typu negace logického součinu je připojen na vstup dvacátého čtvrtého invertoru (INV24), jehož výstup je připojen na druhé vstupy třetího až šestého dvouvstupového obvodu (NSD3 až NSD6) typu negace logického součinu, výstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu je připojen na druhé vstupy pátého až osmého čtyřvstupového součtově součinného hradla (SSHC5 až SSHC8), na druhé vstupy čtrnáctého až sedmnáctého čtyřvstupového součtově součinného hradla (SSHC14 až SSHC17), na druhé vstupy devatenáctého až dvacátého druhého součtově součinného hradla (SSHC19 až SSHC22) a na vstup dvacátého šestého invertoru (INV26), jehož výstup je připojen na první vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu, na čtvrté vstupy pátého až osmého, čtrnáctého až sedmnáctého a devatenáctého až dvacátého druhého čtyřvstupového součtově součinného hradla (SSHC5 až SSHC8, SSHC14 až SSHC17 a SSHC19 až SSHC22), na třetí vstup osmnáctého čtyřvstupového součtově součinného hradla (SSHC18) a na druhý vstup dvacátého třetího součtově součinného hradla (SSHC23), výstup pátého třívstupového obvodu (NST5) typu negace logického součinu je připojen na vstup dvacátého sedmého invertoru (INV27), jehož výstup je připojen na vstup jedenáctého dvouvstupového obvodu (NSD11) typu negace logického součinu, na druhý vstup padesátého pátého dvouvstupového obvodu (NSD55) typu negace logického součinu, na druhý vstup šestého třívstupového obvodu (NST6) typu negace logického součinu, na druhý vstup sedmého třívstupového obvodu (NST7) typu negace logického součinu a na druhý vstup osmého třívstupového obvodu (NST8) typu negace logického součinu, jehož výstup je připojen na vstup třicátého invertoru (INV30), jehož výstup je připojen na první vstup dvacátého prvního dvouvstupového obvodu (NSD21) typu negace logického součinu, na první vstup osmnáctého dvouvstupového obvodu (NSD18) typu negace logického součinu, na druhý vstup dvacátého třetího dvouvstupového obvodu (NSD23) typu negace logického součinu a na první vstup dvacátého

čtvrtého dvouvstupového obvodu (NSD24) typu negace logického součinu, jehož výstup tvoří současně patnáctý výstup (0015) zapojení, připojitelný na aritmetickou a logickou jednotku, výstup šestého třívstupového obvodu (NST6) typu negace logického součinu je připojen na vstup dvacátého osmého invertoru (INV28), jehož výstup je připojen na první vstup dvacátého druhého dvouvstupového obvodu (NSD22) typu negace logického součinu, na první vstup dvacátého šestého dvouvstupového obvodu (NSD26) typu negace logického součinu, na první vstup třicátého pátého dvouvstupového obvodu (NSD35) typu negace logického součinu, na první vstup třicátého šestého dvouvstupového obvodu (NSD36) typu negace logického součinu, na první vstup

dvacátého devátého dvouvstupového obvodu (NSD29) typu negace logického součinu, na první vstup dvacátého pátého čtyřvstupového součtově součinného hradla (SSHC25) a na druhý vstup padesátého třetího dvouvstupového obvodu (NSD53) typu negace logického součinu, jehož výstup tvoří současně dvanáctý výstup (0012) zapojení, připojitelný na obvody indikace, výstup sedmého třívstupového obvodu (NST7) typu negace logického součinu je připojen na vstup dvacátého devátého invertoru (INV29), jehož výstup je připojen na první vstup třicátého druhého dvouvstupového obvodu (NSD32) typu negace logického součinu, na první vstup třicátého třetího dvouvstupového obvodu (NSD33) typu negace logického součinu a na první vstup třicátého čtvrtého dvouvstupového obvodu (NSD34) typu negace logického součinu, jehož výstup je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup třetího čtyřvstupového obvodu (NSC3) typu negace logického součinu je připojen na vstup třicátého prvního invertoru (INV31), jehož výstup je připojen na druhý vstup devatenáctého dvouvstupového obvodu (NSD19) typu negace logického součinu, na první vstup dvacátého dvouvstupového obvodu (NSD20) typu negace logického součinu, na druhý vstup dvacátého pátého dvouvstupového obvodu (NSD25) typu negace logického součinu, na první vstup dvacátého osmého dvouvstupového obvodu (NSD28) typu negace logického součinu, na druhý vstup třicátého sedmého dvouvstupového obvodu (NSD37) typu negace logického součinu, na první vstup čtyřicátého sedmého dvouvstupového obvodu (NSD47) typu negace logického součinu, na druhý vstup padesátého prvního dvouvstupového obvodu (NSD51) typu negace logického součinu a na první vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu, jehož výstup je připojen na nastavovací vstupy (14, 24, 34, 44) prvního až čtvrtého klopného obvodu ($KV(15)$, $KV(14)$, $KV(13)$, $KV(12)$) typu D, výstup dvacátého čtvrtého čtyřvstupového součtově součinného hradla (SSHC24) je připojen přes třicátý druhý inverter (INV32) na první vstup padesátého pátého dvouvstupového obvodu (NSD55) typu negace logického součinu, jehož výstup tvoří současně čtrnáctý výstup (0014) zapojení, připojitelný na aritmetickou a logickou jednotku, výstupy prvního až sedmého dvouvstupového obvodu (NSK1 až NSK7) typu negace logického součinu s otevřeným kolektorem jsou spojeny a připojeny jednak přes čtrnáctý odpor (R14) na kladný pól (+) zdroje elektrické energie, jednak na čtvrtý vstup dvacátého čtvrtého čtyřvstupového součtově součinného hradla (SSHC24) jednak přes dvacátý pátý inverter (INV25) na druhý vstup dvacátého čtvrtého čtyřvstupového součtově součinného hradla (SSHC24), výstup jedenáctého dvouvstupového obvodu (NSD11) typu negace logického součinu je připojen na vstup dvacátého třetího invertoru (INV23), jehož výstup je připojen na třetí vstup dvacátého pátého čtyřvstupového součtově součinného hradla (SSHC25), na první vstup čtyřicátého osmého dvouvstupového obvodu (NSD48) typu negace logického součinu a na první vstup padesátého dvouvstupového obvodu (NSD50) typu negace logického součinu, jehož výstup je připojen na první vstup padesátého druhého dvouvstupového obvodu (NSD52) typu negace logického součinu, výstup patnáctého dvouvstupového obvodu (NSD15) typu negace logického sou-

činu je připojen na druhý vstup pátého dvouvstupového obvodu (NSK5) typu negace logického součinu s otevřeným kolektorem, druhý vstup šestého dvouvstupového obvodu (NSK6) typu negace logického součinu s otevřeným kolektorem je připojen přes třináctý odpor (R13) na kladný pól (+) zdroje elektrické energie a tvoří současně dvanáctý vstup (O12) zapojení, připojitelný na obvody ručního ovládání, vstup čtyřicátého čtvrtého invertoru (INV44) je připojen na druhý vstup prvního dvouvstupového obvodu (NSK1) typu negace logického součinu s otevřeným kolektorem, na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení a tvoří současně sedmý vstup (O7) zapojení, připojitelný na klávesnici, výstup čtyřicátého čtvrtého invertoru (INV44) je připojen přes osmnáctý odpor (R18) na kladný pól (+) zdroje elektrické energie a na první vstup třicátého devátého dvouvstupového obvodu (NSD39) typu negace logického součinu, jehož výstup je připojen na první vstup dvanáctého třívstupového obvodu (NST12) typu negace logického součinu, výstup osmnáctého dvouvstupového obvodu (NSD18) typu negace logického součinu je připojen na první vstup desátého třívstupového obvodu (NST10) typu negace logického součinu, jehož výstup je připojen na první vstup jedenáctého třívstupového obvodu (NST11) typu negace logického součinu, na druhý vstup třicátého devátého dvouvstupového obvodu (NSD39) typu negace logického součinu, na druhý vstup sedmého dvouvstupového obvodu (NSK7) typu negace logického součinu s otevřeným kolektorem a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, vstup třicátého třetího invertoru (INV33) je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, přes patnáctý odpor (R15) na kladný pól (+) zdroje elektrické energie a přes šestnáctý odpor (R16) na nulový potenciál, výstup třicátého třetího invertoru (INV33) je připojen na první vstup čtyřicátého dvouvstupového obvodu (NSD40) typu negace logického součinu, na druhý vstup třináctého třívstupového obvodu (NST13) typu negace logického součinu a na druhý vstup dvanáctého třívstupového obvodu (NST12) typu negace logického součinu, jehož výstup je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení a tvoří současně dvacátý výstup (O020) zapojení, připojitelný na řídicí jednotku mikroprocesoru, výstup jedenáctého třívstupového obvodu (NST11) typu negace logického součinu je připojen na třetí vstup desátého třívstupového obvodu (NST10) typu negace logického součinu a na první vstup třináctého třívstupového obvodu (NST13) typu negace logického součinu, jehož výstup je jednak připojen na druhý vstup šestnáctého třívstupového obvodu (NST16) typu negace logického součinu, jednak na vstup třicátého šestého invertoru (INV36), jednak tvoří současně desátý výstup (O010) zapojení, připojitelný na displej, výstup třicátého šestého invertoru (INV36) je připojen přes první kondensátor (C1), jednak na vstup třicátého sedmého invertoru (INV37), jednak přes devatenáctý odpor (R19) na nulový potenciál, výstup třicátého sedmého invertoru (INV37) je připojen na první vstup čtyřicátého druhého dvouvstupového obvodu (NSD42) typu negace logického součinu, jehož výstup je připojen přes třetí kondensátor (C3), jednak na druhý vstup čtyřicátého třetího dvouvstupového obvodu (NSD43) typu negace logického součinu, jednak přes dvacátý první odpor (R21) na nulový potenciál, výstup čtyřicátého třetího dvouvstupového obvodu (NSD43) typu negace logického součinu je připojen na druhý vstup čtyřicátého druhého dvouvstupového obvodu (NSD42) typu negace logického součinu a na první vstup čtyřicátého pátého dvouvstupového obvodu (NSD45) typu negace logického součinu, jehož výstup je připojen na vstup čtyřicátého třetího invertoru (INV43), na třetí a čtvrtý vstup třináctého čtyřvstupového součtově součino-

vého hradla (SSHC13), na první a druhý vstup osmnáctého čtyřvstupového součtově součinného hradla (SSHC18), na třetí a čtvrtý vstup dvacátého třetího čtyřvstupového součtově součinného hradla (SSHC23) a přes monostabilní klopný obvod na hodinový vstup (252) dvacátého pátého klopného obvodu (KRBIT) typu D, výstup dvacátého třetího čtyřvstupového součtově součinného hradla (SSHC23) je připojen na hodinové vstupy (132), 142, 152, 162) třináctého až šestnáctého klopného obvodu (KV(3), KV(2), KV(1), KV(0)) typu D a přes čtvrtý inverter (INV4) na čtvrtý vstup osmnáctého čtyřvstupového součtově součinného hradla (SSHC18), výstup čtyřicátého třetího invertoru (INV43) tvoří současně osmnáctý výstup (0018) zapojení, připojitelný na řídicí jednotku mikroprocesoru, výstup čtyřicátého dvouvstupového obvodu (NSD40) typu negace logického součinu je připojen na třetí vstup dvanáctého třívstupového obvodu (NST12) typu negace logického součinu, na třetí vstup třináctého třívstupového obvodu (NST13) typu negace logického součinu a na první vstup čtyřicátého prvního dvouvstupového obvodu (NSD41) typu negace logického součinu, jehož výstup je připojen na druhý vstup čtyřicátého dvouvstupového obvodu (NSD40) typu negace logického součinu, výstup devátého třívstupového obvodu (NST9) typu negace logického součinu je připojen na druhý vstup desátého třívstupového obvodu (NST10) typu negace logického součinu a na druhý vstup čtyřicátého prvního dvouvstupového obvodu (NSD41) typu negace logického součinu, na druhý vstup devátého třívstupového obvodu (NST9) typu negace logického součinu tvoří současně dvacátý pátý vstup (025) zapojení, připojitelný na časový zdroj, třetí vstup devátého třívstupového obvodu (NST9) typu negace logického součinu tvoří současně čtvrtý vstup (024) zapojení, připojitelný na časový zdroj, výstup dvacátého prvního dvouvstupového obvodu (NSD21) typu negace logického součinu je připojen na druhý vstup čtrnáctého třívstupového obvodu (NST14) typu negace logického součinu, jehož první a třetí vstup jsou připojeny na kladný pól (+) zdroje elektrické energie a jehož výstup je připojen přes další monostabilní klopný obvod na druhý vstup čtyřicátého pátého dvouvstupového obvodu (NSD45) typu negace logického součinu, první vstup čtyřicátého třetího dvouvstupového obvodu (NSD43) typu negace logického součinu je připojen přes dvacátý čtvrtý odpor (R24) na kladný pól (+) zdroje elektrické energie a tvoří současně jedenáctý vstup (011) zapojení, připojitelný na obvody ručního ovládání, základní vstup (251) dvacátého pátého klopného obvodu (KRBIT) typu D je připojen na nulový potenciál a jeho jedničkový výstup (2501) je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup čtyřicátého čtvrtého dvouvstupového obvodu (NSD44) typu negace logického součinu je připojen přes čtyřicátý druhý inverter (INV42) na nulovací vstup (253) dvacátého pátého klopného obvodu (KRBIT) typu D, výstup dvacátého druhého dvouvstupového obvodu (NSD22) typu negace logického součinu tvoří současně šestý výstup (006) zapojení, připojitelný na snímač magnetických štítků, výstup dvacátého třetího dvouvstupového obvodu (NSD23) typu negace logického součinu tvoří současně sedmý výstup (007) zapojení, připojitelný na snímač magnetických štítků, výstup dvacátého šestého dvouvstupového obvodu (NSD26) typu negace logického součinu, jehož výstup je připojen na první vstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu, výstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu je připojen na druhý vstup dvacátého sedmého dvouvstupového obvodu (NSD27) typu negace logického součinu a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup dvacátého devátého dvouvstupového obvodu (NSD29) typu negace logického

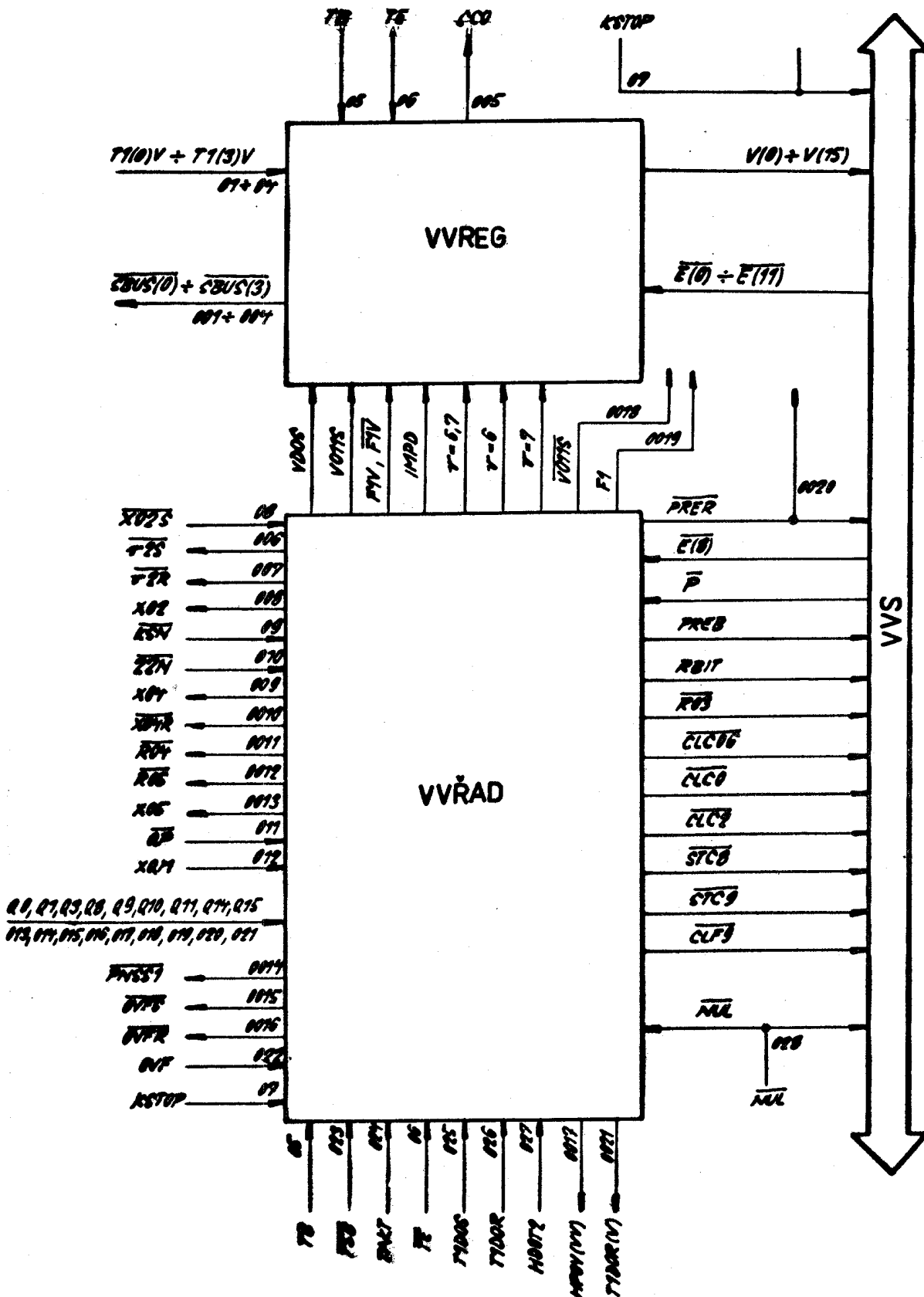
součinu je připojen na první vstup třicátého dvouvstupového obvodu (NSD30) typu negace logického součinu, jehož výstup je připojen na první vstup třicátého prvního dvouvstupového obvodu (NSD31) typu negace logického součinu, výstup třicátého prvního dvouvstupového obvodu (NSD31) typu negace logického součinu je připojen na druhý vstup třicátého dvouvstupového obvodu (NSD30) typu negace logického součinu, na druhý vstup patnáctého dvouvstupového obvodu (NSD15) typu negace logického součinu a tvoří současně jedenáctý výstup (0011) zapojení, připojitelný na displej, druhý vstup třicátého prvního dvouvstupového obvodu (NSD31) typu negace logického součinu je připojen přes sedmnáctý odpor (R17) na kladný pól (+) zdroje elektrické energie a tvoří současně devátý vstup (09) zapojení, připojitelný na displej, čtvrtý vstup třetího čtyřvstupového obvodu (NSC3) typu negace logického součinu je připojen na vstup třicátého čtvrtého invertoru (INV34) a tvoří současně čtrnáctý vstup (014) zapojení, připojitelný na procesor, výstup třicátého čtvrtého invertoru (INV34) je připojen na třetí vstup osmého třívstupového obvodu (NST8) typu negace logického součinu, čtvrtý vstup sedmého třívstupového obvodu (NST7) typu negace logického součinu je připojen na vstup čtyřicátého šestého invertoru (INV46) a tvoří současně patnáctý vstup (015) zapojení, připojitelný na procesor, výstup čtyřicátého šestého invertoru (INV46) je připojen na třetí vstup třívstupového obvodu (NST6) typu negace logického součinu, druhý vstup druhého dvouvstupového obvodu (NSK2) typu negace logického součinu s otevřeným kolektorem tvoří současně dvacátý druhý vstup (022) zapojení, připojitelný na aritmetickou a logickou jednotku, nastavovací vstup (264) dvacátého šestého klopného obvodu (KKO2) typu D je připojen přes dvacátý pátý odpor (R25) na kladný pól (+) zdroje elektrické energie a tvoří současně osmý vstup (08) zapojení, připojitelný na snímač magnetických štítků, základní vstup (261) dvacátého šestého klopného obvodu (KKO2) typu D je připojen na nulový potenciál, kdežto jeho jedničkový výstup (2601) je připojen na druhý vstup třetího dvouvstupového obvodu (NSK3) typu negace logického součinu s otevřeným kolektorem a tvoří současně osmý výstup (008) zapojení, připojitelný na snímač magnetických štítků, výstup čtyřicátého devátého dvouvstupového obvodu (NSD49) typu negace logického součinu je připojen na první vstup šestnáctého třívstupového obvodu (NST16) typu negace logického součinu a tvoří současně devátý výstup (009) zapojení, připojitelný na displej, výstup šestnáctého třívstupového obvodu (NST16) typu negace logického součinu je připojen na druhý vstup čtyřicátého devátého dvouvstupového obvodu (NSD49) typu negace logického součinu a na první vstup patnáctého dvouvstupového obvodu (NSD15) typu negace logického součinu, třetí vstup šestnáctého třívstupového obvodu (NST16) typu negace logického součinu tvoří současně desátý výstup (010) zapojení, připojitelný na displej, výstup padesátého druhého dvouvstupového obvodu (NSD52) typu negace logického součinu tvoří současně třináctý výstup (0013) zapojení, připojitelný na obvody indikace, výstup třicátého druhého dvouvstupového obvodu (NSD32) typu negace logického součinu je připojen na první vstup třicátého osmého dvouvstupového obvodu (NSD38) typu negace logického součinu, jehož výstup je připojen přes pátý inverter (INV35) na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup třicátého třetího dvouvstupového obvodu (NSD33) typu negace logického součinu je připojen na druhý vstup třicátého osmého dvouvstupového obvodu (NSD38) typu negace logického součinu a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup třicátého šestého dvouvstupového obvodu (NSD36) typu negace logického součinu je připojen na

vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, třetí vstup prvního čtyřvstupového součtově součinného hradla (SSHC1) je připojen na první vstup devátého čtyřvstupového součtově součinného hradla (SSHC9) a tvoří současně čtvrtý vstup (04) zapojení, připojitelný na procesor, třetí vstup druhého čtyřvstupového součtově součinného hradla (SSHC2) je připojen na první vstup desátého čtyřvstupového součtově součinného hradla (SSHC10) a tvoří současně třetí vstup (03) zapojení, připojitelný na procesor, třetí vstup třetího čtyřvstupového součtově součinného hradla (SSHC3) je připojen na první vstup jedenáctého čtyřvstupového součtově součinného hradla (SSHC11) a tvoří současně druhý vstup (02) zapojení, připojitelný na procesor, třetí vstup čtvrtého čtyřvstupového součtově součinného hradla (SSHC4) je připojen na první vstup dvanáctého čtyřvstupového součtově součinného hradla (SSHC12) a tvoří současně první vstup (01) zapojení, připojitelný na procesor, první vstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na čtvrtý vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu a tvoří současně šestý vstup (06) zapojení, připojitelný na časový zdroj, výstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na hodinové vstupy (12,22,32,42) prvního až čtvrtého klopného obvodu ($\overline{KV(15)}$, $\overline{KV(14)}$, $\overline{KV(13)}$, $\overline{KV(12)}$) typu D, první vstup dvacátého třetího čtyřvstupového součtově součinného hradla (SSHC23) je připojen na třetí vstup pátého třívstupového obvodu (NST5) typu negace logického součinu, na třetí vstup třetího čtyřvstupového obvodu (NSC3) typu negace logického součinu, na hodinové vstupy (172,182,192,202) sedmnáctého až dvacátého klopného obvodu ($\overline{KV(3)}$, $\overline{KV(2)}$, $\overline{KV(1)}$, $\overline{KV(0)}$) typu D a tvoří současně pátý vstup (05) zapojení, připojitelný na časový zdroj, výstup osmnáctého čtyřvstupového součtově součinného hradla (SSHC18) je připojen na hodinové vstupy (92,102,112,122) devátého až dvanáctého klopného obvodu ($\overline{KV(7)}$, $\overline{KV(6)}$, $\overline{KV(5)}$, $\overline{KV(4)}$) typu D a přes třetí invertor (INV3) na druhý vstup třináctého čtyřvstupového součtově součinného hradla (SSHC13), jehož výstup je připojen na hodinové vstupy (52,62,72,82) pátého až osmé klopného obvodu ($\overline{KV(11)}$, $\overline{KV(10)}$, $\overline{KV(9)}$, $\overline{KV(8)}$) typu D a přes první invertor (INV1) na třetí vstup prvního třívstupového obvodu (NST1) typu negace logického součinu, výstup prvního čtyřvstupového součtově součinného hradla (SSHC1) je připojen na základní vstup (11) prvního klopného obvodu ($\overline{KV(15)}$) typu D, jehož jedničkový výstup (101) je připojen na třetí vstup pátého čtyřvstupového součtově součinného hradla (SSHC5) a na čtvrtý vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu, kdežto jeho nulový výstup (102) je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup druhého čtyřvstupového součtově součinného hradla (SSHC2) je připojen na základní vstup (21) druhého klopného obvodu ($\overline{KV(14)}$) typu D, jehož jedničkový výstup (201) je připojen na třetí vstup šestého čtyřvstupového součtově součinného hradla (SSHC6) a na třetí vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu, kdežto jeho nulový výstup (202) je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup třetího čtyřvstupového součtově součinného hradla (SSHC3) je připojen na základní vstup (31) třetího klopného obvodu ($\overline{KV(13)}$) typu D, jehož jedničkový výstup je připojen na třetí vstup sedmého čtyřvstupového součtově součinného hradla (SSHC7) a na druhý vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu, kdežto jeho nulový výstup (302) je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup čtvrtého čtyřvstupového součtově součinného hradla

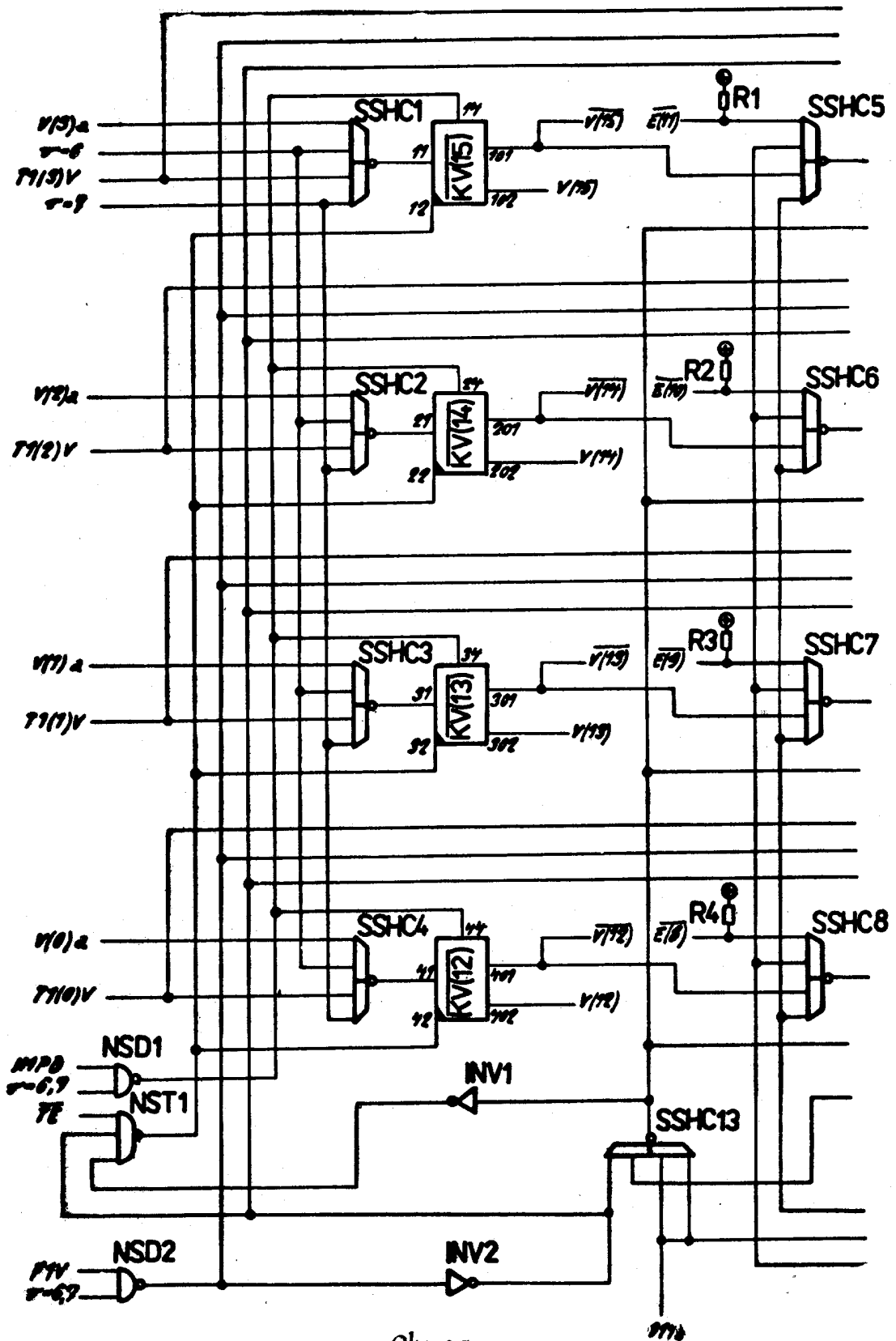
(SSH4) je připojen na základní vstup (41) čtvrtého klopného obvodu (KV(12)) typu D, jehož jedničkový výstup (401) je připojen na třetí vstup osmého čtyřvstupového součtově součinného hradla (SSH8) a na první vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu, kdežto jeho nulový výstup (402) je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu tvoří současně pátý výstup (005) zapojení, připojitelný na klávesnici, první vstup pátého čtyřvstupového součtově součinného hradla (SSH5) je připojen jednak přes první odpor (R1) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup (51) pátého klopného obvodu (KV(11)) typu D, jehož jedničkový výstup (501) je připojen na čtvrtý vstup devátého čtyřvstupového součtově součinného hradla (SSH9) a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, první vstup šestého čtyřvstupového součtově součinného hradla (SSH6) je připojen jednak přes druhý odpor (R2) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup (61) šestého klopného obvodu (KV(10)) typu D, jehož jedničkový výstup (601) je připojen na čtvrtý vstup desátého čtyřvstupového součtově součinného hradla (SSH10) a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, první vstup sedmého čtyřvstupového součtově součinného hradla (SSH7) je připojen jednak přes třetí odpor (R3) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup (71) sedmého klopného obvodu (KV(9)) typu D, jehož výstup je připojen na čtvrtý vstup jedenáctého čtyřvstupového součtově součinného hradla (SSH11) a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, první vstup osmého čtyřvstupového součtově součinného hradla (SSH8) je připojen jednak přes čtyřicátý sedmý inverter (INV47) na druhý vstup čtvrtého dvouvstupového obvodu (NSK4) typu negace logického součinu s otevřeným kolektorem, jednak přes čtvrtý odpor (R4) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup (81) osmého klopného obvodu (KV(8)) typu D, jehož jedničkový výstup (801) je připojen na čtvrtý vstup dvanáctého čtyřvstupového součtově součinného hradla (SSH12) a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup devátého čtyřvstupového součtově součinného hradla (SSH9) je připojen na třetí vstup čtrnáctého čtyřvstupového součtově součinného hradla (SSH14), jehož výstup je připojen na základní vstup (91) devátého klopného obvodu (KV(7)) typu D, jedničkový výstup (901) devátého klopného obvodu (KV(7)) typu D je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho nulový výstup (902) je připojen na třetí vstup devatenáctého čtyřvstupového součtově součinného hradla (SSH19), první vstup čtrnáctého čtyřvstupového součtově součinného hradla (SSH14) je připojen jednak přes pátý odpor (R5) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup desátého čtyřvstupového součtově součinného hradla (SSH10) je připojen na třetí vstup patnáctého čtyřvstupového součtově součinného hradla (SSH15), jehož výstup je připojen na základní vstup (101) desátého klopného obvodu (KV(6)) typu D, jedničkový výstup (1001) desátého klopného obvodu (KV(6)) typu D je připojen na vstupní

a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho nulový výstup (1002) je připojen na třetí vstup dvacátého čtyřvstupového součtové součinného hradla (SSHC20), první vstup patnáctého čtyřvstupového součtové součinného hradla (SSHC15) je připojen jednak přes šestý odpor (R6) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup jedenáctého čtyřvstupového součtové součinného hradla (SSHC11) je připojen na třetí vstup šestnáctého čtyřvstupového součtové součinného hradla (SSHC16), jehož výstup je připojen na základní vstup (111) jedenáctého klopného obvodu (KV(5)) typu D, jedničkový výstup (1101) jedenáctého klopného obvodu (KV(5)) typu D je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho nulový výstup (1102) je připojen na třetí vstup dvacátého prvního čtyřvstupového součtové součinného hradla (SSHC21), první vstup šestnáctého čtyřvstupového součtové součinného hradla (SSHC16) je připojen jednak přes sedmý odpor (R7) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup dvanáctého čtyřvstupového součtové součinného hradla (SSHC12) je připojen na třetí vstup sedmnáctého čtyřvstupového součtové součinného hradla (SSHC17), jehož výstup je připojen na základní vstup (121) dvanáctého klopného obvodu (KV(4)) typu D, jedničkový výstup (1201) dvanáctého klopného obvodu (KV(4)) typu D je připojen na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho nulový výstup (1202) je připojen na třetí vstup dvacátého druhého čtyřvstupového součtové součinného hradla (SSHC22), první vstup sedmnáctého čtyřvstupového součtové součinného hradla (SSHC17) je připojen jednak přes osmý odpor (R8) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, první vstup devatenáctého čtyřvstupového součtové součinného hradla (SSHC19) je připojen jednak přes devátý odpor (R9) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup (131) třináctého klopného obvodu (KV(3)) typu D, jehož jedničkový výstup (1301) je připojen na první vstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu, na základní vstup (171) sedmnáctého klopného obvodu (KV(3)a) typu D a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, první vstup dvacátého čtyřvstupového součtové součinného hradla (SSHC20) je připojen jednak přes desátý odpor (R10) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup (141) čtrnáctého klopného obvodu (KV(2)) typu D, jehož jedničkový výstup (1401) je připojen na první vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu, na základní vstup (181) osmnáctého klopného obvodu (KV(2)a) typu D a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, první vstup dvacátého prvního čtyřvstupového součtové součinného hradla (SSHC21) je připojen jednak přes jedenáctý odpor (R11) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup (151) patnáctého klopného obvodu (KV(1)) typu D, jehož jedničkový výstup (1501) je připojen na první vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu, na základní vstup (191) devatenáctého klopného obvodu (KV(1)a) typu D a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, první vstup dvacátého druhého čtyřvstupového součtové součinného hradla (SSHC22) je připojen jednak přes

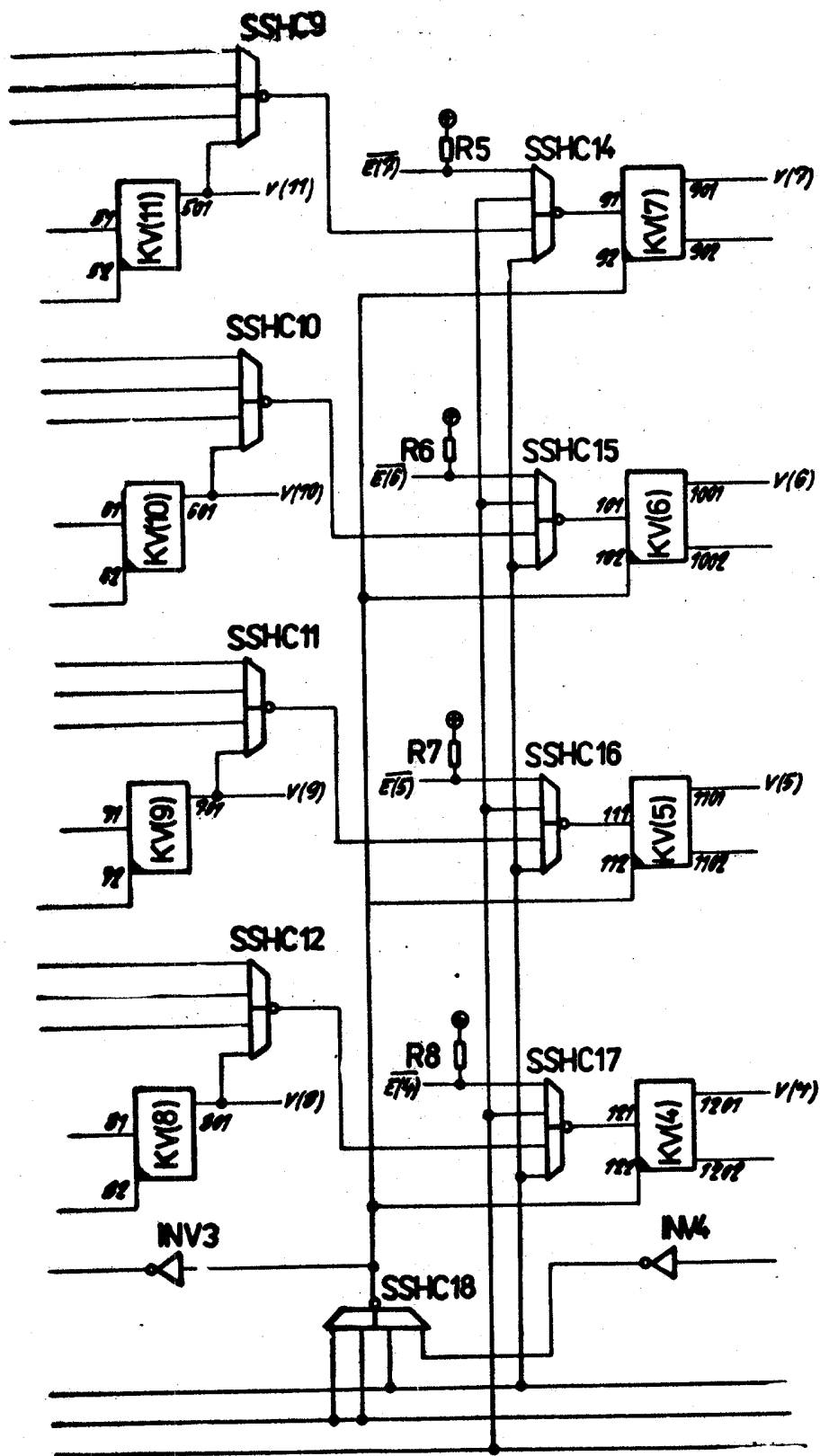
dvanáctý odpor (R12) na kladný pól (+) zdroje elektrické energie, jednak na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, kdežto jeho výstup je připojen na základní vstup (161) šestnáctého klopného obvodu (KV(0)) typu D, jehož jedničkový výstup (1601) je připojen na první vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, na základní vstup (201) dvacátého klopného obvodu (KV(0)a) typu D a na vstupní a výstupní sběrnici (VVS) pro připojení periferních zařízení, výstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu tvoří současně první vstup (001) zapojení, připojitelný na procesor, výstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu tvoří současně druhý výstup (002) zapojení, připojitelný na procesor, výstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu tvoří současně třetí výstup (003) zapojení, připojitelný na procesor, výstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu tvoří současně čtvrtý výstup (004) zapojení, připojitelný na procesor, jedničkový výstup (1701) sedmnáctého klopného obvodu (KV(3)a) typu D je připojen na první vstup prvního čtyřvstupového součtově součinnového hradla (SSHC1), jedničkový výstup (1801) osmnáctého klopného obvodu (KV(2)a) typu D je připojen na první vstup čtyřvstupového součtově součinnového hradla druhého (SSHC2), jedničkový výstup (1901) devatenáctého klopného obvodu (KV(1)a) typu D je připojen na první vstup třetího čtyřvstupového součtově součinnového hradla (SSHC3), jedničkový výstup (2001) dvacátého klopného obvodu (KV(0)a) typu D je připojen na první vstup čtvrtého čtyřvstupového součtově součinnového hradla (SSHC4).



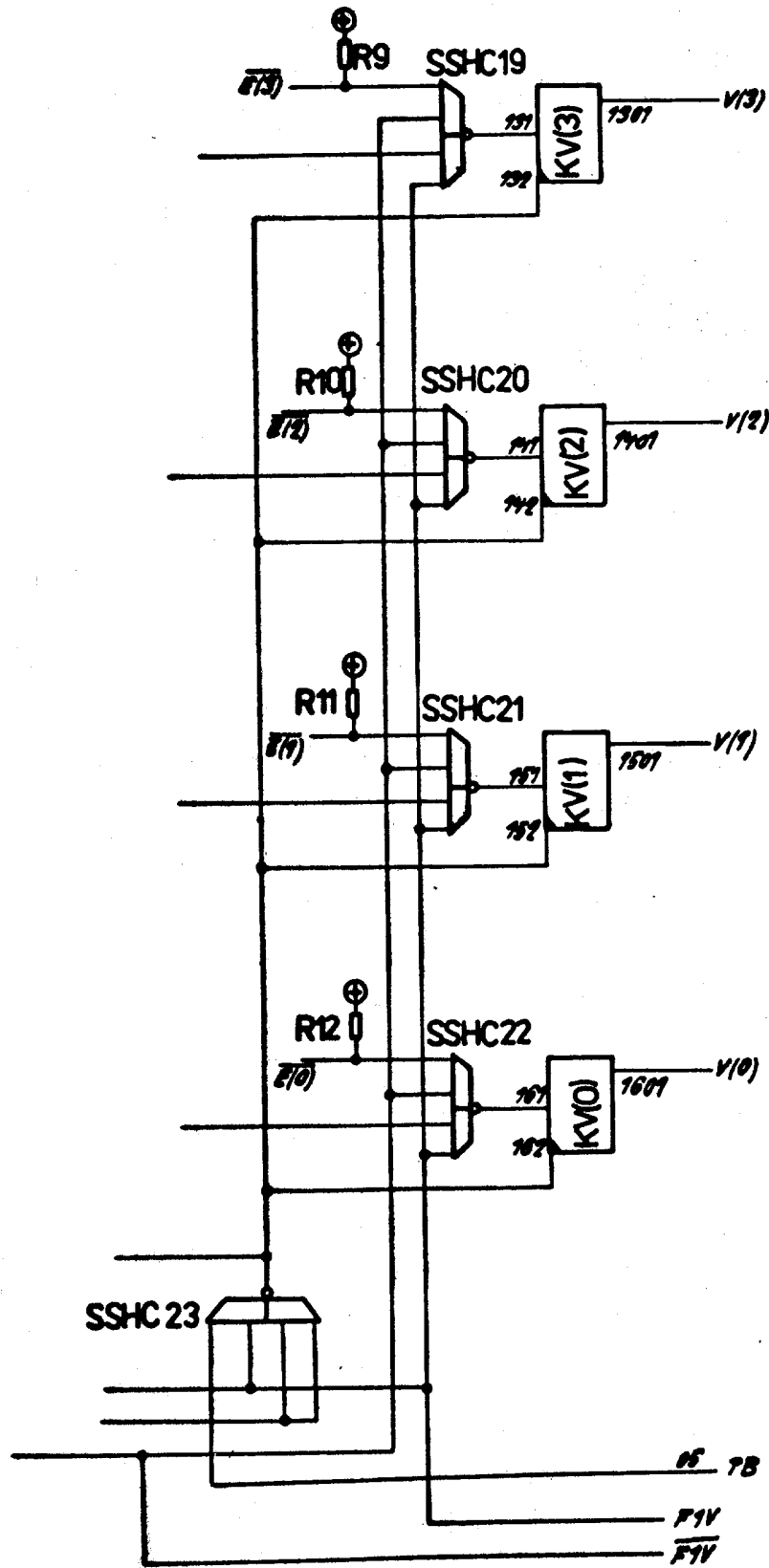
Obr. 1



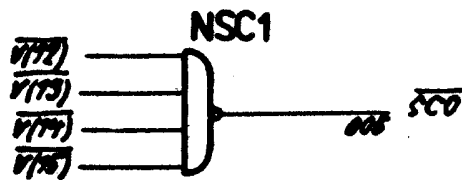
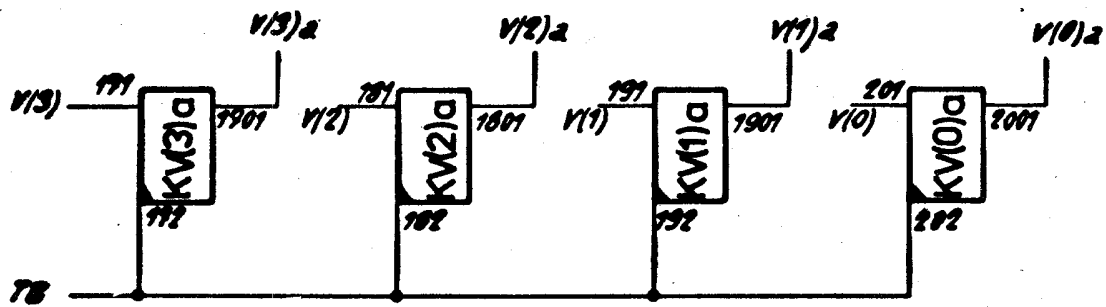
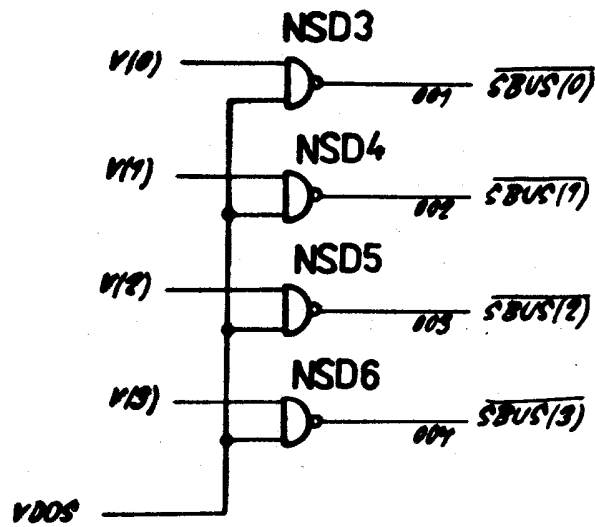
Obr. 2a



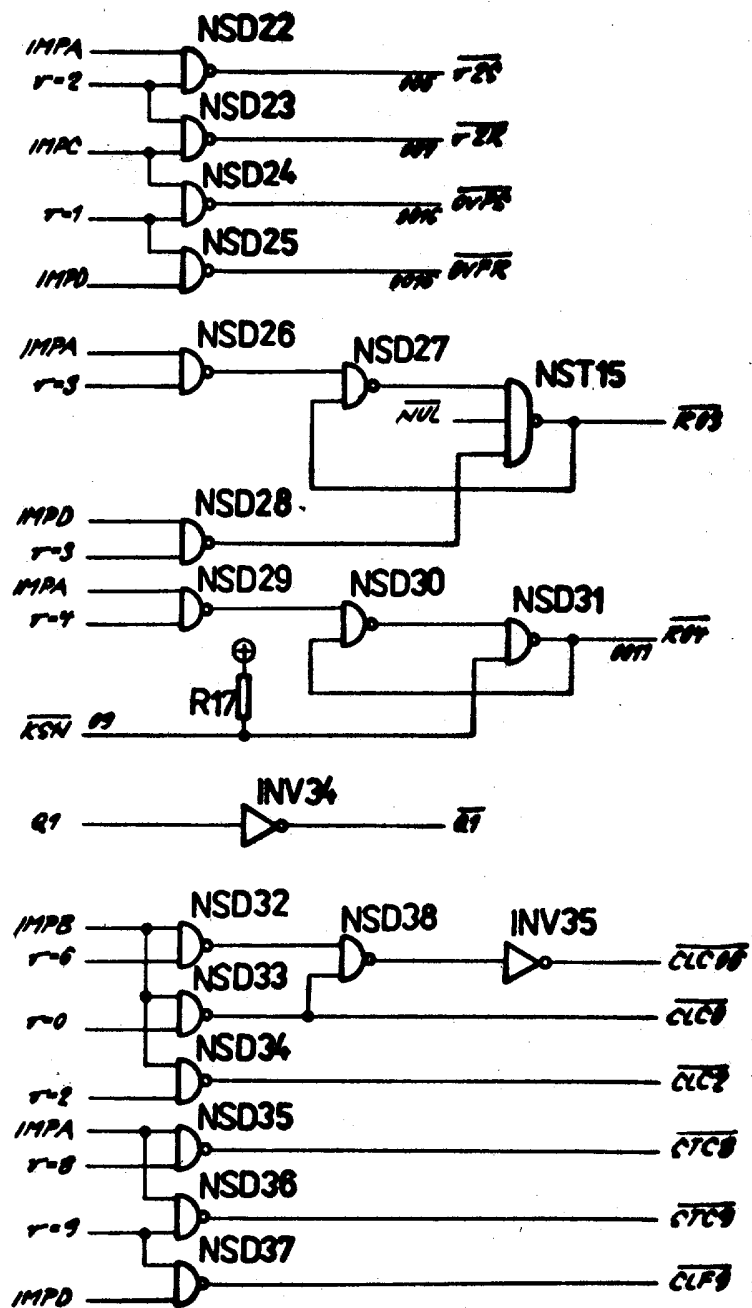
Obr. 2b



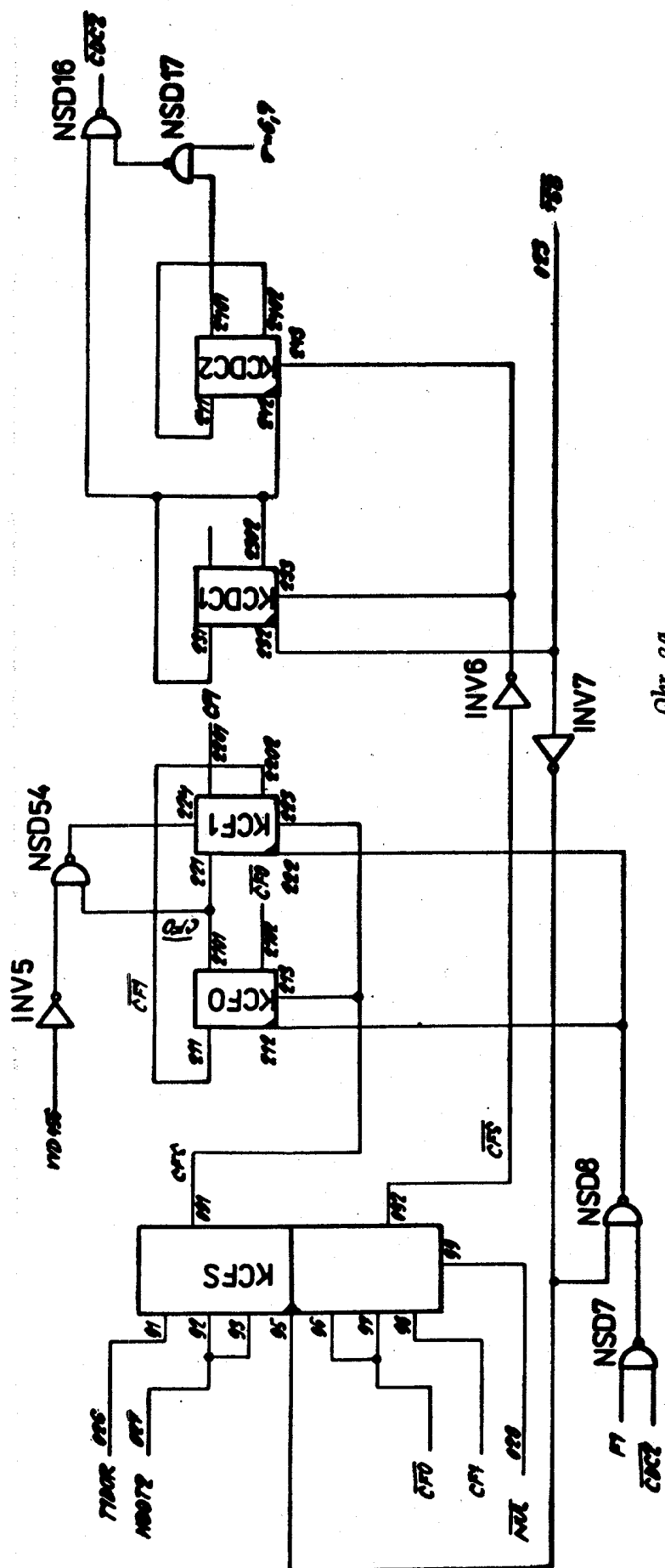
Obr. 2c

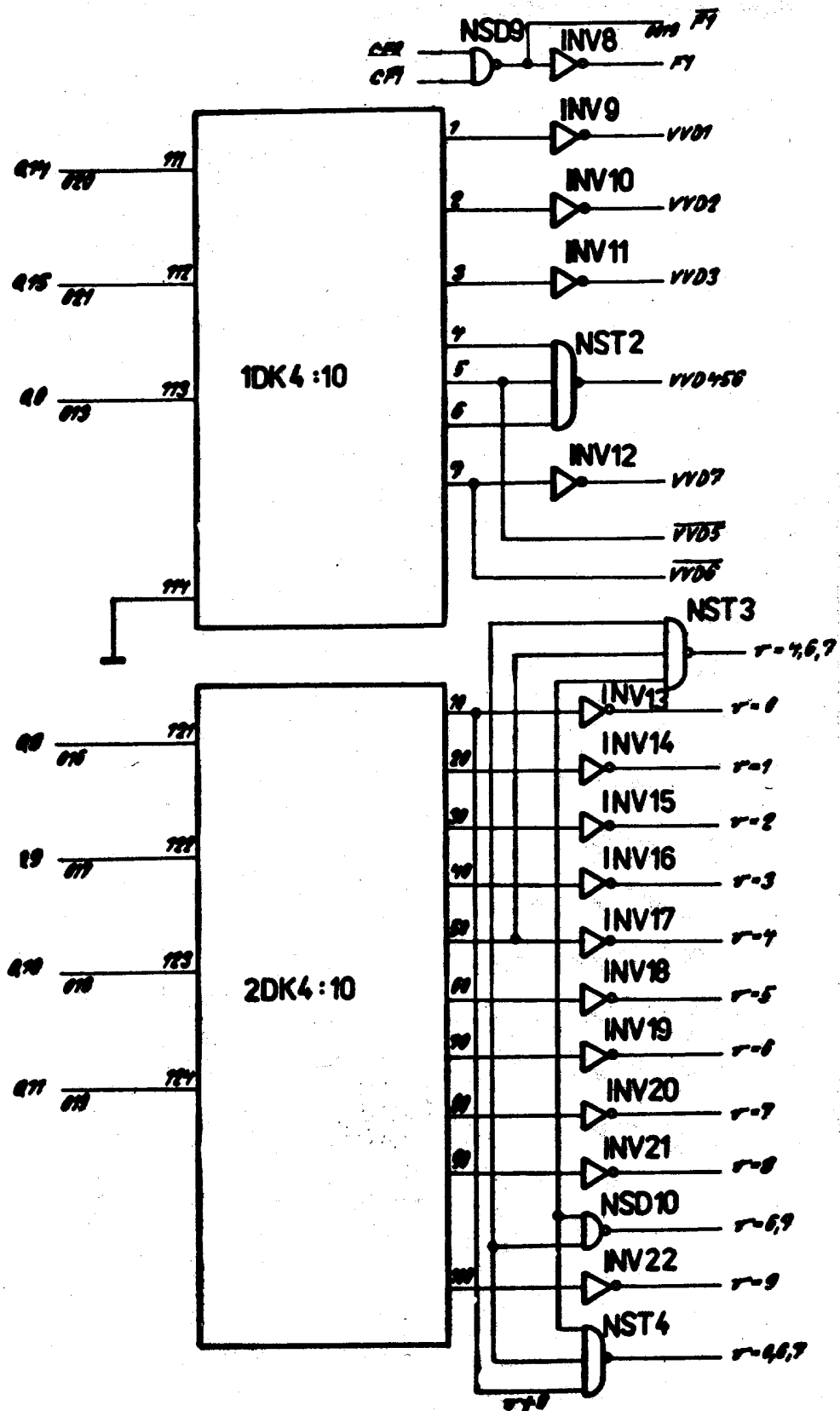


Obr. 2d

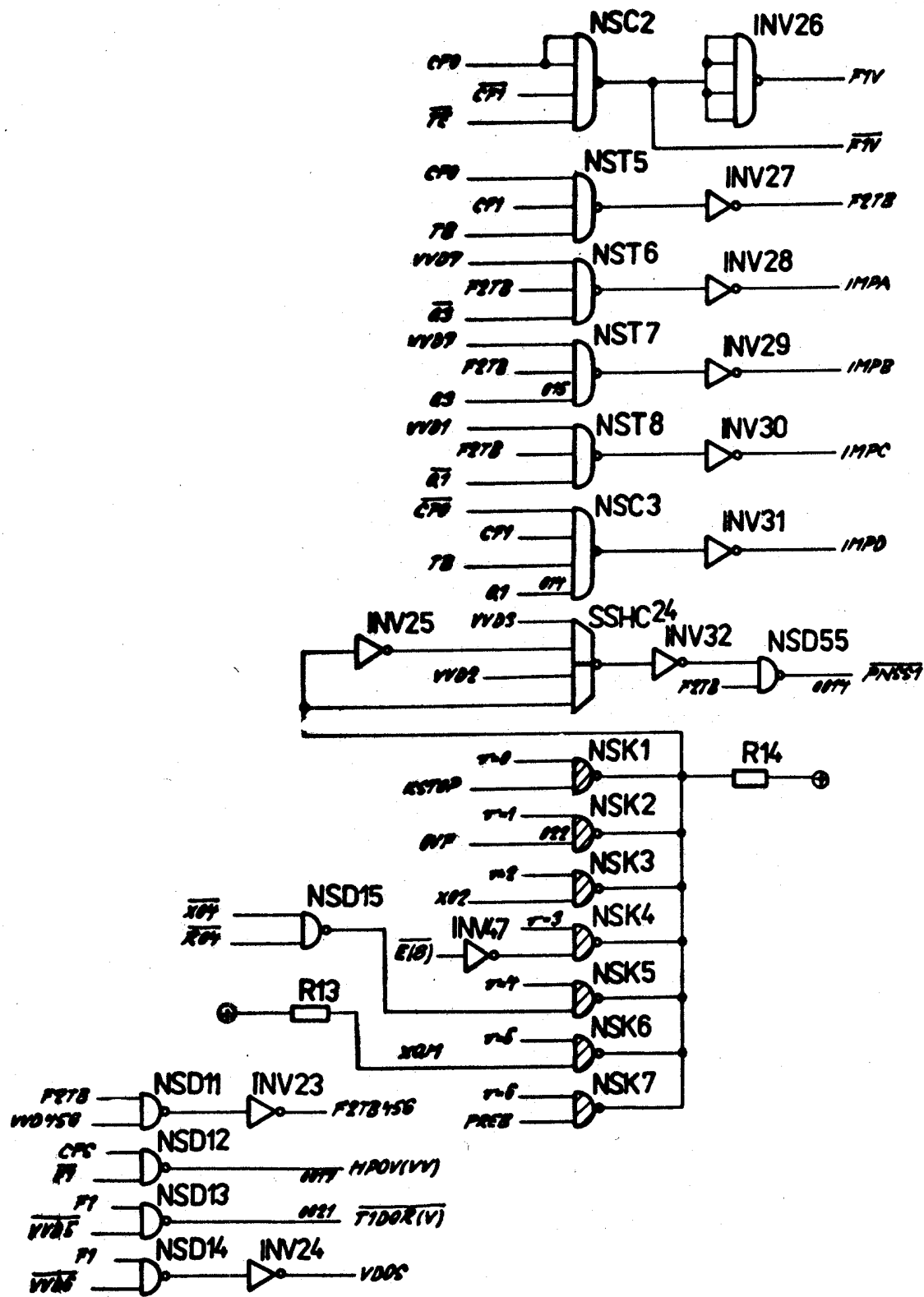


Obr. 3

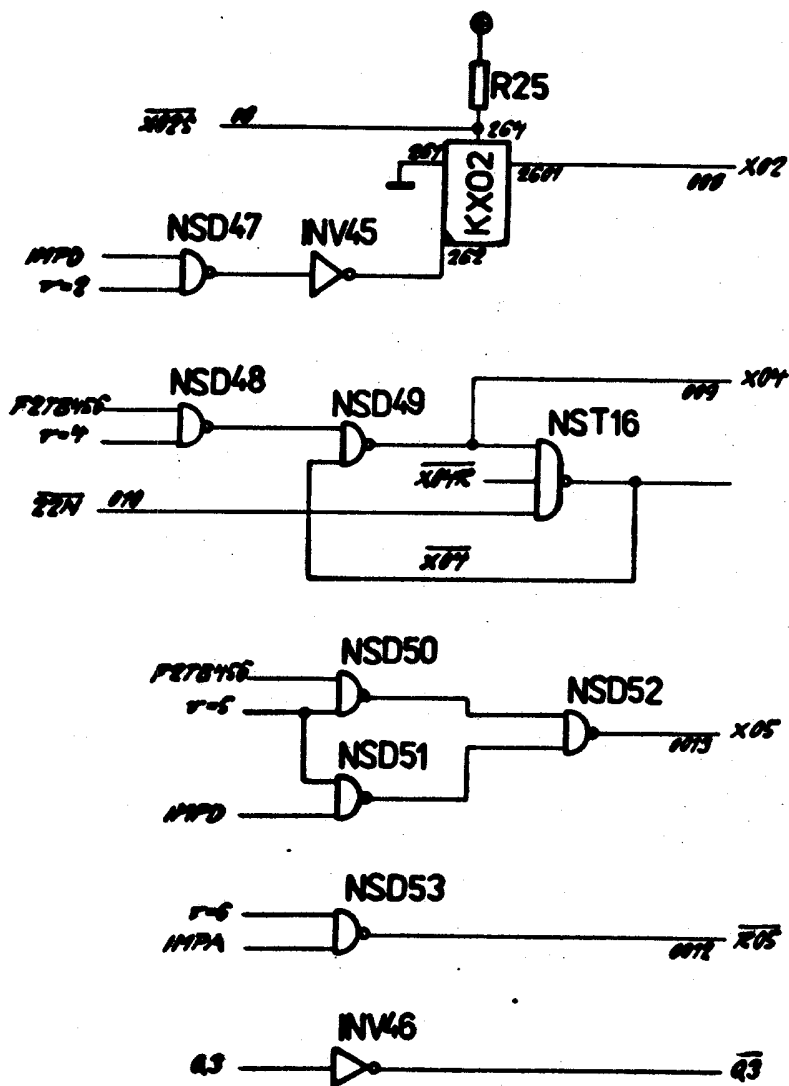




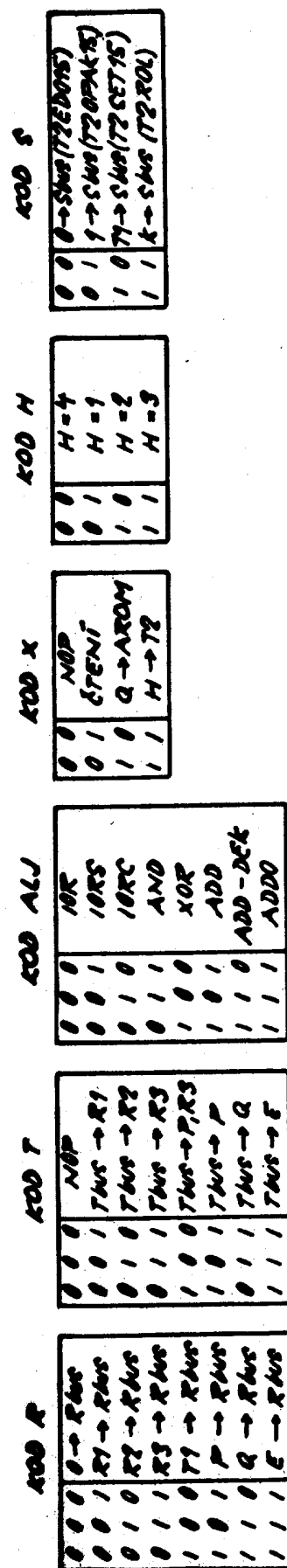
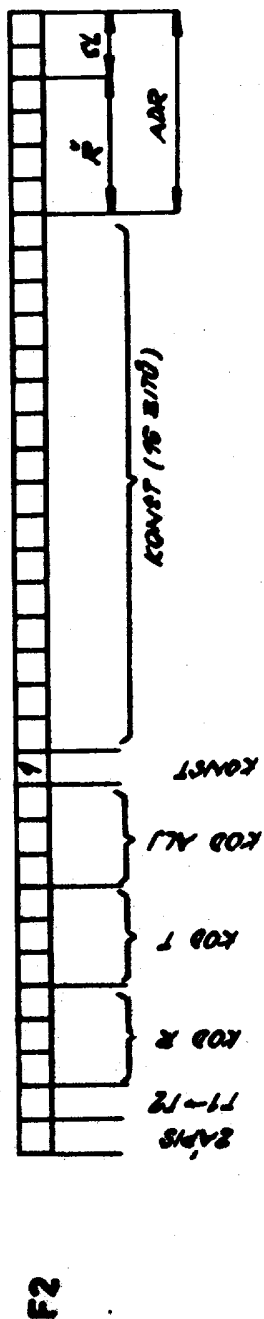
Обр. 3б

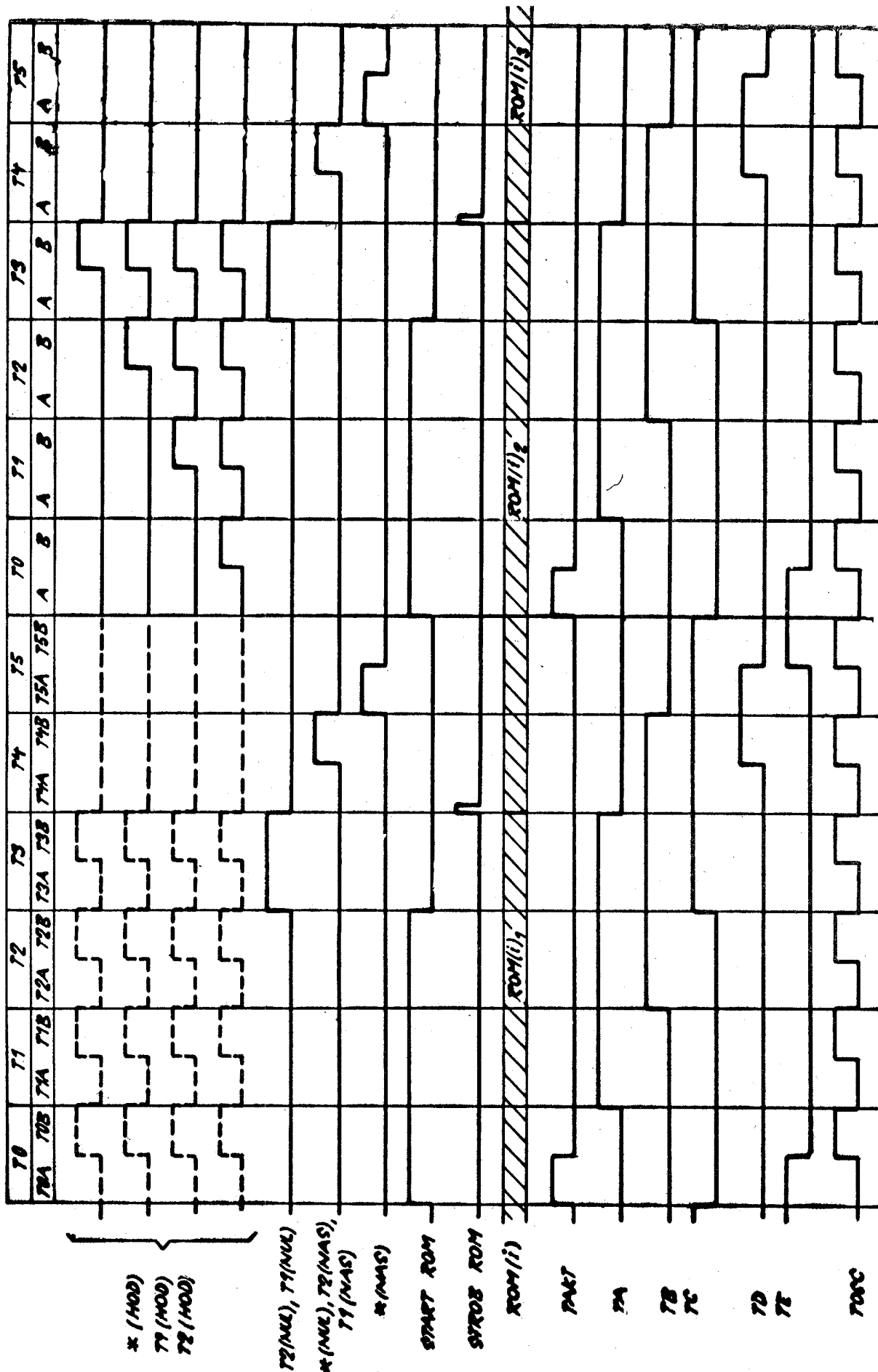


Обр. 3с



Obr. 3⁴





Obr. 5

= 0, 1, 2, 3, 4, 5