



(12) 发明专利申请

(10) 申请公布号 CN 101821948 A

(43) 申请公布日 2010.09.01

(21) 申请号 200880110598.2

尼古拉斯·F·金格尔斯 维维克·班

(22) 申请日 2008.09.16

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

(30) 优先权数据

11/868,711 2007.10.08 US

代理人 李佳 穆德骏

(85) PCT申请进入国家阶段日

2010.04.07

(51) Int. Cl.

H03K 19/00 (2006.01)

(86) PCT申请的申请数据

PCT/US2008/076515 2008.09.16

(87) PCT申请的公布数据

W02009/048716 EN 2009.04.16

(71) 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 斯里尼瓦桑·R·博马雷迪

乌代·帕德马纳班

萨米尔·J·索尼

科伊奇·E·诺姆拉

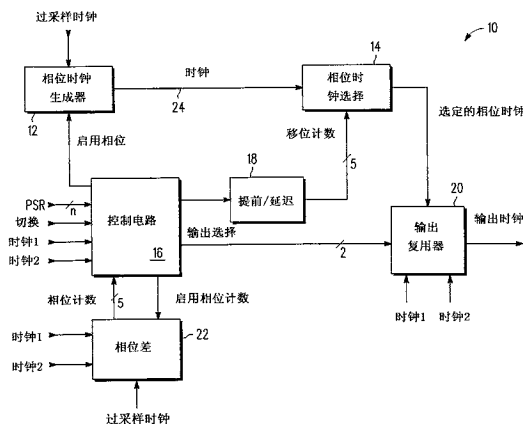
权利要求书 3 页 说明书 6 页 附图 2 页

(54) 发明名称

具有时钟转换能力的时钟电路和方法

(57) 摘要

一种装置 (10), 包括复用器 (20), 该复用器 (20) 被配置为提供从源时钟、目标时钟、和过渡时钟之中选择的输出时钟。该装置进一步包括: 相位差计算模块 (22), 被配置为计算源时钟和目标时钟之间的相位; 以及时钟生成模块 (12), 被配置为生成多个时钟。该装置进一步包括: 时钟选择模块 (14), 被配置为选择多个时钟中的一个时钟作为过渡时钟; 以及控制电路 (16), 被配置为提供: (1) 去往时钟选择模块的信号, 用于基于源时钟和目标时钟之间的相位差, 选择多个时钟中的一个时钟作为过渡时钟, 以及 (2) 去往复用器的信号, 用于提供源时钟、目标时钟、或过渡时钟中的一个作为输出时钟。



1. 一种装置,包括:

复用器,所述复用器被配置为提供从源时钟、目标时钟和过渡时钟中选择的输出时钟,其中在将所述输出时钟从所述源时钟切换到所述目标时钟期间,提供所述过渡时钟作为所述输出时钟;

相位差计算模块,所述相位差计算模块被配置为计算所述源时钟和所述目标时钟之间的相位差;

时钟生成模块,所述时钟生成模块被配置为生成多个时钟,其中所述多个时钟中的每个时钟具有与所述多个时钟中的其他时钟不同的相位;

时钟选择模块,所述时钟选择模块被配置为选择所述多个时钟中的一个时钟作为所述过渡时钟;以及

控制电路,所述控制电路被配置为接收时钟切换信号并且被配置为:

向所述时钟选择模块提供信号,用于基于所述源时钟和所述目标时钟之间的所述相位差来选择所述多个时钟中的一个时钟作为所述过渡时钟,以及

向所述复用器提供信号,用于提供所述源时钟、所述目标时钟或所述过渡时钟中的一个作为所述输出时钟。

2. 如权利要求 1 所述的装置,其中所述时钟选择模块被配置为:响应于来自于所述控制电路的信号,在第一持续时间内,选择所述多个时钟中的具有与所述源时钟相位基本上相同相位的一个时钟作为所述过渡时钟。

3. 如权利要求 2 所述的装置,其中所述时钟选择模块被配置为:响应于来自于所述控制电路的信号,在所述第一持续时间之后的第二持续时间内,选择所述多个时钟中的具有所述源时钟相位预定时段之内相位的一个时钟作为所述过渡时钟。

4. 如权利要求 3 所述的装置,其中所述时钟选择模块被配置为:响应于来自于所述控制电路的信号,保持从所述多个时钟中连续选择另一时钟作为所述过渡时钟,直到所述过渡时钟和所述目标时钟之间的相位差处于预定范围内。

5. 如权利要求 1 所述的装置,其中所述控制电路被进一步配置为:向所述复用器提供信号,以在开始时提供所述源时钟作为所述输出时钟。

6. 如权利要求 1 所述的装置,其中所述控制电路被进一步配置为:一旦接收到所述时钟切换信号,就向所述复用器提供信号,以提供所述过渡时钟作为所述输出时钟。

7. 如权利要求 6 所述的装置,其中所述控制电路被进一步配置为:当所述过渡时钟和所述目标时钟之间的相位差处于预定范围内时,向所述复用器提供信号,以提供所述目标时钟作为所述输出时钟。

8. 一种装置,包括:

复用器,所述复用器被配置为提供从源时钟、目标时钟或过渡时钟中选择的输出时钟,其中在将所述输出时钟从所述源时钟切换到所述目标时钟期间,提供所述过渡时钟作为所述输出时钟;

相位计算模块,所述相位计算模块被配置为计算所述源时钟和所述目标时钟之间的相位差;

时钟生成模块,所述时钟生成模块被配置为生成多个时钟,其中所述多个时钟中的每个时钟具有与所述多个时钟中其他时钟不同的的相位;

时钟选择模块,所述时钟选择模块被配置为选择所述多个时钟中的一个时钟作为所述过渡时钟,并且其中所述时钟选择模块被配置为:保持从所述多个时钟中连续选择另一时钟作为所述过渡时钟,直到所述过渡时钟和所述目标时钟之间的相位差处于预定范围内;以及

控制电路,所述控制电路被配置为接收时钟切换信号并且所述控制电路被配置为:

向所述时钟选择模块提供信号,用于基于所述源时钟和所述目标时钟之间的所述相位差来选择所述多个时钟中的一个时钟作为所述过渡时钟,以及

向所述复用器提供信号,用于提供所述源时钟、所述目标时钟或所述过渡时钟中的一个作为所述输出时钟。

9. 如权利要求 8 所述的装置,其中所述时钟选择模块被配置为:响应于来自于所述控制电路的信号,在第一持续时间内,选择所述多个时钟中的具有与所述源时钟相位基本上相同相位的一个时钟作为所述过渡时钟。

10. 如权利要求 9 所述的装置,其中所述时钟选择模块被配置为:响应于来自于所述控制电路的信号,在所述第一持续时间之后的第二持续时间内,选择所述多个时钟中的具有处于所述源时钟相位预定时段之内的相位的一个时钟作为所述过渡时钟。

11. 如权利要求 9 所述的装置,其中所述控制电路被进一步配置为:向所述复用器提供信号,以在开始时提供所述源时钟作为所述输出时钟。

12. 如权利要求 9 所述的装置,其中所述控制电路被进一步配置为:一旦接收到所述时钟切换信号,就向所述复用器提供信号,以提供所述过渡时钟作为所述输出时钟。

13. 如权利要求 12 所述的装置,其中所述控制电路被进一步配置为:当所述过渡时钟和所述目标时钟之间的相位差处于预定范围内时,向所述复用器提供信号,以提供所述目标时钟作为所述输出时钟。

14. 一种用于提供源时钟或目标时钟中的一个作为输出时钟的方法,所述方法包括:

生成所述源时钟和所述目标时钟之间的相位差;

生成多个时钟,其中所述多个时钟中的每个时钟具有与所述多个时钟中其他时钟不同的相位;以及

响应于接收到用来提供所述目标时钟而不是所述源时钟作为所述输出时钟的控制信号,基于所述源时钟和所述目标时钟之间的相位差来选择所述多个时钟中的一个时钟作为过渡时钟,以及提供所述过渡时钟作为所述输出时钟,直到所述过渡时钟和所述目标时钟之间的相位差处于预定范围内。

15. 如权利要求 14 所述的方法,进一步包括:响应于控制信号,在第一持续时间内,选择所述多个时钟中的具有与所述源时钟相位基本上相同相位的一个时钟作为所述过渡时钟。

16. 如权利要求 15 所述的方法,进一步包括:响应于控制信号,在所述第一持续时间之后的第二持续时间内,选择所述多个时钟中的具有处于所述源时钟相位预定时段之内的相位的另一时钟作为所述过渡时钟。

17. 如权利要求 14 所述的方法,进一步包括:接收信号,以在开始时提供所述源时钟作为所述输出时钟。

18. 如权利要求 14 所述的方法,进一步包括:当所述过渡时钟和所述目标时钟之间的

所述相位差处于所述预定范围内时,提供所述目标时钟作为所述输出时钟。

19. 如权利要求 15 所述的方法,进一步包括:基于对所述源时钟和所述目标时钟之间的相位差的分析,选择所述多个时钟中的在相位上比所述源时钟相位提前的另一时钟作为所述过渡时钟。

20. 如权利要求 15 所述的方法,进一步包括:基于对所述源时钟和所述目标时钟之间的所述相位差的分析,选择所述多个时钟中的在相位上比所述源时钟相位延迟的另一时钟作为所述过渡时钟。

## 具有时钟转换能力的时钟电路和方法

### 技术领域

[0001] 本公开总得涉及用于由系统使用的时钟电路,并且具体涉及用于由系统使用的可以从一个时钟切换到另一时钟的时钟电路。

### 背景技术

[0002] 具体而言,在使用电池的系统中,省电是一个重要问题。在移动电话的实例中,是使用射频 (RF) 通信的无线通信。为了有效的通信,要求精密受控的时钟,这需要锁相环 (PLL)。PLL 通常很耗电。另一方面,移动电话通常具有不需要精密受控时钟的其他功能,并因此不需要 PLL。所以,一种省电的技术是仅在需要时使用精密受控时钟,而对于其他操作使用另外的时钟。然而,在时钟之间的切换对于过渡期间的系统可能会导致诸如毛刺 (glitch) 和突然的相位变化之类的问题。

[0003] 所以,就需要一种时钟过渡,其避免或减轻因过渡而可能产生的问题。

### 附图说明

[0004] 本发明是借由示例被说明的且不受限于附图,在附图中相同的附图标记指示相似的元素。附图中的元素被简洁地说明,并且不必按比例绘制。

[0005] 图 1 是根据一个实施例的时钟过渡电路的框图;

[0006] 图 2 是有助于理解图 1 的时钟过渡电路的操作的时序图;并且

[0007] 图 3 是有助于理解图 1 的时钟过渡电路的操作的另一时序图。

### 具体实施方式

[0008] 时钟过渡电路从提供从源时钟输出的时钟切换到从目标时钟输出的时钟。在源时钟和目标时钟之间检测到相位差,源时钟与在过渡之前的时点上输出的时钟相同。通过提供使时钟输出和目标时钟之间的相位差递增地减少的临时时钟来进行过渡。对于每个时钟循环或预定数量的时钟循环,相位差以递增量减少。对于每个附加的时钟循环或预定数量的时钟循环,相位差以另一递增量减少。该过程继续,直到相位差减到足够低或是消失,然后使用目标时钟来代替临时时钟。

[0009] 按本文的用法,术语“总线”用于指可以用来传递一种或多种类型的信息,诸如数据、地址、控制、或状态的多个信号或导体。可以按照参考为单个导体、多个导体、单向导体、或双向导体来说明或描述本文讨论的导体。然而,不同的实施例可以对导体的实施进行变化。例如,可以使用分离的单向导体而不是双向导体,反之亦然。而且,可以用以串行或时间复用方式传递多个信号的单个导体来代替多个导体。同样,可以将承载多个信号的单个导体分割为承载这些信号的子集的多个不同导体。因此,对于传递信号存在很多选择。

[0010] 当指示信号、状态位、或类似装置的呈递进入其逻辑真或逻辑假状态时,分别使用本文的术语“断言 (assert)”或“设置”和“否定”(或“取消断言 (deassert)”或“清除”)。如果逻辑真状态是逻辑电平 1,则逻辑假状态是逻辑电平 0。而如果逻辑真状态是逻辑电平

0, 则逻辑假状态是逻辑电平 1。

[0011] 图 1 所示是时钟电路 10, 包括: 相位时钟生成器 12、相位时钟选择电路 14、控制电路 16、提前 / 延迟电路 18、输出复用器 (MUX) 20、和相位差电路 22。时钟 1 和时钟 2 具有相同的频率, 并且可以具有共同的振荡器。在该示例中, 时钟 1 是校正后的时钟, 其有助于与另一时钟进行相位匹配。将预计该时钟使用 PLL, 因此更耗电。时钟 2 是未校正的时钟, 因此相比时钟 1, 操作更省电。时钟电路 10 可以在时钟 1 和 2 之间切换输出。在切换情形中, 可以认为当前被提供为输出的时钟是源时钟, 而认为要成为被提供的时钟的时钟是目标时钟。相位时钟生成器 12 接收过采样时钟, 其具有的频率是时钟 1 和 2 的倍数, 并提取自与时钟 1 和 2 相同的源。在该示例中, 过采样时钟具有的频率为时钟 1 和 2 的频率的 12 倍。

[0012] 相位时钟生成器 12 接收过采样时钟, 并生成具有不同相位的时钟 1 和 2 的频率的 24 个临时时钟。因此, 相位时钟生成器 12 提供 24 个每个具有不同相位的临时时钟, 每个相位对应于过采样时钟的 12 个连续循环的每个半循环。相位时钟选择电路 14 耦合到相位时钟生成器 12, 并且从 24 个相位时钟中选择要耦合到输出复用器 20 的那个相位时钟。提前 / 延迟电路 18 耦合到控制电路 16 和相位时钟选择电路, 向相位时钟选择电路 14 提供标识耦合到输出复用器 20 的那个临时时钟的信号。输出复用器 20 接收时钟 1、时钟 2、以及相位时钟选择电路 14 的输出。按照控制电路 16 的输出选择信号所确定的, 输出复用器 20 提供从时钟 1、时钟 2、和相位时钟选择电路 14 的输出之中选择的输出时钟。控制电路 16 接收: 相移速率 (PSR) 信号、切换信号、时钟 1、时钟 2、过采样时钟、以及来自于相位差电路 22 的相位计数信号。除了输出选择信号之外, 控制电路 16 还向相位时钟生成器 12 提供启用相位信号, 并向提前 / 延迟电路 18 提供提前 / 延迟信号。相位差电路 22 接收来自于控制电路 16 的启用相位计数信号、时钟 1、时钟 2、和过采样时钟。

[0013] 图 2 所示是示出了在控制电路 16 已经接收到切换信号的情形中的过采样时钟、目标时钟、输出时钟和源时钟的时序图。其示出了过采样时钟的频率是目标和源时钟的 12 倍。源时钟可以是时钟 1 或时钟 2, 而目标时钟可以是其他。在目标时钟的每个完整的循环内, 对过采样时钟的每半个循环进行标号。在该示例之中, 在输出时钟的第一个示出的上升之前接收到切换信号。在该点上, 由源时钟提供输出时钟, 所以它们同相。它们被示出为在相位 5 上一起上升, 相位 5 是过采样时钟的半循环 4 和半循环 5 之间的过渡。请注意, 通常源和目标时钟与过采样时钟完全不同步, 即使它们可能提取自从同一源。示出的是目标时钟在相位 1 上升。则在切换信号被断言的时间上, 在输出时钟和目标时钟之间的相位差为 4 个半循环。目标时钟比输出时钟提前 4 个半循环, 因此输出时钟为了与目标时钟同相, 需要提前过采样时钟的 4 个半时钟循环。

[0014] 响应于接收到切换信号, 控制电路 16 断言启用相位信号和启用相位计数信号。相位时钟生成器 12 通过生成 24 个临时时钟来进行响应。相位差电路 22 通过生成由控制电路 16 来接收的相位计数信号进行响应。相位计数信号指示目标时钟相比输出时钟提前多少个过采样时钟的半循环。在图 2 的示例之中, 该数值是 4。控制电路 16 通过断言提前 / 延迟信号来进行响应。提前 / 延迟电路 18 通过向相位时钟选择电路提供移位计数信号进行响应, 以向相位时钟选择电路 14 指示选择比输出时钟提前 1 个半循环 (1 个相位) 的相位时钟来耦合到输出复用器 20。在断言切换信号的时间上, 按照取自控制电路 16 的输出选择信号所确定的, 输出复用器 20 提供时钟 1 或时钟 2 作为输出时钟。假定将时钟 1 提供为

输出时钟,因此时钟 1 是源时钟,而时钟 2 是目标时钟。控制电路 16 确定输出选择信号何时从选择源时钟切换到选择由相位时钟选择电路 14 提供的临时时钟来作为输出时钟。在该示例之中,在源时钟已经在过采样时钟的 6 个半循环内为逻辑高之后,即在相位 11 上,选择临时时钟。因此,在相位 11 上开始的输出时钟是从临时时钟选择的过渡时钟。因为作为临时时钟的过渡时钟比源时钟提前 1 个相位,故而输出时钟在相位 16 上下降到逻辑低,相位 16 相对于相位 17 提前 1 个相位,在相位 17,源时钟下降到逻辑低。由于过渡时钟的频率相同,因此输出时钟与源时钟处于逻辑低的时间量相同。然后,在相位 4 上输出时钟上升,比在相位 5 上升的源时钟提前一个相位。接着,当输出时钟已在 6 个相位内为逻辑高时,提前 / 延迟电路 18 选择比源时钟提前 2 个相位的临时时钟。在第二临时时钟成为过渡时钟时,该变化在输出时钟上还不可见。由于过渡时钟现在比源时钟提前 2 个相位,因此输出时钟也比源时钟提前 2 个相位切换到逻辑低,但是仅比输出时钟的先前逻辑低过渡提早 1 个相位。

[0015] 对于接下来的两个过渡时钟,该过程类似地继续。在输出时钟已在 6 个相位内为逻辑高之后,提前 / 延迟电路 18 选择第三过渡时钟。因为作为临时时钟的新过渡时钟比源时钟提前 3 个半时钟循环,因此输出时钟比源时钟提前 3 个半循环过渡到逻辑低,但是仅比前一逻辑低过渡提前 1 个相位。对于第四过渡时钟情况类似,提前 / 延迟电路 18 选择比源时钟提前 4 个相位的临时时钟。由于输出时钟的前一循环提前 3 个相位,因此提前 4 个相位的过渡时钟引起比源时钟提前 4 个相位、比前一循环提前 1 个相位、且在相位上与目标时钟最为接近的逻辑低过渡。然后,在目标时钟已在 6 个相位内为逻辑高之后,控制电路提供输出选择信号,向输出复用器 20 指示将要提供目标时钟作为输出时钟。原来为目标时钟的时钟成为源时钟。控制电路 16 还取消断言启用相位信号,相位时钟生成器 12 通过停止生成临时时钟来对此作出响应。

[0016] 因而,时钟电路 10 通过一个时钟与另一时钟之间的相位差的递增改变,来实现从一个时钟到另一时钟的过渡。该递增被描述为在过渡时钟的每个循环内发生。按相移速率 (PSR) 信号所选的,控制电路 16 还可以通过低于每循环来进行递增变化,从而选择不同的变化速率。PSR 信号可以指示仅在每隔一个循环应当发生的递增变化或者递增变化之间的一些其他所选间隔。

[0017] 图 3 所示是目标信号相对源信号被延迟的示例。其示出源和输出时钟在相位 9 过渡到逻辑低,这比目标时钟在相位 13 过渡到逻辑低提前了 4 个相位。因此,为了与目标时钟同相,输出时钟需要被延迟 4 个相位。该操作与图 2 的示例相似。相位时钟生成器 12 开始生成 24 个临时时钟,并且相位差电路 22 测量目标时钟和源时钟之间的相位差。在该示例中,在控制电路 16 中,将相位差电路 22 提供的相位计数,即目标时钟比输出时钟提前的相位计数,转换为目标时钟相对输出时钟被延迟的相位计数。在该示例中,提前的相位量是 20。因此,时钟电路 20 使输出时钟延迟 4 个相位,而不是将输出时钟提前 20 个相位。这减少了迭代次数,以实现可以省电的将目标时钟经由输出复用器进行耦合的目的。因此,控制电路 16 向提前 / 延迟电路 18 指示,首先由相位时钟选择电路 14 选择的临时信号是比源信号延迟 1 个相位的信号。在源时钟的 6 个相位为逻辑高之后,控制电路 16 类似地改变输出选择信号,以选择来自相位时钟选择电路 14 的输出。这导致作为输出时钟提供的过渡时钟在相位 10 切换到逻辑低,相位 10 是源时钟过渡到逻辑低之后的一个相位。由于选作过渡

时钟的临时时钟与源时钟的频率相同,因此它们都在相同的期间内保持逻辑低,因此输出时钟过渡回到逻辑高是在源时钟的逻辑高过渡之后的一个相位。在首先选定的临时时钟的 6 个相位为逻辑高之后,提前 / 延迟电路 18 将延迟 2 个相位的临时时钟选择为去往输出复用器 20,因此在源时钟过渡到逻辑低之后 2 个相位,被提供为输出时钟的过渡时钟过渡到逻辑低。该过程继续进行到分别比源时钟延迟 3 和 4 个相位的第三和第四临时时钟。作为过渡时钟的第四临时时钟使得输出时钟与目标时钟同相。接着,控制电路 16 切换输出选择信号,以向输出复用器指示要将目标时钟提供为输出时钟。

[0018] 类似地,可以使用 PSR 信号使控制电路 16 以少于 1 个循环来应用相位变化。

[0019] 截止到现在,应当理解,提供了一种装置,具有:复用器、相位差计算模块、时钟生成模块、时钟选择模块、和控制电路。复用器被配置为提供从源时钟、目标时钟、和过渡时钟之中选择的输出时钟。在将输出时钟从源时钟切换到目标时钟期间,提供过渡时钟作为输出时钟。相位差计算模块被配置为计算源时钟和目标时钟之间的相位差。时钟生成模块被配置为生成多个时钟。多个时钟中的每个时钟具有与多个时钟之中其他时钟不同的相位。时钟选择模块被配置为选择多个时钟中的一个时钟作为过渡时钟。控制电路被配置为接收时钟切换信号,还被配置为向时钟选择模块提供信号并向复用器提供信号。去往时钟选择模块的信号用于基于源时钟和目标时钟之间的相位差,选择多个时钟中的一个时钟作为过渡时钟。去往复用器的信号用于提供源时钟、目标时钟、或过渡时钟中的一个作为输出时钟。时钟选择模块可以被配置为,响应于来自于控制电路的信号,在第一持续时间内,选择多个时钟中的具有与源时钟相位基本上相同相位的一个时钟作为过渡时钟。时钟选择模块可以被配置为,响应于来自于控制电路的信号,在第一持续时间之后的第二持续时间内,选择多个时钟中的具有处于源时钟相位预定时段之内的相位的一个时钟作为过渡时钟。时钟选择模块被配置为,响应于来自于控制电路的信号,保持从多个时钟之中连续选择另一时钟来作为过渡时钟,直到过渡时钟和目标时钟之间的相位差处于预定范围内。控制电路被进一步配置为,向复用器提供信号以在开始时提供源时钟作为输出时钟。控制电路被进一步配置为,向复用器提供信号,以在接收到时钟切换信号时,提供过渡时钟作为输出时钟。控制电路被进一步配置为,当在过渡时钟和目标时钟之间的相位差处于预定范围时,向复用器提供信号,将目标时钟提供为输出时钟。

[0020] 还公开了一种装置,具有复用器、相位计算模块、时钟生成模块、时钟选择模块、时钟选择模块、以及控制电路。复用器被配置为提供从源时钟、目标时钟、或过渡时钟之中选择的输出时钟。在将输出时钟从源时钟切换到目标时钟期间,提供过渡时钟作为输出时钟。相位计算模块被配置为计算源时钟和目标时钟之间的相位差。时钟生成模块被配置为生成多个时钟。多个时钟中的每个时钟具有与多个时钟之中其他时钟不同的相位。时钟选择模块被配置为选择多个时钟中的一个时钟作为过渡时钟,并且其中时钟选择模块被配置为,保持从多个时钟之中连续选择另一时钟来作为过渡时钟,直到在过渡时钟和目标时钟之间的相位差处于预定范围内。控制电路被配置为接收时钟切换信号,还被配置为向时钟选择模块提供信号并向复用器提供信号。去往时钟选择模块的信号用于基于源时钟和目标时钟之间的相位差,选择多个时钟中的一个时钟作为过渡时钟。去往复用器的信号用于提供源时钟、目标时钟、或过渡时钟中的一个作为输出时钟。时钟选择模块可以被配置为,响应于来自控制电路的信号,在第一持续时间内,选择多个时钟中的具有与源时钟相位基本上相

同相位的一个时钟作为过渡时钟。时钟选择模块可以被配置为,响应于来自于控制电路的信号,在第一持续时间之后的第二持续时间内,选择多个时钟中的具有处于源时钟相位预定时段之内的相位的一个时钟作为过渡时钟。控制电路可以被进一步配置为,向复用器提供信号以在开始时提供源时钟作为输出时钟。控制电路可以被进一步配置为,在接收到时钟切换信号时,向复用器提供信号,以将过渡时钟提供为输出时钟。控制电路可以被进一步配置为,当在过渡时钟和目标时钟之间的相位差处于预定范围时,向复用器提供信号,以将目标时钟提供为输出时钟。

[0021] 还有一种方法,用于提供源时钟或目标时钟中的一个作为输出时钟。该方法包括:生成源时钟和目标时钟之间的相位差。该方法进一步包括:生成多个时钟,其中多个时钟中的每个时钟具有与多个时钟之中其他时钟不同的相位。该方法进一步包括:响应于接收到用来提供目标时钟而不是源时钟作为输出时钟的控制信号,基于源时钟和目标时钟之间的相位差,选择多个时钟中的一个时钟作为过渡时钟,并提供过渡时钟作为输出时钟,直到在过渡时钟和目标时钟之间的相位差处于预定范围之内。该方法可以进一步包括:响应于控制信号,在第一持续时间内,选择多个时钟中的具有与源时钟相位基本上相同相位的一个时钟作为过渡时钟。该方法可以进一步包括:响应于控制信号,在第一持续时间之后的第二持续时间内,选择多个时钟之中的具有处于源时钟相位预定时段之内的相位的另一时钟作为过渡时钟。该方法可以进一步包括:接收信号以在开始时提供源时钟作为输出信号。该方法可以进一步包括:当过渡时钟和目标时钟之间的相位差处于预定范围内时,提供目标时钟作为输出时钟。该方法可以进一步包括:基于对源时钟和目标时钟之间的相位差的分析,选择多个时钟之中的在相位上比源时钟相位提前的另一时钟作为过渡时钟。该方法可以进一步包括:基于对源时钟和目标时钟之间的相位差的分析,选择多个时钟之中的在相位上比源时钟相位延迟的另一时钟作为过渡时钟。

[0022] 由于实施本发明的装置的绝大部分是由本领技术人员已知的电子组件和电路组成,因此为了理解和认识本发明的基本概念并且不混淆或偏离本发明的教导,如以上说明的,对于认为是必要以外内容的电路细节没有作出解释。

[0023] 另外,本领域的技术人员将意识到,以上所述操作的功能之间的界限仅是说明性的。多个操作的功能可以被组合为单个操作,和/或单个操作的功能可以分布在其他操作之中。另外,替代实施例可以包括特定操作的多个实例,也可以在各种其他实施例之中修改操作的顺序。

[0024] 尽管参考特定实施例描述了本发明,但是在不偏离如以下权利要求所阐述的本发明的范围的前提下,可做出各种修改和变化。例如,可以通过改变过采样时钟的频率来改变相位变化的分辨率。通过使用较高频率时钟的相位来识别相位变化的递增的技术尤其有益,但是也可以使用其他方法。因此,认为说明书和附图的意义是说明性的而不是限制性的,并且目的是将所有这类修改均包括在本发明的范围之内。本文根据特定实施例所描述的任何益处、优点、对于问题的解决方案的目的不是被解释为任何或所有权利要求的关键、必要、或基本的特性或元素。

[0025] 按本文的用法,术语“耦合”的目的不受限于直接耦合或机械耦合。

[0026] 另外,按本文的用法,将术语“一”定义为一个或一个以上。而且,在权利要求之中使用诸如“至少一个”和“一个或多个”的引导短语不应被解释为意指由不定冠词“一”引导

的另一权利要求元素把包含这类引导权利要求元素的任何特定权利要求限制为仅包含一个这类元素的发明,即使当同一权利要求包括引导短语“一个或多个”或“至少一个”以及诸如“一”的不定冠词时。对于定冠词的使用同样适用。

[0027] 除非另外指明,否则诸如“第一”和“第二”的术语用于在该术语描述的元素之间进行任意区分。因此,这些术语的目的不必是指示这类元素在时间上或其他优先顺序。

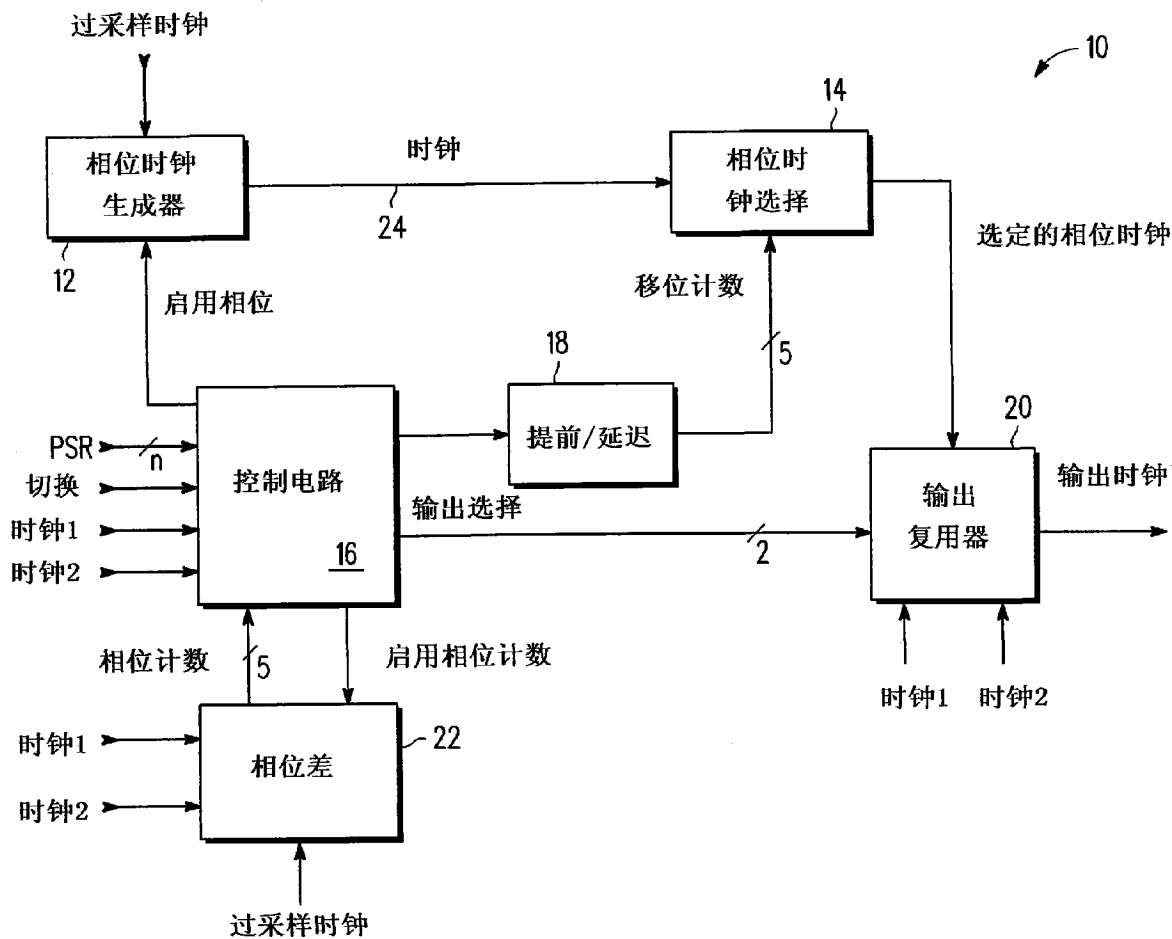


图 1

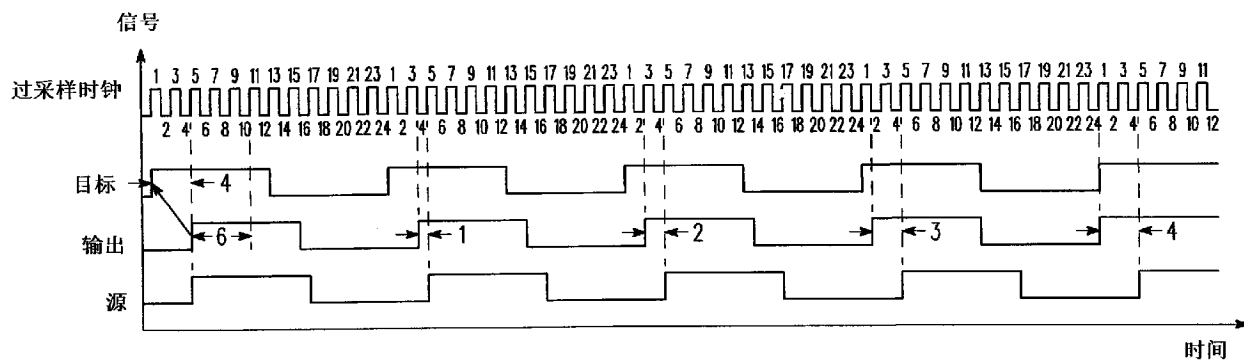


图 2

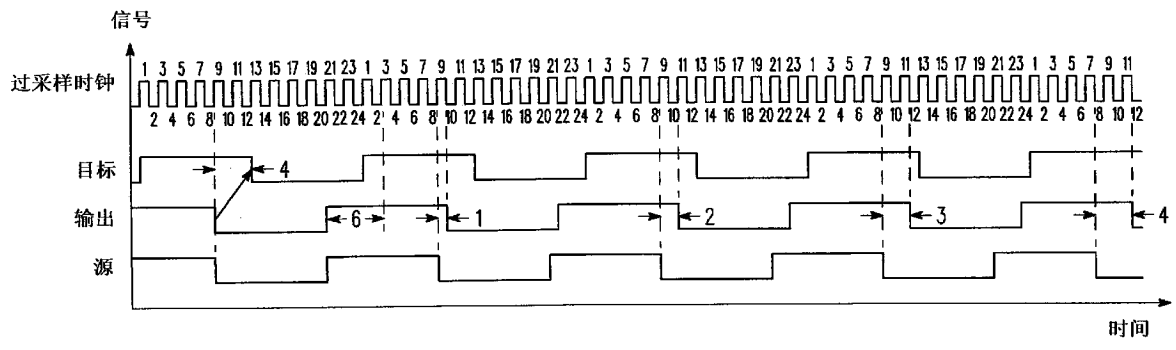


图 3