



(12) 发明专利

(10) 授权公告号 CN 101740552 B

(45) 授权公告日 2012. 05. 23

(21) 申请号 200810181585. 6

CN 1979847 A, 2007. 06. 13,

(22) 申请日 2008. 11. 25

CN 1355568 A, 2002. 06. 26,

US 2003006490 A1, 2003. 01. 09,

(73) 专利权人 南茂科技股份有限公司

审查员 刘博

地址 中国台湾新竹科学工业园区新竹县研
发一路一号

专利权人 百慕达南茂科技股份有限公司

(72) 发明人 周世文

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 陈亮

(51) Int. Cl.

H01L 25/00 (2006. 01)

H01L 25/18 (2006. 01)

H01L 25/065 (2006. 01)

H01L 23/488 (2006. 01)

H01L 21/60 (2006. 01)

(56) 对比文件

CN 101188225 A, 2008. 05. 28,

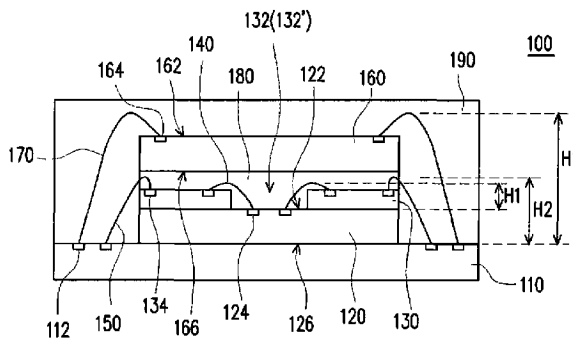
权利要求书 2 页 说明书 7 页 附图 6 页

(54) 发明名称

多芯片封装结构及其制造方法

(57) 摘要

一种多芯片封装结构,其包括一承载器、一第一芯片、一中继线路基板、多条第一焊线、多条第二焊线、一第二芯片、多条第三焊线及一粘着层。第一芯片配置于承载器上。中继线路基板配置于第一芯片上。第一焊线电性连接第一芯片与中继线路基板之间。第二焊线电性连接于中继线路基板与承载器之间。第二芯片配置于承载器上,并与第一芯片相堆叠。第三焊线电性连接于第二芯片与承载器之间。粘着层粘着于第一芯片与第二芯片之间。此外,一种多芯片封装结构的制造方法亦被提出。



1. 一种多芯片封装结构,包括:
 - 一承载器;
 - 一第一芯片,配置于该承载器上,且具有多个第一焊垫;
 - 一中继线路基板,配置于该第一芯片上;
 - 多条第一焊线,电性连接该第一芯片与该中继线路基板之间;
 - 多条第二焊线,电性连接于该中继线路基板与该承载器之间;
 - 一第二芯片,配置于该承载器上,并与该第一芯片相堆叠,且具有多个第二焊垫;
 - 多条第三焊线,电性连接于该第二芯片与该承载器之间,其中该些第一焊线、该些第二焊线及该些第三焊线位于该承载器的同一侧;以及
 - 一粘着层,粘着于该第一芯片与该第二芯片之间,且完全覆盖该些第一焊垫或该些第二焊垫。
2. 如权利要求 1 所述的多芯片封装结构,其特征在于,该承载器包括一电路板或一导线架。
3. 如权利要求 1 所述的多芯片封装结构,其特征在于,该第一芯片具有一第一有源表面以及一第一背面,该些第一焊垫位于该第一有源表面上,该中继线路基板配置于该第一芯片的该第一有源表面,并将该些第一焊垫暴露。
4. 如权利要求 3 所述的多芯片封装结构,其特征在于,该中继线路基板具有一开口,以将该些第一焊垫暴露,且该些第一焊线连接于该些第一焊垫与该中继线路基板之间,并穿过该开口。
5. 如权利要求 3 所述的多芯片封装结构,其特征在于,该中继线路基板具有一凹口,以将该些第一焊垫暴露,且该些第一焊线连接于该些第一焊垫与该中继线路基板之间,并穿过该凹口。
6. 如权利要求 1 所述的多芯片封装结构,其特征在于,该第一芯片配置于该承载器与该第二芯片之间,而该粘着层覆盖该第一芯片、该中继线路基板、该些第一焊线以及与该中继线路基板连接的各该第二焊线的一端。
7. 如权利要求 1 所述的多芯片封装结构,其特征在于,该第二芯片配置于该承载器与该第一芯片之间,而该粘着层覆盖该第二芯片以及与该第二芯片连接的各该第三焊线的一端。
8. 如权利要求 1 所述的多芯片封装结构,其特征在于,该第二芯片具有一第二有源表面以及一第二背面,该些第二焊垫位于该第二有源表面上,且该粘着层粘着于该第二背面与该第一有源表面之间。
9. 如权利要求 1 所述的多芯片封装结构,其特征在于,该粘着层包括一 B 阶粘着层。
10. 如权利要求 1 所述的多芯片封装结构,其特征在于,更包括一封装胶体,配置于该承载器上,其中该封装胶体包覆该第一芯片、该第二芯片、该些第二焊线以及该些第三焊线。
11. 一种多芯片封装结构的制造方法,包括:
 - 提供一承载器;
 - 将一第一芯片配置于该承载器上,其中该第一芯片具有多个第一焊垫;
 - 将一中继线路基板配置于该第一芯片上;

形成多条第一焊线,以使该第一芯片与该中继线路基板电性连接;

形成多条第二焊线,以使该中继线路基板与该承载器电性连接;

透过一粘着层将一第二芯片粘着于该第一芯片上,其中该粘着层覆盖该第一芯片、该中继线路基板、该些第一焊线以及与该中继线路基板连接的各该第二焊线的一端,且完全覆盖该些第一焊垫;以及

形成多条第三焊线,以使该第二芯片与该承载器之间电性连接。

12. 如权利要求 11 所述的多芯片封装结构的制造方法,其特征在于,该粘着层的形成方法包括于一第一芯片的一第一有源表面上形成一粘着层。

13. 如权利要求 11 所述的多芯片封装结构的制造方法,其特征在于,该粘着层的形成方法包括于一第二芯片的一第二背面上形成一粘着层,其中该些第一焊线与该些第二焊线能够穿过该粘着层。

14. 如权利要求 11 所述的多芯片封装结构的制造方法,其特征在于,该粘着层包括一 B 阶粘着层,而该 B 阶粘着层的形成方法包括:

于一第二芯片的一第二背面上形成一二阶粘着层;以及

使该二阶粘着层 B 阶化,以形成该 B 阶粘着层。

15. 如权利要求 14 所述的多芯片封装结构的制造方法,其特征在于,更包括:

以一固化制程熟化该 B 阶粘着层。

16. 一种多芯片封装结构的制造方法,包括:

提供一承载器;

将一第二芯片配置于该承载器上,其中该第二芯片具有多个第二焊垫;

形成多条第三焊线,以使该第二芯片与该承载器之间电性连接;

透过一粘着层将一第一芯片粘着于该第二芯片上,其中该粘着层完全覆盖该些第二焊垫;

将一中继线路基板配置于该第一芯片上;

形成多条第一焊线,以使该第一芯片与该中继线路基板电性连接;以及

形成多条第二焊线,以使该中继线路基板与该承载器电性连接。

17. 如权利要求 16 所述的多芯片封装结构的制造方法,其特征在于,该粘着层的形成方法包括于一第二芯片的一第二有源表面上形成一粘着层。

18. 如权利要求 16 所述的多芯片封装结构的制造方法,其特征在于,该粘着层的形成方法包括于一第一芯片的一第一背面上形成一粘着层。

19. 如权利要求 16 所述的多芯片封装结构的制造方法,其特征在于,该粘着层包括一 B 阶粘着层。

多芯片封装结构及其制造方法

技术领域

[0001] 本发明是有关于一种半导体元件及其制造方法,且特别是有关于一种多芯片封装结构 (multi-chips package) 及其制造方法。

背景技术

[0002] 在半导体产业中,集成电路 (integrated circuits, IC) 的生产主要可分为三个阶段:集成电路的设计、集成电路的制作及集成电路的封装。

[0003] 在集成电路的制作中,芯片 (chip) 是经由晶圆 (wafer) 制作、形成集成电路以及切割晶圆 (wafer sawing) 等步骤而完成。晶圆具有一有源面 (active surface), 其泛指晶圆的具有有源元件 (active element) 的表面。当晶圆内部的集成电路完成之后,晶圆的有源面更配置有多个接垫 (bonding pad), 以使最终由晶圆切割所形成的芯片可经由这些接垫而向外电性连接于一承载器 (carrier)。承载器例如为一导线架 (leadframe) 或一封装基板 (package substrate)。芯片可以打线接合技术 (wire-bonding technology) 或覆晶接合技术 (flip-chip bonding technology) 连接至承载器上,使得芯片的这些接垫可电性连接于承载器的多个接垫,以构成一芯片封装结构。

[0004] 然而,在现今电子产业对于电性效能最大化,低制造成本与集成电路的高积集度 (integration) 等的要求下,上述传统上具有单芯片的芯片封装结构已无法完全满足现今电子产业的要求。因此,现今电子产业以发展两种不同的解决方式来企图满足上述要求。其一,将所有核心功能整合于单一芯片中,换言之,将数字逻辑、存储器与模拟等功能完全整合于单一芯片中,此即为系统性芯片 (system on chip, SOC) 的概念。如此,将使得此系统性芯片比传统上的单一芯片具有更多更复杂的功能。其二,利用打线接合技术或覆晶接合技术将多个芯片封装在一承载器上,以构成一具有完整功能的多芯片封装结构。

[0005] 就多芯片封装结构而言,以动态随机存取存储器 (dynamic random access memory, DRAM) 以及中央处理器 (CPU) 为例,利用多芯片模组封装 (MCM) 的封装结构可将多个动态随机存取存储器以及中央处理器封装在同一个基板上,如此不仅提高封装密度、减少封装体体积,也降低了信号延迟的现象,以达到高速处理的目的,因此广泛被应用在通讯及携带式电子产品中。

[0006] 一般来说,在多芯片封装结构中,若采用中央焊垫的设计方式,则承载器必须具有能够让焊线通过的开口,以使芯片透过焊线电性连接于承载器,因而使承载器上可配置焊球的面积减少。此外,在多芯片封装结构中,芯片上的焊垫与承载器的距离愈远,电性连接于焊垫与承载器之间的焊线就必须愈长,因而增加线弧倒塌 (wire sweep) 的风险,且增加多芯片封装结构的整体厚度。

发明内容

[0007] 本发明提供一种多芯片封装结构,其具有较小的整体厚度及较多的植球 (ball placement) 面积。

[0008] 本发明提供一种多芯片封装结构的制造方法,其可制造出整体厚度较小且焊线倒塌机率较低的多芯片封装结构。

[0009] 本发明另提供一种多芯片封装结构的制造方法,其具有足够的植球面积。

[0010] 本发明提出一种多芯片封装结构,其包括一承载器、一第一芯片、一中继线路基板(relay circuit substrate)、多条第一焊线、多条第二焊线、一第二芯片、多条第三焊线及一粘着层。第一芯片配置于承载器上。中继线路基板配置于第一芯片上。第一焊线电性连接第一芯片与中继线路基板之间。第二焊线电性连接于中继线路基板与承载器之间。第二芯片配置于承载器上,并与第一芯片相堆叠。第三焊线电性连接于第二芯片与承载器之间,其中第一焊线、第二焊线及第三焊线位于承载器的同一侧。粘着层粘着于第一芯片与第二芯片之间。

[0011] 在本发明的一实施例中,上述的承载器包括一电路板或一导线架。

[0012] 在本发明的一实施例中,上述的第一芯片具有一第一有源表面、多个位于第一有源表面上的第一焊垫以及一第一背面,中继线路基板配置于第一芯片的第一有源表面,并将第一焊垫暴露。

[0013] 在本发明的一实施例中,上述的中继线路基板具有一开口(aperture),以将第一焊垫暴露,且第一焊线连接于第一焊垫与中继线路基板之间,并穿过开口。

[0014] 在本发明的一实施例中,上述的中继线路基板具有一凹口(notch),以将第一焊垫暴露,且第一焊线连接于第一焊垫与中继线路基板之间,并穿过凹口。

[0015] 在本发明的一实施例中,上述的第一芯片配置于承载器与第二芯片之间,而粘着层覆盖第一芯片、中继线路基板、第一焊线以及与中继线路基板连接的各第二焊线的一端。

[0016] 在本发明的一实施例中,上述的第二芯片配置于承载器与第一芯片之间,而粘着层覆盖第二芯片以及与第二芯片连接的各第三焊线的一端。

[0017] 在本发明的一实施例中,上述的第二芯片具有一第二有源表面、多个位于第二有源表面上的第二焊垫以及一第二背面,且粘着层粘着于第二背面与第一有源表面之间。

[0018] 在本发明的一实施例中,上述的粘着层包括一B阶粘着层。

[0019] 在本发明的一实施例中,上述的多芯片封装结构更包括一封装胶体,配置于承载器上,其中封装胶体包覆第一芯片、第二芯片、第二焊线以及第三焊线。

[0020] 本发明提出一种多芯片封装结构的制造方法。首先,提供一承载器。将一第一芯片配置于承载器上,并将一中继线路基板配置于第一芯片上。接着,形成多条第一焊线,以使第一芯片与中继线路基板电性连接。形成多条第二焊线,以使中继线路基板与承载器电性连接。之后,透过一粘着层将一第二芯片粘着于第一芯片上,其中粘着层覆盖第一芯片、中继线路基板、第一焊线以及与中继线路基板连接的各第二焊线的一端。形成多条第三焊线,以使第二芯片与承载器之间电性连接。

[0021] 在本发明的一实施例中,上述的粘着层的形成方法包括于一第一芯片的第一有源表面上形成一粘着层。

[0022] 在本发明的一实施例中,上述的粘着层的形成方法包括于一第二芯片的第二背面上形成一粘着层,其中第一焊线与第二焊线能够穿过(pierce)粘着层。

[0023] 在本发明的一实施例中,上述的粘着层包括一B阶粘着层,而B阶粘着层的形成方法包括于一第二芯片的第二背面上形成一二阶粘着层(two stage adhesive),以及使二

阶粘着层 B 阶化 (B-stagized), 以形成 B 阶粘着层。

[0024] 在本发明的一实施例中, 上述的多芯片封装结构的制造方法, 更包括以一固化制程熟化 B 阶粘着层。

[0025] 本发明更提出一种多芯片封装结构的制造方法。首先, 提供一承载器, 并将一第二芯片配置于承载器上。接着, 形成多条第三焊线, 以使第二芯片与承载器之间电性连接。透过一粘着层将一第一芯片粘着于第二芯片上, 并将一中继线路基板配置于第一芯片上。之后, 形成多条第一焊线, 以使第一芯片与中继线路基板电性连接。形成多条第二焊线, 以使中继线路基板与承载器电性连接。

[0026] 在本发明的一实施例中, 上述的粘着层的形成方法包括于一第二芯片的一第二有源表面上形成一粘着层。

[0027] 在本发明的一实施例中, 上述的粘着层的形成方法包括于一第一芯片的一第一背面上形成一粘着层。

[0028] 在本发明的一实施例中, 上述的粘着层包括一 B 阶粘着层。

[0029] 在本发明的多芯片封装结构中, 中继线路基板可以有效地降低焊线的高度及长度, 因此中继线路基板有助于多芯片封装结构的整体厚度的缩减, 并可避免因焊线过长而导致焊线倒塌。

附图说明

[0030] 为了让本发明的上述目的、特征和优点能更明显易懂, 以下结合附图对本发明的具体实施方式作详细说明, 其中:

[0031] 图 1A 至图 1I 为本发明一实施例的多芯片封装结构的制造方法的剖面示意图。

[0032] 图 2A 及图 2B 为图 1B 的俯视图。

[0033] 图 3A 至图 3F 为本发明另一实施例的多芯片封装结构的制造方法的剖面示意图。

[0034] 图 4A 及图 4B 为图 3D 的俯视图。

[0035] 主要元件符号说明:

[0036] 100、100': 多芯片封装结构

[0037] 110: 承载器

[0038] 110a: 芯片座

[0039] 110b: 引脚

[0040] 112: 第三焊垫

[0041] 120: 第一芯片

[0042] 122: 第一有源表面

[0043] 124: 第一焊垫

[0044] 126: 第一背面

[0045] 130: 中继线路基板

[0046] 132: 开口

[0047] 132': 凹口

[0048] 134: 第四焊垫

[0049] 140: 第一焊线

- [0050] 150 :第二焊线
- [0051] 160 :第二芯片
- [0052] 162 :第二有源表面
- [0053] 164 :第二焊垫
- [0054] 166 :第二背面
- [0055] 170 :第三焊线
- [0056] 180 :粘着层
- [0057] 190 :封装胶体
- [0058] B :焊球
- [0059] H1、H2、H3、H4、H5、H6 :高度

具体实施方式

[0060] 图 1A 至图 1I 为本发明一实施例的芯片封装结构的制造方法的剖面示意图,而图 2A 及图 2B 为图 1B 的俯视图。首先,请参考图 1A,提供一承载器 110,并将一具有一第一有源表面 122、多个位于第一有源表面 122 上的第一焊垫 124 及一第一背面 126 的第一芯片 120 配置于承载器 110 上。在本实施例中,承载器 110 为一电路板,其中电路板可为 FR4、FR5、BT、PI 电路基板,而导线架的材质例如是铜或其他适当的导电材料。从图 1A 可知,当承载器 110 为一电路板时,其可具有多个第三焊垫 112。

[0061] 接着,请参考图 1B,将一具有一开口 132(如图 2A 所绘示)或一凹口 132'(如图 2B 所绘示)的中继线路基板 130 配置于第一芯片 120 上,此中继线路基板 130 可以是 FR4、FR5、BT、PI 电路基板。如图 1B 所示,中继线路基板 130 的开口 132 或凹口 132' 是用以将第一芯片 120 的第一焊垫 124 暴露,以利后续打线制程的进行。在本实施例中,中继线路基板 130 具有多个第四焊垫 134,且这些第四焊垫 134 皆位于未与第一芯片 120 连接的表面上。

[0062] 然后,请参考图 1C,形成多条穿过开口 132 或凹口 132' 而分别连接于第一焊垫 124 与第四焊垫 134 之间的第一焊线 140,以使第一芯片 120 与中继线路基板 130 电性连接。在本实施例中,第一焊线 140 的例如是金线(gold wires),且第一焊线 140 例如是借由打线机(wire bonder)所形成。

[0063] 接着,请参考图 1D,形成多条分别连接于第一焊垫 124 与第三焊垫 112 之间的第二焊线 150,以使中继线路基板 130 与承载器 110 电性连接。在本实施例中,第二焊线 150 的例如是金线(gold wires),且第二焊线 150 例如是借由打线机(wire bonder)所形成。由图 1D 可清楚得知,第一芯片 120 与承载器 110 之间的电性连接是透过第一焊线 140、第二焊线 150 以及中继线路基板 130 来达成。透过中继线路基板 130 的配置,本实施例所采用的第一焊线 140 与第二焊线 150 在线长与高度上皆可明显地减少,对于电器特性、制造成本以及封装体的厚度缩减有显著的助益。

[0064] 然后,请参考图 1E,透过一粘着层 180 将一具有一第二有源表面 162、多个位于第二有源表面 162 上的第二焊垫 164 及一第二背面 166 的第二芯片 160 粘着于第一芯片 120 上,其中粘着层 180 覆盖第一芯片 120、中继线路基板 130、第一焊线 140 以及与中继线路基板 130 连接的第二焊线 150 的一端。在本实施例中,粘着层 180 不但具有粘着的功能,亦

具有保护第一焊线 140 以及第二焊线 150 与支撑第二芯片 120 的功能。

[0065] 在本实施例中,粘着层 180 的形成方法例如是印刷 (printing)、涂布 (coating) 等方式。值得注意的是,粘着层 180 能够允许第一焊线 140 与第二焊线 150 位于其中,以达到保护第一焊线 140 与第二焊线 150 的目的。在一较佳实施例中,粘着层 180 例如是一 B 阶粘着层,而 B 阶粘着层的形成方法例如是先形成一二阶粘着层 (two-stage adhesive layer),接着在透过加热或是光线照射 (如照射紫外光) 等方式使二阶粘着层 B 阶化,以形成 B 阶粘着层 (S-staged adhesive layer)。

[0066] 在本实施例中,可于第一芯片 120 的第一有源表面 122 上形成粘着层 180,或于第二芯片 160 的第二背面 166 上形成粘着层 180,且在第一芯片 120 与第二芯片 160 接合的过程中,会使第一焊线 140 与第二焊线 150 位于粘着层 180 中。详细而言,若于第一芯片 120 的第一有源表面 122 上形成粘着层 180,则第一焊线 140 与第二焊线 150 会在形成粘着层 180 的同时被粘着层 180 包覆。若于第二芯片 160 的第二背面 166 上形成粘着层 180,则在将第二芯片 160 及粘着层 180 配置于第一芯片的同时,第一焊线 140 与第二焊线 150 会陷入粘着层 180。

[0067] 在本实施例中,当第二芯片 160 设置于第一芯片 120 之后或封装胶体 190 覆盖第一芯片 120 与第二芯片 160 之后,B 阶粘着层会被固化。如果必要的话,可再进一步提供一固化制程,以熟化 B 阶粘着层。

[0068] 特别的是,B 阶粘着层例如可为 ABLESTIK 的 8008 或 8008HT。此外,B 阶粘着层例如可为 ABLESTIK 的 6200、6201、6202C 或 HITACHI Chemical CO., Ltd. 提供的 SA-200-6、SA-200-10。然本发明并不以此为限制,B 阶粘着层也可为其它类似的具 B 阶特性的粘着材料。

[0069] 最后,请参考图 1F,形成多条分别连接于第二焊垫 164 与第三焊垫 112 之间的第三焊线 170,以使第二芯片 160 与承载器 110 之间电性连接。之后,形成一封装胶体 190 以包覆第一芯片 120、第二芯片 160、第二焊线 150 以及第三焊线 170。在本实施例中,封装胶体 190 的材质例如是环氧树脂 (epoxyresin) 或其他适合的材料。

[0070] 以下配合图 1F 说明本实施例的多芯片封装结构。

[0071] 请参考图 1F,本实施例的多芯片封装结构 100 包括一承载器 110、一第一芯片 120、一中继线路基板 130、多条第一焊线 140、多条第二焊线 150、一第二芯片 160、多条第三焊线 170 及一粘着层 180。第一芯片 120 配置于承载器 110 上。中继线路基板 130 配置于第一芯片 120 上。第一焊线 140 电性连接第一芯片 120 与中继线路基板 130 之间。第二焊线 150 电性连接于中继线路基板 130 与承载器 110 之间。第二芯片 160 配置于承载器 110 上,并与第一芯片 120 相堆叠。第三焊线 170 电性连接于第二芯片 160 与承载器 110 之间,其中第一焊线 140、第二焊线 150 及第三焊线 170 位于承载器 110 的同一侧。粘着层 180 粘着于第一芯片 120 与第二芯片 160 之间。

[0072] 如图 1F 所示,第三焊线 170 的高度 H1 高于各第二焊线 150 的高度 H2,且各第二焊线 150 的高度 H2 高于各第一焊线 140 的高度 H3。

[0073] 值得注意的是,请参考图 1G,承载器 110 不具有用以让焊线穿过的开口,所以承载器 110 具有较大的面积来配置更多的焊球 B。

[0074] 请参考图 1H,在本实施例中,承载器 110' 也可以是一导线架,且包括一芯片座

110a 及多个引脚 110b。此外,请参考图 1I,在本实施例中,粘着层 180 也可以延伸至承载器 110 上而将第二焊线 150 完全包覆。

[0075] 此外,在另一未绘示的实施例中,中继线路基板亦可由两个独立的硅芯片或两个独立的线路基板所组成,且分别位于第一焊垫 124 的两侧,而可达到与图 1F 的中继线路基板 130 相同的连接功能。

[0076] 图 3A 至图 3F 为本发明另一实施例的芯片封装结构的制造方法的剖面示意图,而图 4A 及图 4B 为图 3D 的俯视图。首先,请参考图 3A,提供一承载器 110,并将一具有一第二有源表面 162、多个位于第二有源表面 162 上的第二焊垫 164 及一第二背面 166 的第二芯片 160 配置于承载器 110 上。在本实施例中,承载器 110 为一电路板,其中电路板可为 FR4、FR5、BT、PI 电路基板,而导线架的材质例如是铜或其他适当的导电材料。当然,在本发明其他实施例中,承载器 110 可以是一导线架。从图 1A 可知,当承载器 110 为一电路板时,其可具有多个第三焊垫 112。

[0077] 然后,请参考图 3B,形成多条分别连接于第二焊垫 164 与第三焊垫 112 之间的第三焊线 170,以使第二芯片 160 与承载器 110 之间电性连接。在本实施例中,第三焊线 170 例如是金线 (gold wires),且第三焊线 170 例如是借由打线机 (wire bonder) 所形成。

[0078] 接着,请参考图 3C,透过一粘着层 180 将一具有一第一有源表面 122、多个位于第一有源表面 122 上的第一焊垫 124 及一第一背面 126 的第一芯片 120 粘着于第二芯片 160 上。在本实施例中,粘着层 180 不但具有粘着的功能,亦具有保护第三焊线 170 与支撑第一芯片 120 的功能。

[0079] 在本实施例中,可于第一芯片 120 的第一背面 126 上形成粘着层 180,或于第二芯片 160 的第二有源表面 162 上形成粘着层 180,而粘着层 180 的形成方法例如是印刷 (printing)、涂布 (coating) 等方式。值得注意的是,粘着层 180 能够允许第三焊线 170 陷入其中,以达到保护第三焊线 170 的目的。在一较佳实施例中,粘着层 180 例如是一 B 阶粘着层,而 B 阶粘着层的形成方法例如是先形成一二阶粘着层 (two-stage adhesive layer),接着再透过加热或是光线照射 (如照射紫外光) 等方式使二阶粘着层 B 阶化,以形成 B 阶粘着层 (B-staged adhesive layer)。在第一芯片 120 与第二芯片 160 接合的过程中,第三焊线 170 会陷入 B 阶粘着层中。

[0080] 在本实施例中,当第一芯片 120 设置于第二芯片 160 或封装胶体 190 覆盖第一芯片 120 与第二芯片 160 之后,B 阶粘着层会被固化。如果必要的话,可再进一步提供一固化制程,以熟化 B 阶粘着层。

[0081] 特别的是,B 阶粘着层例如可为 ABLESTIK 的 8008 或 8008HT。此外,B 阶粘着层例如可为 ABLESTIK 的 6200、6201、6202C 或 HITACHI Chemical CO., Ltd. 提供的 SA-200-6、SA-200-10。然本发明不以此为限制,B 阶粘着层也可为其它类似的具 B 阶特性的粘着材料。

[0082] 接着,请参考图 3D,将一具有一开口 132 (图 4A 所绘示) 或一凹口 132' (图 4B 所绘示) 的中继线路基板 130 配置于第一芯片 120 上,此中继线路基板 130 可以是 FR4、FR5、BT、PI 电路基板。如图 3D 所示,中继线路基板 130 的开口 132 或凹口 132' 是用以将第一芯片 120 的第一焊垫 124 暴露,以利后续打线制程的进行。在本实施例中,中继线路基板 130 具有多个第四焊垫 134,且这些第四焊垫 134 皆位于未与粘着层 180 连接的表面上。

[0083] 之后,请参考图 3E,形成多条穿过开口 132 或凹口 132' 而分别连接于第一焊垫 124

与第四焊垫 134 之间的第一焊线 140, 以使第一芯片 120 与中继线路基板 130 电性连接。在本实施例中, 第一焊线 140 例如是金线 (gold wires), 且第一焊线 140 例如是借由打线机 (wire bonder) 所形成。

[0084] 最后, 请参考图 3F, 形成多条分别连接于第一焊垫 124 与第三焊垫 112 之间的第二焊线 150, 以使中继线路基板 130 与承载器 110 电性连接。之后形成一封装胶体 190 以包覆第一芯片 120、第二芯片 160、第二焊线 150 以及第三焊线 170。在本实施例中封装胶体 190 的材质例如是环氧树脂 (epoxy resin) 或其他适合的材料。

[0085] 由图 3F 可清楚得知, 第一芯片 120 与承载器 110 之间的电性连接是透过第一焊线 140、第二焊线 150 以及中继线路基板 130 来达成。透过中继线路基板 130 的配置, 本实施例所采用的第一焊线 140 与第二焊线 150 在线长与高度上皆可明显地减少, 对于电器特性、制造成本以及封装体的厚度缩减有显著的助益。

[0086] 以下配合图 3F 说明本实施例的多芯片封装结构。

[0087] 请参考图 3F, 相较于图 1F 的多芯片封装结构 100, 本实施例的多芯片封装结构 100' 的第二芯片 160 配置于承载器 110 与第一芯片 120 之间, 而粘着层 180 覆盖第二芯片 160 以及与第二芯片 160 连接的各第三焊线 170 的一端。

[0088] 如图 3F 所示, 第二焊线 150 的高度 H4 高于各第三焊线 170 的高度 H5, 且各第三焊线 170 的高度 H5 高于各第一焊线 140 的高度 H6。

[0089] 综上所述, 本发明的多芯片封装结构, 其各芯片之间具有可让焊线穿越的粘着层, 而具有可供焊线延伸的空间。承载器不必具有用以让焊线通过的开口, 即可透过多条焊线与各芯片电性连接, 以使得承载器具有较大的面积来配置更多的焊球。粘着层更具有支撑芯片与保护焊线的功能。此外, 配置于芯片上的中继线路基板可减少所需焊线的长度, 进而降低焊线的高度以减少多芯片封装结构的厚度。

[0090] 虽然本发明已以较佳实施例揭示如上, 然其并非用以限定本发明, 任何本领域技术人员, 在不脱离本发明的精神和范围内, 当可作些许的修改和完善, 因此本发明的保护范围当以权利要求书所界定的为准。

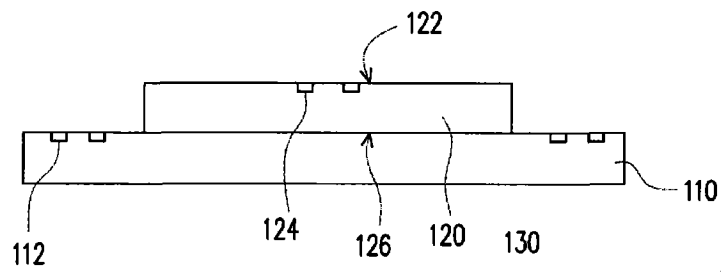


图 1A

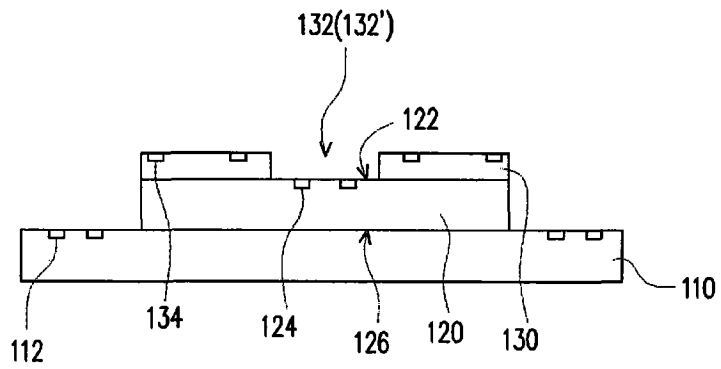


图 1B

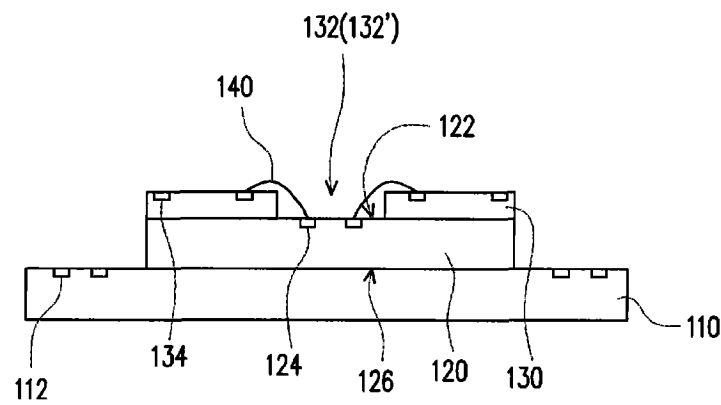


图 1C

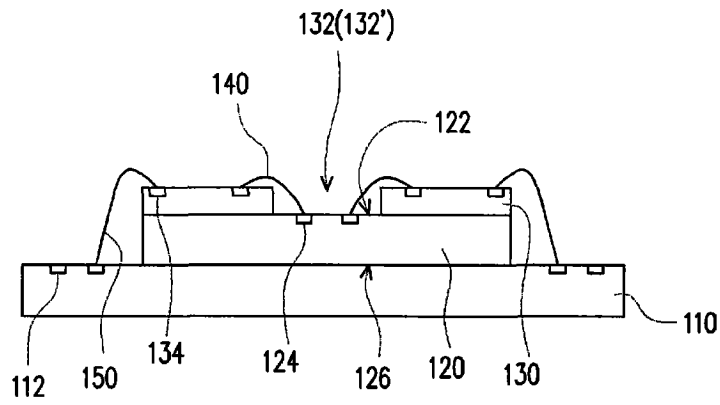


图 1D

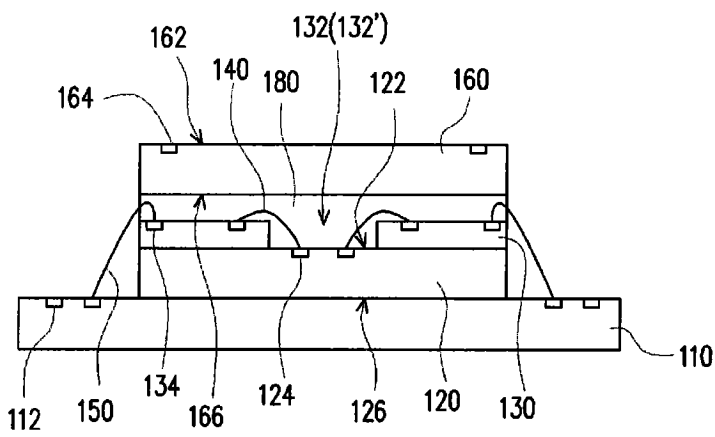


图 1E

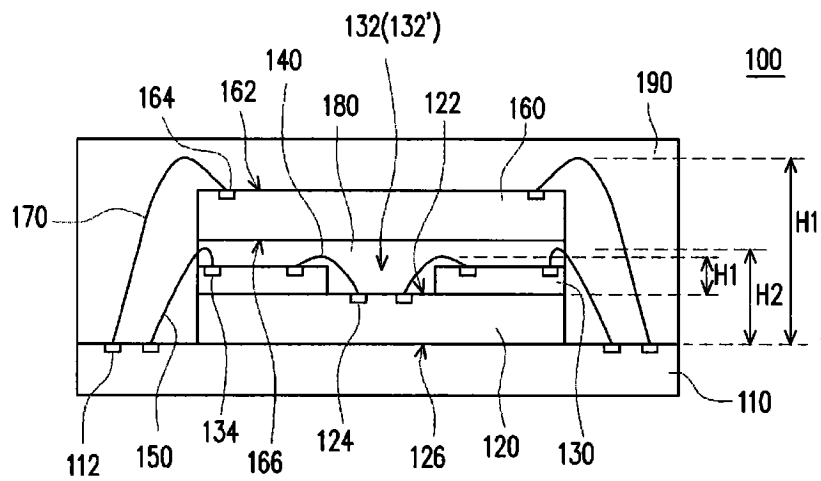


图 1F

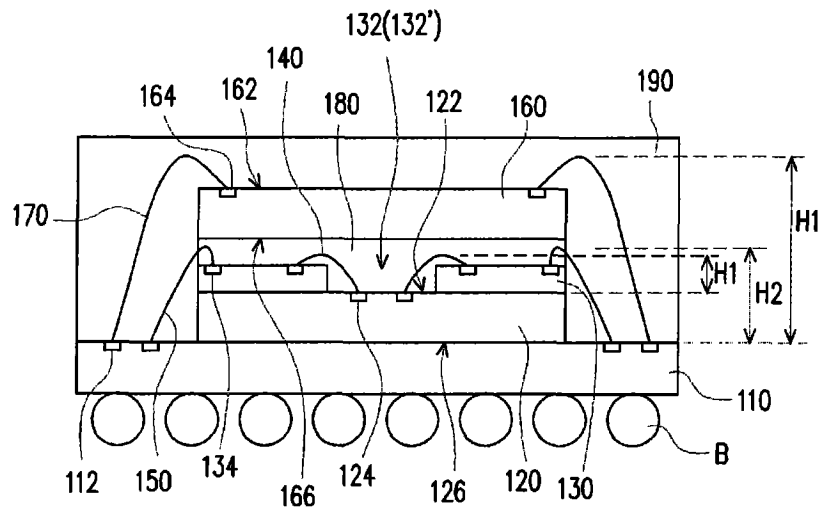


图 1G

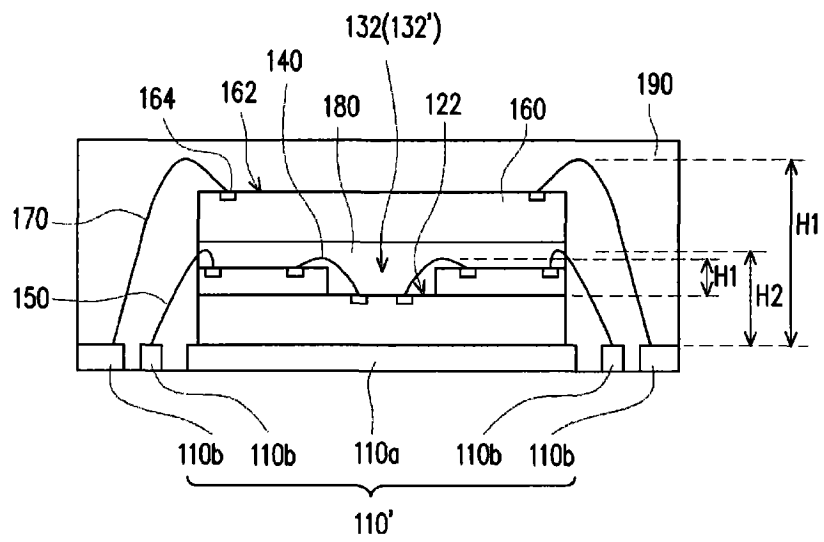


图 1H

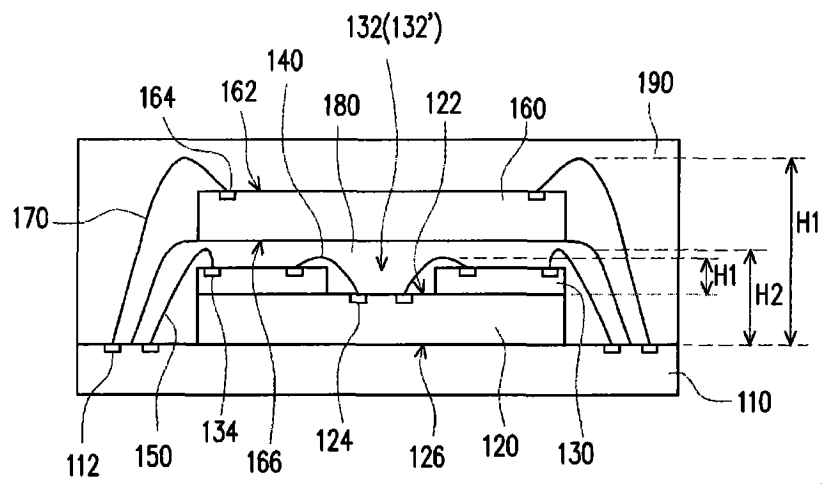


图 1I

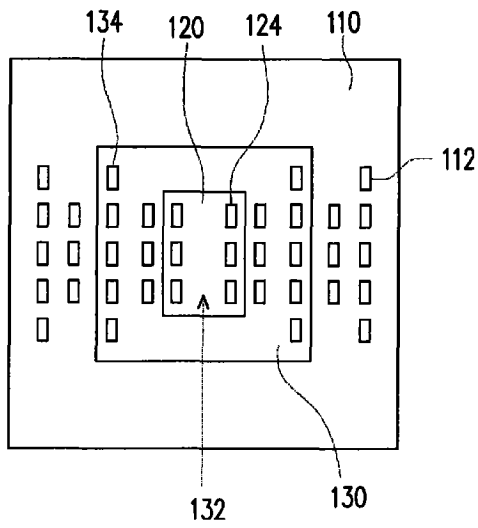


图 2A

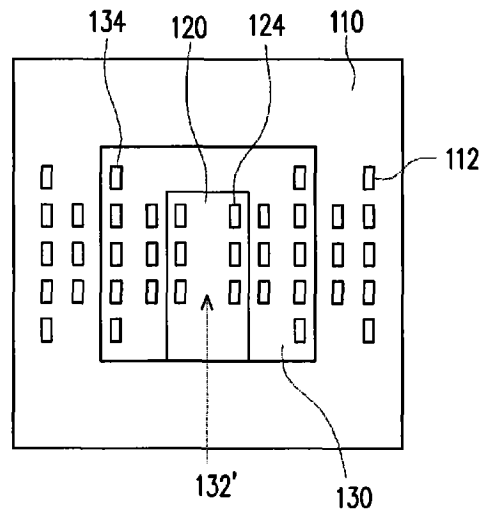


图 2B

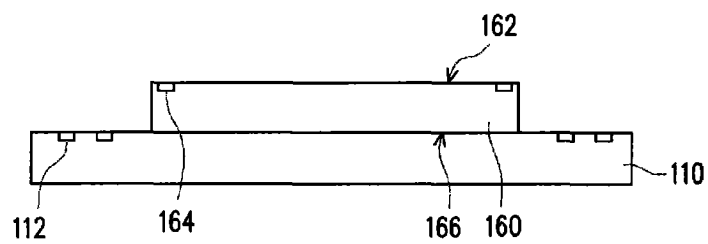


图 3A

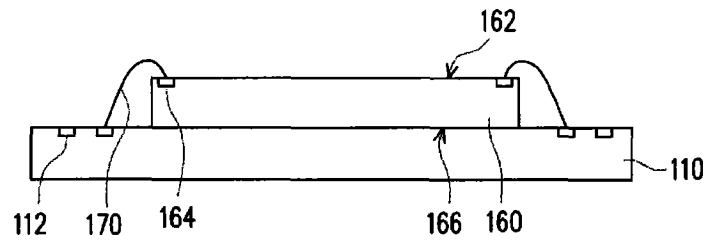


图 3B

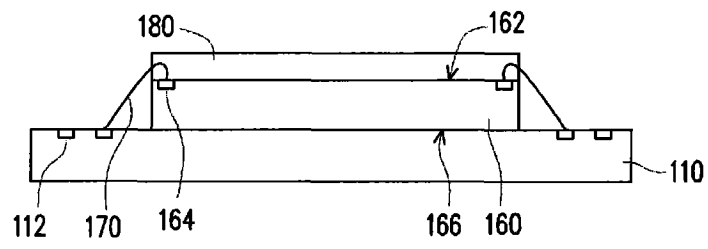


图 3C

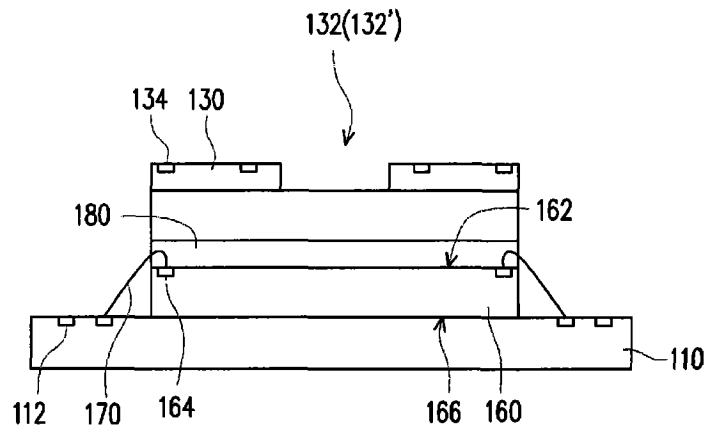


图 3D

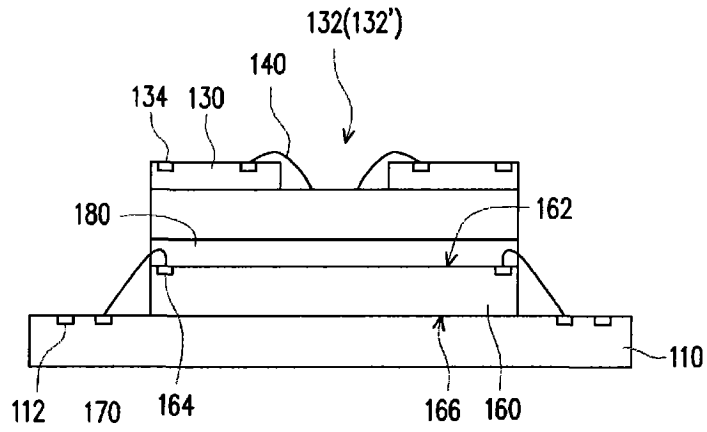


图 3E

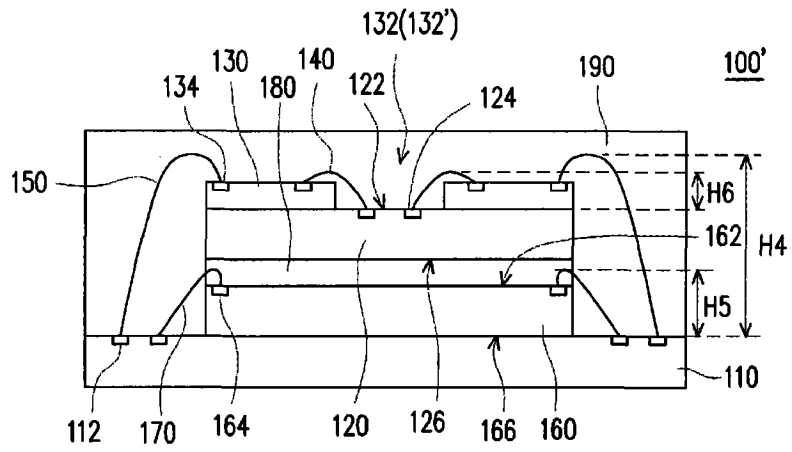


图 3F

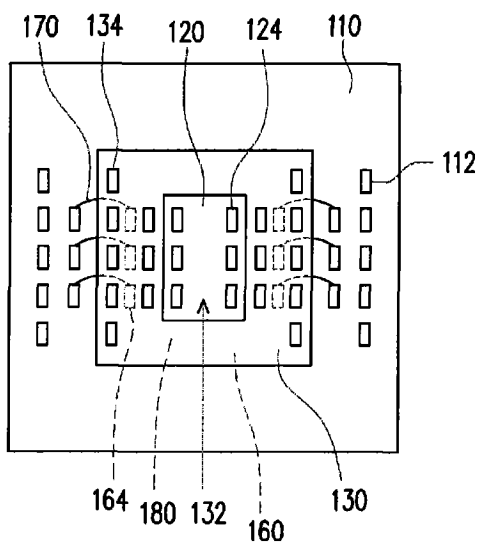


图 4A

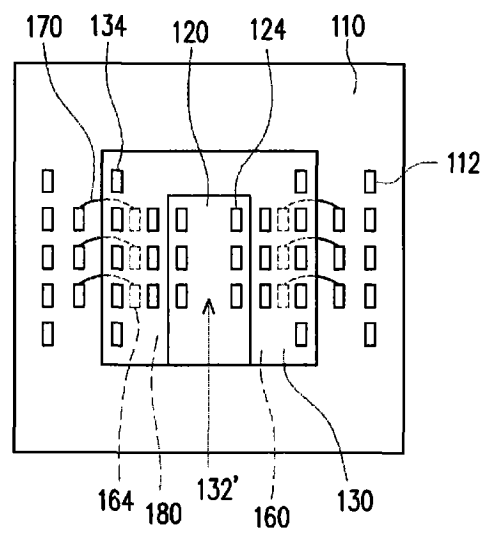


图 4B