

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
H01S 5/042

(11) 공개번호 특2001-0014427
(43) 공개일자 2001년02월26일

(21) 출원번호	10-1999-7012614		
(22) 출원일자	1999년12월31일		
번역문제출일자	1999년12월31일		
(86) 국제출원번호	PCT/US1998/13201	(87) 국제공개번호	WO 1999/01914
(86) 국제출원출원일자	1998년06월24일	(87) 국제공개일자	1999년01월14일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴		
국내특허 : 캐나다 이스라엘 일본 대한민국			
(30) 우선권주장	08/888,026 1997년07월03일 미국(US)		
(71) 출원인	맥심 인터그레이티드 프로덕츠 인코포레이티드 폴아거 데이비드 제이. 미국 캘리포니아주 94086 서니베일 산 가브리엘 드라이브 120		
(72) 발명자	링크게리엔. 미국오리건97009알로하사우스웨스트헤닝스트리트19295		
(74) 대리인	장용식		

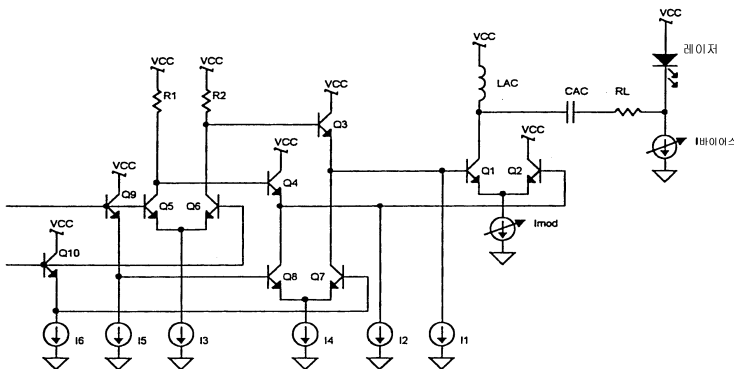
심사청구 : 없음

(54) 고속 반도체 레이저 드라이버 회로

요약

광범위한 공급 전압 범위(예를 들면, 3V 내지 5.5V)에 걸쳐 단일 공급 동작을 제공하는 반도체 레이저 드라이버 회로는 고속 데이터 전송을 할 수 있고, 광범위한 레이저 변조 전류(5mA 내지 60mA와 같은)에 걸쳐 프로그램가능하다. 상기 회로는동작 온도 범위에 걸쳐 Vbe의 변화를 조정하기 위해 그리고 온도변화에 서 트랜지스터(β)를 유지하도록 바이어스 전류를 조정하기 위해 온도 민감 회로를 포함한다. 또한 상이한 레이저 드라이브 전류를 수용하기 위해 적응 드라이브 구성이 포함된다. 상기 구성 및 다른 구성이 상세하게 개시된다.

대표도



색인어

변조전류, 레이저 구동 전류, 축퇴저항, 공통모드, 밴드갭

명세서

기술분야

본 발명은 반도체 레이저 드라이버 회로의 분야에 관한 것이다.

배경기술

현존하는 고속 레이저 드라이버 집적회로는 대략 5V의 단일 전원 공급 또는 다중 전원 공급을 필요로 한

다. 그러나, 전자시스템은 전력을 보존하고 낮은 전압으로 고주파 IC 프로세스 향상을 촉진하기 위해 더 낮은 전압으로 전개하고 있다. 따라서, 3V와 같이 낮은 단일 공급 전압으로 동작할 수 있는 레이저 드라이버 회로를 제공하는 것이 목적이다. 또한 현존하는 5V 시스템과의 동작을 제공하는 것이 목적이다.

또한 본 발명의 목적은 2.448Gb/s 현존하는 SDH/SONET 명세, 또는 더 빠른 것에 따르는 것이다.

또한 전력 소모를 최소화하는 것이 본 발명의 목적이다.

본 발명의 목적은 상기 목적과 부합하면서 광범위한 레이저 변조 전류(5mA 내지 60mA 같은)를 제공하는 것이다.

데이터 입력에서 표준 PECL 로직과 직접적으로 호환하는 것이 또한 본 발명의 목적이다.

도 1은 전형적인 집적 바이폴라 레이저 드라이버(Maxim MAX3261, Sony CXB1108AQ)의 단순 모식도이다. 출력 트랜지스터(Q1,Q2)는 변조전류(I_{mod})를 차동 데이터 입력(V_{in+},V_{in-})의 상태에 의존하는 외부 레이저로 전환시킨다. R_L은 고속 레이저(예를 들면, 25Ω)의 전형적인 정합 임피던스를 나타낸다. 이미터 플로워 트랜지스터(Q3,Q4)는 출력 트랜지스터를 구동하기 위해 레벨 전환 및 전류 이득을 제공한다. 추가 이미터 플로워가 더 많은 레벨 전환과 전류 이득을 위해 포함될 수 있다(1994년 9월 고체 상태의 IEEE 저널 29권 번호 9에 있는 H.-M. Rein등의 '10 Gb/s 광 섬유 링크에서 외부적으로 직접 레이저 변조하기 위한 고효율 전압 스윙을 갖는 다양한 실리콘 바이폴라 드라이버 회로'). 차동쌍(Q5,Q6)은 전류(I₃)를 입력 데이터에 의존하는 R1 또는 R2를 통해 전환함으로써 출력 디바이스를 확실하게 폴 스위칭하게 하기 위해 전압 이득을 제공한다. 상기 입력은 선택적인 이미터 플로워(도시생략)에 의해 버퍼링될 수 있다.

도 1의 회로는 트랜지스터(Q1)의 컬렉터로부터의 출력 전류를 레이저로 직접 흐르게 한다. 전류원(I_{mod}) 플러스 출력 트랜지스터(Q1) 플러스 레이저 구성의 헤드룸에서 필요한 전압보다 공급전압이 더 크에 따라, 이 토폴로지는 3V의 공급전압으로는 동작할 수 없다. 예를 들면, 트랜지스터(Q1)와 전류원(I_{mod})은 모두 고속으로 동작하기 위해 약 1V의 헤드룸이 필요하다. 전형적인 DC 레이저 드롭은 변조전류 60mA 공급하기 R_L의 25Ω인 1.5V이다. 이것은 총 5V이며, 단일의 3V DC 공급으로 동작하는 것이 불가능하다는 것을 명백히 알 수 있다.

도 2의 회로는 트랜지스터(Q1)의 컬렉터로부터의 출력전류를 반도체 레이저로 AC를 연결하기 위해 사용될 수 있다. 공급과 동일하게 되도록 Q1의 컬렉터에서 DC 전압을 세팅하기 위해 인덕터를 사용함으로써, 충분한 헤드룸이 이루어진다. 인덕터(LAC)의 값은 영과 일의 데이터의 긴 실행 스트림동안 저하를 제한하도록 선택되고 커패시터(CAC)의 값은 소망의 하이 패스 컷오프 주파수를 제공하도록 선택된다. 이 토폴로지의 사용은 헤드룸이 3V로 충분히 동작하게 한다. 이 토폴로지는 통상 RF 애플리케이션에서 사용되고, 이 전부터 반도체 레이저에 적용되어 왔다. 폴업 저항을 갖는 유사한 AC 커플링 네트워크는 이전에 이미 구현되었다.

도 1의 회로의 불리한 점은 이미터 플로워 전류(I₁, I₂)가 출력 트랜지스터(Q1,Q2)의 피크 베이스 전류(베이스 커패시턴스 컬렉터에 의한)와 대략 동일해야한다는 점이다. 높은 데이터 속도에서 그리고 큰 변조 전류를 가짐에 따라, I₁과 I₂가 매우 커질 수 있다(10's의 mA). 트랜지스터(Q3,Q4)는 따라서 큰 디바이스가 되어야하고 또한 상당한 트랜지언트 베이스 전류를 가질것이다. 이것은 R1과 R2에 대한 최대값을 세팅하고 전류(I₃)의 값이 소망하는 값보다 더 크게하는 원인이 될 수 있다. R1(또는 R2) 공급하기 전류(I₃)의 값은 트랜지스터(Q1,Q2)의 베이스 양단의 차동 전압 신호의 피크 크기가 된다. 이 신호는 최대값에서 변조 전류를 완전히 스위칭할 정도로 충분히 커야한다. 변조 전류 60mA에 대하여 전형적으로 400mV의 크기가 요구된다.

발명의 상세한 설명

발명의 개요

광범위한 공급전압 범위(예를 들면, 3V 내지 5.5V)에 걸쳐 단일 공급 작동을 제공하고, 고속 데이터 전송을 할 수 있으며, 광범위 레이저 변조 전류 범위(5mA 내지 60mA와 같은)에 걸쳐 프로그램가능한 반도체 레이저 드라이버 회로가 개시된다. 상기 회로는 동작 온도 범위에 걸쳐 V_{be}에서의 변화를 조정하기 위해 그리고 온도 변화에서 트랜지스터 g_m을 유지하기 위해 바이어스 전류를 조정하기 위해 온도에 민감한 회로를 포함한다. 또한 상이한 레이저 드라이브 전류를 수용하기 위한 적응 드라이브 구성이 포함된다.

상기 및 다른 구성의 상세가 개시된다.

도면의 간단한 설명

도 1은 전형적인 종래의 집적 바이폴라 레이저 드라이버의 단순 개략도이다.

도 2는 충분한 헤드룸을 이루기 위해 공급과 동일하게 레이저 드라이브 트랜지스터의 컬렉터에서 DC 전압을 세팅하도록 인덕터를 사용하여 반도체 레이저로 출력전류의 AC 커플링을 도시한다.

도 3은 차동 액티브 플다운을 갖는 스위칭 드라이버를 구비한 본 발명의 제 1 실시예에 대한 회로도이다.

도 4는 도 3의 회로와 유사하며 공급에 의해 제어되는 저항 레벨 시프트(R3) 및 온도 종속 전류원(I7)를 포함하는 회로이다.

도 5는 도 4의 회로와 유사하며 추가로 표준 PECL 로직과 직접 호환하는 레벨 시프팅 입력 스테이지를 포함하는 회로이다.

도 6은 도 4의 회로와 유사하며 상이한 레이저 드라이브 전류를 수용하도록 적응 드라이브 구성을 구현하기 위해 추가적인 회로 구성요소를 포함하는 회로이다.

도 7 내지 도 10은 도 6의 회로에 대하여 다양한 특성을 바이어스 전류에 제공하는 회로를 도시한다.

실시예

우선 도 3을 언급하면, 본 발명의 제 1 실시예를 볼 수 있다. 본 실시예에서, 출력 트랜지스터(Q1,Q2)는 두 개의 평행한 회로로써 구동된다. 하나의 회로는 도통하는 출력 디바이스의 베이스를 하이로 풀(pull)하고, 다른 회로는 도통하지 않는 출력 디바이스의 베이스를 로우로 풀한다. 차동쌍(Q5,Q6), 부하 저항(R1,R2), 이미터 플로워 트랜지스터(Q3,Q4), 및 전류원(I1,I2)로 구성된 제 1 회로는 도 1과 동일한 토폴로지이다. 트랜지스터(Q3 또는 Q4)의 이미터는 어떤것이 더 높더라도 도통하는 출력 디바이스의 베이스를 풀업한다. 추가적인 제 2 회로는 이미터 플로워(Q9,Q10), 차동쌍(Q7,Q8), 및 스위칭된 전류원(I4)로 구성된다. (추가적으로, 전류원(I5,I6)는 바이어스 전류를 트랜지스터(Q9,Q10)에 제공하는 것이 요구된다.) 트랜지스터(Q7,Q8)의 컬렉터는 전류(I4)가 도통하지 않는 출력 디바이스(Q1 또는 Q2)의 베이스로 스위칭 되도록 연결되어 상기 베이스를 풀다운한다.

도 1의 회로와 비교하여 볼 때, 도 3의 회로의 제 1 이점은 더 낮은 전력 소모로 고주파 퍼포먼스가 향상된다는 것이다. 이 회로의 과도한 동작을 이해하기 위해, 차동 데이터 입력 신호가 로직 0에서 로직 1로 스위칭되는 중이라고 가정하자. 환언하면, 트랜지스터(Q9)의 베이스에서의 전압은 더 높이 상승하는 중이고 트랜지스터(Q10)의 베이스에서의 전압이 더 낮게 된다는 것이다. 트랜지스터(Q4)의 베이스에 연결되는 트랜지스터(Q5)의 컬렉터에서의 전압은 전류원(I3)가 트랜지스터(Q5)를 통하여 스위칭되는 중이기 때문에 더 낮아지고 있다. 유사하게, 트랜지스터(Q6)의 컬렉터와 트랜지스터(Q3)의 베이스의 연결부에서의 전압은 I3가 트랜지스터(Q6)로부터 스위칭 어웨이 됨에 따라 더 높게 상승한다. 트랜지스터(Q3,Q4)의 이미터에서의 과도 전압은 베이스에서의 전압과 동일한 방향으로 이동한다. 따라서, 트랜지스터(Q3)의 이미터(트랜지스터(Q1)의 베이스)에서의 전압은 상승하고, 트랜지스터(Q4)의 이미터(트랜지스터(Q2)의 베이스)에서의 전압은 강하한다. 저장된 베이스 전하와 접합 커패시턴스 때문에, 큰 스위칭 트랜지스터(Q1,Q2)의 베이스 양단의 상기 차동 전압 과도현상은 트랜지스터(Q1)의 베이스로의 전류의 서지(surge)를 일으키고 트랜지스터(Q2)의 베이스에서 나오는 전류의 서지를 일으킨다. 이미터 플로워 트랜지스터(Q3)는 트랜지스터(Q1)의 베이스로 전류 서지를 공급할 수 있지만, 트랜지스터(Q2)의 베이스로부터의 전류 서지는 전류원(I2) 또는 트랜지스터(Q8)의 컬렉터에 의해 공급되어야 한다. 이미터 플로워 트랜지스터(Q9)의 베이스가 더 높이 상승하고 이미터 플로워 트랜지스터(Q10)의 베이스가 더 낮게 강하한다는 것을 상기하면, 각각의 이미터는 동일한 방법으로 이동할 것이다. 회로 접속때문에, 트랜지스터(Q8)의 베이스는 더 높이 상승하고, 트랜지스터(Q7)의 베이스는 더 낮게 강하한다. 이러한 액션은 트랜지스터(Q2)의 베이스로부터 유래하는 전류 서지를 공급해야 할 필요가 있는 순간에 트랜지스터(Q8)를 통하여(그리고 트랜지스터(Q7)에서 멀리) 전류원(I4)로 스위칭한다. 결과적인 목적은 트랜지스터(Q2)로부터 트랜지스터(Q1)으로 변조전류(I_{mod})의 매우 빠른 스위칭을 하는 것이다. 트랜지스터(Q1)의 컬렉터로부터의 출력 전류는 커플링 커패시터(CAC)를 통하여 흐르고 로직 0에서 로직 1로의 트랜지션에 영향을 미치는 레이저 전류를 증가시킨다.

상기 회로의 동적 특성은 과도전류를 트랜지스터(Q1,Q2)의 베이스로 공급하기 때문에, 일정한 전류원(I1,I2)는 턴오프로부터 이미터 플로워(Q3,Q4)를 보호하기 위해 요구되는 작은 값으로 다운되도록 상당히 감소될 수 있다. 시뮬레이션은 전류원(I1, I2, 및 I4)의 총합이 도 1의 I1과 I2를 통하는 총 전류의 반보다 적을때 우수한 출력 과도전류 에지속도를 보여준다.

도 3에 있는 회로의 다른 이점은:

1. 차동쌍(Q5,Q6)과 이미터 플로워(Q3,Q4)로 구성되는 풀업 신호 통로의 전파지연은 이미터 플로워(Q9,Q10)와 차동쌍(Q7,Q8)으로 구성되는 풀다운 신호 통로의 전파지연과 유사하다. 이러한 지연 정합은 결과적으로 다른 액티브 풀다운 회로와 비교할 때 향상된 출력 전류 에지 속도를 얻을 수 있다.
2. 트랜지스터(Q7,Q8)의 스위칭 액션때문에, 이미터 플로워(Q3,Q4)의 컬렉터와 베이스의 피크 전류가 감소된다. 감소된 컬렉터 전류로 인해 민감한 고주파 노드상에 로딩되는 커패시턴스를 감소시킴으로써 도 1의 Q3와 Q4보다 더 작은 디바이스를 사용할 수 있게 된다. 더 작은 과도 베이스 전류로 인해 R1과 R2에 대해 더 큰 값을 사용하게 하고, 교대로 더 많은 전력을 절약하면서 I3의 요구되는 값을 감소시킨다.
3. I3의 값이 이하에 설명되는 레벨 시프팅 회로에서 요구되는 전류와 또한 관련되어 있기 때문에, 도 3의 토폴로지는 또한 진행되는 단계에서 감소된 전력(및 디바이스 크기)이 된다.

트랜지스터(Q1,Q2)의 커플링된 이미터에서의 바이어스 전압이 약 1V의 일정한 전압으로 유지되는 것이 바람직하다. 트랜지스터(Q1,Q2)의 베이스에서의 전압이 약 1.8V가 되는 1V의 상기 바이어스 전압값은 3V 공급을 사용할 때 도 2의 AC가 커플링된 토폴로지에 대하여 충분한 헤드룸을 주며, 5V의 공칭 공급을 사용할 때 단조로운 변조 전압에 대하여 도 1의 DC가 커플링된 토폴로지를 준다. DC가 커플링된 토폴로지를 사용하는 것이 인덕티브 AC 커플링 네트워크에 대한 필요성을 제거할 수 있을때 바람직하다.

도 4는 공급 및 온도 종속 전류원(I7)에 의해 제어되는 저항 레벨 시프트(R3)를 구비한 회로 토폴로지를 도시한다. 커패시터가 저항(R1,R2,R3) 및 전류원(I7)의 접속부에서 과도 전압 변화를 최소화하기 위해 저항(R3) 양단에 포함될 수 있다.

R3 양단의 전압은 단순히 전류(I3,I4)의 합 곱하기 저항(R3)의 값이다. 전류(I7)의 최적값은:

$$V_{cc} = (I_3 + I_7)R_3 + 2V_{be} + 1V$$

$$\text{즉, } I_7 = \frac{V_{cc} - 2V_{be}}{R_3} - \left(\frac{1V}{R_3} + I_3 \right) \quad (1)$$

여기에서, V_{cc} 는 공급 전압이고, V_{be} 는 회로를 구현하기 위해, 특히 디바이스(Q3,Q1)과 디바이스(Q4,Q2)의 조합에 사용되는 프로세스상의 바이폴라 디바이스의 베이스 대 이미터간의 전압이며, 1V는 I_{mod}에 대한 헤드룸이다.

등식(1)에서와 같이, 상기 등식에 있는 V_{be} 승수를 2로 세팅함으로써 스위칭 트랜지스터(Q1,Q2)의 베이스

대 이미터간 변화를 보상하는 것이 이점이 있다는 것이 결정되었다. 이 여분의 온도 보상(트랜지스터(Q3,Q4)를 보상하는 단지 $1V_{be}$ 와 비교해서)은 출력 트랜지스터(Q1,Q2)상의 최대로 가능한 컬렉터 대 베이스간 전압을 공급하고, 결과적으로 최적 고주파 퍼포먼스가 된다.

등식(1)에 따라 소망하는 온도와 전류의 공급에 의존하는 전류원 회로가 도 7에 도시되어 있다. 상기 회로에서, 베이스 전류를 무시하면:

$$VCC = I_{R8} * R8 + 2V_{be} \quad (Q16과 Q17의 V_{bes})$$

$$I_{Q15} = I_{R8} - I16$$

I_{R8} 을 대체하면, 전술한 등식은 다음과 같이 다시 쓸 수 있다:

$$I_{Q15} = \frac{VCC - 2V_{be}}{R8} - I16 \quad (2)$$

여기에서 트랜지스터(Q15)에 있는 전류(I15)는 전류(I17; 또는 I18 또는 I19)를 제공하기 위해 트랜지스터(Q17)로 미러(mirrored)된다. 등식(2)은 이제 적당한 구성요소 값 선택으로 등식(1)과 동일하게 만들 수 있다.

도 4에 있는 추가의 저항 레벨 시프트 때문에, 트랜지스터(Q5,Q6)의 컬렉터에서의 전압은 공급 전압에 관계없이 주어진 온도에서 접지에 비하여 거의 일정한 값이 된다. 따라서, 도 4의 회로를 구동하는 단계는 트랜지스터(Q5,Q6)를 공급 전압 범위에 걸쳐 포화되는 것을 방지하기 위해 레벨 시프트를 또한 포함해야 한다. 도 5는 도 4의 회로 및 표준 PECL 로직과 직접적으로 호환할 수 있는 추가의 레벨 시프팅 입력단을 포함하는 회로를 도시한다.

도 5의 회로는 전류원(I12)와 부하 저항(R4,R5)을 구비한 입력 이득 단계 트랜지스터(Q13,Q14)를 포함한다. 이 단계는 바이어스 전류원(I10,I11)를 구비한 이미터 폴로워(Q11,Q12)에 의해 버퍼링된다. 레벨 시프트는 부하저항(R6,R7)을 통하여 전류원(I18,I19)에 의해 제공된다. 속도향상 커패시터(C1,C2)는 디바이스 및 금속 상호접속 커패시턴스를 보상하기 위해 포함된다. 트랜지스터(Q11,Q12)에 기인한 추가 전압 강하가 I4의 헤드룸을 트랜지스터 전류원에 의해 요구되는 것보다 더 낮은 값으로 감소시키기 때문에 I4가 저항으로 대체되었다는 것이 주목된다. I4를 통과하는 전류는 트랜지스터(Q7,Q8)의 이미터의 전압에 의해 세팅되며, 스위치 트랜지스터(Q7,Q8)의 베이스 대 이미터간 전압, 이미터 폴로워(Q9 내지 Q12), 및 저항(R6,R7) 양단의 레벨 시프트 전압에 관계된다. 최적 고주파 응답을 위해, I4의 전류가 온도와 함께 증가하는 것이 바람직하다. 이 증가하는 전류는 최종단에 있는 트랜지스터(Q1 내지 Q4, Q7, Q8)의 감소하는 트랜스컨덕턴스(g_m)를 보상하여, 출력 전류 상승 시간이 온도에 걸쳐 거의 일정하게 된다. 만약 트랜지스터(Q7,Q8)의 베이스에서의 평균 전압이 통상 사용되는 아날로그 디자인 기술의 전원 공급 또는 온도에 관계없이 실리콘 밴드갭 전압(1.2V)에서 출된다면, 전류(I4)를 공급하는 저항을 통과하는 결과 전류는 절대온도(PTAT)에 비례할 것이다. 트랜지스터(Q7,Q8)의 베이스에서의 평균전압을 1.2V(신호 전압 스윙 무시)로 유지하는 것이 바람직하기 때문에, 요구되는 레벨 시프트 전류는 등식(3)으로 주어진다:

$$I8 = \frac{VCC - 1.2V - 2V_{be}}{R6} \quad (3)$$

여기에서, VCC는 공급 전압이고, V_{be} 는 이번에는 디바이스(Q9,Q11)의 조합인 회로를 구현하기 위해 사용되는 프로세스상의 바이폴라 디바이스의 베이스 대 이미터간 전압이며, 1.2V는 실리콘 밴드갭 전압(특정 경로에 있는 트랜지스터(Q8)가 고려됨)이다.

균형된 차동 동작을 가정하면, R7은 R6와 동일하고 I9는 I8과 동일하다. 상기 등식의 등식(1)의 동일한 일반적인 형태이기 때문에, 도 7의 회로는 구성요소 값의 적당한 선택으로 각 경우(전류원(I7), 및 전류원(I8,I9))에 대하여 동작할 것이다.

고속 반도체 레이저 드라이버 회로의 설계에 관계된 주요한 문제는 광범위의 변조전류에 대한 필요성을 만족시키는 것이다. 신흥 레이저 기술은 더 작은 변조전류로 더 큰 효율을 이룰 수 있다. 그러나, 현존하는 디바이스는 60mA이상의 변조전류를 요구한다. 제품 품질 아날로그 집적회로를 개발하기 위해 요구되는 많은 투자때문에, 단일 집적회로로 광범위의 변조전류(5mA 내지 60mA)를 제공하는 것이 매우 바람직하다. 불행하게도, 양호한 고주파 신호응답을 갖는 그러한 광범위의 전류를 공급하는 것을 어렵다. 출력 디바이스 크기는 최대 요구 변조전류를 신뢰할 수 있게 도통하도록 충분히 커야한다. 큰 디바이스는 분명히 접합 및 금속 상호접속 커패시턴스를 가질 것이다. 출력 트랜지스터(Q1,Q2)의 베이스 양단의 신호 스윙은 또한 최대 변조전류를 가진 출력 디바이스를 충분히 스위칭할 수 있도록 충분히 커야한다. 상기에 언급한 바와 같이, 이 드라이브 시노 스윙은 60mA의 레이저 변조전류를 가진 사이드마다 약 400mV가 된다. 변조전류가 스위치 트랜지스터 구동 특성을 조정없이 크기 순서대로 감소된다면, 출력 전류 파형에 과도 오버슈트와 울림이 초래된다. 이 수차는 컬렉터를 통해 직접 전류 주입으로 인한 트랜지스터(Q1,Q2)의 베이스 커패시턴스의 결과이며, 전류원(I_{mod})의 커패시턴스에 기인한 간접 전류 주입의 결과이다. 이러한 두번째 효과는 트랜지스터(Q1,Q2)의 커플링된 이미터에서의 과도 공통모드 전압 스윙에 기인한다. 따라서, 작은 변조전류가 스위칭될 때 트랜지스터(Q1,Q2)의 베이스 양단의 구동 신호를 감소시키는 것이 바람직하다. 이 효과는 몇개의 전류원을 최적화시키기 위해 아날로그 컴퓨터를 사용한 후에 상기에 언급된 Rein 등의 보고서에 보고되어 있다. 그러나, 적응 드라이버가 이 발명에서 구현되는 방법은 유일하다.

도 6의 회로는 상기에 논의된 적응 드라이브 특징을 구현하기 위해 추가 회로 구성요소를 포함한다. 우선, 작은 변조전류를 사용할 때 트랜지스터(Q1,Q2)의 베이스 양단의 전압 스윙을 감소시키는 것이 바람직하다. 도 6의 가변 전류원(I3)에 의해 지시되는 바와 같이, 전류원(I3)의 값을 감소시킴으로써 이룰 수 있다. R3 양단의 레벨 시프트 전압을 보존하기 위해, 추가 전류원(I15)는 R3 양단에서 I3의 DC 효과를 역으로 동작하게 하기 위해 필요하다. 환언하면, I3는 트랜지스터(Q5,Q6)의 컬렉터를 가로지르는 신호 크기를 감소시키기 위해 낮은 변조전류에서 감소되고, I15는 전류(I3)의 감소에도 불구하고 R3 양단의 적당한

DC 레벨을 유지하기 위해 작은 변조전압에서 증가된다.

작은 변조전류에서 출력 트랜지스터(Q1,Q2) 양단의 신호 전압을 감소시키는 것에 부가하여, 트랜지스터(Q7,Q8)의 컬렉터에서 이용가능한 스위칭된 풀 다운 전류를 감소시키는 것이 이롭다. 저항성 전류원(I4) 때문에, 상기 조정이 간접적으로 이루어져야 한다. 도 6의 추가 전류원(I13,I14)는 전류원(I4)을 조정하기 위해 포함된다. 낮은 변조전류에서 I13과 I14를 통하는 전류를 증가시킴으로써, 에미터 폴로워(Q11,Q12)의 베이스에서 공통 모드 전압은 감소된다. 공통 모드 전압의 이러한 변화는 에미터 폴로워(Q11,Q12), 레벨 시프트 저항(R6,R7), 및 에미터 폴로워(Q9,Q10)에 의해 트랜지스터(Q7,Q8)로 전달된다. 트랜지스터(Q7,Q8)의 베이스에서의 더 낮은 공통모드 전압은 교대로 트랜지스터(Q7,Q8)의 커플링된 이미터에서의 더 낮은 전압이 되고, I4를 통하는 전류를 소망하는 대로 감소시킨다. 요약하면, 전류(I13,I14)는 트랜지스터(Q7,Q8)에 의해 스위칭된 구동 전류를 감소시키기 위해 더 낮은 변조전류에서 증가시켜야 한다.

소망하는 조정을 하기 위해 다른 방법이 사용될 수 있다. 예를 들면, 전류 변화는 전류원(I8,I9)의 부분으로써 구현될 수 있거나, 또는 트랜지스터 전류원으로써 I4를 특별히 요구한다면, I4는 직접적으로 조정될 수 있다. 상기에 언급된 방법은 트랜지스터(Q13,Q14)의 컬렉터에서의 이용가능한 헤드룸때문에 전류원 복잡성을 최소화하는 것이 바람직하다.

상기 필요한 종속 전류를 제공하는 회로는 종래의 아날로그 회로 설계법에 따라 설계되었다. 도 7은 수학적 (1), (2), 및 (3)의 원하는 인가 및 온도 종속을 제공한다. 트랜지스터(Q15,Q17)의 상대적인 이미터 영역 및 다른 구성 요소값은 바이어스 전류 전력 분산을 최소화하는 DC 전류 이득을 얻도록 조정될 수 있다.

도 8의 회로는 도 9와 도 10의 회로에 사용하는 변조 전류에 비례하는 차동 전류를 발생시키는데 사용된다. 노드(DriveH)의 전압은 $VCC - I18 * R10 - Vbe$ 이고, 노드(DriveL)의 전압은 $VCC - (I_{mod}/X) * R9 - Vbe$ 이다. 차동 전압(DriveH-DriveL)은 $I_{mod}/X * R9 - (I18 * R10)$ 이고, 이것은 X가 상수이면 변조 전류에 비례한다. 전류원(I_{mod}/X)은 트랜지스터 전류원(I_{mod})에 추가로 전류 미러로서 쉽게 구현될 수 있다.

도 9는 레벨 시프트 전류(I13, I14)를 유도하는데 사용된다. 차동 증폭기 트랜지스터(Q20,Q21)의 이미터에 축퇴(degeneration) 저항(R11,R12)을 포함시켜, 트랜지스터(Q21)의 전류는 원하는 차동 'Drive' 신호에 역비례한다. 트랜지스터(Q12)의 전류는, 저항(R11, R12)의 값이 적당하게 선택되면, 저 변조 전류에서 전류원(I19)과 동일하고, 고 변조 전류에서 제로이다. 예를 들어, 저항(R11,R12)이 동일하면, 모든 전류(I19)는 트랜지스터(Q20)를 통과할 것이다. $DriveH - DriveL = I_{mod}/X * R9 - (I18 * R10)$ 이므로, 이것은 $I_{mod}/X * R9 - (I18 * R10) \geq I19 * R11$ 이거나, $I_{mod} \geq (X/R9)((I19 * R11) - (I18 * R10))$ 일 때 일어난다. I_{mod}가 로우일 때, $DriveH - DriveL = I_{mod}/X * R9 - (I18 * R10)$ 는 $-(I18 * R10)$ 에 근접하거나, DriveL은 대략 $(I18 * R10)$ 만큼 DriveH를 초과할 것이다. 여기서, $(I18 * R10) \geq I19 * R11$ 이면, 필수적으로 모든 전류(I19)는 앞서 언급된 바와 같이, 트랜지스터(Q20)를 관통할 것이다.

유사하게, 도 10은 전류원(I13, I15)의 원하는 변수를 발생시키는데 사용된다. 차동 'Drive' 신호의 특성으로 인해, 트랜지스터(Q22)의 전류는 I_{mod}에 따라 증가하고, 트랜지스터(Q23)의 전류는 I_{mod}에 따라 감소한다. 도 6의 제한된 헤드룸으로 인해, 전류 미러 트랜지스터(Q24, Q31)는 트랜지스터(Q22, Q23)의 전류를 각각 트랜지스터(Q29, Q31)의 컬렉터로 전송하기 위해 포함되어 있다. 그 결과는 원하는 바와 같이, 트랜지스터(Q29)의 컬렉터 전류는 대략 I_{mod}에 비례하고, 트랜지스터(Q31)의 I15는 대략 I_{mod}에 반비례한다는 것이다. 값(R13, R14)을 적당히 선택함으로써, 트랜지스터(Q29, Q31)의 컬렉터의 전류는 전체 변조 전류 범위에 걸쳐서 전류원(I20)의 값과 0 사이에서 가변할 것이다. 일정한 전류원(I21)은 도 6의 트랜지스터(Q5, Q6)의 컬렉터에 걸쳐 최소 전압 스윙을 설정하기 위해 포함되어 있다.

도 6의 회로에서의 일부 수정은 본 발명의 사상을 변경하지 않고 구현될 수 있다.

1. 추가 이미터 폴로워는 PECL 입력을 버퍼링하기 위해 부가될 수 있다.
2. 5V 미세 공급의 DC 결할 동작이 필요하지 않으면, 도 4 내지 도 6의 레벨 시프트 회로는 제거될 것이다. 이러한 경우에, 전류원(I4)은 트랜지스터 전류원일 것이고, 적응 구동을 위해 직접 가변된다.
3. 전류원(I1, I2)을 직접 가변함으로써, 추가 적응 구동이 실현될 수 있다. 그러나, 토풀로지는 이러한 전류원의 값을 상당히 감소시키기 때문에, 약간 향상된다.

3V 내지 5.5V와 같은 광범위한 공급 전압 범위에 걸쳐서 단일 공급 동작을 제공하고, 고속 데이터 전송이 가능하며, 5mA 내지 60mA와 같은 광범위한 레이저 변조 전류 범위에 걸쳐서 프로그래밍가능한 새로운 반도체 레이저 드라이버 회로가 설명되어 있다. 바람직한 특정 실시예가 설명되었지만, 당업자는 본 발명의 사상과 범위에서 벗어나지 않고 여러 수정과 변경이 가능하다는 것을 알 것이다.

(57) 청구의 범위

청구항 1

반도체 레이저 구동 전류를 제공하는 회로에 있어서,

제 1 라인의 전압이 제 2 라인의 전압보다 더 높을 때 레이저 구동 전류를 제공하기 위해, 그리고 제 2 라인의 전압이 제 1 라인의 전압보다 더 높을 때 레이저 구동 전류를 제공하지 않기 위해, 차동 입력을 형성하는 제 1 및 제 2 입력 라인을 가진 레이저 구동 회로; 및

레이저 구동 전류가 제공되어야 할 때 레이저 구동 회로의 제 1 입력 라인의 전압을 능동적으로 풀 업하고 레이저 구동 회로의 제 2 입력 라인의 전압을 능동적으로 풀 다운하기 위해, 그리고 레이저 구동 전류가 제공되지 않아야 할 때 레이저 구동 회로의 제 1 입력 라인의 전압을 풀 다운하고 레이저 구동 회로의 제 2 입력 라인의 전압을 풀 업하기 위해, 차동 신호에 응답하는 능동 차동 풀 업/풀 다운 회로를 포함하

는 것을 특징으로 하는 회로.

청구항 2

제 1 항에 있어서, 레이저 구동 회로의 제 1 및 제 2 입력 라인에 각각 연결된 제 1 및 제 2 전류원을 더 포함하는 것을 특징으로 하는 레이저 구동 회로.

청구항 3

제 1 항에 있어서, 상기 레이저 구동 회로는 유도성 풀 업을 가진 AC 결합 회로인 것을 특징으로 하는 레이저 구동 회로.

청구항 4

제 3 항에 있어서, 전원 공급 전압의 범위에서 레이저 구동 회로의 동작을 가능하게 하는 차동 신호를 제공하는 능동 차동 풀 업/풀 다운 회로에 연결된 제 1 레벨 시프트 회로를 더 포함하는 것을 특징으로 하는 레이저 구동 회로.

청구항 5

제 3 항에 있어서, 제 2 레벨 시프트 회로에 제공되는 차동 입력 신호보다 하나의 상이한 공통 모드의 전압을 가진 차동 신호를 제공하는 능동 풀 업/풀 다운 회로에 연결된 제 2 레벨 시프트 회로를 더 포함하는 것을 특징으로 하는 레이저 구동 회로.

청구항 6

반도체 레이저 드라이버 회로에 있어서,

제 1 및 제 2 전원 공급 접속부;

각각 이미터, 베이스, 및 컬렉터를 갖는 제 1, 제 2, 제 3, 및 제 4 트랜지스터;를 포함하며,

상기 제 1 및 제 2 트랜지스터는 제 1 전류원을 통해 제 2 전원 공급 접속부에 서로 연결된 이미터를 가지며,

상기 제 1 트랜지스터의 컬렉터는 레이저 구동 전류를 제공하는 레이저 다이오드 접속부에 연결되어 있고, 상기 제 2 트랜지스터의 컬렉터는 제 1 전원 공급 접속부에 연결되어 있으며,

상기 제 3 및 제 4 트랜지스터의 이미터는 상기 제 2 전원 공급 접속부에 연결되어 있으며,

상기 제 3 및 제 4 트랜지스터의 컬렉터는 각각 제 1 및 제 2 트랜지스터의 베이스에 연결되어 있으며,

상기 제 3 및 제 4 트랜지스터의 베이스는 차동 제어 전압을 수전하도록 연결되어 있는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 7

제 6 항에 있어서, 제 3 및 제 4 제어 신호에 우대하는 제 1 및 제 2 제어 신호를 제공하기 위해 제 1, 제 2, 제 3, 및 제 4 트랜지스터의 베이스에 연결된 입력 회로를 더 포함하며, 상기 제 1, 제 2, 제 3, 및 제 4 제어 신호는 차동 입력 신호에 응답하며, 상기 제 1 및 제 2 제어 신호는 제 1 및 제 4 트랜지스터의 베이스에 각각 연결되어 있으며, 제 3 및 제 4 제어 신호는 제 2 및 제 3 트랜지스터의 베이스에 각각 연결되어 있는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 8

제 6 항에 있어서, 상기 제 3 및 제 4 트랜지스터의 이미터는 제 2 전류원을 통해 제 2 전원 공급 접속부에 연결되어 있는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 9

제 6 항에 있어서,

각각이 이미터, 베이스, 및 컬렉터를 가진 제 5 및 제 6 트랜지스터;

제 3 및 제 4 제어 신호에 우대한 제 1 및 제 2 제어 신호를 제공하기 위해 제 3, 제 4, 제 5, 및 제 6 트랜지스터의 베이스에 연결된 입력 회로;를 더 포함하며,

상기 제 5 및 제 6 트랜지스터의 컬렉터는 제 1 전원 공급 접속부에 연결되어 있으며, 제 5 및 제 6 트랜지스터의 이미터는 제 3 및 제 4 트랜지스터의 컬렉터에 각각 그리고, 제 1 및 제 2 트랜지스터의 베이스에 각각 연결되어 있으며,

상기 제 1, 제 2, 제 3, 및 제 4 제어 신호는 차동 입력 신호에 응답하며, 상기 제 1 및 제 2 제어 신호는 상기 제 4 및 제 5 트랜지스터의 베이스에 각각 연결되어 있으며, 상기 제 3 및 제 4 제어 신호는 상기 제 3 및 제 6 트랜지스터의 베이스에 각각 연결되어 있는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 10

제 9 항에 있어서, 상기 제 5 및 제 6 트랜지스터의 이미터에 각각 연결된 제 2 및 제 3 전류원을 더 포함하는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 11

제 9 항에 있어서, 온도 변수와 실질적으로 무관하게 제 1 및 제 2 트랜지스터의 이미터 전압을 제 2 전원 공급 접속부의 전압에 비례하게 유지하는 바이어싱 회로를 더 포함하는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 12

제 11 항에 있어서, 상기 제 3 및 제 4 트랜지스터의 이미터는 제 2 전류원을 통해 상기 제 2 전원 공급 접속부에 연결되어 있는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 13

제 6 항에 있어서,

각각이 이미터, 베이스, 및 컬렉터를 가진 제 5, 제 6, 제 7 및 제 8 트랜지스터;

공통 모드와 상기 제 2 전원 공급 접속부사이에 연결된 제 4 전류원; 및

제 1 및 제 2 우대 제어 신호를 제공하기 위해 제 3, 제 4, 제 7 및 제 8 트랜지스터의 베이스에 연결된 입력 회로;를 더 포함하며,

상기 제 3 및 제 4 트랜지스터의 이미터는 제 2 전류원을 통해 제 2 전원 공급 접속부에 연결되어 있으며,

상기 제 5 및 제 6 트랜지스터의 컬렉터는 상기 제 1 전원 공급 접속부에 연결되어 있으며, 상기 제 5 및 제 6 트랜지스터의 이미터는 상기 제 3 및 제 4 트랜지스터의 컬렉터에 각각 그리고, 상기 제 1 및 제 2 트랜지스터의 베이스에 각각 연결되어 있으며,

상기 제 7 및 제 8 트랜지스터의 이미터는 상기 제 2 전원 공급 단자에 제 3 전류원을 통해 서로 연결되어 있으며,

상기 제 7 및 제 8 트랜지스터의 컬렉터는 상기 제 5 및 제 6 트랜지스터에 각각 그리고, 제 1 및 제 2 트랜지스터를 통해 공통 모드에 연결되어 있으며, 상기 공통 모드는 제 3 저항을 통해 상기 제 1 전원 공급 접속부에 연결되어 있으며,

상기 제 1 및 제 2 제어 신호는 차동 입력 신호에 응답하며, 상기 제 1 제어 신호는 상기 제 4 및 제 8 트랜지스터의 베이스에 각각 연결되어 있으며, 상기 제 2 제어 신호는 상기 제 3 및 제 7 트랜지스터의 베이스에 각각 연결되어 있는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 14

제 13 항에 있어서, 상기 제 2 전류원은 제 4 저항인 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 15

제 14 항에 있어서, 상기 입력 회로는, 상기 제 3 및 제 4 트랜지스터의 베이스의 평균 전압을 상기 제 2 전원 공급 접속부의 전압에 비례하여 트랜지스터의 밴드갭 전압으로 실질적으로 유지시키는 회로를 더 포함하는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 16

제 15 항에 있어서, 상기 제 1 및 제 2 트랜지스터의 전압을 온도 변수와 실질적으로 무관하게 상기 제 2 전원 공급 접속부에 비례하게 유지시키는 바이어싱 회로를 더 포함하는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 17

제 13 항에 있어서,

각각이 이미터, 베이스, 및 컬렉터를 가진 제 9 및 제 10 트랜지스터;

제 5 및 제 6 전류원;

상기 제 9 및 제 10 트랜지스터의 베이스에 연결된 입력 회로;를 더 포함하며,

상기 제 9 및 제 10 트랜지스터는 상기 제 1 전원 공급 접속부에 연결된 컬렉터, 상기 제 4 및 제 3 트랜지스터의 베이스에 각각, 그리고 제 5 및 제 6 전류원을 각각 통해 상기 제 2 전원 공급 접속부에 연결된 이미터를 가진 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 18

제 17 항에 있어서, 입력 회로는

각각이 이미터, 베이스, 및 컬렉터를 가진 제 11, 제 12, 제 13 및 제 14 트랜지스터;

제 4, 제 5, 제 6, 및 제 7 저항; 및

제 7, 제 8, 제 9, 제 10, 제 11, 제 12 및 제 13 전류원;을 포함하며,

상기 제 11 및 제 12 트랜지스터는, 상기 제 7 전류원을 통해 상기 제 2 전원 공급 접속부에 서로 연결된 이미터, 차동 레이저 드라이버 회로에 차동 입력을 형성하도록 연결된 베이스, 및 제 13 및 제 14 트랜지스터의 베이스에 각각, 상기 제 8 및 제 9 전류원을 각각 통해 상기 제 2 전원 공급 접속부에 그리고, 제 4 및 제 5 저항을 각각 통해 상기 제 1 전원 공급 접속부에 연결된 컬렉터를 가지며,

상기 제 13 및 제 14 트랜지스터는 상기 제 1 전원 공급 접속부에 연결된 컬렉터, 상기 제 10 및 제 11 전류원을 통해 상기 제 2 전원 공급 접속부에 그리고 상기 제 6 및 제 7 저항을 각각 통해 상기 제 10 및 제 9 트랜지스터의 베이스에 각각 연결된 이미터를 가지며,

상기 제 9 및 제 10 트랜지스터의 베이스는 상기 제 13 및 제 13 전류원을 각각 통해 상기 제 2 전원 공급 접속부에 연결되어 있는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 19

제 18 항에 있어서, 상기 제 2 전류원은 제 8 저항인 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 20

제 19 항에 있어서, 상기 제 12 및 제 13 전류원은 상기 제 3 및 제 4 트랜지스터의 베이스의 평균 전압을 상기 제 2 전원 공급 접속부의 전압에 비례하게 상기 트랜지스터의 밴드갭 전압으로 실질적으로 유지시키는 온도 의존성을 가진 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 21

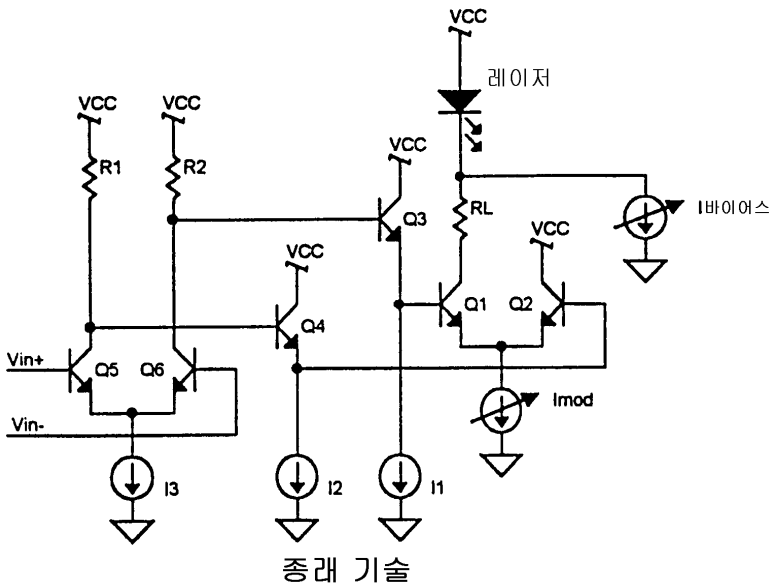
제 20 항에 있어서, 상기 제 3 및 제 4 전류원은 온도 변수에 실질적으로 무관하게 상기 제 2 전원 공급 접속부의 전압에 비례하게 상기 제 1 및 제 2 트랜지스터의 이미터 전압을 유지시키는 온도 의존성을 가진 것을 특징으로 하는 반도체 레이저 드라이버 회로.

청구항 22

제 19 항에 있어서, 일부 전류원은 상기 제 1 및 제 2 트랜지스터의 베이스의 전압 스윙을 감소시키기 위해 그리고 상기 제 3 및 제 4 트랜지스터의 베이스의 공통 모드 전압을 감소시키기 위해 가변할 수 있는 것을 특징으로 하는 반도체 레이저 드라이버 회로.

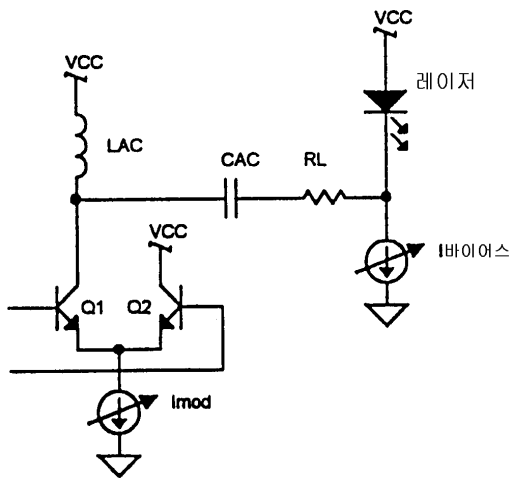
도면

도면1



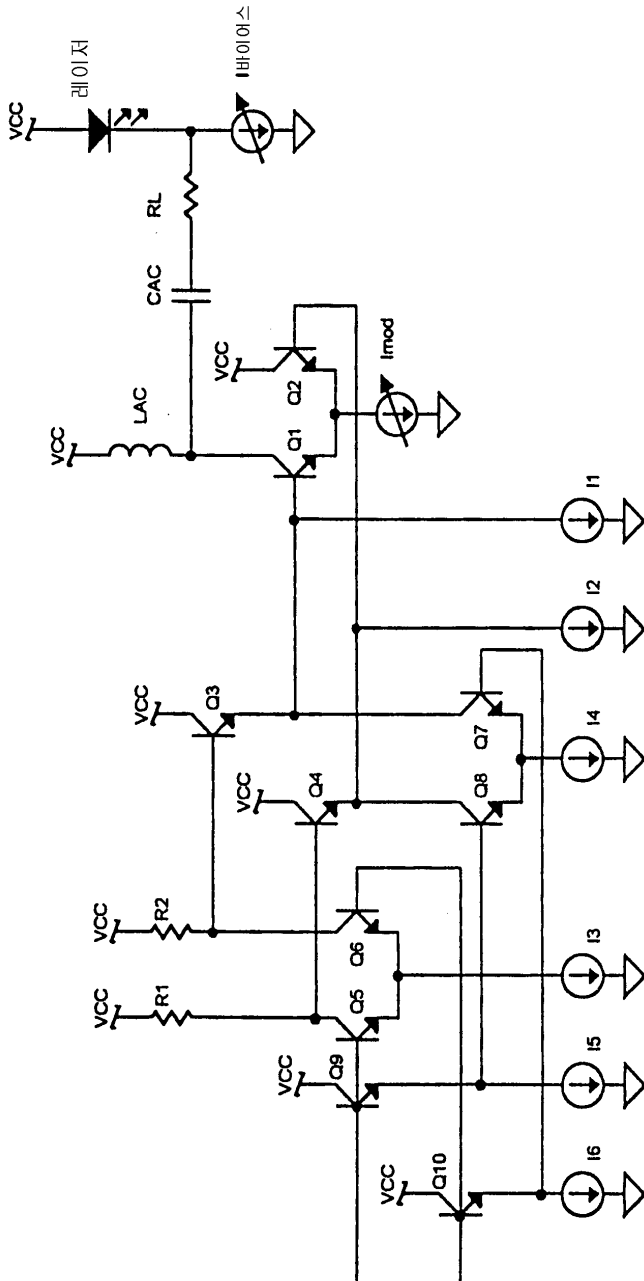
종래 기술

도면2

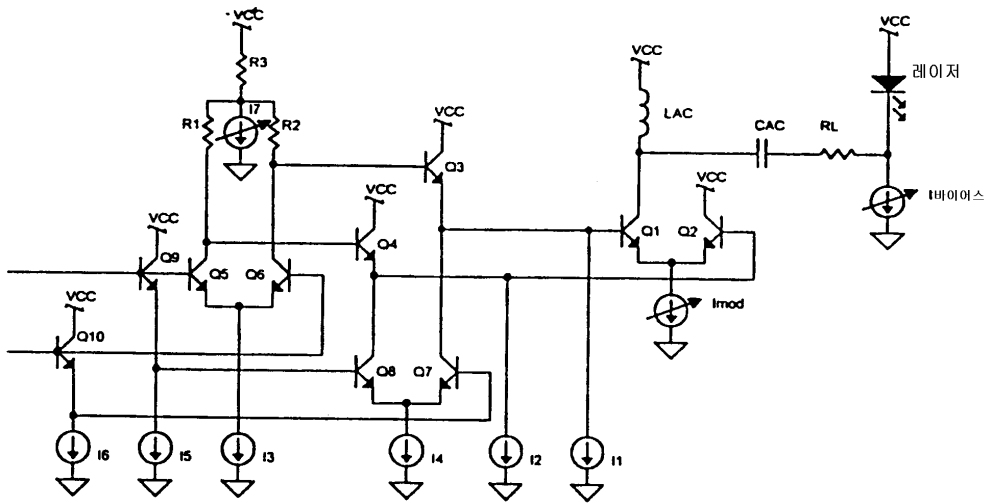


종래 기술

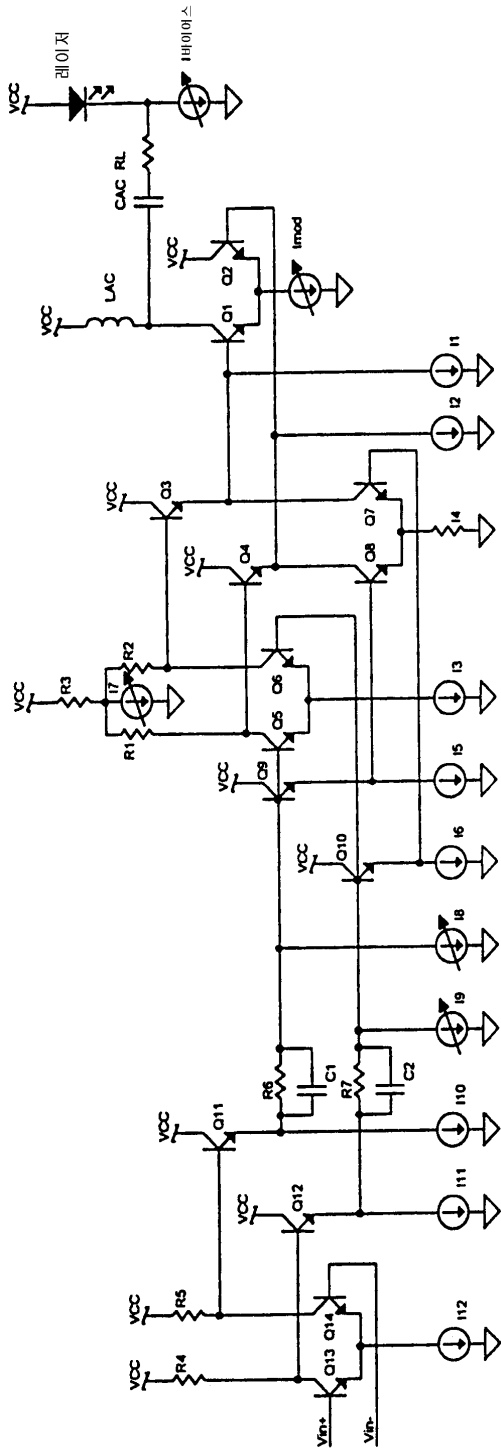
도면3



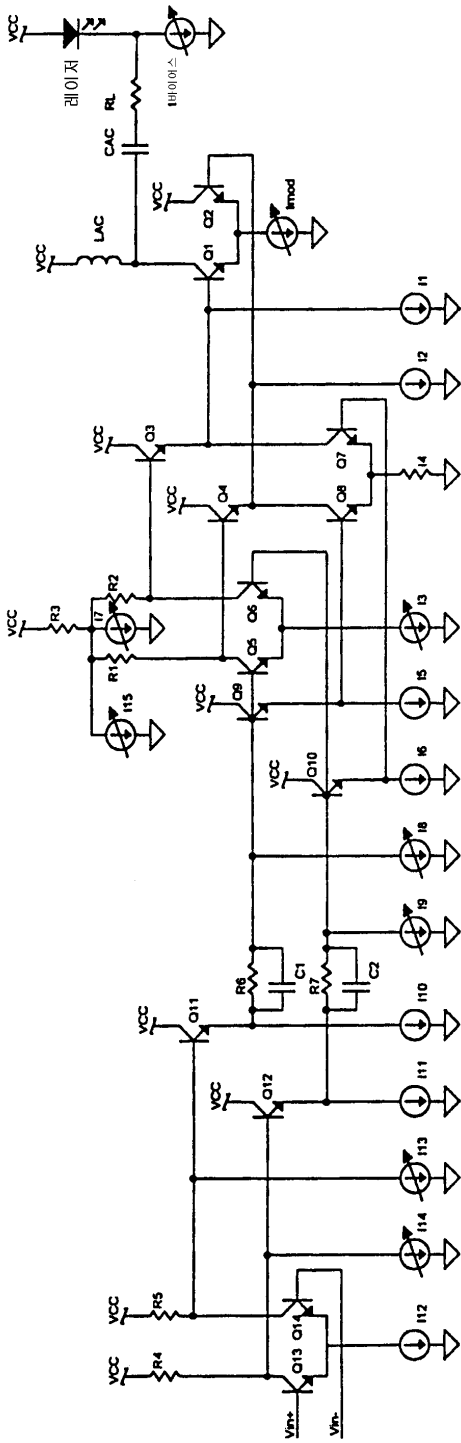
도면4



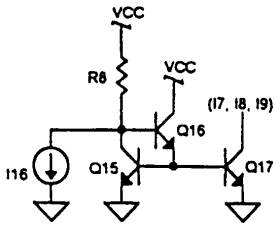
도면5



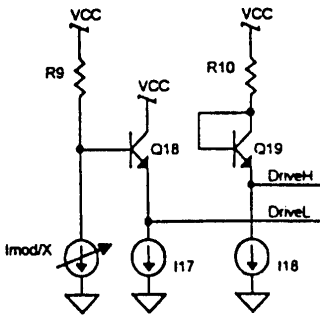
도면6



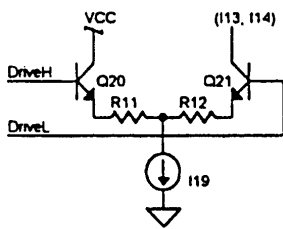
도면7



도면8



도면9



도면10

