



(12) 发明专利

(10) 授权公告号 CN 102598284 B

(45) 授权公告日 2015. 04. 15

(21) 申请号 201080050574. X

H01L 21/28(2006. 01)

(22) 申请日 2010. 10. 19

H01L 29/417(2006. 01)

(30) 优先权数据

2009-255272 2009. 11. 06 JP

(56) 对比文件

WO 2008/133456 A1, 2008. 11. 06, 说明书第 [0042] 段、第 [0048] 段, 附图 1.

(85) PCT国际申请进入国家阶段日

2012. 05. 04

WO 2009/110403 A1, 2009. 09. 11, 说明书第 [0046] 段.

(86) PCT国际申请的申请数据

PCT/JP2010/068794 2010. 10. 19

US 2009/0134419 A1, 2009. 05. 28, 说明书第 [0051] 段, 附图 1.

(87) PCT国际申请的公布数据

W02011/055645 EN 2011. 05. 12

US 2009/0173938 A1, 2009. 07. 09, 全文.

审查员 张斌

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 平石铃之介 秋元健吾

坂田淳一郎

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张欣

(51) Int. Cl.

H01L 29/786(2006. 01)

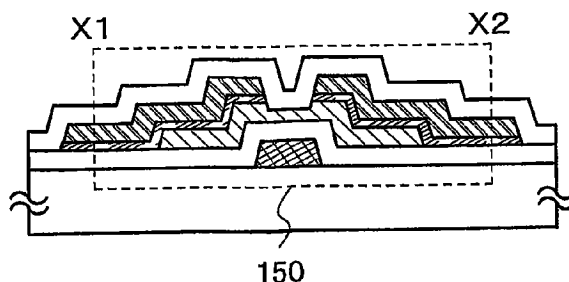
权利要求书2页 说明书23页 附图17页

(54) 发明名称

半导体器件

(57) 摘要

一目的在于,在含氧化物半导体层的薄膜晶体管中,减少该氧化物半导体层与电连接至该氧化物半导体层的源和漏电极层之间的接触电阻。源和漏电极层具有两个或更多层的层叠结构,其中与氧化物半导体层相接触的层使用其功函数低于氧化物半导体层的功函数的金属或含有这样的金属的合金而被形成。可使用选自 Al、Cr、Cu、Ta、Ti、Mo、或 W 的元素、或含有这些元素中的任意作为组分的合金、含有这些元素中的任意的组合的合金、等形成在源和漏电极层中除了与氧化物半导体层相接触的层之外的层。



1. 一种半导体器件,包括:

氧化物半导体层;

含有第一混合层的源电极层;以及

含有第二混合层的漏电极层;

其中所述第一混合层和第二混合层的每一个包括具有低于所述氧化物半导体层的功函数的第一金属、或含有所述第一金属的合金

其中所述第一混合层和第二混合层的每一个进一步包括第二金属,且

其中所述第一混合层和第二混合层的与所述氧化物半导体层相接触的区域,相比所述第一混合层和第二混合层的不与所述氧化物半导体层相接触的区域,具有较大浓度的所述第一金属或所述合金。

2. 一种半导体器件,包括:

氧化物半导体层;

含有第一混合层的源电极层;以及

含有第二混合层的漏电极层;

其中所述第一混合层和第二混合层的每一个包括具有低于所述氧化物半导体层的电子亲和力的功函数的第一金属、或含有所述第一金属的合金,

其中所述第一混合层和第二混合层的每一个进一步包括第二金属,且

其中所述第一混合层和第二混合层的与所述氧化物半导体层相接触的区域,相比所述第一混合层和第二混合层的不与所述氧化物半导体层相接触的区域,具有较大浓度的所述第一金属或所述合金。

3. 如权利要求1或2所述的半导体器件,其特征在于,所述源电极层和所述漏电极层的每一个具有层叠结构。

4. 如权利要求1或2所述的半导体器件,其特征在于,

其中所述第一金属是钨,且

其中所述氧化物半导体层包括氧化钨。

5. 如权利要求1或2所述的半导体器件,其特征在于,

其中所述第一金属是锌,且

其中所述氧化物半导体层包括氧化锌。

6. 如权利要求1或2所述的半导体器件,其特征在于,

其中所述第一金属是钼。

7. 如权利要求1或2所述的半导体器件,其特征在于,

其中所述第一金属是钛,且

其中所述氧化物半导体层包括氧化钨。

8. 一种半导体器件,包括:

氧化物半导体层;

含有第一混合层的源电极层;以及

含有第二混合层的漏电极层,

其中所述第一混合层和第二混合层的每一个包括具有低于所述氧化物半导体层的功函数的第一金属、或含有所述第一金属的合金,

其中所述第一混合层和第二混合层的每一个进一步包括具有高耐热性的第二金属,且其中所述第一混合层和第二混合层的与所述氧化物半导体层相接触的区域,相比所述第一混合层和第二混合层的不与所述氧化物半导体层相接触的区域,具有较大浓度的所述第一金属或所述合金。

9. 一种半导体器件,包括:

氧化物半导体层;

含有第一混合层的源电极层;以及

含有第二混合层的漏电极层,

其中所述第一混合层和第二混合层的每一个包括具有低于所述氧化物半导体层电子亲和力的功函数的第一金属、或含有所述第一金属的合金,

其中所述第一混合层和第二混合层的每一个进一步包括具有高耐热性的第二金属,且

其中所述第一混合层和第二混合层的与所述氧化物半导体层相接触的区域,相比所述第一混合层和第二混合层的不与所述氧化物半导体层相接触的区域,具有较大浓度的所述第一金属或所述合金。

10. 如权利要求 8 或 9 所述的半导体器件,其特征在于,

其中所述第一金属是铟,且

其中所述氧化物半导体层包括氧化铟。

11. 如权利要求 8 或 9 所述的半导体器件,其特征在于,

其中所述第一金属是锌,且

其中所述氧化物半导体层包括氧化锌。

12. 如权利要求 8 或 9 所述的半导体器件,其特征在于,

其中所述第一金属是钇。

13. 如权利要求 8 或 9 所述的半导体器件,其特征在于,

其中所述第一金属是钛,且

其中所述氧化物半导体层包括氧化铟。

14. 如权利要求 8 或 9 所述的半导体器件,其特征在于,

其中所述源电极层进一步包括第一层,

其中所述漏电极层进一步包括第二层,且

其中所述第一层和所述第二层各自包括所述第一金属或含有所述第一金属的合金。

15. 如权利要求 8 或 9 所述的半导体器件,其特征在于,所述第二金属是钨或钼。

半导体器件

技术领域

[0001] 本发明涉及具有含薄膜晶体管（下文称为 TFT）的电路的半导体器件以及其制造方法。例如，本发明涉及含有其中安装了电光器件（以含有有机发光元件的液晶显示面板或发光显示设备为代表）作为其组件的电子设备。

[0002] 在此说明书中，半导体器件意味着通过利用半导体特性而可起作用的所有类型的器件，且电泳器件、半导体电路，以及电子器件都是半导体器件。

背景技术

[0003] 近年来，通过使用在衬底上形成的半导体薄膜（具有约数纳米到数百纳米的厚度）而制造具有绝缘表面的薄膜晶体管（TFT）的技术吸引了人们的注意力。薄膜晶体管被应用于广泛的电子器件，诸如 IC 或电光器件，且特别是用作图像显示设备中的开关元件的薄膜晶体管，快速地得以发展。

[0004] 多种金属氧化物存在并被用作各种应用。氧化铟是已知材料，且被用作液晶显示器等所必须的透光电极材料。一些金属氧化物具有半导体特性。具有半导体特性的金属氧化物的示例为氧化钨、氧化锡、氧化铟、和氧化锌等。已知其中使用这种具有半导体特性的金属氧化物来形成沟道形成区的薄膜晶体管（专利文献 1 和专利文献 2）。

[0005] [参考文献]

[0006] [专利文献]

[0007] [专利文献 1] 日本公开专利申请 No. 2007-123861

[0008] [专利文献 2] 日本公开专利申请 No. 2007-096055

[0009] 本发明的公开内容

[0010] 本发明的一个实施例的目的在于，在含氧化物半导体层的薄膜晶体管中，减少该氧化物半导体层与电连接至该氧化物半导体层的源和漏电极层之间的接触电阻。

[0011] 另一个目的是，在含有氧化物半导体层的薄膜晶体管中，来拓宽源和漏电极层的材料的选择。

[0012] 说明书中所公开的本发明的一个实施例是一半导体器件，其中在具有绝缘表面的衬底上形成的源和漏电极层具有两层或更多层的层叠结构，且在该层叠结构中，使用其功函数低于氧化物半导体层的功函数的金属或含有这样的金属的合金来制成薄层。与该氧化物半导体层相接触的层被使用其功函数低于该氧化物半导体层的功函数的金属或含有这样的金属的合金所制成，所以可形成与该氧化物半导体层接触的最优状态。进一步，可拓宽源和漏电极层的材料的选择。例如，在使用其功函数低于该氧化物半导体层的功函数的金属或含有这样的金属的合金所制成的层上可提供由具有高耐热性的金属材料形成的层，藉此可升高工艺过程的温度上限。可使用钨或钼用作具有高耐热性的金属材料。

[0013] 本发明的另一个实施例是一半导体器件，其中在具有绝缘表面的衬底上形成的源和漏电极层具有两层或更多层的层叠结构，且在该层叠结构中，使用其功函数低于氧化物半导体层的电子亲和力的金属或含有这样的金属的合金来制成薄层。与该氧化物半导体层

相接触的层被使用其功函数低于该氧化物半导体层的电子亲和力的金属或含有这样的金属的合金所制成,所以可形成与该氧化物半导体层接触的最优状态。进一步,可拓宽源和漏电极层的材料的选择。例如,在使用其功函数低于该氧化物半导体层的电子亲和力的金属或含有这样的金属的合金所制成的层上可提供由具有高耐热性的金属材料形成的层,藉此可升高之后要执行的工艺过程的温度上限。

[0014] 数种金属材料的功函数列表于表 1 中,不过所使用的材料并不限于此。

[0015] [表 1]

[0016]

[0017]

	功函数(eV)
Y	3.3
M n	4.1
In	4.12
Al	4.28
Ti	4.33
Zn	4.33
W	4.55
M o	4.6
C o	5
G e	5
Ni	5.15

[0018] 例如,与氧化物半导体层相接触的层被用铟(In)层或含有铟的合金层所形成,藉此在含有氧化铟的半导体氧化物材料被用作氧化物半导体层的材料的情况下可形成接触的最优状态。在这个情况下,可减少接触电阻。重要的是仅含有其功函数低于含有氧化铟的氧化物半导体材料的功函数的铟的区域或者含有大量铟的区域被故意地提供在氧化物半导体层与源电极层之间的界面处以及在氧化物半导体层与漏电极层之间的界面处。

[0019] 进一步,可使用锌(Zn)代替铟。本发明的另一个实施例是一半导体器件,其中在具有绝缘表面的衬底上提供氧化物半导体层、源电极层、以及漏电极层,该源电极层和漏电极层具有层叠结构,且在该层叠结构中,与氧化物半导体层相接触的层被用锌层或含有锌的合金层所形成。与氧化物半导体层相接触的层被用锌层或含有锌的合金层所形成,藉此在含有氧化锌的半导体氧化物材料被用作氧化物半导体层的材料的情况下可形成接触的

最优状态。例如,可减少接触电阻。

[0020] 进一步,可使用钛 (Ti) 代替铟。本发明的另一个实施例是一半导体器件,其中在具有绝缘表面的衬底上提供氧化物半导体层、源电极层、以及漏电极层,该源电极层和漏电极层具有层叠结构,且在该层叠结构中,与氧化物半导体层相接触的层被用钛层或含有钛的合金层所形成。在与氧化物半导体层相接触的层是被用钛层或含有钛的合金层所形成的情况下,可形成接触的最优状态。例如,可减少接触电阻。

[0021] 进一步,可使用钇 (Y) 代替铟。本发明的另一个实施例是一半导体器件,其中在具有绝缘表面的衬底上提供氧化物半导体层、源电极层、以及漏电极层,该源电极层和漏电极层具有层叠结构,且在该层叠结构中,与氧化物半导体层相接触的层被用钇层或含有钇的合金层所形成。在与氧化物半导体层相接触的层是被用钇层或含有钇的合金层所形成的情况下,可形成接触的最优状态。例如,可减少接触电阻。

[0022] 进一步,可使用铟-锌合金或含有镓 (Ga) 的合金 (如,氮化镓) 替代铟。重要的是这样的合金区域或者主要含有这样的合金的区域被故意地提供在氧化物半导体层与源电极层之间的界面处以及在氧化物半导体层与漏电极层之间的界面处。这样的合金区域或者主要含有这样的合金的区域可形成与氧化物半导体层接触的最优状态。例如,可减少接触电阻。

[0023] 可使用选自铝 (Al)、铬 (Cr)、铜 (Cu)、钽 (Ta)、钛 (Ti)、钼 (Mo)、或钨 (W) 中的元素、含有这些元素中的任意作为组分的合金、含有这些元素中的任意的组合的合金、等形成在源和漏电极层的层叠结构中除了与氧化物半导体层相接触的层之外的层。可选地,源和漏电极层可被使用诸如包含氧化钨的氧化铟、包含氧化钨的氧化锌铟、包含氧化钛的氧化铟、包含氧化钛的氧化锡铟、氧化锡铟 (下文称为 ITO)、氧化锌铟或添加了氧化硅的氧化锡铟之类的透光导电材料形成。在为显示面板而使用该薄膜晶体管的情况下,可改进孔径比。

[0024] 注意,可使用含有其功函数低于氧化物半导体层的功函数的金属或含有这样的金属的合金的层以及含有另一种金属的层的混合层来形成源和漏电极层。利用这样的结构,可减少接触电阻。当含有高耐热性的金属被用作另一种金属时,可升高之后要执行的工艺过程的温度上限。

[0025] 可提供源和漏电极,从而使用含有其功函数低于氧化物半导体层的功函数的金属或含有这样的金属的合金形成的层与氧化物半导体层相接触。源和漏电极层可具有层叠结构,其中用具有高耐热性的金属形成的层被进一步提供在使用其功函数低于氧化物半导体层的功函数的金属或含有这样的金属的合金形成的层上。可选地,源和漏电极层可具有单层结构,该层用其功函数低于氧化物半导体层的功函数的金属或含有这样的金属的合金形成。

[0026] 利用以上结构,可解决以上问题中的至少一个问题。

[0027] 优选的是在每一个上述结构中,在氧化物半导体层的一个或多个材料中以及在源和漏电极层的层叠结构与氧化物半导体层相接触的层的材料中包括至少一个共用金属元素。例如,当用铟作为源和漏电极层的层叠结构与氧化物半导体层相接触的层的材料时,优选地使用 In-Ga-Zn-O-基非单晶膜、In-Sn-Zn-O-基氧化物半导体材料、In-Al-Zn-O-基氧化物半导体材料、In-Zn-O-基氧化物半导体材料、In-Sn-O-基氧化物半导体材料、或 In-O-基氧化物半导体材料作为氧化物半导体层的材料。

[0028] 进一步,在使用锌作为源和漏电极层的层叠结构中氧化物半导体层相接触的层的材料时,可使用 In-Ga-Zn-O 基非单晶膜、In-Sn-Zn-O 基氧化物半导体材料、In-Al-Zn-O 基氧化物半导体材料、Sn-Ga-Zn-O 基氧化物半导体材料、Al-Ga-Zn-O 基氧化物半导体材料、Sn-Al-Zn-O 基氧化物半导体材料、In-Zn-O 基氧化物半导体材料、Sn-Zn-O 基氧化物半导体材料、Al-Zn-O 基氧化物半导体材料、或者 Zn-O-based 基氧化物半导体材料。

[0029] 进一步,在使用钇作为源和漏电极层的层叠结构中氧化物半导体层相接触的层的材料时,可使用 In-Ga-Zn-O 基非单晶膜、In-Sn-Zn-O 基氧化物半导体材料、In-Al-Zn-O 基氧化物半导体材料、Sn-Ga-Zn-O 基氧化物半导体材料、Al-Ga-Zn-O 基氧化物半导体材料、Sn-Al-Zn-O 基氧化物半导体材料、In-Zn-O 基氧化物半导体材料、Sn-Zn-O 基氧化物半导体材料、Al-Zn-O 基氧化物半导体材料、Zn-O-based 基氧化物半导体材料、In-Sn-O 基氧化物半导体材料、或者 In-O 基氧化物半导体材料。

[0030] 进一步,在使用钛作为源和漏电极层的层叠结构中氧化物半导体层相接触的层的材料时,可使用 In-Ga-Zn-O 基非单晶膜、In-Sn-Zn-O 基氧化物半导体材料、In-Al-Zn-O 基氧化物半导体材料、Sn-Ga-Zn-O 基氧化物半导体材料、Al-Ga-Zn-O 基氧化物半导体材料、Sn-Al-Zn-O 基氧化物半导体材料、In-Zn-O 基氧化物半导体材料、Sn-Zn-O 基氧化物半导体材料、Al-Zn-O 基氧化物半导体材料、或者 Zn-O-based 基氧化物半导体材料。

[0031] 氧化物半导体层和与氧化物半导体层接触的层的材料并不限于上述氧化物半导体和上述金属或含有上述含有该金属的合金。当采用其功函数低于氧化物半导体的功函数的金属或含有这样的金属的合金与氧化物半导体相组合时,可实现本发明的一个实施例。

[0032] 本发明的一个实施例还可用只要金属或含有金属的合金的功函数低于氧化物半导体的电子亲和力的任何组合的结构实现。

[0033] 实现上述结构的本发明的另一个实施例是用于制造半导体器件的方法,包括如下步骤:在具有绝缘表面的衬底上形成栅电极层;在该栅电极层上形成栅绝缘层;在该栅绝缘层上形成氧化物半导体层;在该氧化物半导体层上形成铟层或含有铟的合金层与金属导电层的层叠层;以及选择性地蚀刻该铟层或含有铟的合金层以及金属导电层从而形成具有由铟层或含有铟的合金层以及金属导电层制成的具有层叠结构的源和漏电极层。

[0034] 利用以上制造方法,可制造底栅薄膜晶体管。

[0035] 可使用锌代替铟。本发明的另一个实施例是用于制造半导体器件的方法,包括如下步骤:在具有绝缘表面的衬底上形成栅电极层;在该栅电极层上形成栅绝缘层;在该栅绝缘层上形成氧化物半导体层;在该氧化物半导体层上形成锌层或含有锌的合金层与金属导电层的层叠层;以及选择性地蚀刻该锌层或含有锌的合金层以及金属导电层从而形成具有由锌层或含有锌的合金层以及金属导电层制成的具有层叠结构的源和漏电极层。

[0036] 在制造倒置共面(也被称为底部接触式)薄膜晶体管的情况下,在具有绝缘表面的衬底上形成栅电极层;在该栅电极层之上形成栅绝缘层;在该栅绝缘层上形成金属导电层与铟层或含有铟的合金层的层叠层;选择性地蚀刻金属导电层与该铟层或含有铟的合金层从而形成具有由金属导电层与铟层或含有铟的合金层制成的具有层叠结构的源和漏电极层;且在该源和漏电极层上形成氧化物半导体层。

[0037] 在上述制造方法中,通过溅射法或蒸镀法形成铟层或含有铟的合金层。在形成铟层或含有铟的合金层之后,优选地在不暴露给空气的情况下形成金属导电层。

[0038] 在上述制造方法中,通过溅射法、蒸镀法、或 MOCVD 法形成锌层、含有锌的合金层、用铟-锌合金形成的层、或者含有镓(如,氮化镓)的合金层。在形成锌层、含有锌的合金层、用铟-锌合金形成的层、或者含有镓(如,氮化镓)的合金层之后,优选地在不暴露给空气的情况下在其上形成金属导电层,从而可防止氧化和电阻的增加。

[0039] 此外,难以使用铟制造溅射靶。因此,在沉积用其难以制造溅射靶的金属或合金(诸如铟)的情况下,将铟小粒(pullet)放在诸如钼靶或钨靶之类的另一个金属靶上并通过溅射法执行连续沉积。在这个情况下,可在不暴露给空气的情况下在一个溅射装置中执行该沉积。取决于溅射条件,可在一些情况下形成铟和钨的混合层。此外,可在将多个铟小粒设置在金属靶上的状态中执行溅射。该小粒具有 5mm 到 50mm 直径、2mm 到 30mm 高度的圆柱形状。注意,对于小粒的形状没有特别限制。小粒可以是正方形的、矩形固体、椭圆柱形等。

[0040] 本说明书中的术语“连续沉积”意味着:在从用溅射法(蒸镀法等)的第一沉积步骤到用溅射法(蒸镀法等)的第二沉积步骤的一系列步骤的过程中,其中放置了要处理的衬底的气氛不会被诸如空气之类的污染气氛所混合,且被持续地控制为真空或惰性气体气氛(氮气气氛或稀有气体气氛)。通过连续沉积,可在进行沉积的同时防止水分等再次附着到已清洗的要处理的衬底。取决于溅射条件,在一些情况下形成层叠金属的混合层。

[0041] 在由于溅射条件而形成混合层的情况下,层叠金属的浓度分布并不均匀且在一些情况下该浓度可具有梯度。例如,在通过溅射法在氧化物半导体上沉积铟作为第一层且连续地在第一层上沉积钨作为第二层的情况下,可形成其中第一层和第二层之间的界面不清楚的混合层。在这个情况下,在混合层中接近氧化物半导体层的区域中的铟的浓度较高,距离氧化物半导体层距离越长,铟的浓度变得越低。

[0042] 此时,当在具有大于等于 1nm 且小于等于 50nm 厚度的第一层上层叠第二层时,形成了其中在第一层和第二层之间的界面不清楚的混合层。

[0043] 在同一腔室中执行从第一沉积步骤到第二沉积步骤的工艺处理在此说明书的连续沉积的范围内。

[0044] 此外,以下情况也在此说明书的连续沉积的范围内:在不同腔室中进行从第一沉积步骤到第二沉积步骤的工艺处理、在不暴露给空气的情况下衬底在第一沉积步骤后被转移至另一腔室并经受第二次沉积的情况。

[0045] 注意,在第一沉积步骤和第二沉积步骤之间,可提供对于衬底转移步骤、对齐步骤、缓慢冷却步骤、将衬底加热或冷却至第二次沉积所必须的温度的步骤等。这样的工艺处理也在此说明书的连续沉积的范围内。

[0046] 然而,在第一沉积步骤与第二沉积步骤之间有诸如清洁步骤、湿法蚀刻、或抗蚀剂形成之类的使用了液体的步骤的情况不在此说明书的连续沉积的范围内。

[0047] 在含有氧化物半导体层的薄膜晶体管中,可拓宽源和漏电极层材料的选择,从而可实现具有良好电特性和高可靠性的薄膜晶体管。此外,随着具有高耐热性的材料的使用,可提高之后要执行的工艺处理的温度上限。

[0048] 附图简述

[0049] 图 1A 到 1D 是示出本发明的一个实施例的截面示图。

[0050] 图 2 是示出了本发明的一个实施例的俯视图。

[0051] 图 3A 到 3C 是示出本发明的一个实施例的截面示图。

[0052] 图 4A 到 4D 是示出本发明的一个实施例的截面示图。

[0053] 图 5A1、5A2 和 5B 是示出本发明的一个实施例的俯视图和截面示图。

[0054] 图 6 是示出了本发明的一个实施例的截面示图。

[0055] 图 7A 和 7B 是示出本发明的一个实施例的俯视图和截面示图。

[0056] 图 8A 和 8B 各自示出电子设备的示例。

[0057] 图 9A 和 9B 各自示出电子设备的示例。

[0058] 图 10 示出电子设备的示例。

[0059] 图 11 示出电子设备的示例。

[0060] 图 12 是示出本发明的一个实施例的能带图。

[0061] 图 13A 和 13B 是示出本发明的一个实施例的截面的能带图。

[0062] 图 14 是示出本发明的一个实施例的能带图。

[0063] 图 15A 和 15B 是示出本发明的一个实施例的截面的能带图。

[0064] 图 16A 和 16B 是示出本发明的一个实施例的截面的能带图。

[0065] 用于实现本发明的最佳模式

[0066] 在下文中,将参考附图详细描述本发明的各个实施例。注意,本发明不限于以下描述,而且本领域技术人员容易理解,此处公开的模式和细节可以各种方式修改,而不背离本发明的范围和精神。因此,本发明不应被解释为限于实施例的描述。

[0067] [实施例 1]

[0068] 在这个实施例中,将描述其中氧化物半导体层与其功函数低于该氧化物半导体层的功函数的金属或含有这样的金属的合金彼此接触的层叠结构。

[0069] 例如,据说在 In-Ga-Zn-O-基氧化物半导体膜的带隙 (E_g) 为 3.15eV 的情况下,其电子亲和力 (χ) 为 4.3eV。根据本发明尽可能地将诸如氢或水之类的杂质从氧化物半导体中消除,且将该氧化物半导体高度纯化为或接近为 i-型半导体(本征半导体)。因此,氧化物半导体的功函数为 5.8eV。此时,作为被用于源和漏电极层的且其功函数低于 5.8eV 的材料,如表 1 中所示可给出钇、铟、铝等。可选地,可使用含有其功函数低于 5.8eV 的金属的任何合金。

[0070] 例如,可给出氧化铟锡(ITO)作为 In-Sn-O-基氧化物半导体。ITO 的功函数为 4.7eV。在使用 ITO 作为源和漏电极层的材料的情况下,可使用如表 1 中所示的诸如钇、铟、钛、或锌之类的功函数低于 4.7eV 的金属。具体地,钇是优选地被使用的,因为钇具有 3.3eV 的较低的功函数。可选地,可使用含有其功函数低于 4.7eV 的金属的合金。

[0071] 可给出含有氧化硅的氧化铟锡(ITSO)作为氧化物半导体。ITSO 的功函数为 4.69eV。在使用 ITO 作为源和漏电极层的材料的情况下,可使用如表 1 中所示的诸如钇、铟、钛、或锌之类的功函数低于 4.69eV 的金属。具体地,钇是优选地被使用的,因为钇具有 3.3eV 的较低的功函数。可选地,可使用含有其功函数低于 4.7eV 的金属的合金。

[0072] 上文描述了使用其功函数低于氧化物半导体的功函数的金属,藉此氧化物半导体和金属之间的接触电阻可较小。

[0073] 图 12 示出在源和漏电极 1212 与氧化物半导体 1213 彼此接触之前,源和漏电极 1212(与氧化物半导体接触的金属)的功函数(ϕ_M)与氧化物半导体 1213 的功函数(ϕ_{MS})之间的关系。图 12 示出源和漏电极 1212 的功函数(ϕ_M)低于氧化物半导体 1213 的功函数(ϕ_{MS})的情况。

[0074] 在常温时,金属中的电子被简并(degenerated),且费米能级位于导带中。另一方面,常规氧化物半导体一般为 n 型,并且此情况下的费米能级(E_F)位于更接近导带处,并且远离位于带隙(E_g)中间的本征费米能级(E_i)。注意,已知的是氧化物半导体中的一些氢形成施主,且可能是导致氧化物半导体成为 n- 型氧化物半导体的因素。

[0075] 反之,根据本发明的氧化物半导体是通过移除作为 n- 型杂质的氢而被高度纯化以制成本征(i- 型)半导体或被基本制成本征半导体的氧化物半导体,从而氧化物半导体主要成分之外的杂质尽可能被防止含有在其中。换言之,通过非添加杂质而是通过尽可能移除诸如氢或水之类的杂质而被高度纯化,根据本发明的氧化物半导体具有被制成 i- 型(本征)半导体或接近 i- 型半导体。因此,费米能级(E_F)可以是与本征费米能级(E_i)相同的能级。

[0076] 图 16A 和 16B 是根据本发明的氧化物半导体 1213 和栅电极 1214 的截面(即,与下文将描述的源极和漏极的截面垂直的截面)的能带图(示意图)。图 16A 示出其中正电势(+ V_G)被施加至栅电极 1214 的状态,即,其中薄膜晶体管处于其中载流子(电子)在源电极和漏电极之间流动的导通状态。图 16B 示出其中负电势(- V_G)被施加至栅电极 1214 的状态,即,其中薄膜晶体管处于截止状态(其中少数载流子不流动)。注意 G1 表示栅绝缘膜。

[0077] 图 13A 和 13B 是在源和漏电极 1212 被形成为与氧化物半导体 1213 相接触之后所获得的源极和漏极的截面的能带图(示意图)。在图 13B 中,黑色圆圈(●)表示电子。当正电势被施加至漏电极时,电子穿过势垒被注入氧化物半导体并流向漏电极。在这个情况下,势垒的高度(h)取决于栅电压和漏电压而变化。在施加了正的漏电压的情况下,势垒高度(h)小于图 13A 中没有电压施加的情况下的势垒高度(h);即,势垒高度(h)小于带隙(E_g)的一半。

[0078] 在这个情况下,如图 16A 中所示,电子沿着氧化物半导体的最低的部分移动,该部分是能量稳定的且位于栅绝缘膜和被高度纯化的氧化物半导体之间的界面处。

[0079] 在图 16B 中,当负电势被施加至栅电极 1214 时,作为少数载流子的空穴的数量基本为零;因此,电流值变为极接近于零的值。

[0080] 例如,即使当薄膜晶体管具有 $1 \times 10^4 \mu m$ 的沟道宽度 W 和 $3 \mu m$ 的沟道长度时,可获得小于等于 $10^{-13} A$ 的截止电流以及 0.1V/dec. 的子阈值(S value)(栅绝缘膜的厚度: 100nm)。以此方式,氧化物半导体含有尽可能少的除氧化物半导体主要组分之外的杂质将被高度纯化,藉此薄膜晶体管的操作可以是良好的。具体地,可减少截止电流。

[0081] 当源和漏电极 1212 与氧化物半导体 1213 彼此接触时,源和漏电极 1212 的费米能级(E_F)和氧化物半导体 1213 的费米能级是相同的。此时,电子从源和漏电极 1213 向氧化物半导体 1213 移动,从而产生图 13A 和 13B 中所示的能带的曲线。图 13A 是在源和漏电极 1212 被形成为与氧化物半导体 1213 相接触之后所获得的源极和漏极的截面的能带图(示意图)。注意,图 13A 示出其中源电极和漏电极具有相同电势($V_D = 0$)的情况。图 13B 示出其中相对于源电极的正电势($V_D > 0$)被施加至漏电极的情况。

[0082] 如上所述,在源和漏电极层的层叠层中,其功函数(ϕ_M)低于氧化物半导体的功函数(ϕ_{MS})的金属或者含有这样的金属的合金被用作与氧化物半导体相接触的层的材料。在这个情况下,在金属和氧化物半导体之间的界面处,没有形成电子的肖特基势垒;因此,接触电阻可较小。

[0083] 因此,也可使用其功函数低于氧化物半导体的功函数的金属或者含有这样的金属的合金。

[0084] 注意,可用 UPS(极紫外光电子光谱法)等来测量氧化物半导体的功函数和电子亲和力。含有其功函数低于氧化物半导体的所测得的功函数或电子亲和力的金属或者含有这样的金属的合金的层叠结构被采用,藉此接触电阻可较小。

[0085] 注意,功函数是指真空能级(E_∞)和费米能级(E_F)之间的能量的差异。注意,根据本发明尽可能地将诸如氢或水之类的杂质从氧化物半导体中消除,从而该氧化物半导体被高度纯化或接近为 i- 型半导体(本征半导体);因此,氧化物半导体的功函数和氧化物半导体的真空能级(E_∞)和费米能级(E_F)之间的能量差异基本是相同的。在图 12 中, E_v 表示位于氧化物半导体的价带上端处的能级。

[0086] 这个实施例可与任一其他实施例组合地实现。

[0087] [实施例 2]

[0088] 在这个实施例中,将描述其中氧化物半导体层与其功函数低于该氧化物半导体层的电子亲和力的金属或含有这样的金属的合金彼此接触的层叠结构。

[0089] 例如,据说在 In-Ga-Zn-O-基氧化物半导体膜的带隙(E_g)为 3.15eV 的情况下,其电子亲和力(χ)为 4.3eV。此时,作为被用于源和漏电极层的且其功函数低于 4.3eV 的材料,如表 1 中所示可给出钇、铟、铝等。可选地,可使用含有其功函数低于 4.3eV 的金属的合金。

[0090] 例如,可给出 In-Ga-Zn-O-基非单晶膜作为氧化物半导体。IGZO 的电子亲和力为 4.3eV。在使用 IGZO 作为源和漏电极层的材料的情况下,可使用如表 1 中所示的诸如钇、铟、或铝之类的功函数低于 4.3eV 的金属。具体地,钇是优选地被使用的,因为钇具有 3.3eV 的较低的功函数。可选地,可使用含有其功函数低于 4.3eV 的金属的合金。

[0091] 上文描述了使用其功函数低于氧化物半导体的电子亲和力的金属,藉此氧化物半导体和金属之间的接触电阻可较小。

[0092] 图 14 示出在源和漏电极 1212 与氧化物半导体 1213 彼此接触之前,源和漏电极 1212 的功函数(ϕ_M)与氧化物半导体 1213 的电子亲和力(χ)之间的关系。图 14 示出源和漏电极 1212 的功函数(ϕ_M)低于氧化物半导体 1213 的电子亲和力(χ)的情况。

[0093] 在常温时,金属中的电子被简并,且费米能级位于导带中。另一方面,常规氧化物半导体一般为 n 型,并且此情况下的费米能级(E_F)位于更接近导带处,并且远离位于带隙(E_g)中间的本征费米能级(E_i)。注意,已知的是氧化物半导体中的一些氢形成施主,且可能是导致氧化物半导体成为 n- 型氧化物半导体的因素。

[0094] 反之,氧化物半导体被制成是通过移除作为 n- 型杂质的氢被高度纯化的本征(i- 型)半导体或基本是本征半导体,以使氧化物半导体主要成分之外的杂质尽可能被防止含有在其中。换言之,通过非添加杂质而是通过尽可能移除诸如氢或水之类的杂质而被高度纯化,根据本发明的氧化物半导体具有被制成 i- 型(本征)半导体或被制成接近于其

的特征。因此,费米能级 (E_F) 可以是与本征费米能级 (E_i) 相同的能级。

[0095] 图 16A 和 16B 是根据本发明的氧化物半导体 1213 和栅电极 1214 的截面 (即,与下文将描述的源极和漏极的截面垂直的截面) 的能带图 (示意图)。图 16A 示出其中正电势 ($+V_G$) 被施加至栅电极 1214 的状态,即,其中薄膜晶体管处于其中载流子 (电子) 在源电极和漏电极之间流动的导通状态。图 16B 示出其中负电势 ($-V_G$) 被施加至栅电极 1214 的状态,即,其中薄膜晶体管处于截止状态 (其中少数载流子不流动)。注意 G1 表示栅绝缘膜。

[0096] 图 15A 和 15B 是在源和漏电极 1212 被形成为与氧化物半导体 1213 相接触之后所获得的源极和漏极的截面的能带图 (示意图)。在图 15B 中,黑色圆圈 (●) 表示电子。当正电势被施加至漏电极时,电子穿过势垒被注入氧化物半导体并流向漏电极。在这个情况下,势垒的高度 (h) 取决于栅电压和漏电压而变化。在施加了正的漏电压的情况下,势垒高度 (h) 小于图 15A 中没有电压施加的情况下的势垒高度 (h);即,势垒高度 (h) 小于带隙 (E_g) 的一半。

[0097] 在这个情况下,如图 16A 中所示,电子沿着氧化物半导体的最低的部分移动,该部分是能量稳定的且位于栅绝缘膜和被高度纯化的氧化物半导体之间的界面处。

[0098] 在图 16B 中,当负电势被施加至栅电极 1214 时,作为少数载流子的空穴的数量基本为零;因此,电流值变为极接近于零的值。

[0099] 例如,即使当薄膜晶体管具有 $1 \times 10^4 \mu m$ 的沟道宽度 W 和 $3 \mu m$ 的沟道长度时,可获得小于等于 $10^{-13} A$ 的截止电流以及 0.1V/dec. 的子阈值 (S value) (栅绝缘膜的厚度: 100nm)。以此方式,氧化物半导体尽可能少地含有除氧化物半导体主要组分之外的杂质以被高度纯化,藉此薄膜晶体管的操作可以是良好的。具体地,可减少截止电流。

[0100] 当源和漏电极 1212 与氧化物半导体 1213 彼此接触时,源和漏电极 1212 的费米能级 (E_F) 和氧化物半导体 1213 的费米能级是相同的。此时,电子从源和漏电极 1212 向氧化物半导体 1213 移动,从而产生图 15A 和 15B 中所示的能带的曲线。图 15A 是在源和漏电极 1212 被形成为与氧化物半导体 1213 相接触之后所获得的源极和漏极的截面的能带图 (示意图)。注意,图 15A 示出其中源电极和漏电极具有相同电势 ($V_D = 0$) 的情况。图 15B 示出其中相对于源电极的正电势 ($V_D > 0$) 被施加至漏电极的情况。

[0101] 如上所述,在源和漏电极层的层叠层中,其功函数 (Φ_M) 低于氧化物半导体的电子亲和力 (χ) 的金属或者含有这样的金属的合金被用作与氧化物半导体相接触的层的材料。在这个情况下,在金属和氧化物半导体之间的界面处,没有形成电子的肖特基势垒;因此,接触电阻可较小。注意,源和漏电极层 1212 的功函数 (Φ_M) 越低,越不可能形成肖特基势垒。

[0102] 因此,也可使用其功函数低于氧化物半导体的电子亲和力的金属或者含有这样的金属的合金。

[0103] 由于金属简并,因此电子亲和力和功函数是相同的。

[0104] 注意,可用 UPS (极紫外光电子光谱法) 等来测量氧化物半导体的功函数和电子亲和力和。含有其功函数低于氧化物半导体的所测得的功函数或电子亲和力的金属或者含有这样的金属的合金的层叠结构被采用,藉此可获得良好的连接结构。

[0105] 注意,电子亲和力是指真空能级 (E_∞) 和导带 (E_C) 端部之间的能量的差异。在图 14 中, E_V 表示位于氧化物半导体的价带上端处的能级。

[0106] 这个实施例可与任一其他实施例组合地实现。

[0107] [实施例 3]

[0108] 在这个实施例中,将参考作为示出薄膜晶体管的制造工艺的截面示图的图 1A 到 1D 而描述用于制造图 1D 中所示的薄膜晶体管的方法的一个实施例。薄膜晶体管 150 是一种底栅晶体管。

[0109] 优选的是使用玻璃衬底作为衬底 100。当之后执行的热处理的温度较高时,优选使用具有高于或等于 730℃ 的应变点的玻璃衬底作为衬底 100。进一步,作为玻璃衬底 100 的材料,例如,可使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃或溴硼硅酸盐玻璃之类的玻璃材料。注意,一般,通过包含比氧化硼 (B_2O_3) 更多的氧化钡 (BaO),可获取更实用的耐热玻璃衬底。因此,优选使用包含 BaO 多于 B_2O_3 的玻璃衬底。

[0110] 注意,可使用由诸如陶瓷衬底、石英玻璃衬底、石英衬底、或蓝宝石衬底之类的绝缘体形成的衬底来代替玻璃衬底。可选地,可使用结晶化玻璃等。

[0111] 进一步,可在衬底 100 与栅电极层 101 之间提供用作基层的绝缘层。该基层具有防止杂质元素从衬底 100 扩散的功能,并且可使用氮化硅膜、氧化硅膜、氮氧化硅膜、以及氧氮化硅膜中的一种或多种来形成为具有单层或叠层结构。

[0112] 可使用金属导电层作为栅电极层 101。优选地使用从 Al、Cr、Cu、Ta、Ti、Mo 和 W 选择的元素、包含这些元素中的任一种作为组分的合金、包含这些元素中的任一种的合金等作为导电层的材料。例如,优选的是具有其中在钛层上堆叠铝层且在该铝层上堆叠钽层的三层结构,或者其中在钼层上堆叠铝层且在该铝层上堆叠钼层的三层结构。不言而喻,金属导电层可具有单层结构、或者两层或更多层的层叠结构。

[0113] 接着,在栅电极层 101 上形成栅绝缘层 102。

[0114] 在本实施例中,使用高密度等离子体装置形成栅绝缘层 102。在此,高密度等离子体装置是指可实现高于或等于 $1 \times 10^{11}/\text{cm}^3$ 的等离子体密度的装置。例如,通过施加高于或等于 3kW 且低于或等于 6kW 的微波功率来生成等离子体,从而形成绝缘膜。

[0115] 将甲硅烷气体 (SiH_4)、一氧化二氮 (N_2O) 和稀有气体作为源气体引入腔室以在高于或等于 10Pa 且低于或等于 30Pa 的压力下生成高密度等离子体,从而在具有绝缘表面的衬底(诸如玻璃衬底)上形成绝缘膜。之后,停止供应甲硅烷气体,并且在不暴露给空气的情况下引入一氧化二氮 (N_2O) 和稀有气体,从而可在绝缘膜的表面上进行等离子体处理。至少在形成绝缘膜之后进行通过引入一氧化二氮 (N_2O) 和稀有气体而在绝缘膜的表面上进行的等离子体处理。例如,通过以上工艺步骤形成的绝缘膜具有薄的厚度,并且与即使当其厚度小于 100nm 时也可确保其可靠性的绝缘膜相对应。

[0116] 在形成栅绝缘层 102 时,引入腔室的甲硅烷气体 (SiH_4) 与一氧化二氮 (N_2O) 的流量比在 1 : 10 至 1 : 200 的范围内。另外,可使用氦、氩、氦、氩等作为被引入腔室的稀有气体。具体而言,优选使用便宜的氦。

[0117] 另外,由于通过使用高密度等离子体装置而形成的绝缘膜可具有均匀的厚度,因此绝缘膜具有优良的阶梯覆盖率。此外,对于使用高密度等离子体装置形成的绝缘膜,可精确地控制薄膜的厚度。

[0118] 通过以上工艺过程形成的绝缘膜与使用常规平行板等离子体 CVD 装置而形成的绝缘膜极为不同。在用相同蚀刻剂的蚀刻速度彼此作比较的情况下,通过以上工艺过程形

成的绝缘膜的蚀刻速度比使用常规平行板等离子体 CVD 装置而形成的绝缘膜的蚀刻速度低 10% 或更多、或者 20% 或更多。因此,可以说,使用高密度等离子体装置而形成的绝缘膜是致密膜。

[0119] 在这个实施例中,使用高密度等离子体装置形成的具有 100nm 厚度的氮化硅膜(也被称为 SiO_xN_y , 其中 $x > y > 0$) 被用作栅绝缘层 102。

[0120] 接着,在栅绝缘层 102 上,形成厚度大于或等于 5nm 且小于或等于 200nm、优选大于或等于 10nm 且小于或等于 50nm 的氧化物半导体层。此外,可在稀有气体(通常是氩)气氛、氧气气氛、或包含稀有气体(通常是氩)和氧的气氛下通过溅射法形成氧化物半导体层。

[0121] 可使用 In-Ga-Zn-O 基非单晶层、In-Sn-Zn-O 基氧化物半导体层、In-Al-Zn-O 基氧化物半导体层、Sn-Ga-Zn-O 基氧化物半导体层、Al-Ga-Zn-O 基氧化物半导体层、Sn-Al-Zn-O 基氧化物半导体层、In-Zn-O 基氧化物半导体层、Sn-Zn-O 基氧化物半导体层、In-Sn-O 基氧化物半导体层、Al-Zn-O 基氧化物半导体层、In-O 基氧化物半导体层、Sn-O 基氧化物半导体层、或 Zn-O 基氧化物半导体层来形成氧化物半导体层。在本实施例中,例如,通过使用 In-Ga-Zn-O 基氧化物半导体靶的溅射法来形成氧化物半导体膜。

[0122] 此处,使用含有 In、Ga、和 Zn ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 摩尔比) 的金属氧化物靶在衬底和靶间距为 100mm、压力为 0.6Pa、且直流(DC) 功率为 0.5kW 且气氛为氧气气氛(氧气流速的比例是 100%) 的条件下形成具有 30nm 厚度的 In-Ga-Zn-O 基非单晶膜。

[0123] 优选的是氧化物靶中氧化物半导体的密度大于或等于 80%, 或更有选的是大于或等于 95%, 进一步优选地是大于或等于 99.9%。可减少使用具有高相对密度的靶形成的氧化物半导体膜中的杂质浓度,且因此可获得具有高电特性和高可靠性的薄膜晶体管。

[0124] 优选地进行预热处理,从而在形成氧化物半导体膜之前,移除在溅射装置内壁上、靶的表面上、或者靶材料中剩余的水分或氢。作为预热处理,可给出其中在减少的压力下将沉积腔室内部加热至 200°C 到 600°C 的方法、其中在沉积腔室内部温度被加热的同时重复将氮或惰性气体引入和排出的方法,等。在这个情况下,优选地不使用水而是油等作为靶的冷却剂。尽管当在不加热的情况下重复氮的引入和排出可获得一定程度的效果,更优选的是在沉积室内部被加热的同时进行处理。在预热处理之后,冷却衬底或溅射装置,且然后形成氧化物半导体膜。

[0125] 此外,在沉积过程中可通过溅射法将衬底加热至 400°C 至 700°C。

[0126] 优选的是在形成氧化物半导体之前、期间或之后使用低温泵来移除溅射装置中剩余的水分等。

[0127] 优选地,在不暴露给空气的情况下连续形成栅绝缘层 102 和氧化物半导体膜。通过不暴露给空气的形成,层叠层的每一个界面可在不被气氛组分或空气中漂浮的杂质元素(诸如水或碳氢化合物)污染的情况下形成。因此,可减少薄膜晶体管的特性的变化。

[0128] 接着,通过光刻步骤将氧化物半导体层处理成岛状氧化物半导体层 103(参见图 1A)。可通过喷墨法形成用于形成岛状氧化物半导体层的抗蚀剂掩模。当用喷墨法形成抗蚀剂掩模时不使用光掩模,这导致减少制造成本。

[0129] 然后,为氧化物半导体层 103 的脱水或脱氢执行第一热处理。脱水或脱氢的第一热处理的过程中的最高温度被设置为 350°C 到 750°C,优选地为 425°C 或更高。注意,在温度为 425°C 或更高的情况下,热处理时间可以是 1 小时或更短,而在温度低于 425°C 的情况下,

热处理时间长于 1 小时。在本实施例中,在氮气氛中,在 450℃进行热处理达 1 小时。

[0130] 注意,在第一热处理中,优选的是氮或诸如氦、氖或氩等稀有气体中不包含水、氢等。优选的是引入热处理装置的氮或者诸如氦、氖或氩之类的稀有气体的纯度被设为 6N(99.9999%)或更高,优选为 7N(99.99999%)或更高(即,杂质浓度为 1ppm 或更低,优选为 0.1ppm 或更低)。

[0131] 可用使用电炉的加热法来执行第一热处理。注意,用于第一热处理的装置不限于电炉,并且可以是提供有使用来自诸如电阻加热器之类的加热器的热传导或热辐射用于加热要处理的对象的设备。例如,可使用诸如气体快速热退火(GRTA)装置或灯快速热退火(LRTA)装置之类的快速热退火(RTA)装置。LRTA 装置是用于通过从诸如卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)辐射来对要处理对象加热的装置。GRTA 装置是被用来使用高温气体进行热处理的装置。使用不与要通过热处理处理的对象反应的惰性气体(诸如氮或稀有气体(诸如氩))作为气体。

[0132] 接着,在栅绝缘层 102 和氧化物半导体层 103 上形成用于形成源电极层和漏电极层的导电层的层叠结构。

[0133] 导电层的层叠结构被以如此方式形成:在氧化物半导体层 103 上形成具有大于或等于 1nm 且小于或等于 50nm 的钨层或含有钨的合金层且与氧化物半导体层 103 相接触,且在钨层或含有钨的合金层上层叠金属导电层或导电层,所述金属导电层被使用选自 Al, Cr, Cu, Ta, Ti, Mo, 或 W 的这些元素中的任意作为组分、含有这些元素中的任意的组合的合金、等形成,所述导电层被使用诸如含有氧化钨的氧化钨、含有氧化钨的氧化钨锌、含有氧化钨的氧化钨、含有氧化钨的氧化钨锡、氧化钨锡(下文称为 ITO)、氧化钨锌、或者添加了氧化硅的氧化钨锡形成。

[0134] 在这个实施例中,采用了在具有小于氧化物半导体层厚度的大于等于 1nm 且小于等于 50nm 的含有钨的合金层上层叠第一钼层、铝层、和第二钼层的四层的层叠结构。在其中可设置不同材料的多个靶的一个多源溅射装置中执行沉积,使用在氧气气氛中在其上放置钨小粒的第一钼靶。接着,在不暴露给空气的情况下在一个腔室中使用在其上没有放置钨小粒的第二钼靶和铝靶来连续沉积四层。注意,含有钨的合金层的厚度在四层中是最小的,且小于氧化物半导体层的厚度。通过连续沉积,防止含有钨的薄合金层的电阻的增加。

[0135] 在这个实施例中,描述了其中含有钨的合金层和源电极层和漏电极层的叠层结构的氧化物半导体层相接触的层的示例;然而,可使用其功函数低于至少氧化物半导体层的功函数的金属或含有这样的金属的合金,例如锌、含有锌的合金、钇、含有钇的合金、钛、含有钛的合金,或者含有镓的化合物。

[0136] 在这个实施例中,描述了其中源电极层和漏电极层具有混合层的层叠结构的示例,其中混合层含有:钨,和选自 Al、Cr、Cu、Ta、Ti、Mo、或 W 的元素、含有这些元素中的任意作为组分的合金、含有这些元素中的任意的组合的合金等的金属导电层;然而,如图 4A 到 4D 中所示,可采用其功函数低于至少氧化物半导体层的功函数的金属或含有这样的金属的合金形成混合层 115a 和 115b(单层)。

[0137] 在图 4A 到 4D 的情况中,采用层叠结构,其中其功函数低于至少氧化物半导体的功函数的金属,诸如钨、含有钨的合金、锌、含有锌的合金、钇、含有钇的合金、钛、含有钛的合金、或含有镓的化合物、或含有这样的金属的合金被用作第一层,且选自 Al, Cr, Cu, Ta, Ti,

Mo, 或 W 的元素或含有这些元素中的任意作为组分的合金被用作第二层。在该混合层中, 第一层具有大于或等于 1nm 且小于或等于 50nm 的较小厚度。这个混合层可被用作源和漏电极层。

[0138] 接着, 用于形成源和漏电极层的四层结构使用将被选择性蚀刻的光掩模而经受光刻步骤, 且形成具有层叠结构的源电极层 104a 和 105a 和漏电极层 104b 和 105b (见图 1B)。注意在源和漏电极层中, 在氧化物半导体层 103 上含有钨且与之相接触的混合层对应于用附图标记 104a 和 104b 表示的层。此时, 也蚀刻氧化物半导体层 103 的部分, 且因此形成了具有凹槽 (凹陷) 的氧化物半导体层 103。注意, 取决于氧化物半导体层 103 的材料、源和漏电极层的材料、以及蚀刻条件, 在一些情况下在氧化物半导体层 103 中没有形成凹槽 (凹陷)。

[0139] 接着, 形成覆盖栅绝缘层 102、氧化物半导体层 103、源电极层 105a、以及漏电极层 105b 且与氧化物半导体层 103 的部分相接触的保护绝缘层 107 (见图 1C)。可适当地使用防止诸如水和氢之类的杂质被混合入保护绝缘层 107 的方法, 诸如 CVD 法或溅射法, 来将保护绝缘层 107 形成为具有至少 1nm 或更大的厚度。此处, 例如, 通过作为溅射法的一个种类的反应溅射法来形成保护绝缘层 107。使用不含有诸如水分、氢离子、和 OH⁻ 之类的杂质的无机绝缘层来形成与氧化物半导体层 103 的部分相接触的保护绝缘层 107, 并防止这些杂质从外界进入。具体地, 可使用氧化硅层、氮氧化硅层、氮化硅层、氧化铝层、氧氮化铝层、或氮化铝层。

[0140] 进一步可选地, 保护绝缘层 107 可具有其中在氧化硅层、氮氧化硅层、氧化铝层、或氧氮化铝层上层叠氮化硅层或氮化铝层的结构。具体地, 氮化硅层是优选的, 因为它不含有诸如水分、氢离子、OH⁻ 之类的杂质, 并防止杂质从外界进入其中。

[0141] 在形成保护绝缘层 107 时的衬底温度可被设置在从室温到 300°C 的范围内。可在稀有气体 (通常是氩) 气氛、氧气氛、或包含稀有气体 (通常是氩) 和氧的气氛中通过溅射法形成氧化硅层。作为靶, 可使用氧化硅靶或硅靶。例如, 使用硅靶, 可在含氧和稀有气体的气氛中通过溅射法形成氧化硅层。在这个实施例中, 使用硅靶形成具有 300nm 厚度的氧化硅膜。

[0142] 通过上述工艺, 可形成底栅薄膜晶体管 150 (见图 1D)。在该薄膜晶体管 150 中, 在作为具有绝缘表面的衬底的衬底 100 上提供栅电极层 101, 在栅电极层 101 上提供栅绝缘层 102, 在栅绝缘层 102 上提供氧化物半导体层 103、在氧化物半导体层 103 上提供源电极层 104a 和 105a 以及漏电极层 104b 和 105b 的层叠结构, 且提供覆盖栅绝缘层 102、氧化物半导体层 103、源电极层 104a 和 105a、以及漏电极层 104b 和 105b 且与氧化物半导体层 103 的部分相接触的保护绝缘层 107。

[0143] 图 2 是这个实施例中所描述的薄膜晶体管 150 的俯视图。图 1D 示出沿图 2 中线 X1-X2 的截面结构。在图 2 中, L 表示沟道长度且 W 表示沟道宽度。此外, A 表示在与沟道宽度方向平行的方向中氧化物半导体层 103 没有与源电极层 105a 或漏电极层 105b 交迭的区域长度。Ls 表示与栅电极层 101 交迭的源电极层 105a 的部分长度, 且 Ld 表示与栅电极层 101 交迭的漏电极层 105b 的部分长度。

[0144] 在具有 300nm 厚度的氧化硅膜被形成作为保护绝缘层 107 之后, 如果必要的话在从 100°C 到 400°C 的范围内的温度执行第二热处理。在本实施例中, 在 150°C 加热该衬底达

10 小时。通过这个第二热处理,可形成高度可靠的薄膜晶体管。

[0145] 此外,第二热处理的时间并不限于在形成保护绝缘层 107 之后立刻,且可以在其上形成引线或电极(诸如像素电极)之后。

[0146] 尽管在这个实施例中描述了用于制造如图 1D 中所示的底栅薄膜晶体管 150 的方法,这个实施例的结构并不限于此。还可使用类似材料和类似方法形成具有如图 3A 中所示的底栅结构的底接触型(倒置共面型)的薄膜晶体管 160、如图 3B 中所示的含有沟道保护层 110 的沟道保护型(也被称为沟道阻断型)的薄膜晶体管 170,等。图 3C 示出了沟道蚀刻型薄膜晶体管的另一个示例。图 3C 中所示的薄膜晶体管 180 具有其中栅电极层 101 超出氧化物半导体层 103 的边缘部分延伸至外侧的结构。

[0147] 为了减少光刻步骤中光掩模的数量和步骤,蚀刻步骤可使用通过使用多色调掩模而形成的抗蚀剂掩模来执行,该多色调掩模是透射光以使其具有多个强度的曝光掩模。由于使用多色调掩模形成的抗蚀剂掩模具有多个厚度并且可通过进行蚀刻而在形状上进一步改变,因此可在多个蚀刻步骤中使用该抗蚀剂掩模来提供不同图案。因此,与至少两种不同的图案相对应的抗蚀剂掩模可使用多色调掩模来形成。由此,可减少曝光掩模的数量,并且还可减少相应的光刻步骤的数量,因此可实现工艺的简化。

[0148] 注意,薄膜晶体管的沟道长度(图 2 中的 L)被定义为源电极层 105a 和漏电极层 105b 之间的距离,且沟道保护薄膜晶体管的沟道长度被定义为在与载流子流动方向平行的方向中的沟道保护层的宽度。

[0149] 以这样的方式,通过使用其功函数低于至少氧化物半导体的功函数的金属,可形成其中氧化物半导体和金属之间的接触电阻较小的半导体器件。

[0150] 这个实施例可与任一其他实施例组合地实现。

[0151] [实施例 4]

[0152] 在这个实施例中,将描述其中制造薄膜晶体管以及制造具有显示功能的半导体器件(也被称为显示设备)(其中该薄膜晶体管被用作像素部分和驱动器电路)的情况。进一步,可在与像素部分相同的衬底上形成驱动器电路,藉此可形成板上系统。

[0153] 显示设备包括显示元件。作为该显示元件,可使用液晶元件(也称为液晶显示元件)或发光元件(也称为发光显示元件)。发光元件在其范畴内包括照度受电流或电压控制的元件,具体包括无机电致发光(EL)元件、有机 EL 元件等。此外,可使用诸如电子墨水之类的对比度受电效应改变的显示介质。

[0154] 此外,该显示设备包括封装有显示元件的面板,和包括控制器在内的 IC 等被安装在面板上的模块。显示设备涉及在显示设备的制造工艺中在完成显示元件之前的元件衬底的一种模式,而且该元件衬底被提供有用于向多个像素中的每一个中的显示元件提供电流的装置。具体而言,该元件衬底可以处于仅形成显示元件的一个像素电极之后的状态、将作为像素电极的导电层形成之后而该导电膜被蚀刻以形成像素电极之前的状态、或任何其它状态。

[0155] 注意,此说明书中的显示设备表示图像显示设备、显示装置或光源(包括发光设备)。此外,该显示设备在其范畴内还可包括以下模块:附接有诸如柔性印刷电路(FPC)、带式自动接合(TAB)带或附连的带式载体封装(TCP)之类的连接器的模块;具有在其端部提供有印刷线路板的 TAB 带或 TCP 的模块;以及其中集成电路(IC)通过玻璃上芯片(COG)方

法直接安装在显示元件上的模块。

[0156] 在这个实施例中,液晶显示设备的示例被描述为作为本发明的一个实施例的半导体器件。首先,将参照图 5A1、5A2 以及 5B 描述作为半导体器件的一个实施例的液晶显示面板的外观和截面。图 5A1 和 5A2 各自是面板的俯视图,其中通过密封剂 4005 将在第一衬底 4001 上形成的各自含有 In-Ga-Zn-O- 基非单晶层的薄膜晶体管 4010 和 4011、以及液晶元件 4013 密封在第一衬底 4001 与第二衬底 4006 之间。图 5B 是沿图 5A1 和图 5A2 的线 M-N 的截面图。

[0157] 设置密封剂 4005 以包围设置在第一衬底 4001 上的像素部分 4002 和扫描线驱动器电路 4004。在像素部分 4002 和扫描线驱动电路 4004 上设置第二衬底 4006。因此,通过第一衬底 4001、第二衬底 4006、以及密封剂 4005 使像素部分 4002 和扫描线驱动电路 4004 与液晶层 4008 密封在一起。使用在独立制备的衬底上的单晶半导体或多晶半导体形成的信号线驱动器电路 4003 被安装在第一衬底 4001 上与被密封剂 4005 包围的区域不同的区域中。

[0158] 要注意,对于单独形成的驱动器电路的连接方法无特殊限制,而且可使用 COG、引线接合、TAB 等。图 5A1 示出通过 COG 安装信号线驱动器电路 4003 的示例,而图 5A2 示出通过 TAB 安装信号线驱动器电路 4003 的示例。

[0159] 在第一衬底 4001 上设置的像素部分 4002 和扫描线驱动器电路 4004 各包括多个薄膜晶体管。图 5B 示出像素部分 4002 中所包括的薄膜晶体管 4010、以及扫描线驱动电路 4004 中所包括的薄膜晶体管 4011。保护绝缘层 4020 和 4021 被提供在薄膜晶体管 4010 和 4011 上。

[0160] 在实施例 1 中所描述的含有氧化物半导体层的薄膜晶体管可被用作薄膜晶体管 4010 和 4011 的每一个。注意,薄膜晶体管 4010 和 4011 的源电极层和漏电极层被形成具有锌层和钨层的层叠结构,其中锌层不与氧化物半导体层相接触。在此实施例中,薄膜晶体管 4010 和 4011 是 n 沟道薄膜晶体管。

[0161] 在绝缘层 4021 的部分上提供导电层 4040,其与驱动器电路的薄膜晶体管 4011 中的氧化物半导体层相交迭。在与氧化物半导体层的沟道形成区相交迭的位置处提供导电层 4040,藉此可减少在 BT 测试之前和之后薄膜晶体管 4011 的阈值电压的变化量。此外,通过在与驱动器电路的薄膜晶体管 4044 相交迭的部分中提供导电层 4040 可执行静电阻隔 (electrostatic blocking),从而可获得常态截止的晶体管。静电阻隔是指阻碍外界电场,即,防止外接电场对内部 (含有 TFT 等的电路) 的作用。

[0162] 液晶元件 4013 中包括的像素电极层 4030 电连接至薄膜晶体管 4010。在第二衬底 4006 上形成液晶元件 4013 的对电极层 4031。像素电极层 4030、对电极层 4031 以及液晶层 4008 相互交迭的部分对应于液晶元件 4013。注意,像素电极层 4030 和对电极层 4031 被各自提供有作为对齐膜的绝缘层 4032 和绝缘层 4033,且液晶层 4008 被夹在电极层中间,其与电极层之间有绝缘层 4032 和 4033。

[0163] 在形成绝缘层 4032 之后,可在 200℃ 到 300℃ 下执行烘焙。

[0164] 要注意,可由玻璃、金属 (通常是不锈钢)、陶瓷、或塑料形成第一衬底 4001 和第二衬底 4006。作为塑料,可使用玻璃纤维增强塑料 (FRP) 板、聚氟乙烯 (PVF) 膜、聚酯膜、或丙烯酸类树脂膜。此外,可使用有铝箔夹在 PVF 膜或聚酯膜之间的结构的薄板。

[0165] 隔离件 4035 是通过对绝缘层的选择性蚀刻而获得的柱状隔离件,而且其被提供从而控制像素电极层 4030 与对电极层 4031 之间的距离(单元间隙)。注意,可使用球状隔离件。另外,对电极层 4031 电连接到在与薄膜晶体管 4010 相同的衬底上形成的公共电势线。进一步,通过使用公共连接部分,对电极层 4031 与公共电势线可通过设置在一对衬底之间的导电粒子彼此电连接。注意,这些导电粒子包含在密封剂 4005 中。

[0166] 替代地,可使用不需要对准膜的表现出蓝相的液晶。蓝相是液晶相之一,当胆甾型液晶的温度升高时,蓝相刚好在胆甾相变成各向同性相之前产生。因为仅在窄温度范围中产生蓝相,所以将包含 5wt% 或更多重量百分比的手性剂的液晶组分用于液晶层 4008 以改善该温度范围。包括示出蓝相的液晶和手性剂的液晶组合物具有 1 毫秒或更短的响应速度,具有不需要取向工艺的光学各向同性,并且具有小的视角依赖性。

[0167] 当使用表现出蓝相的液晶时,对准膜上的摩擦处理不是必需的;相应地,可防止摩擦处理所引起的静电放电损坏,并且在制造工艺中可减少液晶显示设备的缺陷和损坏。由此,可增加生产液晶显示设备的生产率。使用氧化物半导体层的薄膜晶体管尤其是具有薄膜晶体管的电特性可受静电影响而显著改变并偏离所设计范围的可能性。因此,使用用于包括使用氧化物半导体层的薄膜晶体管的液晶显示设备表现出蓝相的液晶材料更有效。

[0168] 注意,在这个实施例中描述的液晶显示设备是透射液晶显示设备的示例;然而,可将液晶显示设备用于反射液晶显示设备或半反射液晶显示设备。

[0169] 在这个实施例中描述的液晶显示设备的示例被说明为其中极化板被提供在衬底的外表面上(在观察者侧上)且用于显示元件的着色层和电极层被提供在衬底的内表面上;不过,极化板可被提供在衬底的内表面上。极化板和着色层的层叠结构不限于在此实施例,而可根据极化板和着色层的材料或制造过程的条件来适当地设置。此外,如果需要可设置用作黑色矩阵的挡光层。

[0170] 此外,在这个实施例中,为减少薄膜晶体管的表面粗糙度并改进薄膜晶体管的可靠性,用作为保护层的绝缘层 4020 和用作平面化绝缘层的绝缘层 4021 来覆盖薄膜晶体管。注意,提供保护层来防止诸如有机物质、金属或空气中存在的水蒸气之类的污染杂质的进入,且保护膜优选地是致密膜。可用溅射法将该保护层形成为氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、氧化铝层、氮化铝层、氧氮化铝层、和/或氮氧化铝层的单层或层叠。虽然在此实施例中描述了通过溅射法形成保护层的示例;然而,对于方法没有特定限制,且可采用多种方法。

[0171] 此处,形成了具有层叠结构的绝缘层 4020 作为保护层。此处,作为绝缘层 4020 的第一层,通过溅射法形成氧化硅层。在使用铝层用作源电极层和漏电极层的情况下,使用氧化硅层作为保护层提供了防止所用的铝层的小丘(hillock)的有利效果。

[0172] 作为绝缘层 4020 的第二层,通过溅射法形成氮化硅层。将氮化硅层用作保护层可防止诸如钠离子之类的移动离子进入半导体区,从而抑制 TFT 的电特性变化。

[0173] 接着,形成绝缘层 4021 作为平面化绝缘膜。可使用具有耐热性的有机材料(诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、或环氧树脂)作为绝缘层 4021。除了上述有机材料以外,还有可能使用低介电常数材料(低 k 材料)、硅氧烷基树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。注意,可通过层叠由这些材料组成的多个绝缘层来形成绝缘层 4021。

[0174] 注意,硅氧烷基树脂对应于包括使用硅氧烷基材料作为原材料而形成的 Si-O-Si

键的树脂。硅氧烷基树脂可包括有机基（例如，烷基或芳基）或氟基作为取代基。此外，该有机基团可包括氟基团。

[0175] 对于形成绝缘层 4021 的方法没有特殊限制。取决于材料，可通过诸如溅射、SOG 法、旋涂法、浸渍法、喷涂法、液滴喷射法（例如喷墨法、丝网印刷、胶版印刷等）之类的方法、或者诸如刮刀、辊筒、幕涂机、刮刀式涂胶机之类的工具形成绝缘层 4021。在其中使用材料溶液形成绝缘层 4021 的情况下，可在烘焙步骤同时可执行对该半导体层的退火（在 300℃ 到 400℃）。绝缘层 4021 的烘焙步骤也用作半导体层的退火，藉此可高效地制造半导体器件。

[0176] 可使用诸如包含氧化钨的氧化铟、包含氧化钨的氧化锌铟、包含氧化钛的氧化铟、包含氧化钛的氧化锡铟、氧化锡铟（下文称为 ITO）、氧化锌铟或添加了氧化硅的氧化锡铟之类的透光导电材料形成像素电极层 4030 和对电极层 4031。

[0177] 包含导电高分子（也称为导电聚合物）的导电组合物可被用于像素电极层 4030 和对电极层 4031。使用导电组合物形成的像素电极优选具有小于或等于 10000 Ω / 平方的薄层电阻、以及在 550nm 的波长处大于或等于 70% 的透射率。此外，导电组合物中包含的导电高分子的电阻率优选地为小于或等于 0.1 $\Omega \cdot \text{cm}$ 。

[0178] 可使用所谓的 π 电子共轭导电聚合物作为导电高分子。作为示例，可给出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、这些材料中的两种或更多种的共聚物等。

[0179] 进一步，从 FPC 4018 对单独形成的信号线驱动器电路 4003、扫描线驱动器电路 4004、或像素部分 4002 提供多个信号和电势。

[0180] 在这个实施例中，连接端子电极 4015 使用与液晶元件 4013 中所包括的像素电极层 4030 相同的导电层形成。端子电极 4016 使用与薄膜晶体管 4010 和 4011 中含有的源和漏电极层相同的导电层形成。相应地，端子电极 4016 具有锌层 4014 和钨层的层叠结构。

[0181] 连接端子电极 4015 通过各向异性导电层 4019 电连接至 FPC 4018 中包括的端子。

[0182] 图 5A1、5A2 和 5B 示出其中在第一衬底 4001 上分开形成并安装在其上的信号线驱动电路 4003 的示例；然而，本实施例不限于该结构。可分开形成并且随后安装扫描线驱动电路，或者可只分开形成并且随后安装信号线驱动电路的一部分或扫描线驱动电路的一部分。

[0183] 此外，如果需要的话，为每一个像素提供滤色器。另外，在第一衬底 4001 和第二衬底 4006 的外侧上提供极化板或漫射板。另外，使用冷阴极管或 LED 作为背光的光源获得液晶显示模块。

[0184] 对于液晶显示模块，可使用扭曲向列 (TN) 模式、共面切换 (IPS) 模式、边缘场切换 (FFS) 模式、多畴垂直取向 (MVA) 模式、图像垂直调整 (PVA) 模式、轴对称排列微单元 (ASM) 模式、光学补偿双折射 (OCB) 模式、铁电液晶 (FLC) 模式、反铁电液晶 (AFLC) 模式等。

[0185] 通过上述步骤，可制造具有含有良好电特性的薄膜晶体管的液晶显示设备。

[0186] 这个实施例可与任一其他实施例组合地实现。

[0187] [实施例 5]

[0188] 将描述电子纸的示例作为半导体器件的一个实施例。

[0189] 可使用实施例 1 中所描述的薄膜晶体管用于电子纸，其中通过电连接至开关元件

的元件来驱动电子墨水。电子纸也被称为电泳显示设备（电泳显示器）且具有如下优势：其具有和一般纸张一样程度的可读性、相比其他显示设备更低的功耗、且可被设置为具有轻薄的形式。

[0190] 电泳显示器可具有多种模式。电泳显示器包括散布在溶剂或溶质中的多个微胶囊，各个微胶囊包含带正电的第一粒子和带负电的第二粒子。通过对这些微胶囊施加电场，微胶囊中的粒子按相反方向彼此运动，从而仅显示聚集在一侧的粒子的颜色。注意第一粒子和第二粒子分别包含色素，而且在无电场的情况下不移动。而且，第一粒子和第二粒子具有不同的颜色（可以是无色的）。

[0191] 因此，电泳显示器是利用所谓的介电电泳效应的显示器，具有高介电常数的物质通过该效应移动至高电场区。

[0192] 在溶剂中散布的上述微胶囊所处于的溶液被称为电子墨水。可通过印刷将此电子墨水应用在玻璃、塑料、布料、纸张等的表面上。此外，通过使用具有色素的滤色器或粒子，还可实现彩色显示。

[0193] 此外，如果酌情将多个上述微胶囊安排在有源矩阵衬底以插入两个电极之间，则可完成有源矩阵显示装置，而且可通过对这些微胶囊施加电场来实现显示。例如，可使用通过使用实施例 1 所描述的薄膜晶体管获得的有源矩阵衬底。

[0194] 注意，微胶囊中的第一粒子和第二粒子可分别由从导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电致变色材料、以及磁泳材料中选择的单种材料组成，或由这些材料的任一种的复合材料组成。

[0195] 图 6 示出作为半导体器件的示例的有源矩阵电子纸。被用作半导体器件的薄膜晶体管 581 可以与实施例 3 中描述的薄膜晶体管类似的方式而被制造，且包括含有与氧化物半导体层相接触的钨层作为源和漏电极层的叠层。

[0196] 图 6 中的电子纸是使用扭转球显示系统的显示设备的示例。扭转球显示系统指的是一种方法，其中各个着色为黑色和白色的球状粒子被安排在作为用于显示元件的电极层的第一电极层与第二电极层之间、而且在第一电极层与第二电极层之间产生电势差以控制球状粒子取向从而实现显示。

[0197] 被密封在衬底 580 和衬底 596 之间的薄膜晶体管 581 是底栅薄膜晶体管且被绝缘层 583 所覆盖。薄膜晶体管 581 的源或漏电极层通过形成于绝缘层 583 和绝缘层 585 中的开口而电连接至第一电极层 587。在第一电极层 587 和第二电极层 588 之间提供扭转球 589。每一个扭转球 589 包括黑区 590a、白区 590b、以及围绕着黑区 590a 和白区 590b 的被填充液体的腔体 594。扭转球 589 的周围被诸如树脂之类的填充物 595 填充（参见图 6）。第一电极层 587 对应于像素电极，而第二电极层 588 对应于公共电极。第二电极层 588 电连接至提供在与薄膜晶体管 581 相同的衬底上的公共电势线。通过使用公共连接部分，第二电极层 588 可通过设置在一对衬底之间的导电粒子电连接至公共电势线。

[0198] 进一步，代替扭转球，可使用电泳元件。使用了具有约 $10\ \mu\text{m}$ 到 $200\ \mu\text{m}$ 直径、且其中密封了透明液体、带正电的白色微粒以及带负电的黑色微粒的微胶囊。在设置在第一电极层与第二电极层之间的微胶囊中，当通过第一电极层和第二电极层施加电场时，白色微粒和黑色微粒在相反方向移动，从而可显示白色或黑色。使用此原理的显示元件是电泳显示元件，而且一般称为电子纸。电泳显示元件比液晶显示元件具有更高反射率，因此不需要

辅助光、功耗低、而且可在暗处识别显示部分。此外,即使在没有提供电源给显示部分时,可维持曾经显示过的图像。因此,即使具有显示功能的半导体装置(可简单称为显示装置或设置有显示装置的半导体装置)远离电波源,也能保存已显示的图像。

[0199] 通过上述步骤,可制造具有含有良好电特性的薄膜晶体管的电子纸。

[0200] 这个实施例可与任一其他实施例组合地实现。

[0201] [实施例 6]

[0202] 将参照图 7A 和 7B 描述对应于根据本发明的半导体器件的一个实施例的发光显示面板(也称为发光面板)的外观和截面。图 7A 是使用密封剂将形成在第一衬底上的薄膜晶体管和发光元件密封在第一衬底与第二衬底之间的面板的俯视图。图 7B 是沿图 7A 的线 H-I 所取的截面图。

[0203] 提供密封剂 4505 以围绕提供在第一衬底 4501 上的像素部分 4502、信号线驱动器电路 4503a 和 4503b、以及扫描线驱动器电路 4504a 和 4504b。此外,第二衬底 4506 设置在像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b 上。相应地,像素部分 4502、信号线驱动器电路 4503a 和 4503b、以及扫描线驱动器电路 4504a 和 4504b 连同填充物 4507 被第一衬底 4501、密封剂 4505 以及第二衬底 4506 密封到一起。优选的是,面板被保护膜(诸如复合膜或紫外可固化树脂膜)或具有高气密性和几乎无除气的覆盖材料封装(密封),以此方式,从而面板不被暴露给外部空气。

[0204] 形成在第一衬底 4501 上的像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b 各包括多个薄膜晶体管,而在图 7B 中示出了作为示例的包括在像素部分 4502 中的薄膜晶体管 4510 和包括在信号线驱动器电路 4503a 中的薄膜晶体管 4509。

[0205] 对于薄膜晶体管 4509 和 4510,可采用在实施例 3 中所描述的薄膜晶体管。注意,薄膜晶体管 4509 和 4510 的源和漏电极层的每一个具有含有铟的合金层和钼层的层叠结构。在这个层叠结构中的含有铟的合金层与氧化物半导体层相接触。在此实施例中,薄膜晶体管 4509 和 4510 是 n 沟道薄膜晶体管。

[0206] 在绝缘层 4544 的部分上提供导电层 4540,其与在驱动器电路的薄膜晶体管 4509 中的氧化物半导体层的沟道形成区相交迭。至少在与氧化物半导体层的沟道形成区相交迭的位置处提供导电层 4540,藉此可减少在 BT 测试之前和之后薄膜晶体管 4509 的阈值电压的变化量。此外,通过在与驱动器电路的薄膜晶体管 4509 相交迭的部分中提供导电层 4540 可执行静电阻隔,从而可获得常态截止的薄膜晶体管。导电层 4540 的电势可与薄膜晶体管 4509 的栅电极层的电势相同或不同。导电层 4540 还可用作第二栅电极层。另外,导电层 4540 的电位可以是 GND 或 0V,或者导电层 4540 可处于浮动状态。

[0207] 在薄膜晶体管 4509 中,形成与含有沟道形成区的半导体层相接触的绝缘层 4541,作为保护绝缘层。可使用与实施例 1 中所描述的保护绝缘层 107 类似的材料和方法形成绝缘层 4541。另外,用作平面化绝缘层的绝缘层 4544 覆盖着薄膜晶体管从而减少由薄膜晶体管引起的表面不平坦。此处,通过溅射法使用实施例 1 中的保护绝缘层 107 形成氧化硅层作为绝缘层 4541。

[0208] 形成绝缘层 4544 作为平面化绝缘膜。可使用与实施例 2 中所描述的绝缘层 4021 类似的材料和方法形成绝缘层 4544。此处,使用丙烯酸用于绝缘层 4544。可提供滤色层代

替绝缘层 4544。当执行全色显示时,例如,发光元件 4511 被用作绿色发光元件、相邻发光元件之一被用作红色发光元件、且另一个相邻发光元件被用作蓝色发光元件。可选地,能全色显示的发光显示设备可用四种类型的发光元件制成,其包括除白色发光元件以及三种类型的发光元件。可以这样的方式制造能全色显示的发光显示设备:被安排的多个发光元件的所有都是白色发光元件且具有滤色器等的密封衬底被设置在发光元件 4511 上。形成表现出诸如白色之类的单色彩的材料并与滤色器或色彩转换器相组合,藉此可进行全色显示。毋庸赘言,还可实现单色光的显示。例如,可使用白光发射形成发光系统,或可使用单色发光形成区域色彩发光设备。

[0209] 此外,附图标记 4511 表示发光元件。包括在发光元件 4511 中的作为像素电极的第一电极层 4517 电连接至薄膜晶体管 4510 的源电极层或漏电极层。注意,尽管发光元件 4511 的结构是第一电极层 4517、电致发光层 4512、以及第二电极层 4513 的层叠结构,发光元件 4511 的结构并不限于这个实施例中所描述的结构。可根据从发光元件 4511 提取光的方向等酌情改变发光元件 4511 的结构。

[0210] 使用有机树脂层、无机绝缘层或有机聚硅氧烷形成划分件 4520。尤其优选地使用光敏材料形成划分件 4520,且在第一电极层 4517 上具有开口,以使开口的侧壁被形成为具有连续弯曲的斜面。

[0211] 电致发光层 4512 可用单层或堆叠的多层而形成。

[0212] 可在第二电极层 4513 和划分件 4520 上形成保护层,以阻止氧气、氢气、水分、二氧化碳等进入发光元件 4511。可形成氮化硅层、氮氧化硅层、DLC 膜等作为保护层。

[0213] 此外,从 FPC 4518a 和 4518b 将多个信号和电势提供给信号线驱动器电路 4503a 和 4503b、扫描线驱动器电路 4504a 和 4504b、或像素部分 4502。

[0214] 由与发光元件 4511 中所包括的第一电极层 4517 相同的导电层形成连接端子电极 4515,而由与薄膜晶体管 4509 和 4510 中包括的源和漏电极层相同的导电层形成端子电极 4516。因此,端子电极 4516 具有含有钨的合金层 4514 和钼层的层叠结构。

[0215] 连接端子电极 4515 通过各向异性导电层 4519 电连接至 FPC 4518a 中包括的端子。

[0216] 位于从发光元件 4511 提取光的方向的衬底需要具有透光性质。在该情况下,使用诸如玻璃板、塑料板、聚酯膜或丙烯酸膜之类的透光材料。

[0217] 作为填充物 4507,除诸如氮气或氩气之类的惰性气体之外,还可使用紫外可固化树脂或热固性树脂。例如,可使用聚氯乙烯 (PVC)、丙烯酸、聚酰亚胺、环氧树脂、硅酮树脂、聚乙烯醇缩丁醛 (PVB) 或乙烯乙酸乙烯酯 (EVA)。例如,使用氮气作为填充物。

[0218] 此外,在需要时,可在发光元件的发光表面上酌情设置诸如极化板、圆形极化板(包括椭圆极化板)、阻滞板(四分之一波板或半波板)或滤色器之类的光学膜。此外,极化板或圆形极化板可设置有抗反射膜。例如,可执行抗眩光处理,通过该处理能通过表面上的凸起和凹陷漫射反射光以减少眩光。

[0219] 信号线驱动器电路 4503a 和 4503b 和扫描线驱动器电路 4504a 和 4504b 可作为使用单晶半导体或多晶半导体形成的驱动器电路安装在单独制备的衬底上。可选地,可仅单独形成和安装信号线驱动器电路及其部分或扫描线驱动器电路及其部分。此实施例不限于图 7A 和 7B 中所示的结构。

[0220] 通过上述步骤,可制造具有含有良好电特性的薄膜晶体管的发光显示设备(显示面板)。

[0221] 这个实施例可与任一其他实施例组合地实现。

[0222] [实施例 7]

[0223] 本说明书中公开的半导体器件可应用于多种电子设备(包括游戏机)。电子设备的示例是电视设备(也称为电视或电视接收机)、计算机等的监视器、诸如数码相机或数字摄像机的摄影机、数码相框、移动电话手机(也称为移动电话或移动电话设备)、便携式游戏控制台、便携式信息终端、音频再现设备、诸如弹球盘机器的大尺寸游戏机、太阳能电池等。

[0224] 图 8A 示出移动电话的示例。移动电话 1100 设置有包括在外壳 1101 中的显示部分 1102、操作按钮 1103、外部连接端口 1104、扬声器 1105、话筒 1106 等。

[0225] 当用手指等触摸图 8A 中所示的移动电话 1100 的显示部分 1102 时,数据可被输入移动电话 1100。此外,可通过手指等触摸显示部分 1102 来执行诸如打电话和编辑文本之类的操作。

[0226] 显示部分 1102 主要有三种屏幕模式。第一种模式是主要用于显示图像的显示模式。第二种模式是主要用于输入诸如文字之类的数据的输入模式。第三种模式是显示及输入模式,这是两种模式的组合,即,显示模式和输入模式的组合。

[0227] 例如,在打电话或编辑文本的情况下,为显示部分 1102 选择主要用于输入文字的文字输入模式,从而可输入显示在屏幕上的字符。在该情况下,优选地在显示部分 1102 的屏幕的几乎全部区域上显示键盘或数字按钮。

[0228] 当诸如陀螺仪或加速度传感器之类的包括用于检测倾斜的传感器的检测设备设置在移动电话 1100 内部时,可通过确定移动电话 1100 的取向(移动电话 1100 是被放置成水平,还是垂直以用于景色模式或肖像模式)自动切换显示部分 1102 的屏幕上的显示内容。

[0229] 通过触摸显示部分 1102 或操作外壳 1101 的操作按钮 1103 可切换屏幕模式。可选地,可根据显示部分 1102 上显示的图像类型切换屏幕模式。例如,当显示在显示部分上的图像信号是移动图像数据的信号时,屏幕模式被改变成显示模式。当该信号是文本数据信号时,屏幕模式被改变成输入模式。

[0230] 进一步,在输入模式中,当在特定时间段内未进行通过触摸显示部分 1102 的输入、同时显示部分 1102 中的光传感器检测到信号时,可控制屏幕模式从输入模式改变至显示模式。

[0231] 显示部分 1102 可用作图像传感器。例如,当用手掌或手指触摸显示部分 1102 时掌纹、指纹等图像被采集,藉此可进行个人识别。此外,通过在显示部分中提供背光或发射近红外光的感测光源,也能采集指纹、掌纹等图像。

[0232] 在显示部分 1102 中,提供实施例 1 中所描述的多个薄膜晶体管作为像素的开关元件。

[0233] 图 8B 示出移动电话的另一个示例。其一个示例在图 8B 中示出的便携式信息终端可具有多个功能。例如,除了电话功能之外,通过结合计算机,这样的便携式信息终端可具有多种数据处理功能。

[0234] 图 8B 中所示的便携式信息终端由外壳 2800 和外壳 2801 形成。外壳 2801 被提供有显示面板 2802、扬声器 2803、话筒 2804、指向设备 2806、摄像机透镜 2807、外部连接端子 2808 等。外壳 2800 被提供有用于对便携式信息终端进行充电的太阳能电池 2810、外部存储槽 2811 等。另外,在外壳 2801 中结合有天线。

[0235] 进一步,显示面板 2802 被提供有触摸面板。被显示为图像的多个操作键 2805 在图 8B 中图示为虚线。

[0236] 进一步,除了上述结构,还可结合非接触式 IC 芯片、较小尺寸存储设备等。

[0237] 可为显示面板 2802 使用发光器件,并取决于应用模式适当地改变显示的方向。由于摄像头透镜 2807 被提供在与显示面板 2808 同样的平面上,可将该便携式信息终端用作视频电话。可对于诸如视频呼叫、声音录制、和回放等不限于声音呼叫功能的操作而使用扬声器 2803 和话筒 2804。另外,处于被发展为图 8B 中所示的状态的外壳 2800 和 2801 可滑动为一个覆盖在另一个上;因此,可减少便携式信息终端的尺寸,这使得便携式信息终端适于被携带。

[0238] 外部连接端子 2808 可连接至 AC 适配器和诸如 USB 线缆之类的各种线缆,并可能用个人计算机等进行充电与数据通信。另外,可将记录介质插入外部存储器槽 2811 中,且便携式信息终端可处理大量数据的存储和转移。

[0239] 进一步,除了上述功能外,可提供红外通信功能、电视接收功能等。

[0240] 图 9A 示出电视设备的一示例。在电视设备 9600 中,显示部分 9603 被包括在外壳 9601 中。显示部分 9603 可显示图像。这里,外壳 9601 由支架 9605 支承。

[0241] 可利用外壳 9601 的操作开关或独立的遥控器 9610 操作电视设备 9600。可利用遥控器 9610 的操作键 9609 控制频道和音量,从而控制显示部分 9603 上显示的图像。此外,遥控器 9610 可被提供有用于显示从遥控器 9610 输出的数据的显示部分 9607。

[0242] 注意,电视设备 9066 被提供有接收器、调制解调器等。利用该接收器,可接收一般的电视广播。此外,当电视设备 9600 经由调制解调器通过有线或无线连接被连接至通信网络时,可实现单向(从发射器到接收器)或双向(发射器与接收器之间、或接收器之间)数据通信。

[0243] 在显示部分 9603 中,提供实施例 1 中所描述的多个薄膜晶体管作为像素的开关元件。

[0244] 图 9B 示出数码相框的一示例。例如,在数码相框 9700 中,显示部分 9703 被包括在外壳 9701 中。显示部分 9703 可显示各种图像。例如,显示部分 9703 可显示数码相机等拍摄的图像的数据且可用作普通相框。

[0245] 在显示部分 9703 中,提供实施例 1 中所描述的多个薄膜晶体管作为像素的开关元件。

[0246] 注意,数码相框 9700 设置有操作部分、外部连接部分(USB 端子、可连接至诸如 USB 电缆之类的多种电缆的端子等)、记录介质插入部分等。虽然这些组件可被设置于设置有显示部分的表面上,但优选地,针对数码相框 9700 的设计而将它们设置在侧面或后面。例如,存储用数码相机拍摄的图像的数据的存储器被插入数码相框的记录介质插入部分中,藉此图像数据可被传送并显示在显示部分 9703 上。

[0247] 数码相框 9700 可被配置成无线地发送和接收数据。可采用其中无线地传送所需

图像数据以进行显示的结构。

[0248] 图 10 是一示例,其中根据实施例 4 形成的发光设备用作室内发光设备 3001。由于实施例 4 中所描述的发光器件可在面积上被增加,该发光器件可被用作具有较大面积的发光器件。进一步,实施例 4 中所描述的发光器件可被用作台灯 3000。注意,该发光设备在其范畴中包括,除了顶灯和台灯之外,还包括壁灯、用于车内的照明设备应急灯等。

[0249] 以此方式,根据本发明的一个实施例的薄膜晶体管可被提供在上述多种电子设备的显示面板中。

[0250] 这个实施例可与任一其他实施例组合地实现。

[0251] [实施例 8]

[0252] 此说明书中公开的半导体器件可应用于电子纸。电子纸可用于多种领域的电子器件,只要它们能显示数据即可。例如,电子纸可应用于电子书阅读器(电子书)、海报、诸如火车之类的车辆中的广告、或诸如信用卡之类的多种卡的显示器。电子设备的一示例在图 11 中示出。

[0253] 图 11 示出电子书阅读器的示例。例如,电子书阅读器 2700 包括两个外壳,外壳 2701 和外壳 2703。外壳 2701 和外壳 2703 与枢纽 2711 组合,从而该电子书阅读器 2700 可以该枢纽 2711 为轴打开和关闭。利用这样的结构,电子书阅读器 2700 可类似于纸书一样工作。

[0254] 显示部分 2705 和显示部分 2707 分别被包括在外壳 2701 和外壳 2703 中。显示部分 2705 和显示部分 2707 可显示一幅图像或不同图像。例如,在显示部分 2705 和显示部分 2707 显示不同图像的情况下,右边的显示部分(图 11 中的显示部分 2705)可显示文字,而左边的显示部分(图 11 中的显示部分 2707)可显示图形。

[0255] 图 11 示出外壳 2701 设置有操作部分等的示例。例如,外壳 2701 设置有电源开关 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可翻页。注意,还可在提供了显示部分的外壳的表面上提供有键盘、定点设备等。此外,可在外壳的后面或侧面上设置外部连接端子(耳机端子、USB 端子、可连接至诸如 AC 适配器和 USB 电缆之类的各种电缆的端子等)、记录介质插入部分等。而且,电子书阅读器 2700 可具有电子词典功能。

[0256] 电子书阅读器 2700 可无线地发送和接收数据。通过无线通信,可从电子书服务器购买和下载想要的图书数据等。

[0257] 这个实施例可与根据本发明的一个实施例的薄膜晶体管、或实施例 5 中描述的电子纸的结构适当地组合而实现。

[0258] 这个实施例可与任一其他实施例组合地实现。

[0259] 本申请基于 2006 年 11 月 6 日向日本专利局提交的日本专利申请 2009-255272,该申请的全部内容通过引用结合于此。

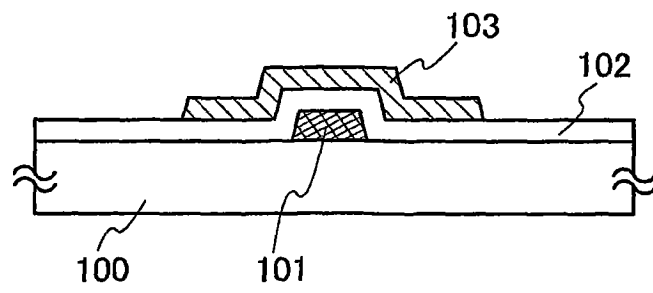


图 1A

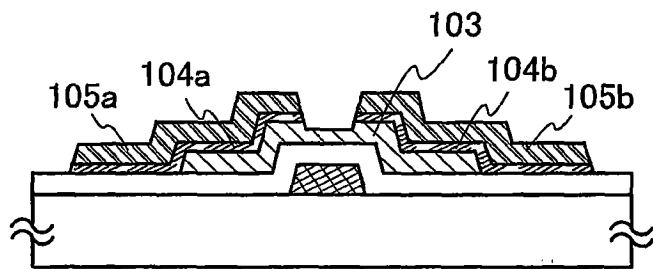


图 1B

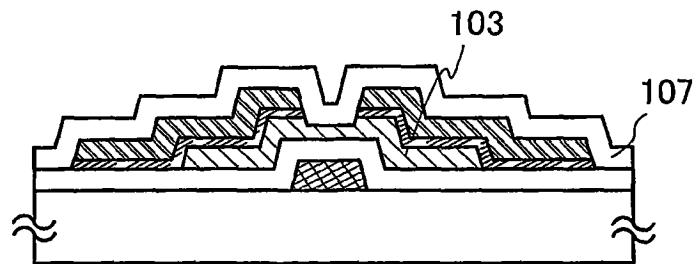


图 1C

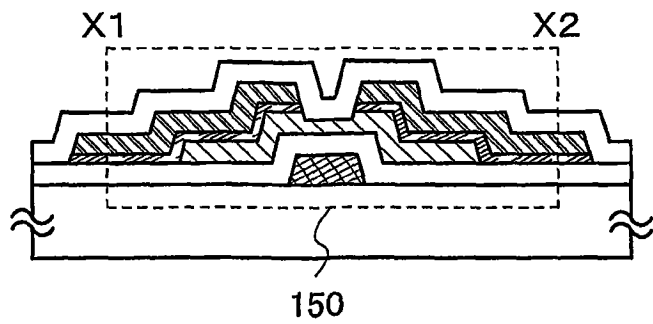


图 1D

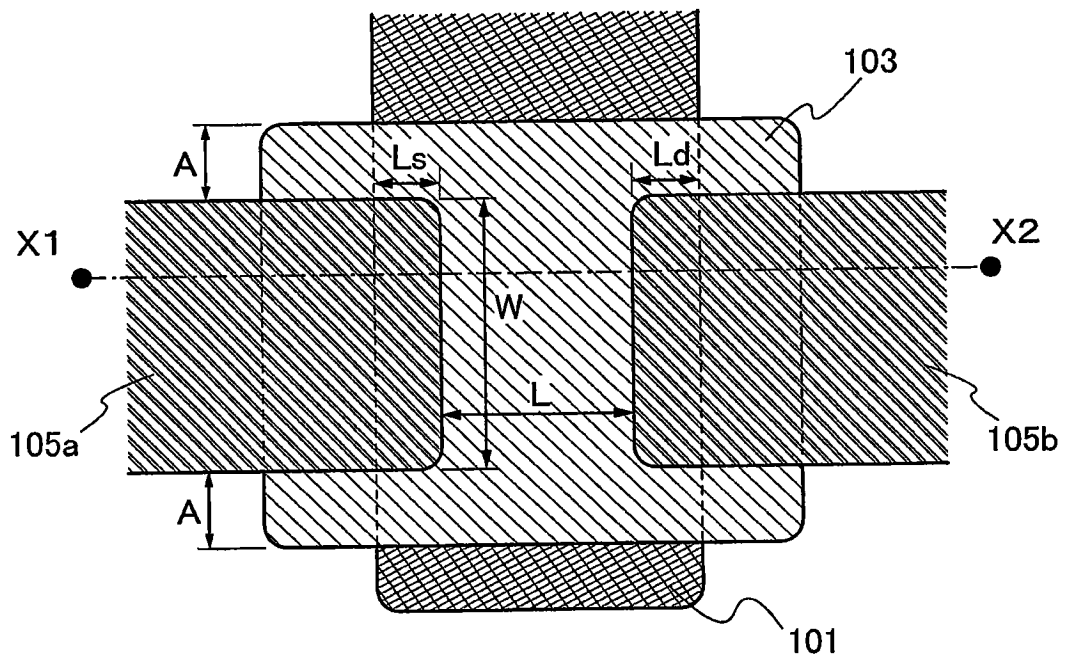


图 2

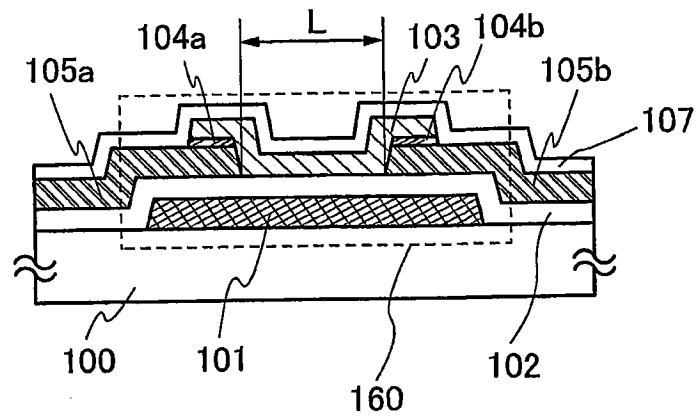


图 3A

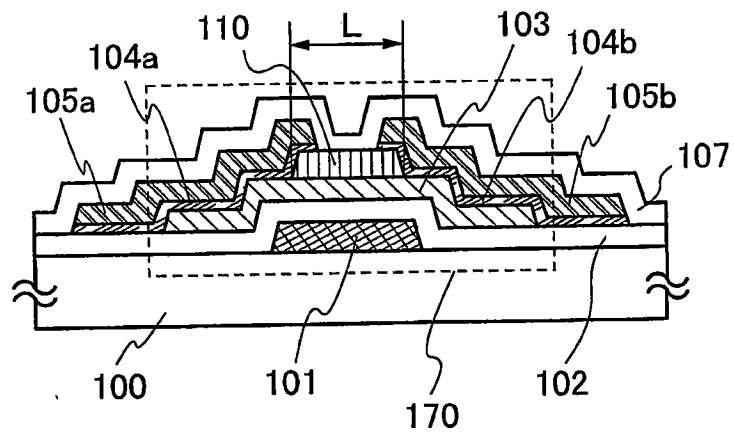


图 3B

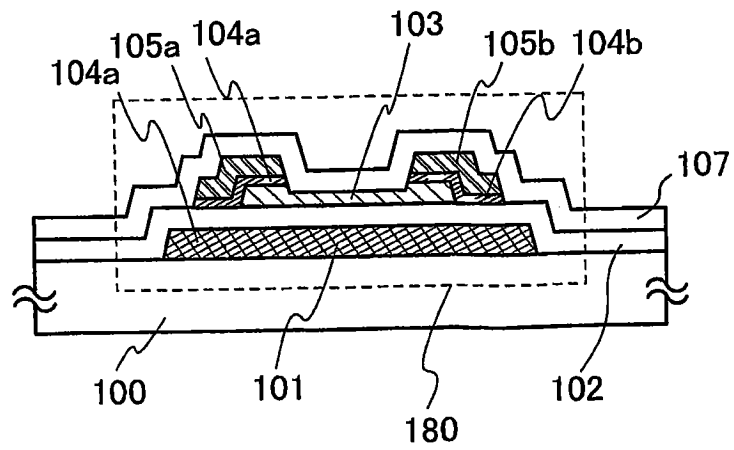


图 3C

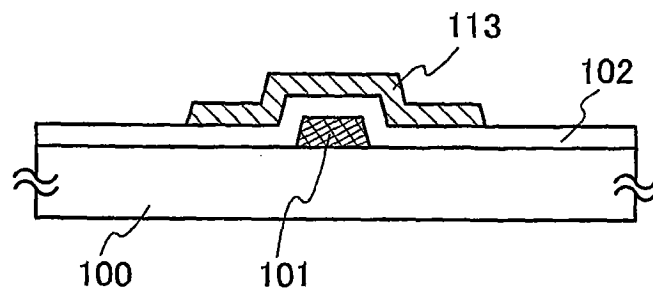


图 4A

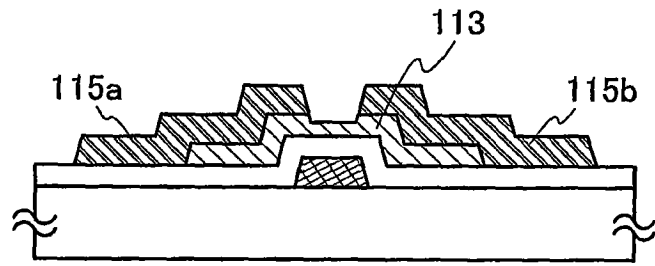


图 4B

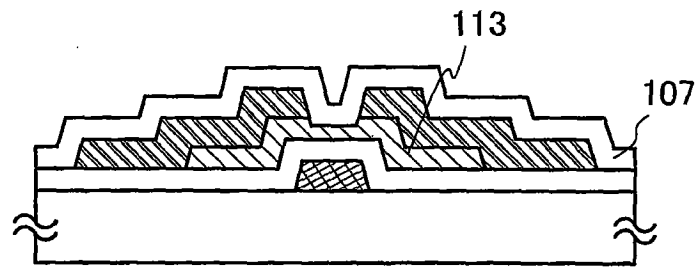


图 4C

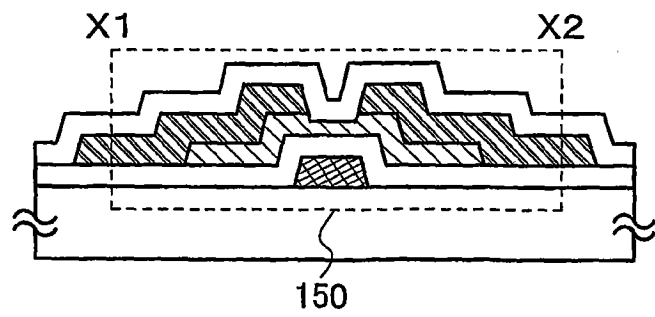


图 4D

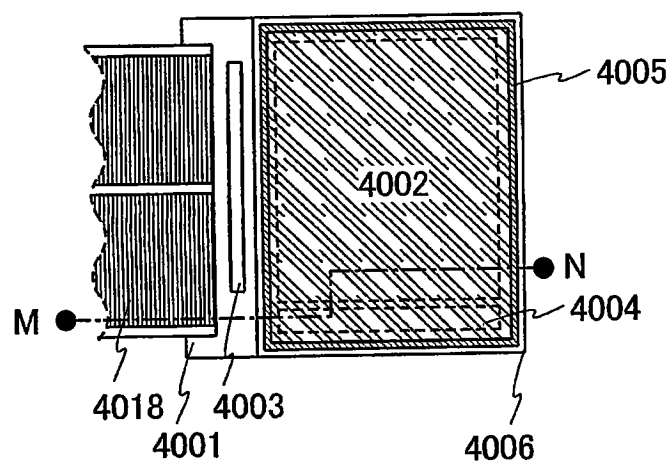


图 5A1

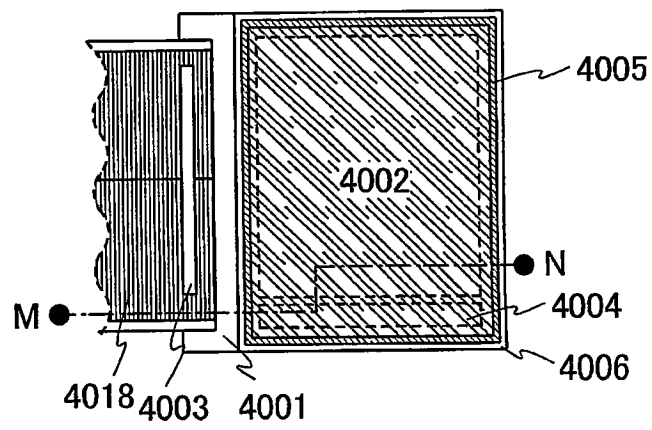


图 5A2

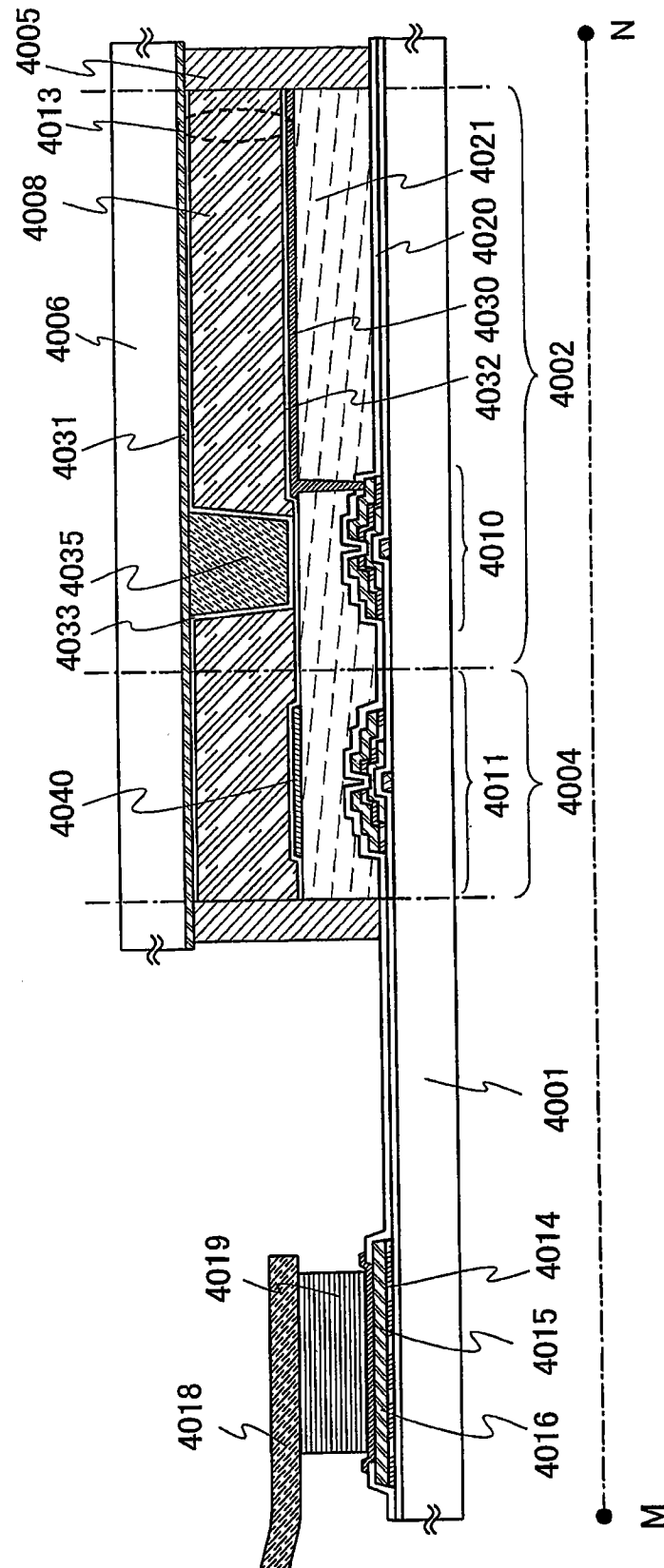


图 5B

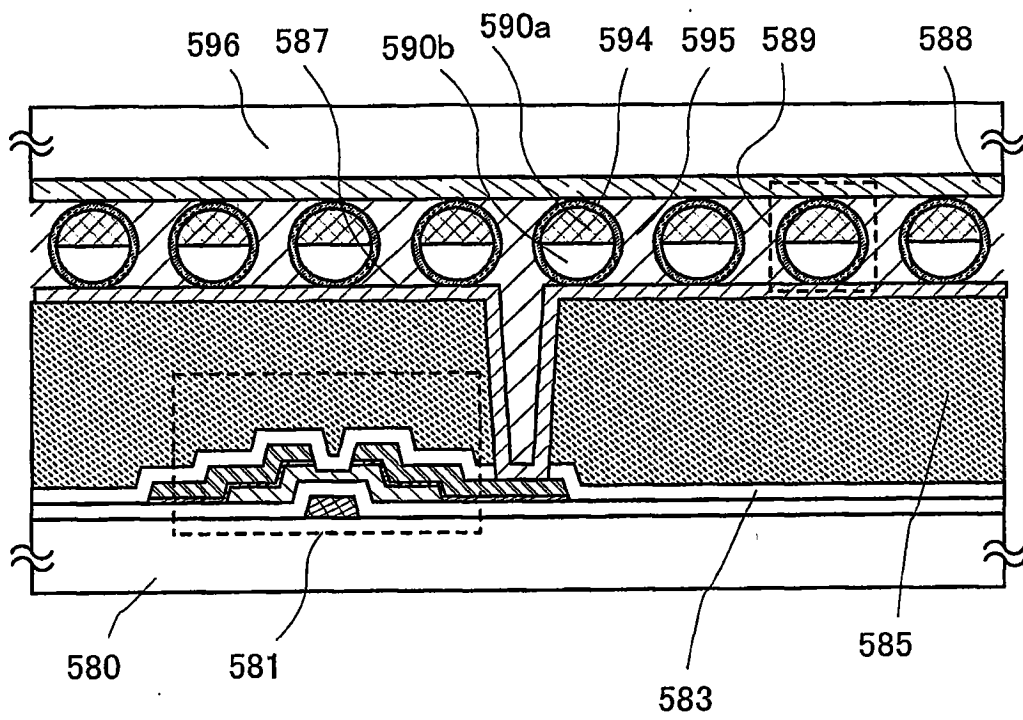


图 6

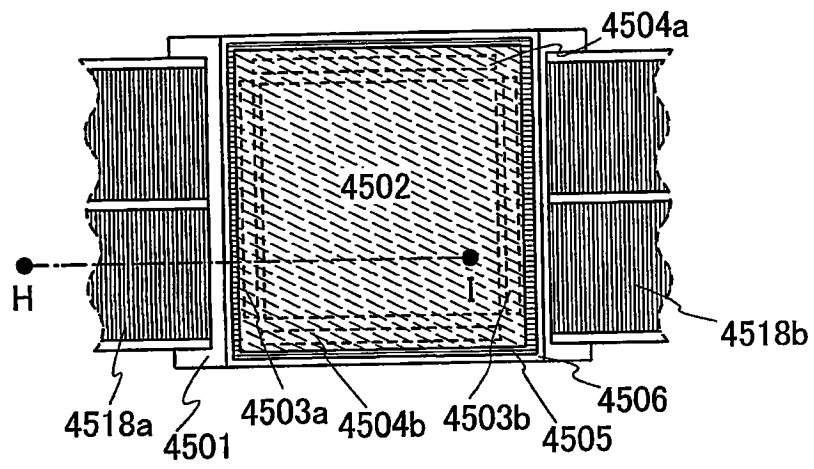


图 7A

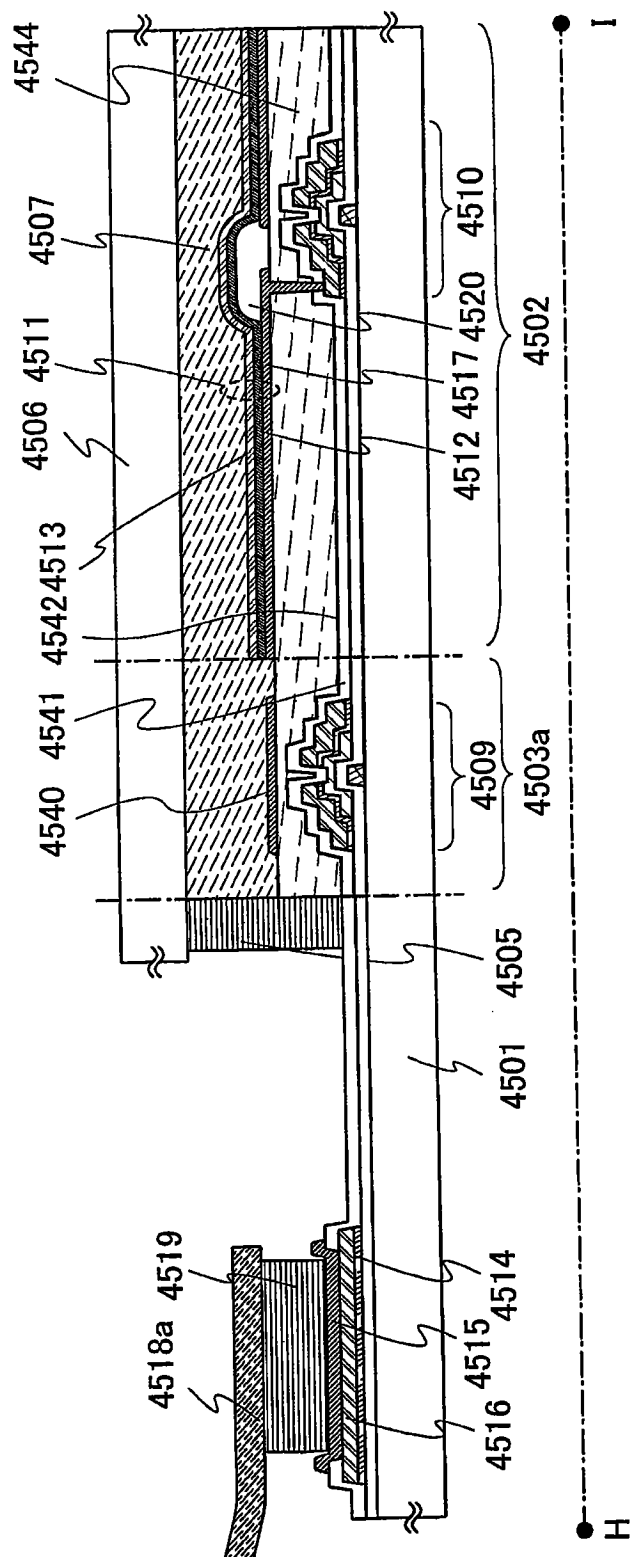


图 7B

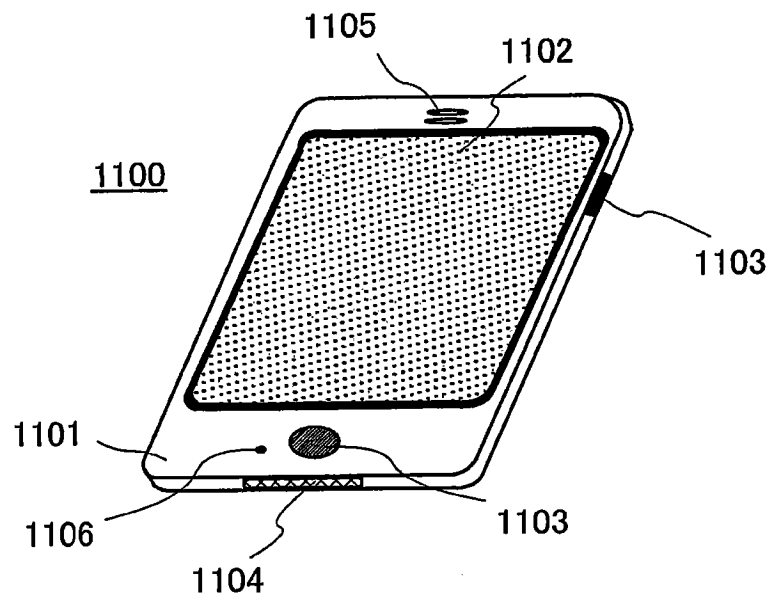


图 8A

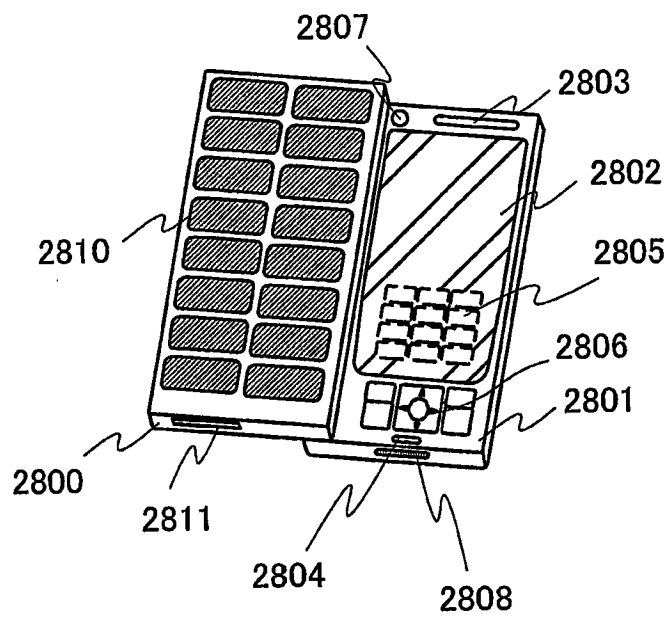


图 8B

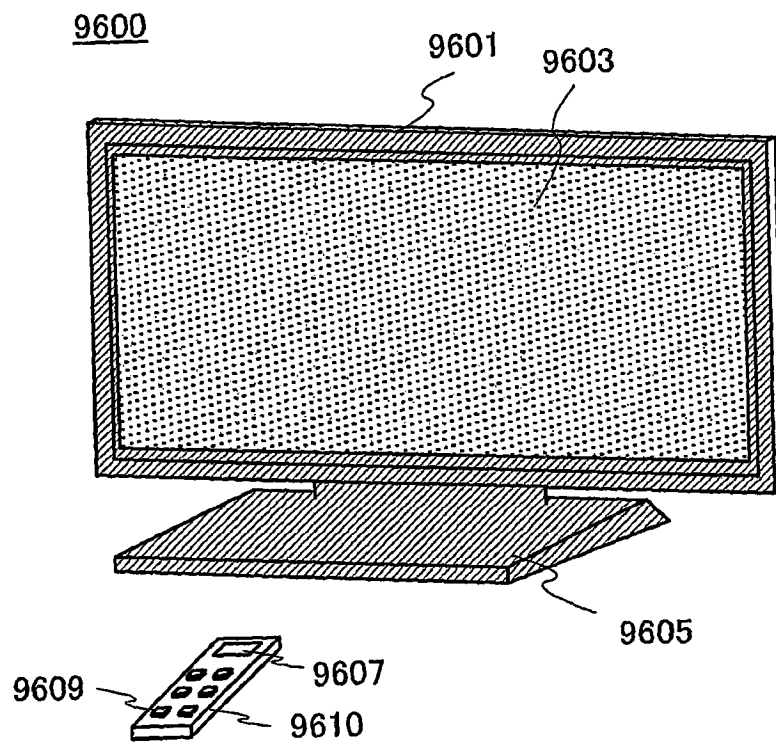


图 9A

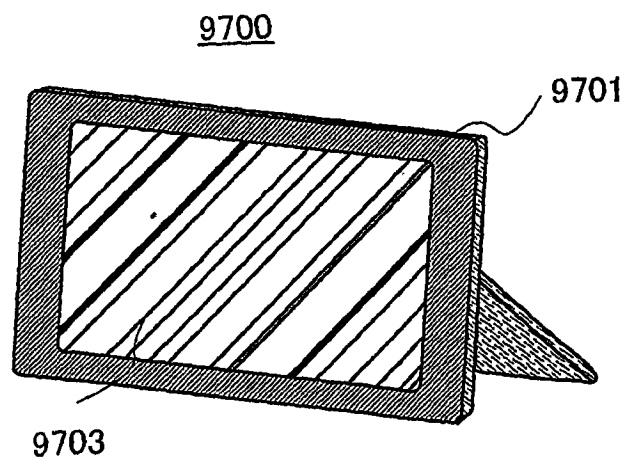


图 9B

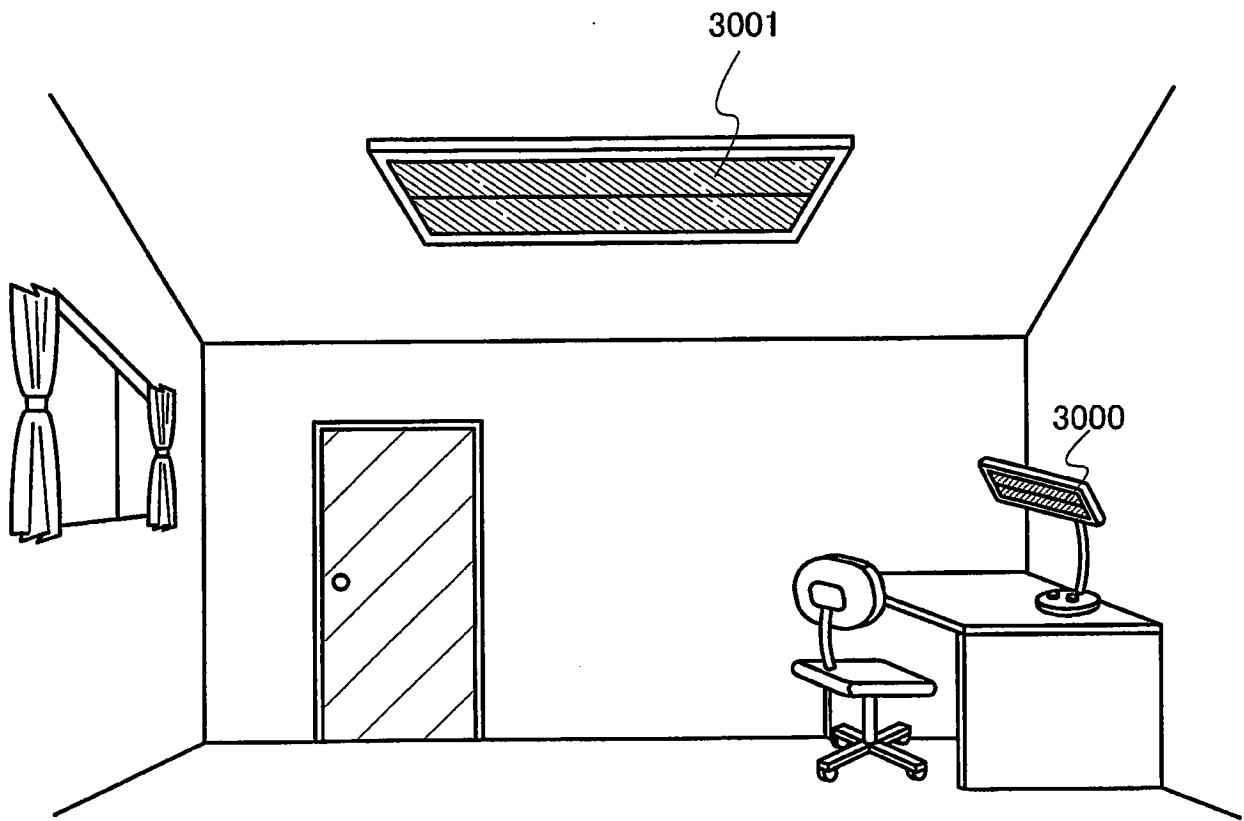


图 10

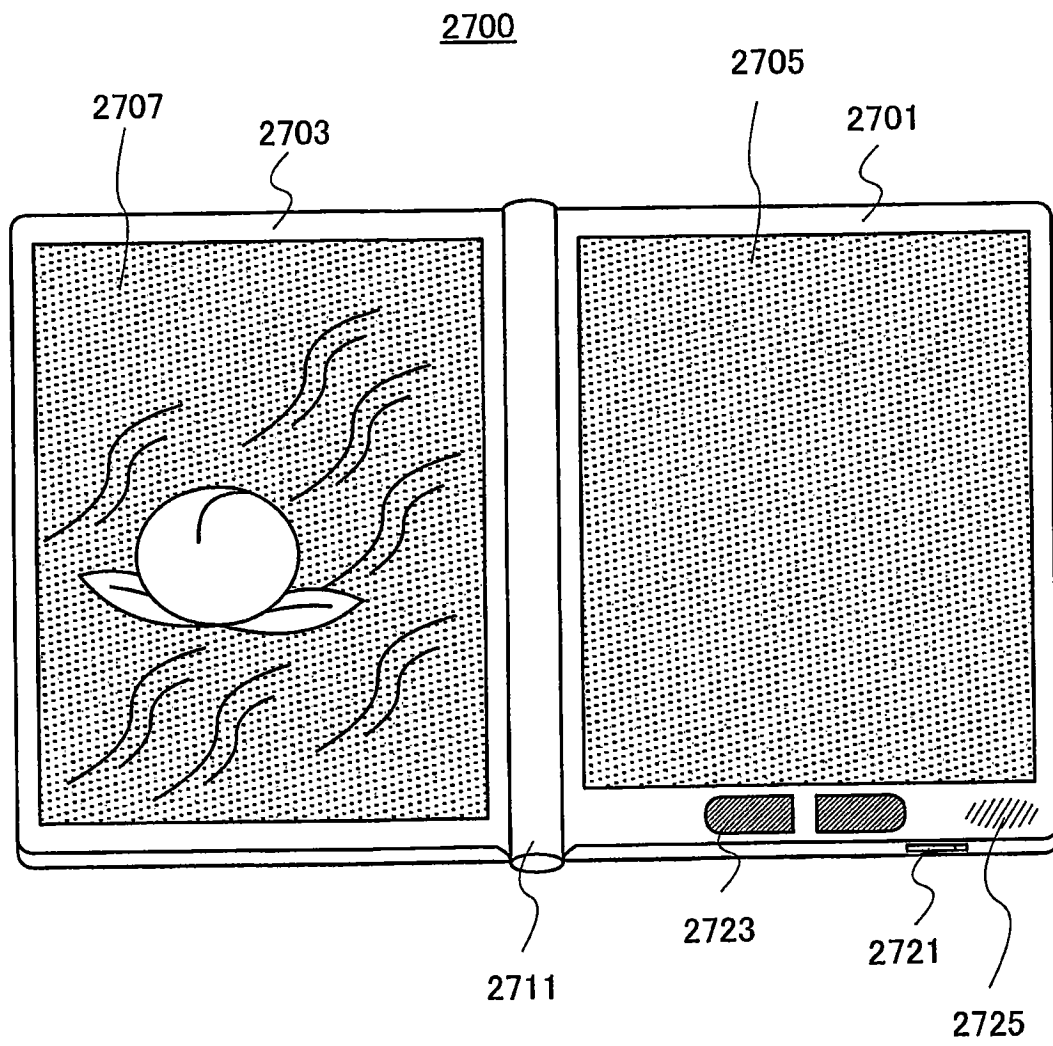


图 11

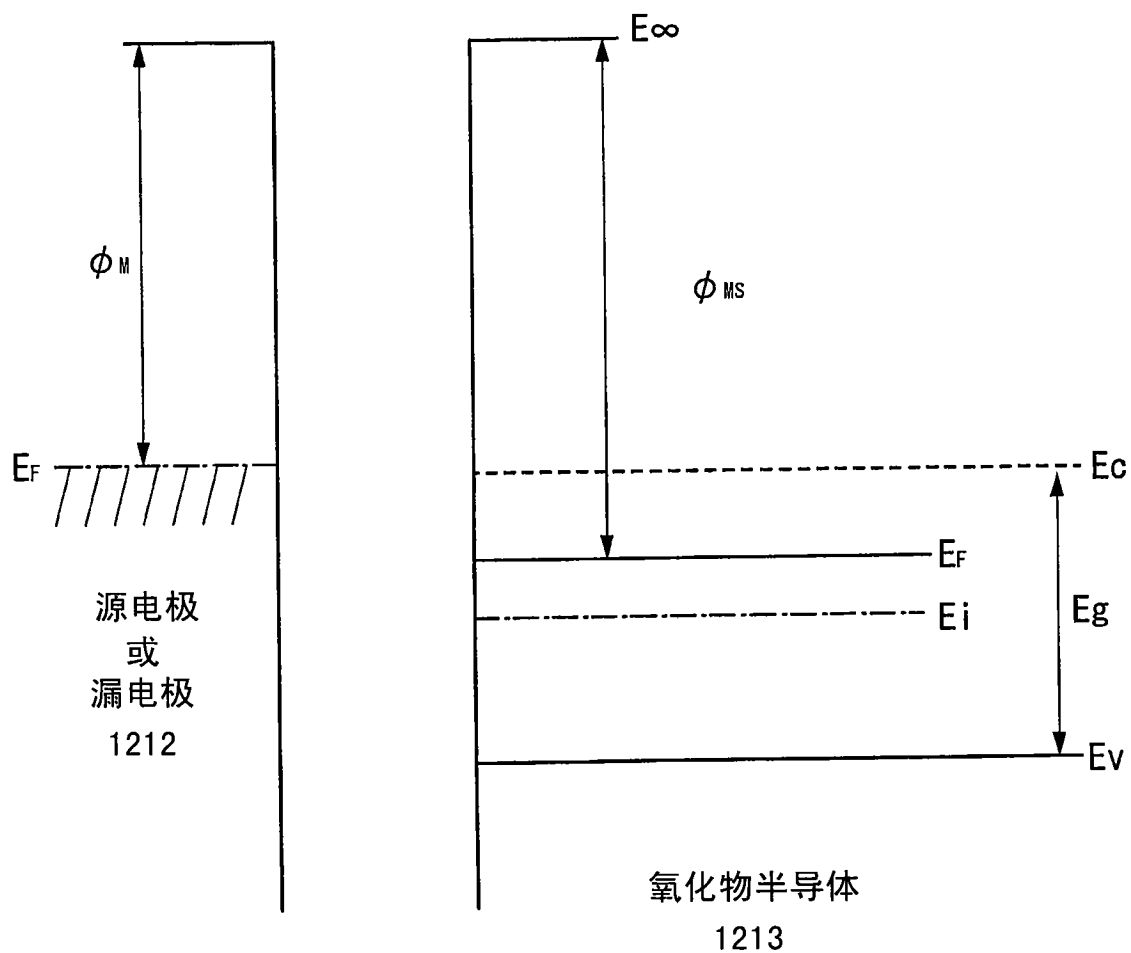


图 12

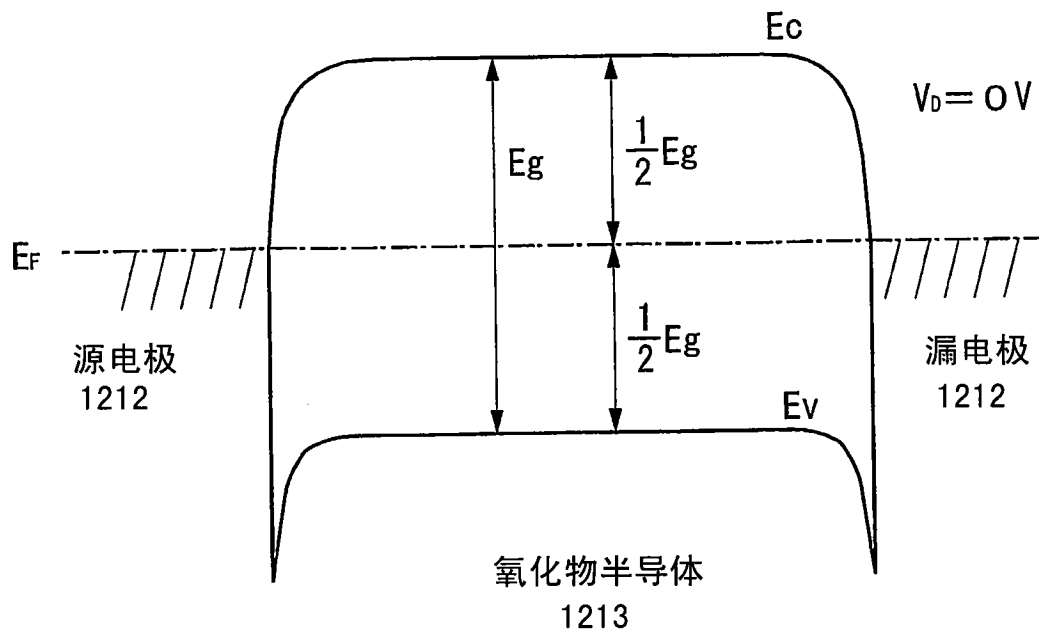


图 13A

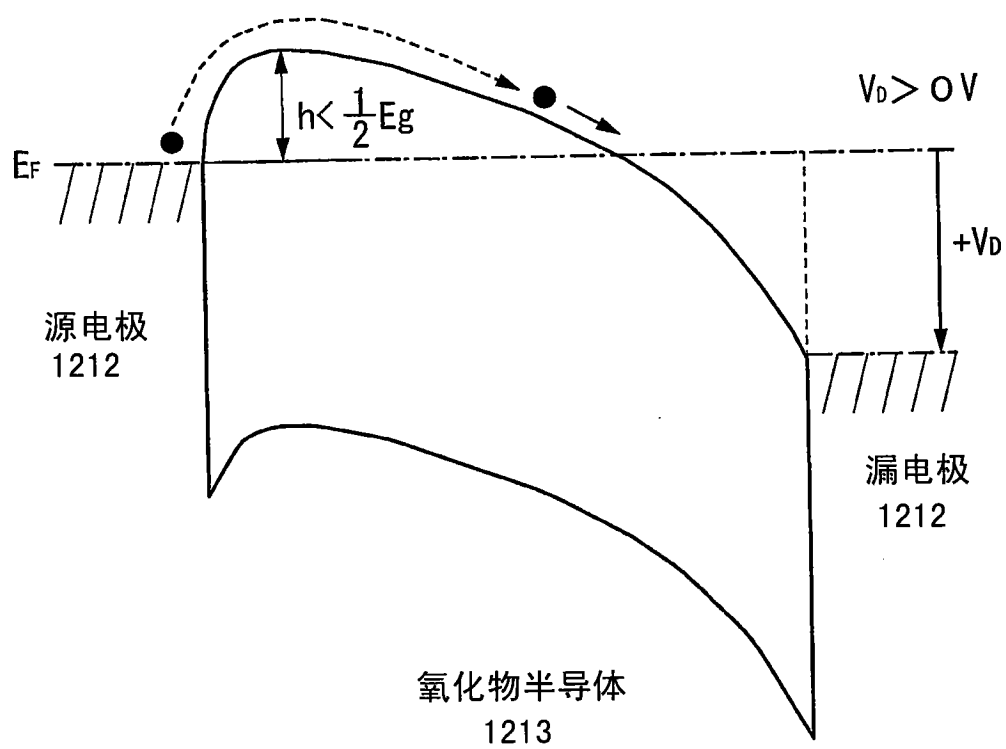


图 13B

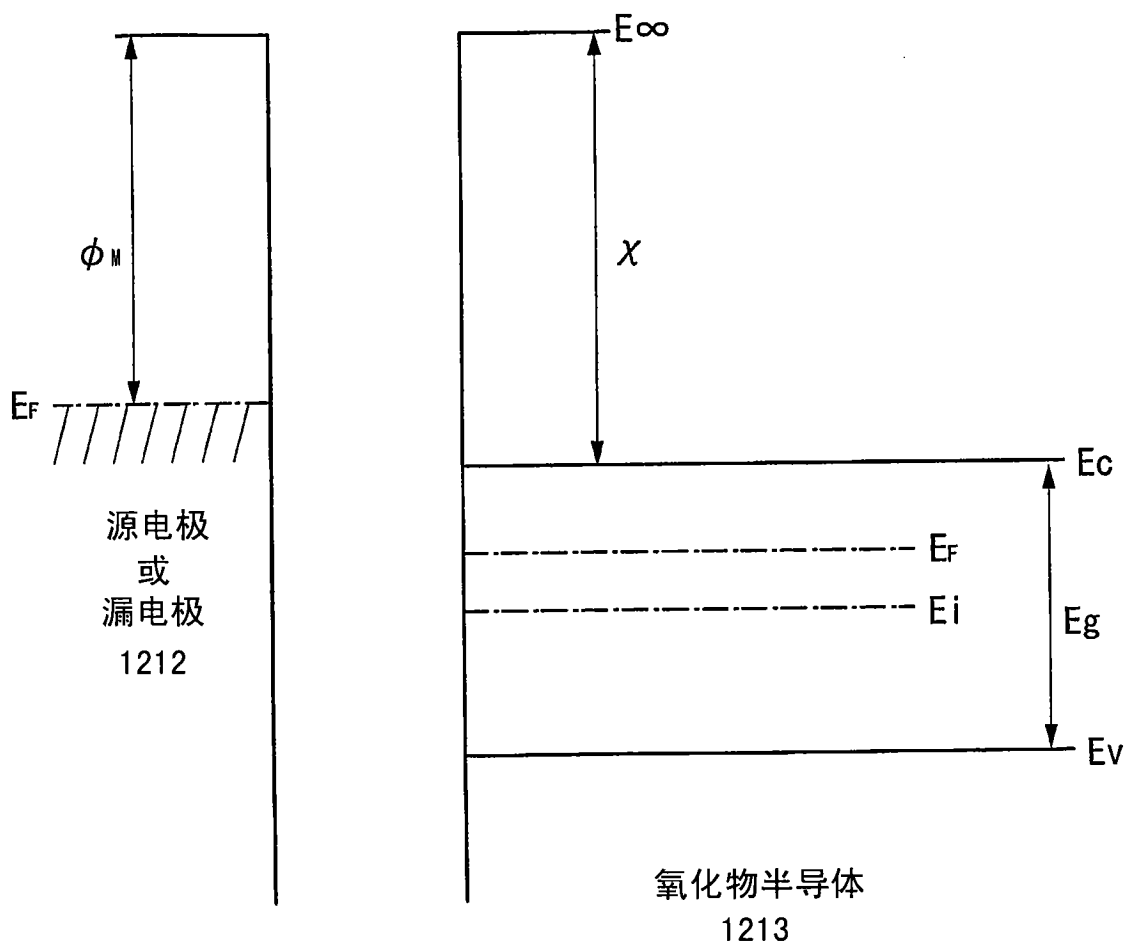


图 14

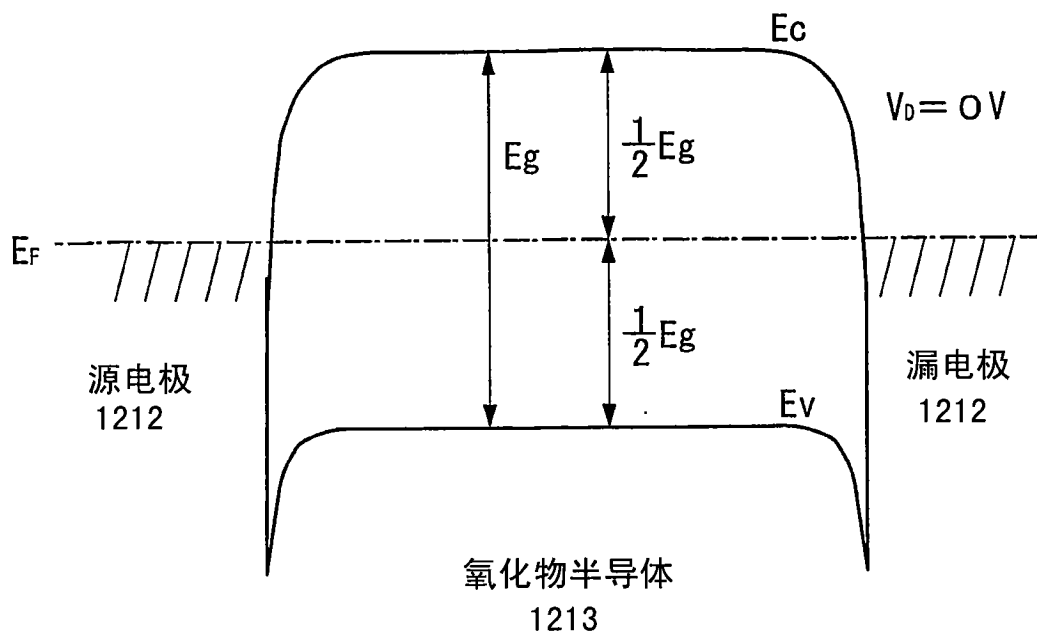


图 15A

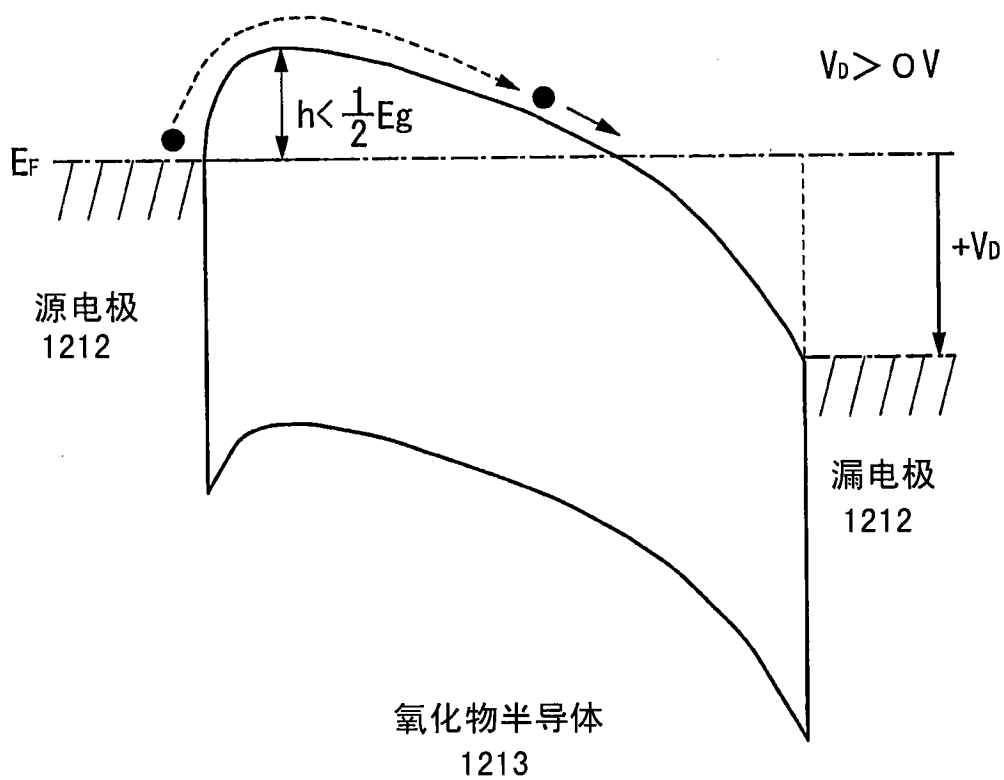


图 15B

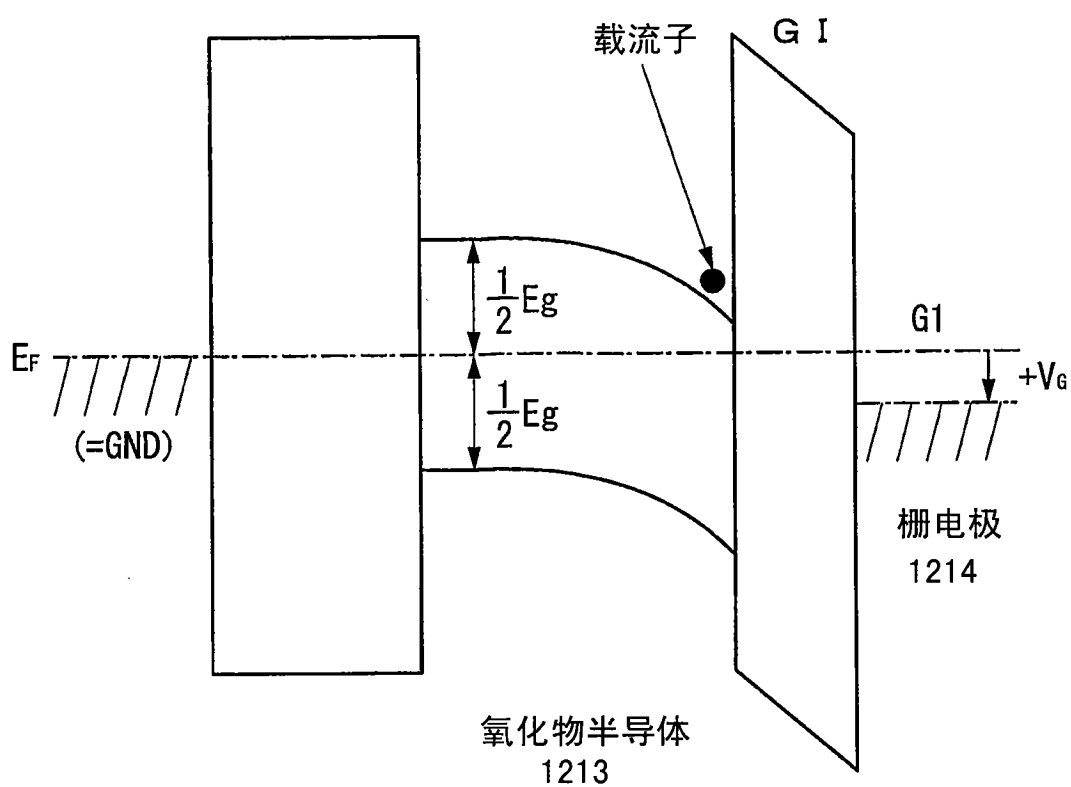


图 16A

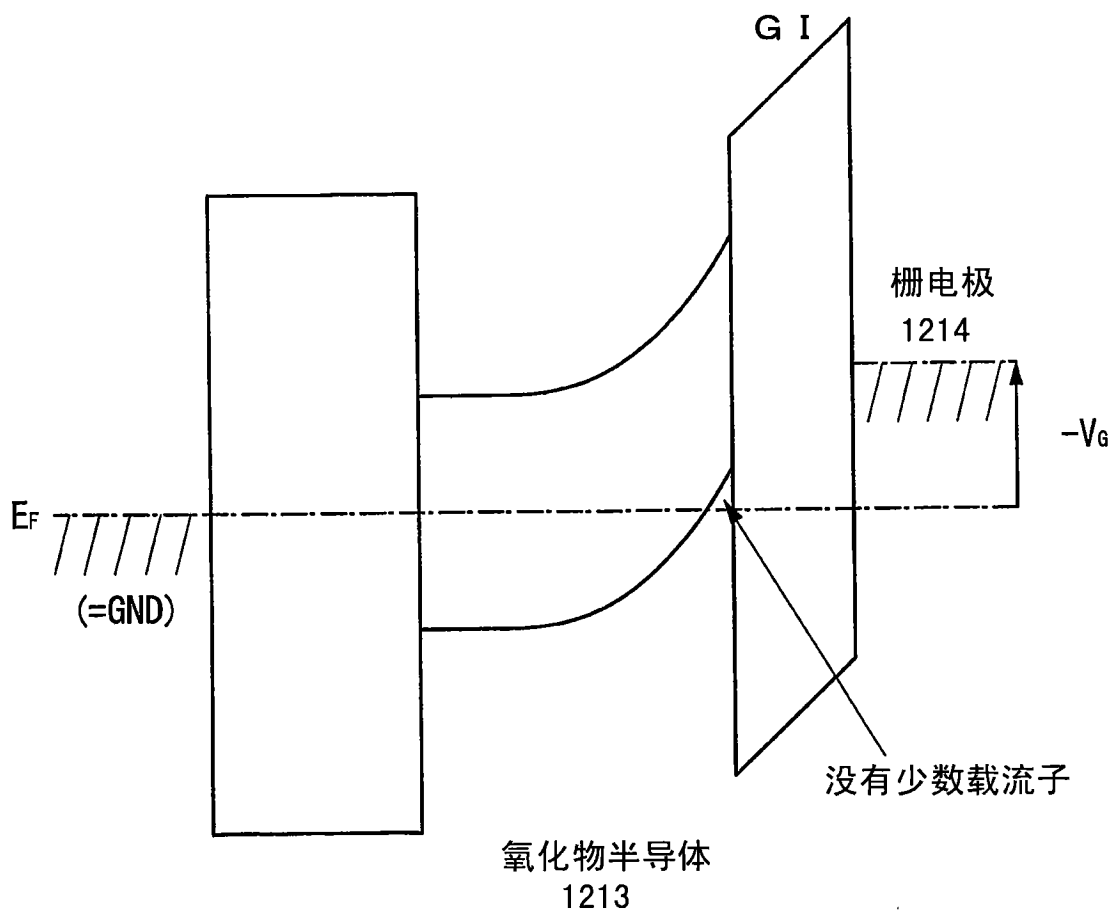


图 16B

附图标记解释

100 : 衬底, 101 : 栅电极层, 102 : 栅绝缘层, 103 : 氧化物半导体层, 104a : 源电极层, 104b : 漏电极层, 105a : 源电极层, 105b : 漏电极层, 107 : 保护绝缘层, 110 : 沟道保护层, 150 : 薄膜晶体管, 160 : 薄膜晶体管, 170 : 薄膜晶体管, 和 180 : 薄膜晶体管