



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98102985. X

[45] 授权公告日 2004 年 9 月 22 日

[11] 授权公告号 CN 1168211C

[22] 申请日 1998. 6. 13 [21] 申请号 98102985. X

[30] 优先权

[32] 1997. 6. 13 [33] JP [31] 156519/1997

[71] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川县川崎市

[72] 发明人 渡会诚一

审查员 史永良

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 陈景峻 李亚非

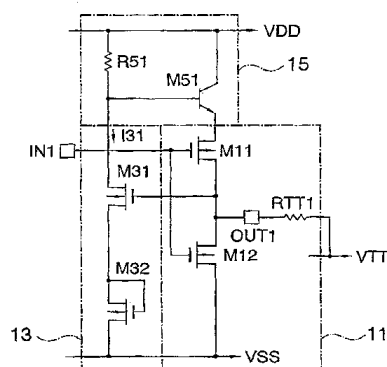
权利要求书 2 页 说明书 11 页 附图 7 页

[54] 发明名称 小幅度信号输出电路

[57] 摘要

小幅度信号输出电路包括输出部分，用于接收逻辑信号，以输出小幅度信号，电平读出电路，用于读出在输出端的输出电压的高电平或低电平的上升或降落，电平控制电路，用于响应电平读出电路的输出，以抑制输出电压的高电平或低电平的上升或降落。输出电路抑制由于晶体管制造过程，环境温度和电源电压噪音的变化造成的电压变化。

FIG. 3



1、一种小幅度信号输出电路，包括：

5 第一输出部分，用于接收第一逻辑信号并通过第一输出端输出具有第一输出电压的第一输出信号；

第一电平读出电路，用于根据第一输出电压产生第一电平信号，使得第一输出电压改变时第一电平信号改变相应量；和

第一电平控制电路，用于根据第一电平信号的改变改变第一输出电压；

10 其中，所说第一输出部分包括一对串联连接的第一和第二晶体管，所说晶体管的漏极区被连接到所说第一输出端并经电阻和所说第一输出端连接到端电源，

所说第一电平读出电路包括第三晶体管和第四晶体管，第三晶体管具有栅极连接于所说第一输出端，而第四晶体管与第三晶体管串联连接，以及

15 所说第一电平控制电路包括电阻元件和第五晶体管，电阻元件与所说第三和第四晶体管串联连接，而第五晶体管的发射极连接于所说第一晶体管的源极并且其基极连接于所说第三晶体管的漏极。

2、权利要求1的小幅度信号输出电路，其中，所说第一电平读出电路响应第一输出电压的上升增加第一电平信号。

20 3、权利要求1的小幅度信号输出电路，其中，所说第一电平读出电路响应第一输出电压的下降减小第一电平信号。

4、权利要求1的小幅度信号输出电路，还包括：

第二电平读出电路，用于根据第一输出电压产生第二电平信号，使得第一输出电压改变时第二电平信号改变相应量；和

第二电平控制电路，用于根据第二电平信号的改变改变第一输出电压。

25 5、权利要求4的小幅度信号输出电路，其中，所说第二电平读出电路响应第一输出电压的下降减小第二电平信号。

6、权利要求4的小幅度信号输出电路，其中，所说第二电平读出电路响应第一输出电压的上升增加第二电平信号。

7、一种小幅度信号输出电路，包括：

30 第一输出部分，用于接收第一逻辑信号并通过第一输出端输出具有第一输

出电压的第一输出信号;

第一电平读出电路, 用于根据第一输出电压产生第一电平信号, 使得第一输出电压改变时第一电平信号改变相应量;

第二输出部分, 用于接收第二逻辑信号并通过第二输出端输出具有第二输出电压的第二输出信号;

第二电平读出电路, 用于根据第二输出电压产生第二电平信号, 使得第二输出电压改变时第二电平信号改变相应量;

电平控制电路, 用于根据第一和第二电平信号的改变分别改变第一和第二输出电压。

10 8、权利要求7的小幅度信号输出电路, 其中, 所说第一电平读出电路响应第一输出电压的上升增加第一电平信号。

9、权利要求7的小幅度信号输出电路, 其中, 所说第一电平读出电路响应第一输出电压的下降减小第一电平信号。

15 10、权利要求7的小幅度信号输出电路, 其中, 所说第二电平读出电路响应第二输出电压的下降减小第二电平信号。

11、权利要求7的小幅度信号输出电路, 其中, 所说第二电平读出电路响应第二输出电压的上升增加第二电平信号。

小幅度信号输出电路

5 技术领域

本发明是关于小幅度信号输出电路，更具体而言，是关于通过传输在集成电路之间传送逻辑信号的小幅度信号输出电路。

背景技术

一些输出电路被使用作为通过传输路经例如总线在两个或多个集成电路之间
10 传送信号的信号传送装置，当逻辑信号从输出电路被传输时，逻辑信号被假设为逻辑值高电平或低电平。依此，在集成电路的输出电路内实质上存在着输入端，用以从集成电路的内电路接收内部逻辑信号，和输出端，用以传送内部逻辑信号到其它集成电路。

虽然绝大部分通常的传送信号所具有的幅度接近施加到集成电路的电源电
15 位，但近年来用于传输的信号幅度已经被减小，例如，在通常传送信号的 CMOS 接口的情况下，信号幅度是实质上等于电源电位例如约为 5V 或约为 3V，在另一方面，最近的传送信号具有较小的幅度，例如在低电压差分信号 (LVDS) 接口中使用，信号幅度约为 0.3V。减小信号幅度的原因是，在信号传输时，减少幅度具有传送速度高，功耗小和低噪音的优点，这就要求能完成较高速度和较低功耗为基
20 本目标的集成电路具有的输出电路能够输出较低幅度的信号。一些建议已经提出作为输出低幅度信号的装置，下面就是其中的例子。

参看的图 1 示出个伪发射极耦合逻辑接口 (PECL 接口) 作为第一个通常的输出电路，这是低幅度接口的典型实例，该输出电路包括：具有连接到正电位电源线 VDD 的源极，连接到输出低幅度信号的输出端 OUT1 的漏极和连接到输入端 IN1
25 的栅极的 PMOS 晶体管 M11；具有连接到晶体管 M11 的漏极的漏极，连接到晶体管 M11 的栅极的栅极，和连接到地电位的源线 VSS 的源极的晶体管 M12；具有连接到输出端 OUT1 的第一端和连接到端电源 VTT 的第 2 端的电阻 RTT1。

一般而言，正电位从集成电路的外侧的提供到电源线 VDD 和源线 VSS 接地，在其它的情况下源线 VDD 接地，和负电位提供到源线 VSS。端电阻 RTT1 的值和端
30 电源电位 VTT 一般指定为标准，其中前者大约为 50 Ω ，而后者从电源电位 VDD 中

减去约 2V 而获得。

在运行中，当接近电源线 VDD 的电位的高电平电位提供到输入端 IN1 时，晶体管 M11 截止和晶体管 M12 导通，这样，从端电源 VTT 通过端电阻 RTT1 和晶体管 M12 到源线 VSS 形成电流通路。在这一级的输出端 OUT1 的低电位 VOL 可以表示为：

$$5 \quad VOL = VTT - \{ (VTT - VSS) \times RTT \} / (RTT + RONN) \dots (1)$$

这里，VTT，VSS，RTT 和 RONN 分别表示 VTT 电源电位，源线 VSS 电位，电阻器 RTT1 的电阻和 NMOS 晶体管 M12 的导通电阻。

当接近电源线 VSS 的电位 VSS 的低电平电位提供给输入端 IN 时，晶体管 M11 导通和晶体管 M12 截止。这样，从源线 VDD 通过晶体管 M11 和端电阻 RTT1 到端点
10 源 VTT 形成电流通路。在该极的输出端 OUT1 的高电平电位 VOH 被表示为：

$$VOH = VTT + \{ (VDD - VTT) \times RTT \} / (RTT + RONP) \dots (2)$$

这里 RONP 表示 PMOS 晶体管 M11 的导通电阻。

为个实际计算输出 OUT1 的高电平 VOH 和低电平 VOL 的值和相对输出信号幅度 (VOH - VOL)，在表达式或公式 (1) 和 (2) 中的每一个变量设置如下：VDD=3V，
15 VSS=0V，VTT=1.5V，RTT=50Ω，RONN=200Ω，RONP=200Ω。

在上述值替代表达式 (1) 和 (2) 中的变量时，输出 OUT 的高电平 VOH 和低电平 VOL 被计算如下：

$$VOH = 1.8V \dots (3)$$

$$VOL = 1.2V \dots (4)$$

20 这样，输出信号幅度被计算如下：

$$VOH - VOL = 0.6V \dots (5)$$

通常输出电路具有如下特点，通过选取在集成电路内的晶体管元件的尺寸而调节选取 RONP 和 RONN 的导通电阻以获得希望的小信号幅度，该幅度还依赖电源电位 VDD，VSS，VTT 和事先指定的端电阻 RTT。

25 由于第一通常输出电路具有单信号输送的单个输出端，它通常被称为单相传送系统。

作为具有低信号幅度接口另一个传送系统，所谓的差分传送系统也被使用，它从各自的输出端输出一对传送信号，在差分传输系统内的一对传送信号具有如下特点，一对信号的相位彼此相反和具有相等的高电平和低电平电位，和单相位
30 传输系统相比，在差分传送系统内的相反的相位方案提供了两倍的动态范围。进

而，它具有这样的优点，在电源电位内的噪音的影响和电磁感应的影响能被减少，从这样的优点来看，差分传输系统被用于高速和高可靠性的传送。一些关于在差分传送系统传送差分信号的输出电路的建议已经被提出，下述是关于它们的一实例。

5 图 2 示出个 LVDS 接口的第 2 通常输出电路做为差分传送系统，其中类似的构成元件用类似在图 1 中所用的参考符号表示。该输出电路包括：第一输出部分 11 具有晶体管 M11 和 M12，端部晶体管 RTT1，输入端 IN1 和输出端 OUT1，这些和第一通常输出电路相同；和第 2 输出部分 12 具有的构成元件类似于第 1 输出部分 11 的构成元件，特别是，第 2 输出部分 12 具有 PMOS 晶体管 M21，它的源极连接到
10 正电位电源线 VDD，它的漏极连接到输出端 OUT2 和栅极连接到输入端 IN2；NMOS 晶体管 M22，它的漏极连接到晶体管 M21 的漏极，它的栅极连接到晶体管 M21 的栅极，它的源极连接到接地电位的源线 VSS；和端电阻 RTT2，它的第一端连接到输出 OUT2 和它的第 2 端连接到端电源 VTT。

端电阻 RTT1 和 RTT2 的值和端电源电压 VTT 一般指定为标准，其中 RTT1 和 RTT2
15 被设置大约为 45 到 65 Ω 和 VTT 被设置约为 1.1V 至 1.4V。

在操作时，接近电源线 VDD 的电位 VDD 的高电平电位施加到输入端 IN1，和在同时，接近源线 VSS 的电位 VSS 的低电位被施加到输入端 IN2，晶体管 M12 和 M21 导通，晶体管 M11 和 M22 截止。从源线 VDD 通过晶体管 M21 和端电阻 RTT2 到端源 VTT 形成电流通路，从端源 VTT 经过端电阻 RTT1 和晶体管 M12 到源线 VSS 形成另
20 一个电流通路。依此，输出端 OUT1 提供低电平信号和输出端 OUT2 提供高电平信号。通过以前上述的表达式 (1) 和 (2) 给出高电平信号电位 V_{OH} 和低电平信号电位 V_{OL} 。

当接近源线 VSS 的电位 VSS 的低电平电位施加到输入端 IN1，和在同一个小刻，接近源线 VDD 的电位 VDD 的高电位施加到输入端 IN2，晶体管 M11 和 M22 导
25 通，晶体管 M12 和 M21 截止。这样，从源线 VDD 通过晶体管 M11 和端电阻 RTT1 到端源 VTT 形成电流通路，从端源 VTT 经过端电阻 RTT2 和晶体管 M22 到源线 VSS 形成另一个电流通路。依此，；输出端 OUT1 提供高电平信号和输出端 OUT2 提供低电平信号。

如上所述，在差分输出系统的第 2 通常输出电路中为输出信号电位产生高电
30 平和低电平的技术类似于单相系统的第 1 通常输出电路的情况。这样，如果在表

达式 (1) 和 (2) 的变量在两个电路中相同, 高电平信号 V_{OH} 和低电平信号 V_{OL} 等于上述数字值 (3), (4) 和 (5)。通过选取基于在集成电路内的晶体管的尺寸和而受控制的 PMOS 晶体管 M11 和 M21 的导通电阻 R_{ONP} 或 NMOS 晶体管 M12 和 M22 的 R_{ONN} , 类似于第 1 通常输出电路, 在第 2 通常的输出电路中获得希望的小幅度信号是可能的, 该小幅度信号还取决于电源电位 V_{DD} , V_{SS} 和 V_{TT} , 和事先指定的电阻 R_{TT1} 和 R_{TT2} 。

虽然两个通常的输出电路具有上述的优点, 但也存在着输出信号幅度变化相当大的问题。

近而, 下面 3 个因素使得导通电阻 R_{ONP} 和 R_{ONN} 发生变化, 基于这些变化第 1 通常输出电路的输出信号的高电平电压 V_{OH} 和低电平电压受到控制。

第一个因素是 MOS 晶体管的制造过程变化的影响。制造过程包括了影响构成输出电路的晶体管元件的变化的各种因素。例如 MOS 晶体管的导通电阻的变化一般约为 $\pm 10\%$ 到 $\pm 20\%$, 这取决晶体管的形状。

第 2 个因素是环境温度的影响, 其中配有集成电路的电设备在各种环境下被使用。MOS 晶体管的导通电阻变化着, 特别是随着环境温度的变化: 在 100°C 的温度范围内变化一般到达 $\pm 8\%$ 到 $\pm 16\%$ 。

第 3 个因素是电源 电位变化的影响。除了外部电源自己本身变化以外, 由于电源线的电位损失以外也使从集成电路外面提供的电源电位发生变化, MOS 晶体管的导通电阻随着输入电压的变化而变化: 例如, 相应电源电位变化 $\pm 10\%$ 而变化范围大约 $\pm 10\%$ 到 $\pm 15\%$ 。

这样, 当考虑上述的所有 3 个因素时, MOS 晶体管的导通电阻的变化一般约为 $\pm 28\%$ 至 51% 。由这 3 个因素形成的变化产生高电平 V_{OH} , 低电平 V_{OL} 和信号幅度如下:

$$V_{OH}=1.713\text{V 至 }2.007\text{V} \quad (6)$$

$$V_{OL}=0.993\text{V 至 }1.287\text{V} \quad (7)$$

$$V_{OH}-V_{OL}=0.426\text{V 至 }1.014\text{V} \quad (8)$$

信号幅度 $V_{OH}-V_{OL}$ 的变化是当这 3 个因素不考虑从表达式 (3) 中计算的 MOS 晶体的管的导通电阻的信号幅度, 即 0.6V 的情况下的 1.7 倍。输出信号幅度的变化特别是在较高方向变化的情况减少或取消了前述小信号幅度传送的变化。

小节一下, 第一和第二通常的输出电路具有要被解决的信号幅度大变化的问

题，这在信号传输过程中造成个减少传输速度，增加功耗和增加了噪音。

发明内容

本发明的目标是提供一输出电路，它能在信号传输过程中抑制输出信号幅度的变化，增加传送速度，减少功率和噪音。

5 本发明提供了一种小幅度信号输出电路，包括：

第一输出部分，用于接收第一逻辑信号并通过第一输出端输出具有第一输出电压的第一输出信号；

第一电平读出电路，用于根据第一输出电压产生第一电平信号，使得第一输出电压改变时第一电平信号改变相应量；和

10 第一电平控制电路，用于根据第一电平信号的改变改变第一输出电压；

其中，所说第一输出部分包括一对串联连接的第一和第二晶体管，所说晶体管的漏极区被连接到所说第一输出端并经电阻和所说第一输出端连接到端电源，

所说第一电平读出电路包括第三晶体管和第四晶体管，第三晶体管具有栅极连接于所说第一输出端，而第四晶体管与第三晶体管串联连接，以及

15 所说第一电平控制电路包括电阻元件和第五晶体管，电阻元件与所说第三和第四晶体管串联连接，而第五晶体管的发射极连接于所说第一晶体管的源极并且其基极连接于所说第三晶体管的漏极。

本发明还提供了一种小幅度信号输出电路，包括：

20 第一输出部分，用于接收第一逻辑信号并通过第一输出端输出具有第一输出电压的第一输出信号；

第一电平读出电路，用于根据第一输出电压产生第一电平信号，使得第一输出电压改变时第一电平信号改变相应量；

第二输出部分，用于接收第二逻辑信号并通过第二输出端输出具有第二输出电压的第二输出信号；

25 第二电平读出电路，用于根据第二输出电压产生第二电平信号，使得第二输出电压改变时第二电平信号改变相应量；

电平控制电路，用于根据第一和第二电平信号的改变分别改变第一和第二输出电压。

30 依照本发明，从输出电路提供的输出信号的信号幅度的变化，通过第一电平读出电路的反馈功能和电平控制电路加以抑制，以此在信号传输时抑制传送速度

的减少，抑制功耗增加和噪音增加。

附图说明

参照附图和通过描述使发明的上述和其它目标优点变得更加明显。

图 1 是第一通常输出电路的电路图；

5 图 2 是第二通常输出电路的电路图；

图 3 是依照本发明第一实施例的输出电路的电路图；

图 4 是图 3 输出电路和通常输出电路的信号定时图；

图 5 是依照本发明第二实施例的输出电路的电路图；

图 6 是依照本发明第三实施例的输出电路的电路图；

10 图 7 是依照本发明第四实施例的输出电路的电路图；

图 8 是图 7 的输出电路的信号定时图；和

图 9 是从图 3 所示电平读出电路修改的电平读出电路的电路图。

具体实施方式

现在本发明参照附图更详细地加以描述，其中在整个图中，类似的构成元件
15 由相同的或类似的标号加以指定。

参照图 3 示出了依照本发明第一实施例的输出电路的电路图，输出电路包括具有 PMOS 晶体管 M11 和 M12 的输出部分 11，端电阻 RTT1，输入端 IN1 和输出端 OUT1，它们均类似第一通常输出电路中的那些部件，近而，输出电路包括电平读出电路 13，用于检测输出端 OUT1 的电压电平的变化，和电平控制电路 15，通过
20 由电平读出电路 13 检测出的电压电平的变化控制输出电压电平。

电平读出电路 13 包括其栅极连接到输出端 OUT1 的 NMOS 晶体管 M31 和其栅极漏极连接到一块作为二极管连接并连到晶体管 M31 的漏极和其源极连接到电源线 VSS 的 NMOS 晶体管 M32。

电平控制电路 15 包括其集电极连接到电源线 VDD，其基极连接到电平读出电路 13 内的晶体管 M31 的漏极和其发射极连接在输出部分 11 内的晶体管 M11 的源极的 NPN 双极型晶体管 M51；和其第一端连接晶体管 M51 的基极和其第二端连接到电源线 VDD 的电阻 R51。
25

在操作时，输出电路抑制其输出信号高电平电压 VOH 的变化，特别是，当接近电源线 VSS 的电位的具有此电位的低电平信号施加到输入端 IN 时，输出电路 11 的晶体管 M11 和 M12 分别导通和截止，电平控制电路 15 的晶体管 M51 是导通。这
30

样,从源线 VDD 通过晶体管 M51,晶体管 M11 和端电阻 RTT1 到端源线 VTT 形成电流通路。在该极的输出端的高电压 VOH 可以表示为:

$$VOH=VTT+\{(VDD-VTT)\times RTT\}/(RTT+RONB+RONP)\dots\dots(9)$$

这里 RONB 表示晶体管 M51 的导通电阻。

- 5 假定晶体管 M11 的导通电阻 RONP 通过前述 3 因素即制造过程的变化和环境温度和/或电源电位的变化的影响变化了较小的值,升高了输出信号的高电平 VOH,电平读出电路 13 的晶体管 M31 和 M32 从晶体管 M31 通过晶体管 M32 到源线 VSS 增加了导通电流的流动。在该极的电流是基于输出信号高电平 VOH 变化而改变的连续电流,和被表示为:

10 $I31=0.5\times\mu\times C0\times W/L\times(VGS-VTN31)^2\dots\dots(10)$

其中 I31, μ , C0, W, L, VGS 和 VTN31 分别表示流经晶体管 M31 的电流,晶体管 M31 的载流子迁移率,在晶体管 M31 的栅极和沟道之间的每单位面积的电容,晶体管 M31 的栅极宽度,晶体管 M31 的栅极长度,晶体管 M31 的栅源电压和晶体管 M31 的阈值电压。

- 15 该连续电流 I31 在电平控制电路 15 的电阻 R51 的两端产生电压降,该电阻在此起电流/电压转换器的作用,在电阻 R51 的两端呈现的电压降 VR51 提供给晶体管 M51 的基极,该晶体管 M51 起着输出电平控制器的作用和被表示为:

$$VR51=I31\times R51 \quad (11)$$

这里 R51 表示电阻 R51 的电阻。

- 20 流经晶体管 M31 的电流的增加降低了电平控制电路 15 的晶体管 M51 的基极发射电压,它提供电压降到输出电路 11 的晶体管 M11 的源极。晶体管 M11 的导通电阻 RONP11 被表示为:

$$RONP11=1/\{\mu\times C0\times W/L\times(VGS-VTP11)\} \quad (12)$$

- 25 这里 VTP11 表示晶体管 M11 的阈值电压,在这种情况下,晶体管 M11 的源极电位降落增加了晶体管 M11 的导通电阻 RONP11,从而抵消了晶体管 M11 的导通电阻的最初减少以维持高电平电压 VOH 的设计值,正如从等式 (2) 所理解的。

- 30 这样,如果晶体管 M11 的导通电阻 RONP 由于 3 个因素造成的变化而减小,由于输出电路的反馈功能使得抑制输出信号的高电平 VOH 的上升成为可能。进而,通过选取在电平读出电路 13 的电流变化因子和在电平控制电路 15 的电流/电压转换器内的电压转换系数到希望的值,使得控制高电平电压 VOH 成为可能。特别是,

通过变化晶体 M31 的栅极的宽 (W) 和/或长度 (L) 很容易地实现电流变化因子的控制, 通过变化电阻 R51 很容易实现电压转换系数的控制。

参看通过模拟获得的图 4 的信号定时图, 本实施例的输出端 OUT1 的波形“A”是在影响晶体管 M11 的三个因素均被考虑进去时示出的, 与和三个因素没有考虑进去的理想波形“B”相比较, 和当三个因素都被考虑进去时的第一通常输出电路的波形“C”相比较。如图所示, 在三个因素影响第一通常输出电路的波形“C”的情况下输出信号的高电平 VOH 上升了约 43%, 而在本实施例的波形“A”中输出信号的高电平 VOH 被抑制到 7%。

参考的图 5 示出了依本发明的第二实施例的输出电路的电路图, 本实施例输出电路类似于第一实施例, 除了输出电路包括: 电平读出电路 13A, 以取代图 3 的电平读出电路 13, 它包括其栅极连接到输出端 OUT1 的 PMOS 晶体管 M33, 漏极和栅极连在一块作为二极管连接并且连到晶体管 M33 的漏极和其源极连到电源 VDD 的 PMOS 晶体管 M34; 替代图 3 的电平控制电路 15 的电平控制电路 15A 包括 PNP 双极型晶体管 M52, 它的集电极, 基极和发射极分别连到电源 VSS, 电平读出电路 13A 的晶体管的漏极和输出部分 11 的晶体管 M12 的源极, 和其第一端连接到晶体管 M52 的基极和第二端连接到源线 VSS 的电阻 R52。

在操作时, 本实施例的输出电路抑制输出信号的低电平 VOL 的变化。特别是, 当具有电位接近源线 VDD 的高电平信号提供给输入端 IN 时, 输出电路 11 的晶体管 M11 和 M12 分别截止和导通, 电平控制电路 15A 的晶体管 M52 导通。这样, 从源线 VTT 经过晶体管 M52, 晶体管 M12 和端电阻 RTT1 到电源线 VSS 形成电流通路, 在该阶段的输出端的低电平 VOL 表示为:

$$VOL = VTT - \{ (VTT - VSS) \times RTT \} / (RTT + RONC + RONN) \dots\dots (13)$$

这里 RONC 表示晶体管 M52 的导通电阻。

类似于第一实施例, 当晶体管 M12 的导通电阻 RONN 由于三个因素的影响变化为较低的值以降低输出信号的低电平电压 VOL 时, 电平读出电路 13A 的晶体管 M33 和 M34 增加了从电源线 VDD 通过电平读出电路的晶体管 M33 的漏极到晶体管 M34 的导通电流的流过, 假设晶体管 M33 的载流子迁移率, 栅极宽度, 栅极长度, 栅极和沟道之间的单位面积的电容, 栅-源电压和晶体管 M33 的阈值电压分别表示为 μ , W, L, CO, VGS 和 VTP33, 在该极的电流 I33 是基于输出信号低电平 VOL 的变化而变化的连续电流和被表示为:

$$I_{33}=0.5 \times \mu \times COXW/L \times (V_{GS}-V_{TP33})^2 \dots\dots (14)$$

从晶体管 M33 的漏极通过电平控制电路 15A 的电阻 R52 到电源线 VSS 流过的电流 I33 由于输出电压 VOL 的减少而增加。在电阻 R52 两端产生的连续电位降落施加到晶体管 M52 的基极,集电极-基极电压 VR52 表示为:

$$VR52=I_{33} \times R52 \quad (15)$$

这里 R52 表示电阻 R52 的阻值。

电流 I33 的增加增加了电平控制电路 15A 的晶体管 M52 的基极电压,它增加了晶体管 M52 的发射极电压以提高晶体管 M12 的源极电位,晶体管 M12 的导通电阻 RONN12 被表示为:

$$RONN12=1/\{\mu \times CO \times W/L \times (V_{GS}-V_{TN12})\} \dots\dots (16)$$

这里 VTN12 表示晶体管 M12 的阈值电压。

在这种情况下,晶体管 M12 的源极电位的上升降低了栅-源电压 VGS。作为结果,从表达式 (16) 的理解来看,晶体管 M12 的导通电阻 RONN12 的增加抵消了最初导通电阻的减少。近而,从表达式 (1) 可以理解,晶体管 M12 的导通电阻 RONN12

抬高了输出信号的低电平 VOL。

这样,尽管晶体管 M12 的导通电阻 RONN12 减少了,由于输出电路的反馈功能,这依然可以抑制输出信号的低电平电压 VOL 的降落。进而,通过选取电平读出电路 13A 的电流变化因子和电平控制电路 15A 的电流/电压转换器的电压转换系数为希望的值,这就可能控制低电平 VOL。特别是,通过改变晶体管 M33 的栅极宽度和/或长度可以容易地实现控制电流变化因子,通过改变电阻 R52 的阻值可以容易地实现电压转换系数的控制。

参考的图 6 示出了依本发明第三实施例的输出电路的电路图,本发明的输出电路包括第一实施例和第二实施例两者的构成元件。特别是,本实施例的输出电路包括输出部分 11,它具有晶体管 M11 和 M12,用于响应通过输入端 IN1 提供的输入以从输出端 OUT1 传送输出信号,电平读出电路 13,它具有晶体管 M31 和 M32,用于在 OUT1 读出输出电压,电平读出电路 13A,它具有晶体管 M33 和 M34,用于在 OUT1 读出输出电压,电平控制电路 15,它具有晶体管 M51 和电阻 R51,用以响应电平读出电路 13 的电流,和电平控制电路 15A,它具有晶体管 M52 和电阻 R52,以响应电平读出电路 13A 的电流。

在操作时,本实施例的输出电路抑制输出信号的高电平电压 VOH 和低电平电

压 VOL 的变化,特别是,当具有的电位接近电源线 VSS 的低电平信号提供给输入端 IN 时,类似第一实施例操作的受到电平读出电路 13 和电平控制电路 15 的作用的影响以抑制输出信号高电平 VOH 的变化。进而,当具有的电位接近 VDD 的高电平信号提供给输入端 IN 时,类似第二实施例的操作受到电平读出电路 13A 和电平控制电路 15A 作用的影响以抑制输出信号的低电平 VOL 的改变。

参考的图 7 示出了依本发明第四实施例的输出电路的电路图,在第一实施例示出的配置应用到本实施例的差分传送系统。除了第一实施例的构成元件(输出部分 11, 电平读出电路 13 和电平控制电路 15)以外,本实施例的输出电路还包括输出部分 12, 它包括其源极连接到正电位的电源线 VDD, 其漏极连接到输出端 OUT2, 其栅极连接到输入端 IN2 的 PMOS 晶体管 M21, 和其漏极连接到晶体管 M21 的漏极,其栅极连接到晶体管 M21 的栅极和源极连接到地电位的电源线 VSS 的 NMOS 晶体管 M22 和第一端连接到输出端 OUT2 和第二端连接到到端电源 VTT 的端电阻 OUT2; 和电平读出电路具有共漏极连接到电平控制电路的晶体管 M51 的发射极和其栅极连接到输出端 OUT1 的 NMOS 晶体管 M41, 和其漏极和其栅极连接在一块并接到晶体管 M41 的漏极和其源极连接到电源线 VSS 的 NMOS 晶体管 M42。

正如所注意的,作为差分传送系统完成的本实施例的输出电路包括一对输入端 IN1 和 IN2 和一对输出端 OUT1 和 OUT2。在这个配置中,连接一对输入端 IN1 和输出端 OUT1 的输出部分 11, 电平读出电路 13 和电平控制电路 15 类似于作为单相传送系统实现的第一实施例的部件。连接一对输入端 IN2 和输出端 OUT2 的输出部分 12 和电平读出电路 14 也类似于在图 3 中示出的部件。

依此,本实施例的操作和优点类似于第一实施例的部件,即输出部分 11 和 12, 电平读出部分 13 和 14 和电平控制电路 15。值得注意的是,从简化输出电路的观点出发这里仅提供了单个电平控制电路 15。然而,在本实施例中提供一对电平控制电路是可能的,这在操作和优点上比单个电平控制电路 15 改进了一点。

图 8 是模拟本实施例获得的信号定时图,当在晶体管 M11 和 M21 的三个因素均被考虑进去时示出的本实施例各自输出端 OUT1 和 OUT2 的波形“A1”和“A2”,并和当三个因素均不被考虑得出的理想波形“B1”和“B2”相比较,及当三个因素均被考虑时的第二通常输出电路的波形“C1”和“C2”。如图所示,在第二通常输出电路的波形“C1”和“C2”中由于三个因素的影响使输出信号的高电平 VOH 上升为大约 43%,与此相反,在本实施例的波形“A1”和“A2”中输出信号的高

电平变化 V_{OH} 被抑制为 7%。这类似于图 4 所示的第一实施例的单相位传输系统。这样，本发明的输出电路可以应用到单相位传送系统和差分传送系统。

在本实施例中，第一实施例的配置应用到差分传输系统。应用第二和第三实施例的配置到差分传送系统也是可能的。

- 5 在上述的实施例中已经描述，用 NMOS/PMOS 晶体管实现电平读出电路的读出晶体管。但使用 NPN/PNP 双极型晶体管实现电平读出电路的读出晶体管也是可能的。

进而，使用电阻实现电平控制电路的电流，电压转换器；然而，也可能使用 PMOS/NMOS 晶体管或 PNP/NPN 双极型晶体管实现电阻元件。这也可能使用

- 10 NMOS/PMOS 晶体管代替 NPN/PNP 双极型晶体管完成电平控制电路的电平控制晶体管。

参考的图 9 示出了从图 3 的电平读出电路 13 修改的电平读出电路 13B，电平读出电路 13B 包括其源极由基准电压 V_{REF} 提供的晶体管 M31 而不是提供具有二极管连接的晶体管 M32。晶体管 M31 类似于图 3 所示的部件。

- 15 值得注意的是，图 3 的电平读出电路 13 转换输出信号的高电平 V_{OH} 的变化为表达式 (10) 示出的连续电流变化 I_{33} 。另一方面，在图 9 的电平读出电路 13B 中，晶体管 M31 的栅-源电位 V_{GS} 通过控制基准电压 V_{REF} 被控制在希望的值上，该配置提供了附加的优点，可以读出更精确输出电压。

- 20 由于上述的实施例仅是作为例子描述的，本发明并不局限于上述的实施例，在不脱离本发明的范围时，所属领域的技术人员可以容易地做出各种修改和变化。

FIG. 1

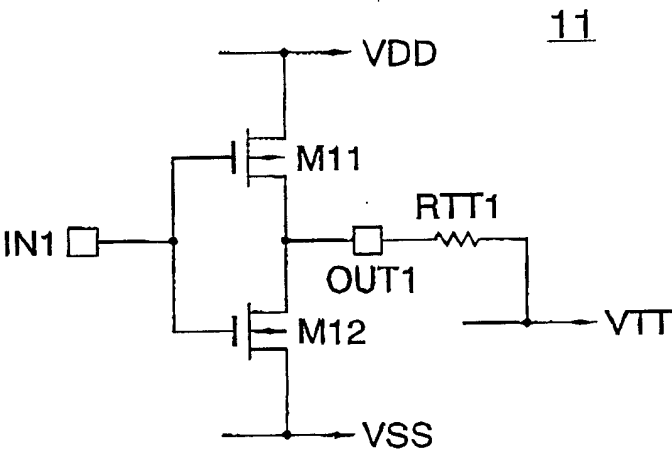


FIG. 2

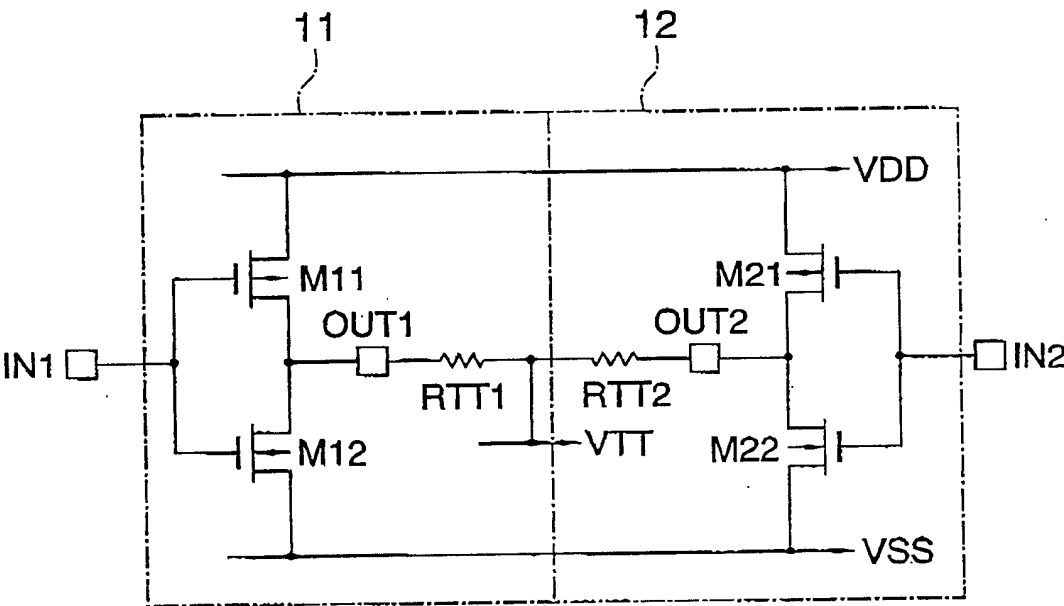


FIG. 3

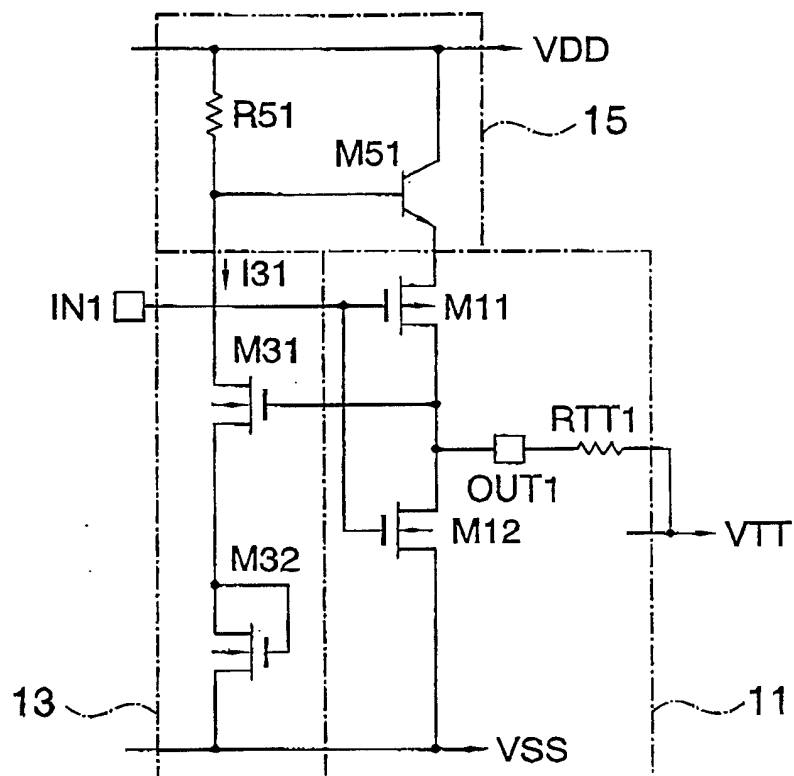
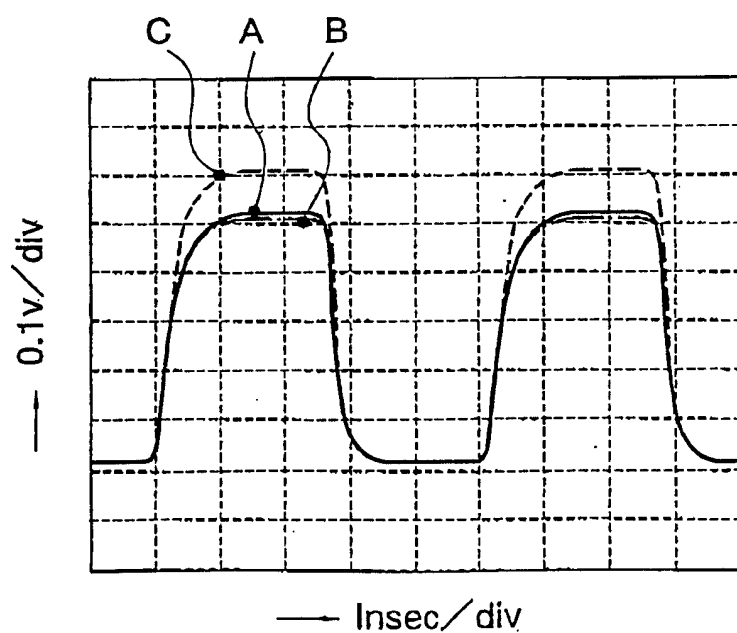


FIG. 4



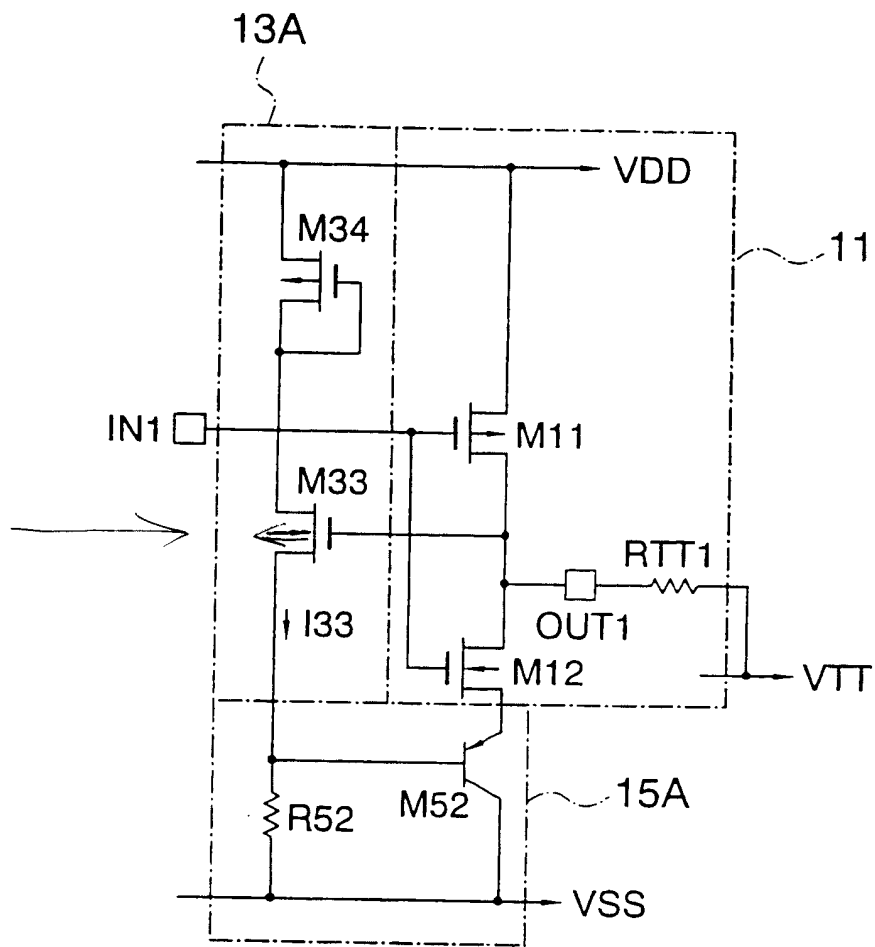


图 5

FIG. 6

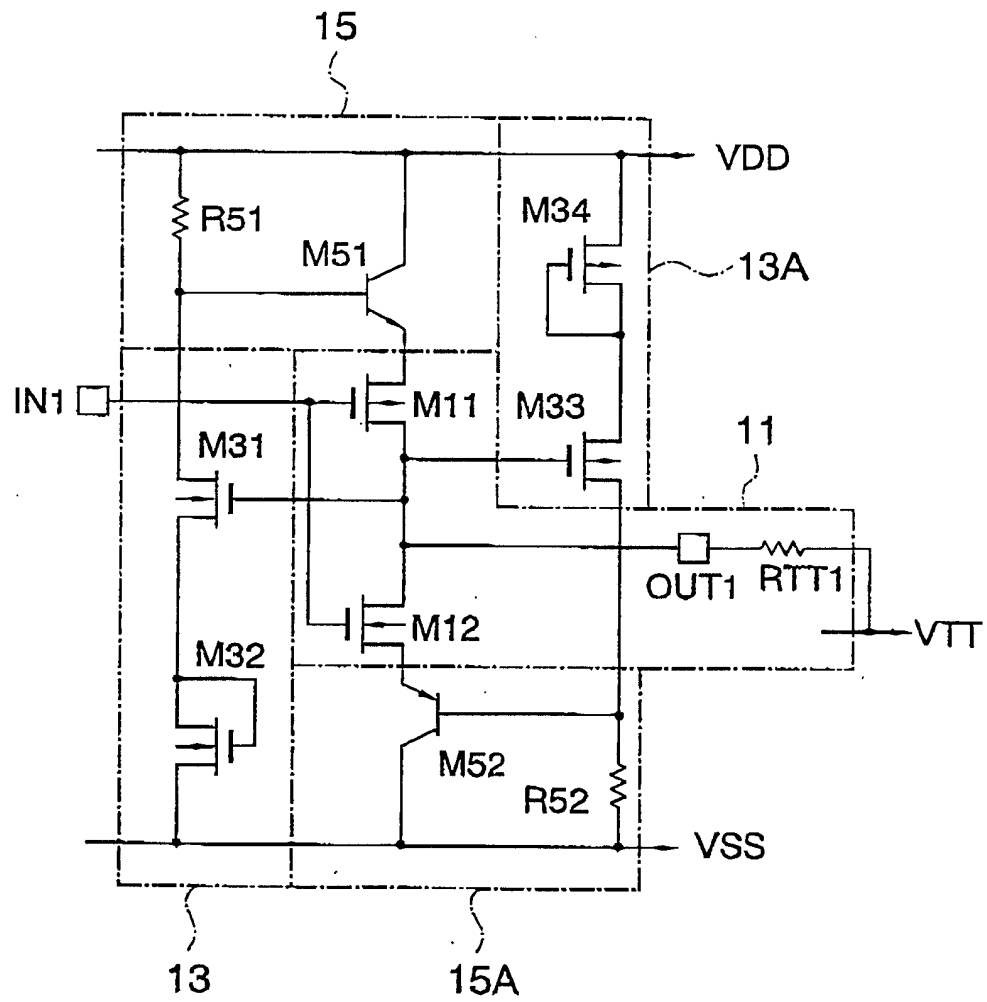


FIG. 7

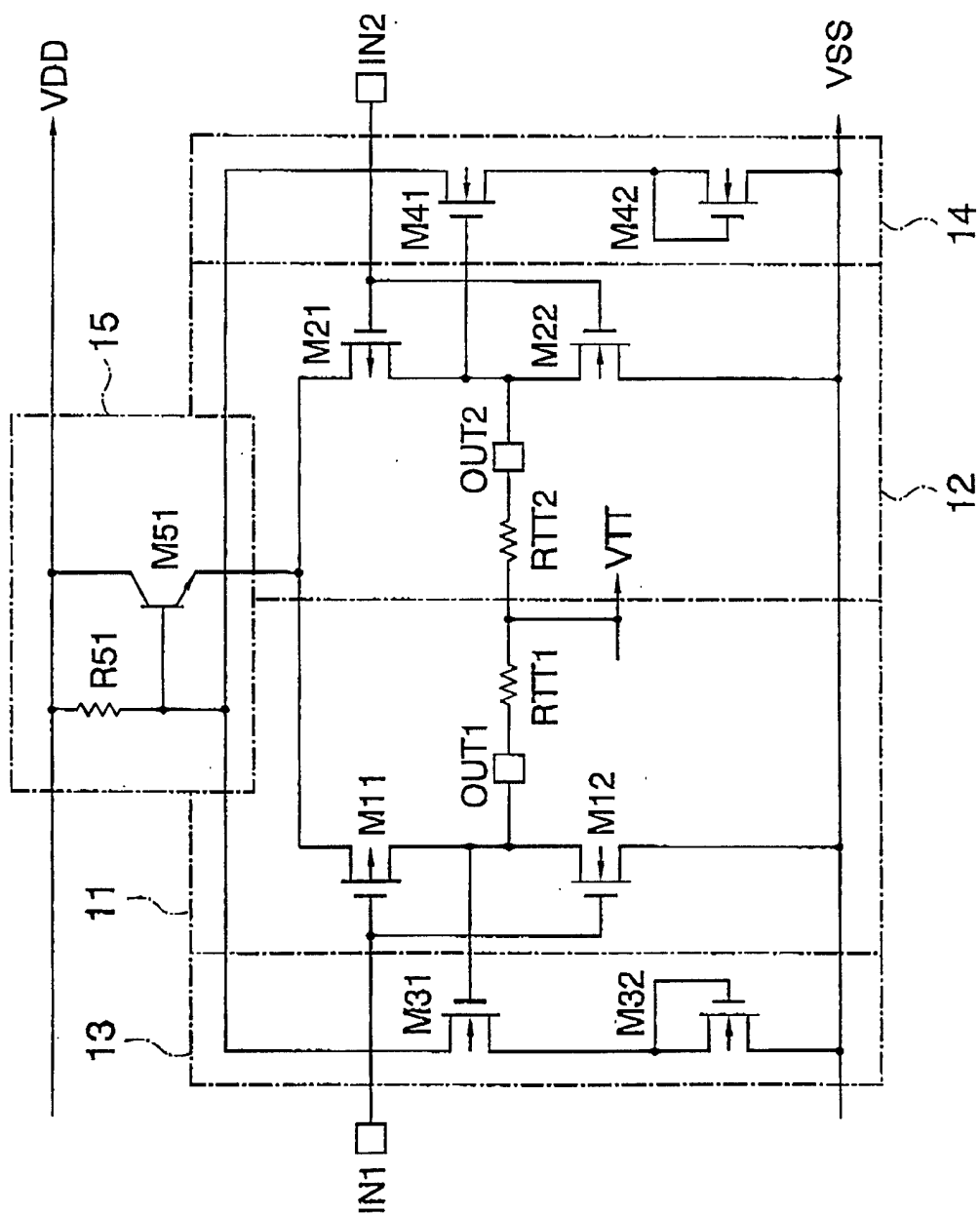


FIG. 8

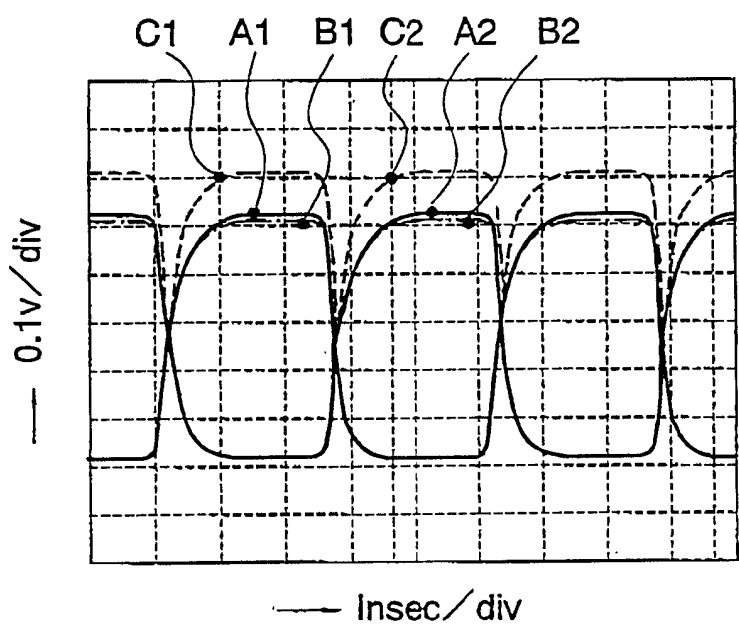


FIG. 9

