



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 960896

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 19.03.81 (21) 3264174/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.09.82. Бюллетень № 35

Дата опубликования описания 25.09.82

(51) М. Кл.³

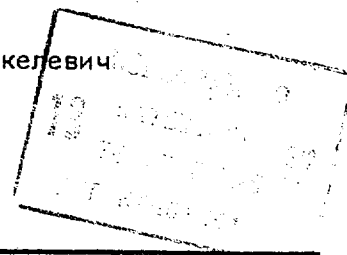
G 08 C 19/28
H 04 L 1/10

(53) УДК 621.398
(088.8)

(72) Авторы
изобретения

О.Б. Дорохов, Т.Ф. Дубова и Я.Д. Хацкелевич

(71) Заявитель



(54) УСТРОЙСТВО ДЛЯ УЗЛОВОЙ СИНХРОНИЗАЦИИ
В СИСТЕМАХ ПЕРЕДАЧИ ИНФОРМАЦИИ

Изобретение относится к системам передачи информации по каналам связи.

Известно устройство узловой синхронизации декодера сверточного кода, содержащее схему определения метрик путей, схему сравнения метрик путей, а также схемы сравнения приращения метрик с различными порогами [1].

Однако это устройство имеет относительно низкую помехоустойчивость.

Наиболее близким к предложенному по технической сущности является устройство узловой синхронизации сверточного декодера, содержащее узел выделения и распределения последовательности принимаемых канальных символов, выходы которого подключены ко входу декодера, линию задержки, выход которой подключен к первому входу сумматора по модулю два, выход которого подключен к решающему узлу, выход которого подключен ко входу узла выделения и распределения последователь-

ности принимаемых канальных символов [2].

Однако в данном устройстве при использовании кодового генератора, аналогичного одному из кодовых генераторов декодера сверточного кода, существуют периодические последовательности, при которых и при неправильной фазе узловой синхронизации расхождение между входной и выходной кодовыми последовательностями небольшое. Так как порог решающего узла, выбранный из расчета устойчивой работы устройства при минимальном рабочем соотношении сигнал-шум, оказывается в этом случае относительно высоким, то не происходит установка правильной фазы узловой синхронизации, т.е. достоверность устройства невысока.

Целью изобретения является повышение достоверности информации путем повышения чувствительности устройства к неправильной фазе синхронизации при всех возможных входных сигналах.

Поставленная цель достигается тем, что в устройство для узловой синхронизации в системах передачи информации, содержащее опознаватель символов, первый вход которого соединен с входом устройства, выходы - с входами декодера, выход которого соединен с выходом устройства, блок задержки, выход которого соединен с первым входом сумматора по модулю два, выход которого через формирователь управляющих сигналов соединен с вторым входом опознавателя символов, введен обратный кодер, выход которого соединен с входом блока задержки, входы обратного кодера подключены к соответствующим выходам опознавателя символов, выход декодера соединен с вторым входом сумматора по модулю два.

Обратный кодер выполнен на сумматорах по модулю два и элементах задержки, выход первого элемента задержки соединен с первым входом первого сумматора по модулю два, выход которого через второй элемент задержки соединен с первым входом второго сумматора по модулю два и непосредственно - с первым входом третьего сумматора по модулю два, выход второго сумматора по модулю два через третий элемент задержки соединен с вторым входом третьего сумматора по модулю два, выход которого соединен с выходом обратного декодера, вход первого элемента задержки и объединенные вторые входы первого и второго сумматоров по модулю два соединены, соответственно, с первым и вторым входами обратного кодера.

На фиг. 1 приведена схема устройства; на фиг. 2 - схема обратного кодера.

Устройство для узловой синхронизации в системах передачи информации содержит опознаватель 1 символов, обратный кодер 2, блок 3 задержки, сумматор 4 по модулю два, формирователь 5 управляющих сигналов, декодер 6. Обратный кодер 2 содержит элемент 7 задержки, сумматор 8 по модулю два, второй элемент 9 задержки, второй сумматор 10 по модулю два, третий элемент 11 задержки, третий сумматор 12 по модулю два.

Устройство для узловой синхронизации работает следующим образом.

Полученные в опознавателе 1 каналные символы C_1 и C_2 подаются на вхо-

ды декодера 6 и обратного кодера 2. В обратном кодере 2 производится восстановление входной информационной последовательности путем операций, обратных кодированию. С выхода обратного кодера 2 информационная последовательность поступает на вход блока 3 задержки, где она задерживается на время, необходимое для обработки информации в декодере 6. Полученные информационные последовательности с выхода декодера 6 и с блока 3 задержки подаются на входы сумматора 4 по модулю два, где происходит их сравнение.

Предлагаемое устройство в отсутствии шумов при неправильной фазе на выходе сумматора 4 по модулю два при любой информационной последовательности имеет 50% ошибочных символов, прошедших за время выбранного мерного интервала, например если выбрать мерный интервал равным 256 символам, количество ошибок равно 128 ± 1 . С выхода формирователя 5 сигнал управления подается на опознаватель 1 символов, выставляя в нем правильную фазу узловой синхронизации.

В обратном кодере 2 исправление канальных ошибок, возникающих при шумах в канале, не осуществляется и даже увеличивается в 2-2,5 раза, однако и при наличии шумов при неправильной фазе узловой синхронизации рассогласование между двумя указанными последовательностями равно примерно половине. Обратный кодер 2 для сверточного кода с кодовым ограничителем $K=6$ представляет собой логическую схему (фиг. 2).

Алгебраические преобразования, происходящие в обратном кодере, рассмотрим на примере работы со сверточным кодом, порождаемым полиномами

$$h(C_1) = D^1 + D^2 + D^3 + D^5 + D^6$$

$$h(C_2) = D^1 + D^2 + D^6$$

Зададим входную последовательность 0000001000000..., т.е. $f(x) = D^7$, тогда

$$C_1 = f(x)h(C_1) = D^8 + D^9 + D^{10} + D^{12} + D^{13}$$

$$C_2 = f(x)h(C_2) = D^8 + D^9 + D^{13}$$

Проверим работу обратного кодера 2, работающего по схеме, изображенной на фиг. 2:

$$1. \Sigma_1 = C_1 \oplus C_2 = D^8 + D^9 + D^{10} + D^{12} + D^{13} + \frac{D^8 + D^9 + D^{13}}{D^{10} + D^{12}}$$

$$2. D\Sigma_1 = D^{11} + D^{13}$$

$$3. \Sigma_2 = D\Sigma_1 \oplus C2 = D^{11} + D^{13} \\ \frac{D^8 + D^9 + D^{13}}{D^8 + D^9 + D^{11}}$$

$$4. D\Sigma_2 = D^9 + D^{10} + D^{12}$$

$$5. \Sigma_3 = D\Sigma_2 \oplus \Sigma_1 = D^9 + D^{10} + D^{12} \\ \frac{D^{10} + D^{12}}{D^9}$$

Таким образом, обратный кодер 2 вырабатывает входную последовательность, задержанную на два бита.

Проведенное моделирование на ЭЦВМ показывает, что при работе в шумах при отношении энергии сигнала к спектральной плотности шума $\frac{E}{N_0} = 2,44$ при правильной фазе узловой синхронизации за время мерного интервала в 256 символов количество ошибок равно 60, при неправильной фазе узловой синхронизации количество ошибок возрастает до 128.

Таким образом, устанавливая порог счетчика (не показан) формирователя 5 в середине интервала между количеством ошибок при правильной и неправильной фазах устройства узловой синхронизации, т.е. равным $\frac{128+60}{2} = 94$, -

обеспечивают устойчивую работу устройства для узловой синхронизации при любых входных последовательностях.

Формула изобретения

1. Устройство для узловой синхронизации в системах передачи информации, содержащее опознаватель символов, первый вход которого соединен

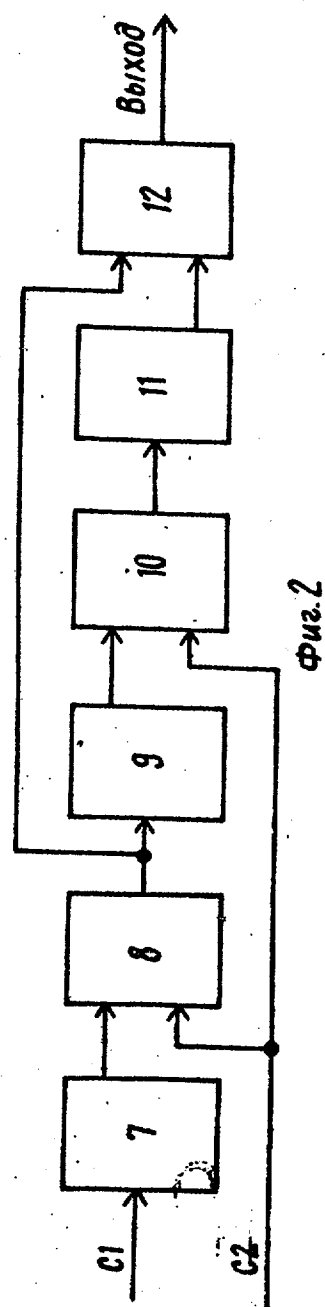
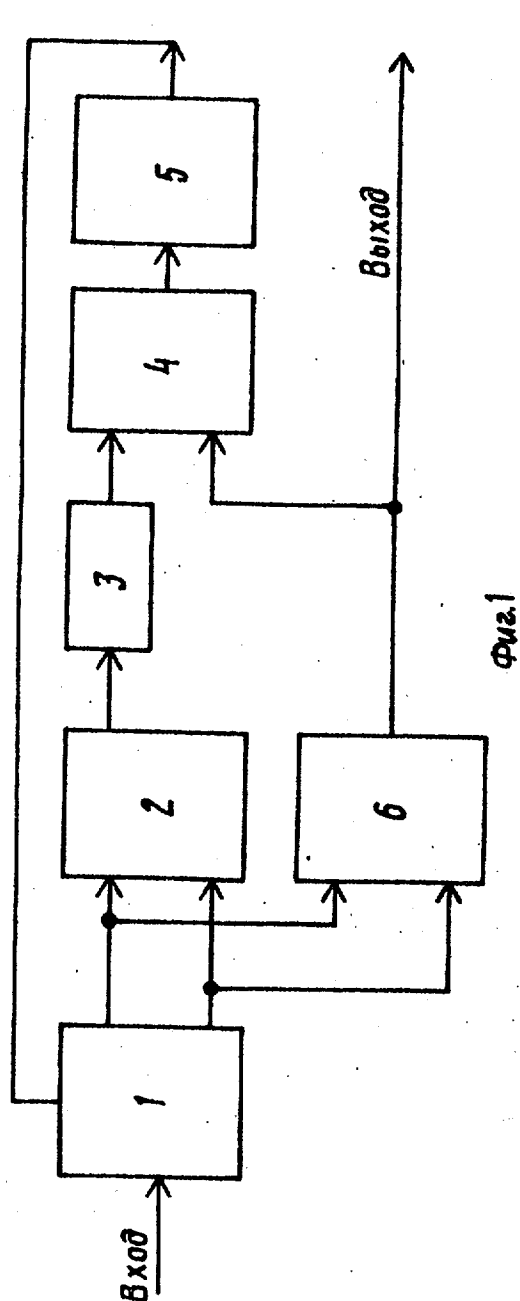
с входом устройства, выходы - с выходами декодера, выход которого соединен с выходом устройства, блок задержки, выход которого соединен с первым входом сумматора по модулю два, выход которого через формирователь управляющих сигналов соединен с вторым входом опознавателя символов, отличающемся тем, что, с целью повышения достоверности информации, в него введен обратный кодер, выход которого соединен с входом блока задержки, входы обратного кодера подключены к соответствующим выходам опознавателя символов, выход декодера соединен с вторым входом сумматора по модулю два.

2. Устройство по п. 1, отличающемся тем, что обратный кодер выполнен на сумматорах по модулю два и элементах задержки, выход первого элемента задержки соединен с первым входом первого сумматора по модулю два, выход которого через второй элемент задержки соединен с первым входом второго сумматора по модулю два и непосредственно - с первым входом третьего сумматора по модулю два, выход второго сумматора по модулю два через третий элемент задержки соединен с вторым входом третьего сумматора по модулю два, выход которого соединен с выходом обратного декодера, вход первого элемента задержки и объединенные вторые входы первого и второго сумматоров по модулю два соединены, соответственно, с первым и вторым входами обратного кодера.

Источники информации, принятые во внимание при экспертизе

1. Патент США № 3872432, кл. Н 04 L 1/10, опублик. 1975.

2. Авторское свидетельство СССР № 467484, кл. Н 04 L 1/10, 1975 (прототип).



Составитель Н. Бочарова
 Редактор П. Коссей Техред А. Ач. Корректор М. Демчик
 Заказ 7291/63 Тираж 642 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4