



(12) 发明专利申请

(10) 申请公布号 CN 103489778 A

(43) 申请公布日 2014.01.01

(21) 申请号 201210190200.9

(22) 申请日 2012.06.11

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 邓浩

(74) 专利代理机构 北京市磐华律师事务所

11336

代理人 董巍 高伟

(51) Int. Cl.

H01L 21/336 (2006.01)

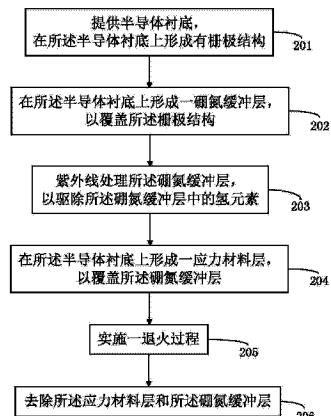
权利要求书1页 说明书4页 附图4页

(54) 发明名称

一种半导体器件的制造方法

(57) 摘要

本发明提供一种半导体器件的制造方法，包括：提供半导体衬底，在所述半导体衬底上形成有栅极结构；在所述半导体衬底上形成一硼氮缓冲层，以覆盖所述栅极结构；紫外线处理所述硼氮缓冲层，以驱除所述硼氮缓冲层中的氢元素；在所述半导体衬底上形成一应力材料层，以覆盖所述硼氮缓冲层；实施一退火过程；去除所述应力材料层和所述硼氮缓冲层。根据本发明，在实施应力记忆技术的过程中，可以在实施所述退火过程之前不去除覆盖于 PMOS 部分的应力材料层的同时避免由所述应力材料层中的氢原子导致产生的硼扩散现象的发生，从而避免了 PMOS 的性能下降。



1. 一种半导体器件的制造方法，包括：

提供半导体衬底，在所述半导体衬底上形成有栅极结构；

在所述半导体衬底上形成一硼氮缓冲层，以覆盖所述栅极结构；

紫外线处理所述硼氮缓冲层，以驱除所述硼氮缓冲层中的氢元素；

在所述半导体衬底上形成一应力材料层，以覆盖所述硼氮缓冲层；

实施一退火过程；

去除所述应力材料层和所述硼氮缓冲层。

2. 根据权利要求 1 所述的方法，其特征在于，采用化学气相沉积工艺形成所述硼氮缓冲层。

3. 根据权利要求 2 所述的方法，其特征在于，所述化学气相沉积工艺的参数包括： $\text{B}_2\text{H}_6$  气体的流速为 100–600sccm、 $\text{NH}_3$  气体的流速为 20–200sccm、 $\text{N}_2$  气体的流速为 500–3000sccm，压力为 1–15Torr，射频功率为 200–1000W，温度为 350–450 °C。

4. 根据权利要求 1 所述的方法，其特征在于，采用紫外光照射的方式实施所述处理。

5. 根据权利要求 4 所述的方法，其特征在于，所述紫外光照射的照射源来自紫外灯。

6. 根据权利要求 5 所述的方法，其特征在于，所述紫外光照射的参数包括：照射时间为 30–90s、温度为 350–450 °C、紫外灯功率为 50–150W、氦气流速为 5000–15000sccm、紫外光波长为 200–300nm。

7. 根据权利要求 1 所述的方法，其特征在于，采用化学气相沉积工艺形成所述应力材料层。

8. 根据权利要求 1 所述的方法，其特征在于，所述退火过程包括快速热退火、激光退火、峰值退火或闪光灯退火。

9. 根据权利要求 1 所述的方法，其特征在于，所述栅极结构包括依次层叠的栅极介电层、栅极材料层和栅极硬掩蔽层。

10. 根据权利要求 1 所述的方法，其特征在于，在位于所述栅极结构两侧的半导体衬底中形成有经掺杂的源 / 漏区，在所述源 / 漏区之间为沟道区。

## 一种半导体器件的制造方法

### 技术领域

[0001] 本发明涉及半导体制造工艺,具体而言涉及一种实施应力记忆的方法。

### 背景技术

[0002] 为了提升集成电路的性能,通过实施应力记忆技术(SMT)来提高集成电路的沟道区中的载流子的迁移率是半导体制造工艺中经常使用的一种方法。

[0003] 所述应力记忆技术的实施过程如下:在形成有栅极结构的半导体衬底上形成一应力材料层,以覆盖所述栅极结构;实施一退火过程,以将所述应力材料层中的应力转移到所述栅极结构中的栅极、位于所述栅极结构两侧的半导体衬底中的源/漏区和位于所述源/漏区之间的沟道区;去除所述应力材料层。

[0004] 所述应力材料层的材料通常为含氮的物质,最常见的为氮化硅,采用化学气相沉积工艺将所述应力材料层沉积到所述半导体衬底的过程所使用的源气体为SiH<sub>4</sub>和NH<sub>3</sub>的混合气体,因此,形成的所述应力材料层中含有氢原子,所述氢原子以Si-H键和N-H键的形式存在。在随后的退火过程中,所述氢原子将诱导PMOS的源/漏区中掺杂的硼向所述沟道区中的扩散,增加了短沟道效应,导致集成电路性能的下降。

[0005] 为规避上述问题,通常在实施所述退火过程之前将覆盖于PMOS部分的应力材料层去除,这显然要增加一掩膜形成过程、一光刻和蚀刻过程,导致集成电路制造工序的增加和制造成本的上升。

[0006] 因此,需要提出一种方法,在实施所述退火过程之前不去除覆盖于PMOS部分的应力材料层的同时可以避免上述由氢原子导致产生的硼扩散现象的发生。

### 发明内容

[0007] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,包括:提供半导体衬底,在所述半导体衬底上形成有栅极结构;在所述半导体衬底上形成一硼氮缓冲层,以覆盖所述栅极结构;紫外线处理所述硼氮缓冲层,以驱除所述硼氮缓冲层中的氢元素;在所述半导体衬底上形成一应力材料层,以覆盖所述硼氮缓冲层;实施一退火过程;去除所述应力材料层和所述硼氮缓冲层。

[0008] 进一步,采用化学气相沉积工艺形成所述硼氮缓冲层。

[0009] 进一步,所述化学气相沉积工艺的参数包括:B<sub>2</sub>H<sub>6</sub>气体的流速为100-600sccm、NH<sub>3</sub>气体的流速为20-200sccm、N<sub>2</sub>气体的流速为500-3000sccm,压力为1-15Torr,射频功率为200-1000W,温度为350-450℃。

[0010] 进一步,采用紫外光照射的方式实施所述固化。

[0011] 进一步,所述紫外光照射的照射源来自紫外灯。

[0012] 进一步,所述紫外光照射的参数包括:照射时间为30-90s、温度为350-450℃、紫外灯功率为50-150W、氦气流速为5000-15000sccm、紫外光波长为200-300nm。

[0013] 进一步,采用化学气相沉积工艺形成所述应力材料层。

- [0014] 进一步,所述退火过程包括快速热退火、激光退火、峰值退火或闪光灯退火。
- [0015] 进一步,所述栅极结构包括依次层叠的栅极介电层、栅极材料层和栅极硬掩蔽层。
- [0016] 进一步,在位于所述栅极结构两侧的半导体衬底中形成有经掺杂的源 / 漏区,在所述源 / 漏区之间为沟道区。
- [0017] 根据本发明,在实施应力记忆技术的过程中可以避免由上述过程形成的应力材料层中的氢原子导致产生的硼扩散现象的发生。

### 附图说明

- [0018] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。
- [0019] 附图中:
- [0020] 图 1A- 图 1F 为本发明提出的实施应力记忆的方法的各步骤的示意性剖面图;
- [0021] 图 2 为本发明提出的实施应力记忆的方法的流程图。

### 具体实施方式

[0022] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0023] 为了彻底理解本发明,将在下列的描述中提出详细的步骤,以便阐释本发明提出的实施应力记忆的方法。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0024] 应当理解的是,当在本说明书中使用术语“包含”和 / 或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和 / 或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和 / 或它们的组合。

[0025] 下面,参照图 1A- 图 1F 和图 2 来描述本发明提出的实施应力记忆的方法的详细步骤。

[0026] 参照图 1A- 图 1F,其中示出了本发明提出的实施应力记忆的方法的各步骤的示意性剖面图。

[0027] 首先,如图 1A 所示,提供半导体衬底 100,所述半导体衬底 100 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI)等。作为示例,在本实施例中,半导体衬底 100 选用单晶硅材料构成。在半导体衬底 100 中形成有将所述半导体衬底 100 分为 NMOS 区和 PMOS 区的隔离结构,所述隔离结构为浅沟槽隔离(S-TI)结构或者局部氧化硅(LOCOS)隔离结构,所述半导体衬底 100 中还形成有各种阱(well)结构,为了简化,图示中予以省略。

[0028] 在所述半导体衬底 100 上形成有栅极结构,作为一个示例,所述栅极结构可包括自下而上依次层叠的栅极介电层 101、栅极材料层 102 和栅极硬掩蔽层 103。栅极介电层 101 可包括氧化物,如,二氧化硅( $\text{SiO}_2$ )层。栅极材料层 102 可包括多晶硅层、金属层、导电性金

属氮化物层、导电性金属氧化物层和金属硅化物层中的一种或多种，其中，金属层的构成材料可以是钨(W)、镍(Ni)或钛(Ti)；导电性金属氮化物层可包括氮化钛(TiN)层；导电性金属氧化物层可包括氧化铱(IrO<sub>2</sub>)层；金属硅化物层可包括硅化钛(TiSi)层。栅极硬掩蔽层103可包括氧化物层、氮化物层、氮氧化物层和无定形碳中的一种或多种，其中，氧化物层可包括硼磷硅玻璃(BPSG)、磷硅玻璃(PSG)、正硅酸乙酯(TEOS)、未掺杂硅玻璃(USG)、旋涂玻璃(SOG)、高密度等离子体(HDP)或旋涂电介质(SOD)；氮化物层可包括氮化硅(Si<sub>3</sub>N<sub>4</sub>)层；氮氧化物层可包括氮氧化硅(SiON)层。

[0029] 此外，作为示例，在所述半导体衬底100上还形成有位于栅极结构两侧且紧靠栅极结构的间隙壁结构104。其中，所述间隙壁结构104可以包括至少一层氧化物层和/或至少一层氮化物层。

[0030] 此外，作为示例，在位于所述栅极结构两侧的半导体衬底100中形成有经掺杂的源/漏区，在所述源/漏区之间为沟道区，为了简化，图示中予以省略。位于PMOS区的源/漏区掺杂有n型杂质，位于NMOS区的源/漏区掺杂有p型杂质。

[0031] 接着，如图1B所示，采用化学气相沉积工艺在所述半导体衬底100上形成一硼氮(BN)缓冲层105，以覆盖所述栅极结构。所述化学气相沉积工艺的参数包括：B<sub>2</sub>H<sub>6</sub>气体的流速为100–600sccm、NH<sub>3</sub>气体的流速为20–200sccm、N<sub>2</sub>气体的流速为500–3000sccm，压力为1–15Torr，射频功率为200–1000W，温度为350–450°C。

[0032] 接着，如图1C所示，采用紫外光照射106的方式处理所述硼氮缓冲层105，以驱除所述硼氮缓冲层105中的氢元素。在本实施例中，所述紫外光照射106的照射源来自紫外灯，所述紫外光照射106的参数包括：照射时间为30–90s、温度为350–450°C、紫外灯功率为50–150W、氦气流速为5000–15000sccm、紫外光波长为200–300nm。

[0033] 接着，如图1D所示，采用化学气相沉积工艺在所述半导体衬底100上形成一应力材料层107，以覆盖所述硼氮缓冲层105。所述应力材料层107的构成材料包括可以在后续实施的退火过程中将其本身固有的应力转移到所述栅极结构中的栅极、所述源/漏区和所述沟道区的任一物质，优选具有拉应力的氮化物。此外，可以理解的是，所述沉积工艺的多个参数，例如反应物的流速、压力、温度、射频(RF)功率、反应物的组成、所述应力材料层的厚度等，都可以根据期望实现的所述应力材料层的应力值来加以调整。

[0034] 接着，如图1E所示，实施一退火过程108，以将所述应力材料层107本身固有的应力转移到所述栅极结构中的栅极、所述源/漏区和所述沟道区。所述退火过程可以实施为使所述源/漏区中掺杂的物质均匀扩散并电性激活的任一退火工艺，包括快速热退火、激光退火、峰值退火和闪光灯退火。

[0035] 接着，如图1F所示，去除所述应力材料层107和所述硼氮缓冲层105。所述去除过程可以通过各种适宜的刻蚀工艺来实施，例如各向同性的刻蚀工艺。

[0036] 至此，完成了根据本发明示例性实施例的方法实施的全部工艺步骤，接下来，可以通过后续工艺完成整个半导体器件的制作，所述后续工艺与传统的半导体器件加工工艺完全相同，包括自对准硅化物的形成、接触孔的形成、互连金属层的形成等。

[0037] 根据本发明，在实施应力记忆技术的过程中，可以在实施所述退火过程之前不去除覆盖于PMOS部分的应力材料层的同时避免由所述应力材料层中的氢原子诱导产生的硼扩散现象的发生。在此可以理解的是，由其它材料构成的所述缓冲层如果可以起到上述在

实施所述退火过程中避免由所述应力材料层中的氢原子诱导产生的硼扩散现象的发生的  
作用，也将落入本发明的保护范围。

[0038] 参照图 2，其中示出了本发明提出的实施应力记忆的方法的流程图，用于简要示出  
整个制造工艺的流程。

- [0039] 在步骤 201 中，提供半导体衬底，在所述半导体衬底上形成有栅极结构；
  - [0040] 在步骤 202 中，在所述半导体衬底上形成一硼氮缓冲层，以覆盖所述栅极结构；
  - [0041] 在步骤 203 中，紫外线处理所述硼氮缓冲层，以驱除所述硼氮缓冲层中的氢元素；
  - [0042] 在步骤 204 中，在所述半导体衬底上形成一应力材料层，以覆盖所述硼氮缓冲层；
  - [0043] 在步骤 205 中，实施一退火过程；
  - [0044] 在步骤 206 中，去除所述应力材料层和所述硼氮缓冲层。
- [0045] 本发明已经通过上述实施例进行了说明，但应当理解的是，上述实施例只是用于  
举例和说明的目的，而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人  
员可以理解的是，本发明并不局限于上述实施例，根据本发明的教导还可以做出更多种的  
变型和修改，这些变型和修改均落在本发明所要求保护的范围以内。本发明的保护范围由  
附属的权利要求书及其等效范围所界定。

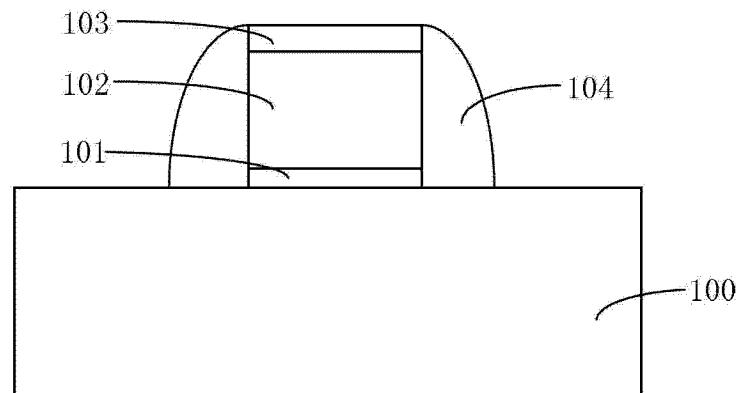


图 1A

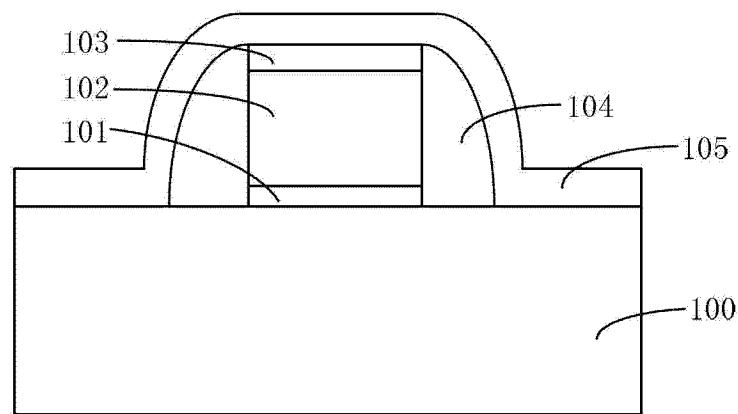


图 1B

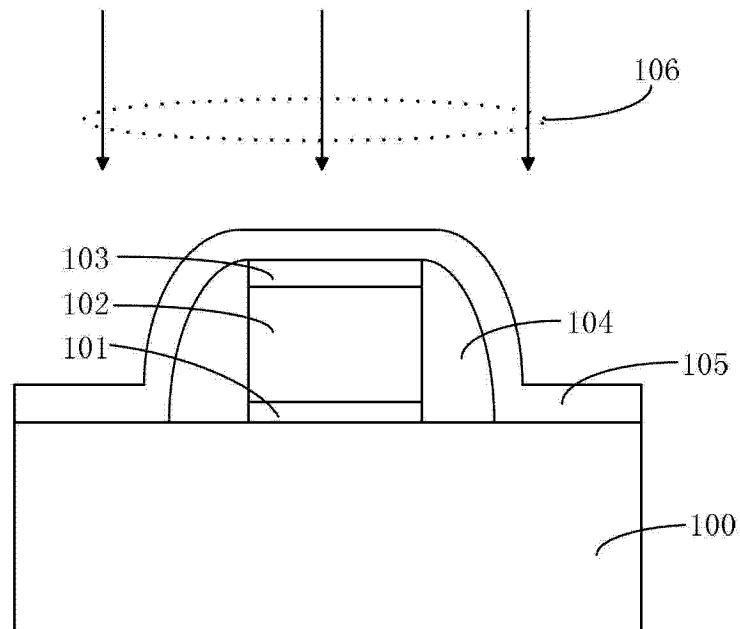


图 1C

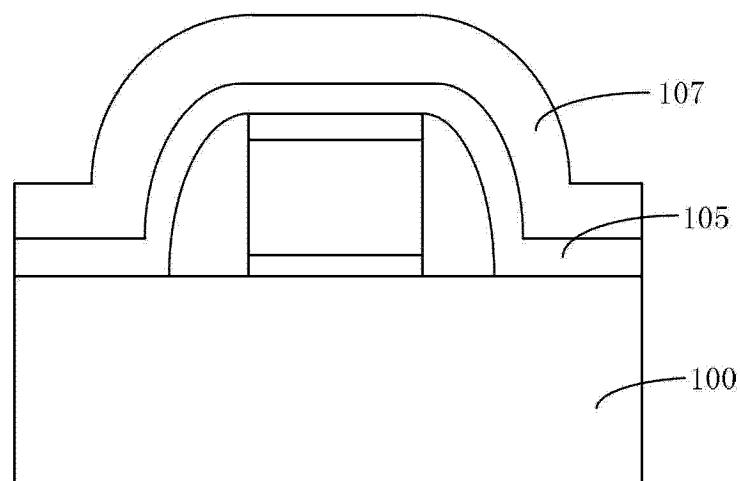


图 1D

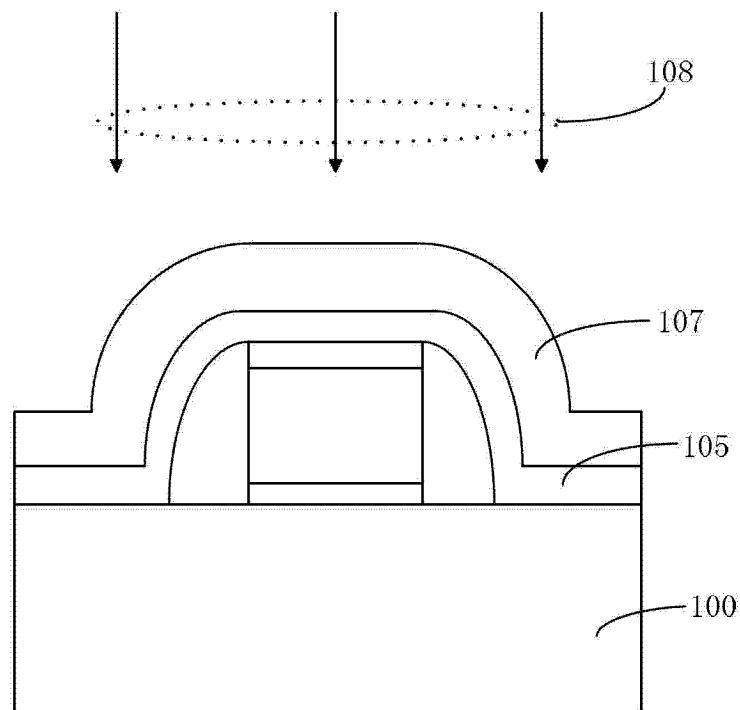


图 1E

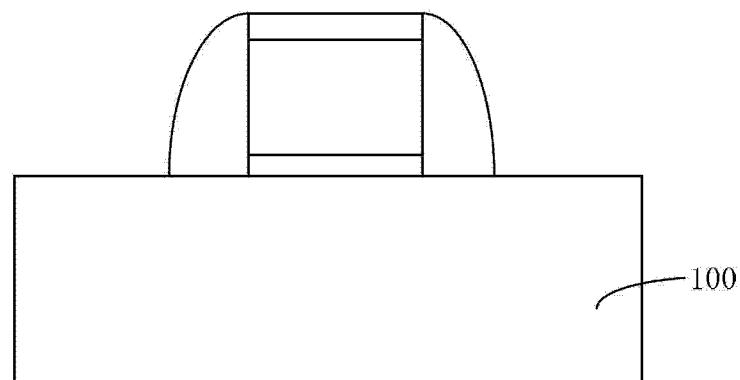


图 1F

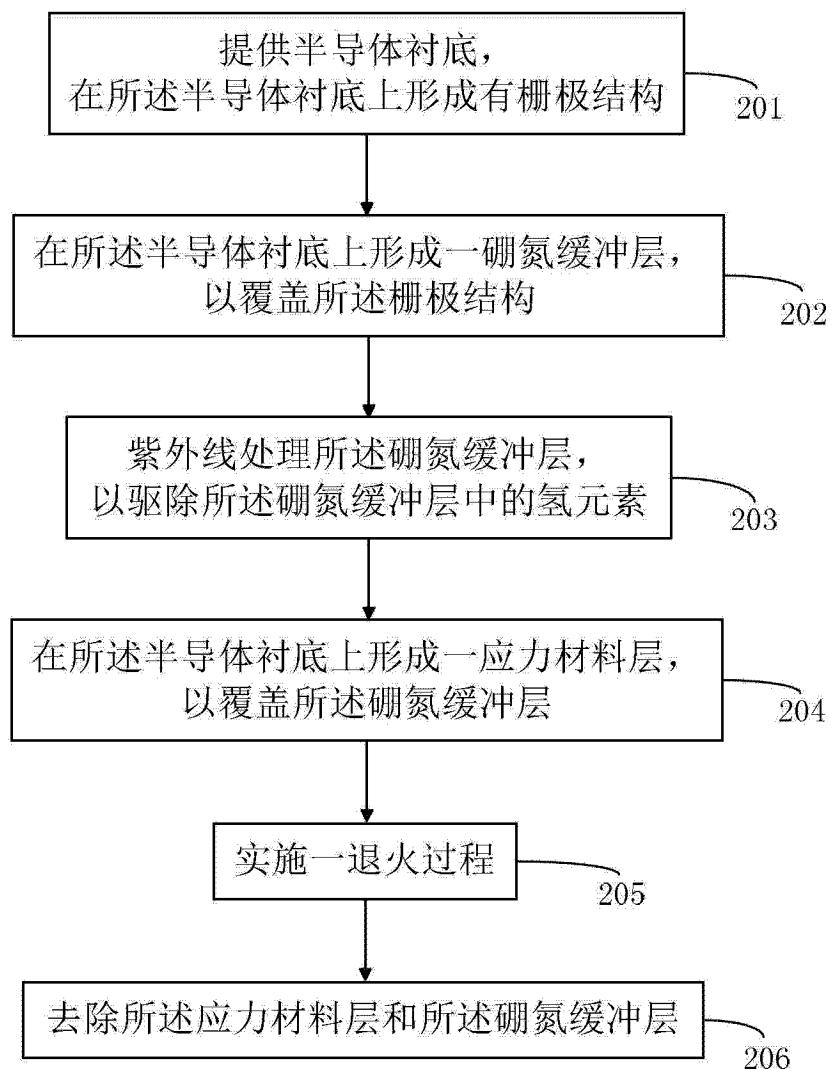


图 2