

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-21928

(P2010-21928A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
H03H 7/42 (2006.01)	H03H 7/42	5J024
H03H 7/01 (2006.01)	H03H 7/01 A	

審査請求 有 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2008-182565 (P2008-182565)	(71) 出願人	000010098
(22) 出願日	平成20年7月14日 (2008.7.14)		アルプス電気株式会社
			東京都大田区雪谷大塚町1番7号
		(74) 代理人	100121083
			弁理士 青木 宏義
		(74) 代理人	100138391
			弁理士 天田 昌行
		(74) 代理人	100132067
			弁理士 岡田 喜雅
		(72) 発明者	青木 一晴
			東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内
		Fターム(参考)	5J024 AA01 CA03 CA04 CA06 DA01 DA05 DA29 EA03 KA03

(54) 【発明の名称】 平衡－不平衡変換回路

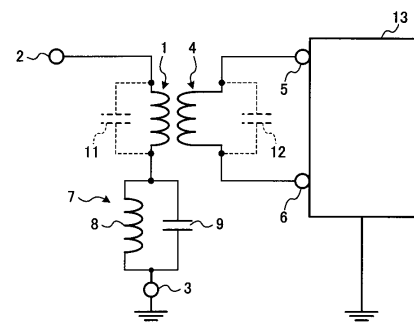
(57) 【要約】

【課題】 平衡不平衡変換機能と妨害波を減衰させるフィルタ機能とを実現すると共に妨害波がグラウンドを介して後段回路へ伝搬することを防止すること。

【解決手段】 この平衡－不平衡変換回路は、第1の結合線路1の一端が不平衡端子1に接続され、他端が接地端子3に接続され、第1の結合線路1に対して第2の結合線路4が電磁結合し、第2の結合線路4の一端が第1の平衡端子5に接続され、他端が第2の平衡端子6に接続されている。第1の結合線路1に対して直列に帯域除去フィルタ7が接続されている。また、第1の結合線路1と並列に第1のキャパシタ11が接続され、第2の結合線路4と並列に第2のキャパシタ12が接続されている。

。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の結合線路と、
前記第 1 の結合線路に接続された不平衡端子と、
前記第 1 の結合線路を介して前記不平衡端子に接続された接地端子と、
前記第 1 の結合線路に電磁結合した第 2 の結合線路と、
前記第 2 の結合線路に接続された第 1 の平衡端子と、
前記第 2 の結合線路を介して前記第 1 の平衡端子に接続された第 2 の平衡端子と、
前記第 1 の結合線路に対して直列に接続され当該第 1 の結合線路を伝搬する高周波信号中の所定帯域を除去する帯域除去フィルタと、
を具備したことを特徴とする平衡－不平衡変換回路。

10

【請求項 2】

前記帯域除去フィルタは、前記第 1 の結合線路と前記接地端子との間に設けられたことを特徴とする請求項 1 記載の平衡－不平衡変換回路。

【請求項 3】

前記帯域除去フィルタは、インダクタとキャパシタとが並列に接続されてなる並列共振回路であることを特徴とする請求項 1 又は請求項 2 記載の平衡－不平衡変換回路。

【請求項 4】

前記第 1 の結合線路における結合領域に対して並列に設けられた第 1 のキャパシタと、
前記第 2 の結合線路における結合領域に対して並列に設けられた第 2 のキャパシタと、
を備え、
前記第 1 の結合線路と前記第 1 のキャパシタとが通過帯域で並列共振すると共に、前記第 2 の結合線路と前記第 2 のキャパシタとが前記通過帯域で並列共振することを特徴とする請求項 1 から請求項 3 のいずれかに記載の平衡－不平衡変換回路。

20

【請求項 5】

前記不平衡端子と前記第 1 の結合線路との間に、前記通過帯域以上の信号を通過させるハイパスフィルタを備え、前記帯域除去フィルタは前記通過帯域より低い所定周波数に減衰極を有することを特徴とする請求項 4 記載の平衡－不平衡変換回路。

【請求項 6】

前記帯域除去フィルタを構成するインダクタ及びキャパシタと、前記第 1 及び第 2 の結合線路とを、多層基板内に配線パターンによって形成したことを特徴とする請求項 3 から請求項 5 のいずれかに記載の平衡－不平衡変換回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、平衡不平衡変換機能に加えて、妨害波を減衰させるフィルタ機能を備えた平衡－不平衡変換回路に関する。

40

【背景技術】

【0002】

従来、不平衡型デバイスと平衡型デバイスとを接続する場合、又はインピーダンスの異なるデバイス間を接続する場合に平衡－不平衡変換回路（バラン）を用いている。最近では通信機器を初めとして各種電子機器において妨害波が後段回路へ伝搬するのを防止するためにトラップ回路を備えたものが提案されている（例えば、特許文献 1 参照）。

【0003】

図 9 は従来のバランの概略的な回路構成図である。同図に示すバラン 100 は、不平衡端子 101 と、不平衡端子 101 と基準電位（グラウンド）との間に接続された第 1 の結合線路 102 と、2 つの平衡端子 103、104 と、平衡端子 103、104 間に接続さ

50

れ第1の結合線路102と結合した第2の結合線路105とで主に構成されている。トラップ回路は、第2の結合線路105の一端と一方の平衡端子103との間に接続されたLC並列共振回路106と、第2の結合線路105の他端と他方の平衡端子104との間に接続されたLC並列共振回路107とから構成されている。LC並列共振回路106、107は通過帯域の隣接周波数域に減衰極を設定している。

【0004】

以上のように構成された、バラン100によれば、不平衡端子101から入力された不平衡信号は、第1の結合線路102と第2の結合線路105とで平衡信号に変換され、平衡端子103、104から出力される。このとき、妨害波の周波数域に減衰極を有するトラップ回路(106、107)により妨害波が除去され、後段回路108へ妨害波が伝搬

10

【特許文献1】特開2004-274715号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、図9中に点線で示すように、第2の結合線路105から平衡端子103、104に伝搬する信号に含まれた妨害波はトラップ回路(106、107)で除去されるが、第1の結合線路102の接地端子からグラウンドを介して後段回路108へ混入する妨害波を防止することができなかった。特に、高周波では、全く電位の変わらないグラウンドを作ることが困難であるため、グラウンドを介して伝わる妨害波の対策が重要である。

20

【0006】

本発明は、かかる点に鑑みてなされたものであり、平衡不平衡変換機能と妨害波を減衰させるフィルタ機能とを有すると共に、妨害波がグラウンドを介して後段回路へ伝搬することを防止できる平衡－不平衡変換回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の平衡－不平衡変換回路は、第1の結合線路と、前記第1の結合線路に接続された不平衡端子と、前記第1の結合線路を介して前記不平衡端子に接続された接地端子と、前記第1の結合線路に電磁結合した第2の結合線路と、前記第2の結合線路に接続された第1の平衡端子と、前記第2の結合線路を介して前記第1の平衡端子に接続された第2の平衡端子と、前記第1の結合線路に対して直列に接続され当該第1の結合線路を伝搬する高周波信号中の所定帯域を除去する帯域除去フィルタとを具備したことを特徴とする。

30

【0008】

この構成によれば、第1の結合線路を伝搬する高周波信号中の所定帯域を除去する帯域除去フィルタを第1の結合線路に対して直列に接続したので、帯域除去フィルタによる除去帯域となる妨害波はグラウンドに伝搬せずに減衰され、第1の結合線路の接地端子からグラウンドを介して後段回路へ混入することを防止できる。

【0009】

上記平衡－不平衡変換回路において、前記帯域除去フィルタを、前記第1の結合線路と前記接地端子との間に設けたことを特徴とする。

40

【0010】

この構成により、帯域除去フィルタを不平衡端子と第1の結合線路(ホット側)との間に接続する場合に比べて、大きな減衰を得ることができる。

【0011】

上記平衡－不平衡変換回路において、前記帯域除去フィルタは、インダクタとキャパシタとが並列に接続されてなる並列共振回路で構成することができる。これにより、簡単な構成で帯域除去フィルタを構成することができる。

【0012】

本発明は、上記平衡－不平衡変換回路において、前記第1の結合線路における結合領域に対して並列に設けられた第1のキャパシタと、前記第2の結合線路における結合領域に

50

対して並列に設けられた第 2 のキャパシタとを備え、前記第 1 の結合線路と前記第 1 のキャパシタとが通過帯域で並列共振すると共に、前記第 2 の結合線路と前記第 2 のキャパシタとが前記通過帯域で並列共振することを特徴とする。

【0013】

この構成により、通過帯域で並列共振させることにより、第 1 及び第 2 の結合線路の長さを短くできると共に、結合線路とキャパシタとが帯域通過フィルタとしても機能するので、別途に帯域通過フィルタを設ける必要がなくなり、小型化を図ることができ、通過帯域外の信号は減衰させることもできる。

【0014】

上記平衡－不平衡変換回路において、前記不平衡端子と前記第 1 の結合線路との間に、前記通過帯域以上の信号を通過させるハイパスフィルタを備え、前記帯域除去フィルタは前記通過帯域より低い所定周波数に減衰極を有することとした。

【0015】

これにより、帯域除去フィルタの減衰極をハイパスフィルタの通過帯域に隣接させることで急峻なハイパスフィルタを構成できる。

【0016】

上記平衡－不平衡変換回路において、前記帯域除去フィルタを構成するインダクタ及びキャパシタと、前記第 1 及び第 2 の結合線路とを、多層基板内に配線パターンによって形成することができる。

【発明の効果】

【0017】

本発明によれば、平衡不平衡変換機能と妨害波を減衰させるフィルタ機能とを実現すると共に妨害波がグラウンドを介して後段回路へ伝搬することを防止することができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態について添付図面を参照して詳細に説明する。

図 1 は本発明の一実施の形態に係る平衡－不平衡変換回路の概略構成図である。本実施の形態の平衡－不平衡変換回路は、第 1 の結合線路 1 の一端が不平衡端子 2 に接続され、他端が接地端子 3 に接続されている。また、第 1 の結合線路 1 に対して第 2 の結合線路 4 が電磁結合しており、第 2 の結合線路 4 の一端が第 1 の平衡端子 5 に接続され、他端が第 2 の平衡端子 6 に接続されている。

【0019】

本実施の形態では、第 1 の結合線路 1 に対して直列に帯域除去フィルタ 7 が接続されている。帯域除去フィルタ 7 は、インダクタ 8 とキャパシタ 9 からなる LC 並列共振回路で構成されている。帯域除去フィルタ 7 の除去帯域（共振周波数）は用途に周囲の使用通信帯域及びノイズ環境に応じて所望の位置に設定でき、本明細書では除去帯域の信号を妨害波と呼称している。

【0020】

また、第 1 の結合線路 1 と並列に第 1 のキャパシタ 11 が接続され、第 1 の結合線路 1 のインダクタ成分と第 1 のキャパシタ 11 とで帯域通過フィルタを構成し、その通過帯域が通過させたい信号の周波数と一致するように設定されている。また、平衡側も不平衡側と同様に、第 2 の結合線路 4 と並列に第 2 のキャパシタ 12 が接続され、第 2 の結合線路 4 のインダクタ成分と第 2 のキャパシタ 12 とで帯域通過フィルタを構成し、その通過帯域が通過させたい信号の周波数と一致するように設定されている。

【0021】

以上のように構成された平衡－不平衡変換回路では、第 1 の結合線路 1 と第 1 のキャパシタ 11 とで形成される帯域通過フィルタで通過帯域以外の信号が減衰されると共に、帯域除去フィルタ 7 が妨害波の周波数で共振する。したがって、第 1 の結合線路 1 と第 1 のキャパシタ 11 とで形成される帯域通過フィルタで通過帯域の信号が、第 1 の結合線路 1 と電磁結合している第 2 の結合線路 4 へ効率よく伝えられ、通過帯域以外の信号が減衰さ

れる。第 1 の結合線路 1 と電磁結合している第 2 の結合線路 4 は第 2 のキャパシタ 1 2 と共に帯域通過フィルタを構成し、第 1 及び第 2 の平衡端子 5, 6 に通過帯域の信号が少ないロスで効率よく伝えられ、後段回路 1 3 へ入力される。

【0022】

このとき、通過帯域以外の信号は第 1 の結合線路 1 と第 1 のキャパシタ 1 1 とで形成される帯域通過フィルタで減衰されるが、さらに帯域除去フィルタ 7 により通過帯域に近接した信号が除去される。帯域除去フィルタ 7 では妨害波と同一周波数で並列共振しているので、妨害波に対してはインピーダンスが無限大となり、妨害波がグラウンドへ流れることを阻止することになる。したがって、不平衡端子 2 に入力した高周波信号の中から通過帯域の信号を効率よく平衡側回路へ伝搬させると共に、妨害波はグラウンドへ流さないで除去するので、妨害波がグラウンドを介して後段回路 1 3 へ混入する不具合を防止することができる。

10

【0023】

このように、本実施の形態によれば、第 1 の結合線路 1 と接地端子 3 との間に妨害波を除去する帯域除去フィルタ 7 を設けたので、グラウンドに妨害波が伝搬することを防止でき、後段回路 1 3 へグラウンドを介して妨害波が伝搬することを防止できる。

【0024】

また、第 1 の結合線路 1 と第 1 のキャパシタ 1 1 とで帯域通過フィルタを構成し、第 2 の結合線路 4 と第 2 のキャパシタ 1 2 とで帯域通過フィルタを構成し、それぞれ通過帯域の周波数で共振させるので、結合線路の長さを $1/4$ 波長まで短縮することができ、小型化を図ることができる。しかも、別に帯域通過フィルタを設ける必要がないので、部品点数を大幅に増大することなく、フィルタ機能を追加することができる。

20

【0025】

なお、上記実施の形態では、第 1 の結合線路 1 と接地端子 3 との間に帯域除去フィルタ 7 を接続したが、不平衡端子 2 と第 1 の結合線路 1 との間に帯域除去フィルタを接続しても良い。第 1 の結合線路 1 のホット側において帯域除去フィルタによって妨害波が除去され、グラウンドを介して後段回路へ伝搬することを防止できる。

【0026】

(実施例 1)

図 2 は実施例 1 に係る平衡－不平衡変換回路の回路構成図である。

30

本実施例 1 に係る平衡－不平衡変換回路は、多層基板に構築されており、第 1 の結合線路 1 と第 2 の結合線路 4 とが異なる導電層の配線パターンで形成されている。結合領域となる不平衡側のインダクタ 1 a, 1 b と平衡側のインダクタ 4 a, 4 b とは誘電体を挟んで対向配置されており、互いに電磁結合している。なお、図 2 中に示す L 1 1、L 1 2、L 1 3、L 1 4、L 2 1、L 2 2、L 2 3 は、第 1 及び第 2 の結合線路 1, 4 の多層基板での引き回しによるインダクタ成分を表わしている。

【0027】

第 1 の結合線路 1 は、一端が不平衡端子 2 に接続され、他端が接地端子 3 に接続されており、インダクタ 1 a, 1 b と並列にキャパシタ 1 1 が接続されている。キャパシタ 1 1 の接地側端子と接地端子 3 との間に帯域除去フィルタとしての LC 並列共振回路 7 が接続されている。すなわち、LC 並列共振回路 7 はグラウンド側に設けられ、インダクタ 8 とキャパシタ 9 との並列回路で構成される。多層基板に設けられたキャパシタは多層基板全体のグラウンドとの間にストレー容量と呼ばれる容量成分が発生する。本実施例のように、グラウンド側に LC 並列共振回路 7 を設けることにより、ストレー容量がキャパシタ 9 と並列に形成される。したがって、ストレー容量を考慮して設計することで、特性の悪化を防止することができる。

40

【0028】

第 2 の結合線路 4 は、一端が一方の平衡端子 5 に接続され、他端が他方の平衡端子 6 に接続されており、インダクタ 4 a, 4 b と並列にキャパシタ 1 2 が接続されている。第 2 の結合線路 4 において L 2 1 と L 2 2 との中間点がバイパスコンデンサ C 1 を介してグラ

50

ウンドに接続されており、当該中間点にDC電圧が印加される。

【0029】

(実施例2)

図3は実施例2に係る平衡-不平衡変換回路の回路構成図である。

本実施例2に係る平衡-不平衡変換回路は、不平衡端子2と第1の結合線路1との間に帯域除去フィルタとしてのLC並列共振回路21が接続されている。LC並列共振回路21はインダクタ22とキャパシタ23との並列回路で構成される。その他の構成は実施例1と同様である。

【0030】

実施例2ではLC並列共振回路21がホット側に設けられているので、キャパシタ23とグラウンドとの間に形成されるストレー容量によって回路構成が変わってしまうので、ある程度の特性の悪化が予想される。

【0031】

次に、実施例1と実施例2の平衡-不平衡変換回路に基づく周波数選択特性のシミュレーション結果について説明する。

【0032】

実施例1におけるLC並列共振回路7と実施例2におけるLC並列共振回路21のQ値を同じ値にするため、LC並列共振回路7におけるキャパシタ容量を4.05 pF、インダクタンス値を0.85 nHとし、LC並列共振回路21におけるキャパシタ容量を4.13 pF（実施例1の1.02倍）、インダクタンス値を0.833 nH（実施例1の1/1.02倍）とした。

【0033】

図4は実施例1及び実施例2の周波数選択特性のシミュレーション結果を示す図である。

実施例1及び実施例2はそれぞれ2.4 GHzの通過帯域を有すると共に、隣接する2.19 GHzに減衰極が形成された周波数選択特性となっている。実施例1と実施例2を比較すると、コールド側にLC並列共振回路7を設けた実施例1は、ホット側にLC並列共振回路21を設けた実施例2よりも、2.19 GHzにおける減衰量が3.1 dB改善されていることが判る。これは、実施例2ではホット側にLC並列共振回路21を設けたので、ストレー容量によって回路構成が設計値からずれたことによるものと考えられる。

【0034】

(実施例3)

図5は実施例3に係る平衡-不平衡変換回路の回路構成図である。

本実施例3に係る平衡-不平衡変換回路は、実施例1と同様にコールド側にLC並列共振回路7を設けると共に、不平衡端子2と第1の結合線路1との間にハイパスフィルタ31を設けたものである。

【0035】

ハイパスフィルタ31は、2つのLC並列共振回路32、33の中間接続点が、インダクタ34を介してグラウンドに接続されている。また、ハイパスフィルタ31の第1の結合線路側端部が、インダクタ35及びキャパシタ36からなるLC直列共振回路を介してグラウンドに接続されている。

【0036】

ここで、WLAN、WMAX等の無線通信では2.4～3 GHzが用いられる。一方、W-CDMA等の他の無線通信方式使用する帯域（2.1 GHz、1.9 GHz等）が存在するので、それらを確実に減衰させる急峻なトラップ又はノッチフィルタを形成する必要がある。たとえば、2.17 GHz付近を減衰させる要請がある。

【0037】

実施例3の平衡-不平衡変換回路では、2.4 GHz以上を通過帯域とするハイパスフィルタ31を形成すると共に、2.17 GHz及び1.9 GHzでそれぞれ減衰極が形成されるように周波数選択特性に設計している。

なお、後段回路 40 はシミュレーションのために平衡端子 5, 6 に接続したものである。

【0038】

(実施例 4)

図 6 は実施例 4 に係る平衡－不平衡変換回路の回路構成図である。

本実施例 4 に係る平衡－不平衡変換回路は、実施例 2 と同様にホット側に LC 並列共振回路 21 を設けると共に、不平衡端子 2 と第 1 の結合線路 1 との間にハイパスフィルタ 31 を設けたものである。ハイパスフィルタ 31 の周波数選択特性は基本的には実施例 3 と同様である。

【0039】

次に、実施例 3 と実施例 4 の平衡－不平衡変換回路に基づく周波数選択特性のシミュレーション結果について説明する。

【0040】

図 7 及び図 8 は実施例 3 及び実施例 4 の周波数選択特性のシミュレーション結果を示す図である。

図 7 に示すシミュレーションでは、実施例 3 における LC 並列共振回路 7 と実施例 4 における LC 並列共振回路 21 の Q 値を同じ値にするため、LC 並列共振回路 7 におけるキャパシタ容量を 4.05 pF 、インダクタンス値を 0.85 nH とし、LC 並列共振回路 21 におけるキャパシタ容量を 4.13 pF (1.02 倍)、インダクタンス値を 0.833 nH ($1/1.02$ 倍) とした。また、実施例 3 の平衡－不平衡変換回路におけるハイパスフィルタ 31 のインダクタ 35 を 2.7 nH 、キャパシタ 36 を 3 pF とし、実施例 4 の平衡－不平衡変換回路におけるハイパスフィルタ 31 のインダクタ 35 を 4.05 nH (実施例 3 の 1.5 倍)、キャパシタ 36 を 2 pF (実施例 3 の $1/1.5$ 倍) とした。

【0041】

図 7 に示すように、通過帯域となっている 2.4 GHz 帯に隣接する 2.19 GHz は実施例 3 及び実施例 4 とともに急峻に減衰しているが、コールド側に LC 並列共振回路 7 を設けた実施例 3 の減衰量がホット側に LC 並列共振回路 21 を設けた実施例 4 よりも 3.8 dB 大きくなっている。また、インダクタ 35 及びキャパシタ 36 からなる LC 直列共振回路により 1.6 GHz に減衰極が形成されている。

【0042】

図 8 に示すシミュレーションでは、実施例 3 における LC 並列共振回路 7 と実施例 4 における LC 並列共振回路 21 は実施例 3 と同じ設定としている。また、実施例 3 及び実施例 4 の平衡－不平衡変換回路におけるハイパスフィルタ 31 のインダクタ 35 を 2.7 nH 、キャパシタ 36 を 3 pF と同じ値に設定している。

【0043】

図 8 に示すように、実施例 3 では 2.4 GHz の通過帯域での減衰が -2.5 dB であるのに対して、実施例 4 では 2.4 GHz の通過帯域での減衰が -5.1 dB であり、実施例 4 は通過帯域のロスが実施例 3 よりも 2.6 dB 増加していることが判る。

なお、本発明は上記実施の形態に限定されるものではない。例えば、必要性に応じて、通過帯域よりも高域側に減衰極を持たせるようにしても良い。

【図面の簡単な説明】

【0044】

【図 1】一実施の形態に係る平衡－不平衡変換回路の概略構成図

【図 2】実施例 1 に係る平衡－不平衡変換回路の回路構成図

【図 3】実施例 2 に係る平衡－不平衡変換回路の回路構成図

【図 4】実施例 1 及び実施例 2 の周波数選択特性のシミュレーション結果を示す図

【図 5】実施例 3 に係る平衡－不平衡変換回路の回路構成図

【図 6】実施例 4 に係る平衡－不平衡変換回路の回路構成図

【図 7】実施例 3 及び実施例 4 の周波数選択特性のシミュレーション結果を示す図

10

20

30

40

50

【図 8】 実施例 3 及び実施例 4 の周波数選択特性のシミュレーション結果を示す図

【図 9】 従来のバランの概略的な回路構成図

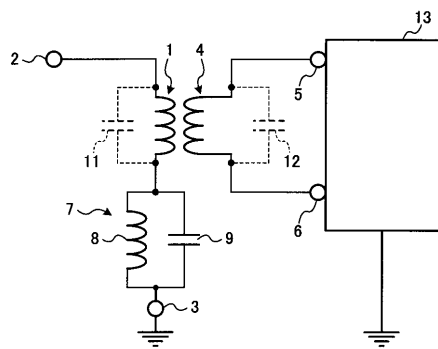
【符号の説明】

【 0 0 4 5 】

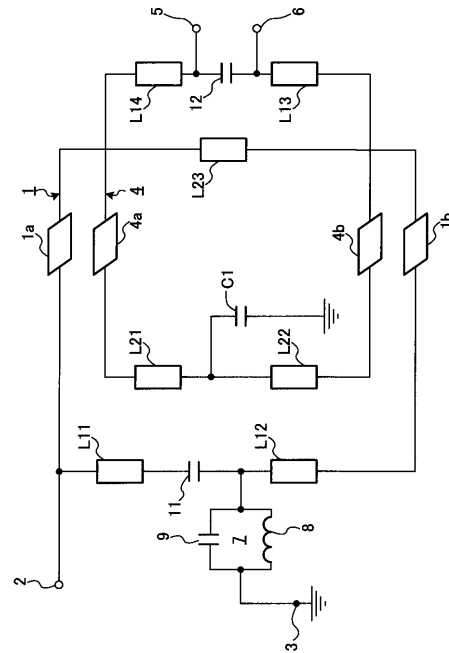
- 1 … 第 1 の結合線路
- 2 … 不平衡端子
- 3 … 接地端子
- 4 … 第 2 の結合線路
- 5 … 第 1 の平衡端子
- 6 … 第 2 の平衡端子
- 7 … 帯域除去フィルタ
- 8、3 4、3 5 … インダクタ
- 9、3 6 … キャパシタ
- 1 1 … 第 1 のキャパシタ
- 1 2 … 第 2 のキャパシタ
- 1 3 … 後段回路
- 2 1 … LC 並列共振回路
- 3 1 … ハイパスフィルタ
- 3 2、3 3 … LC 並列共振回路

10

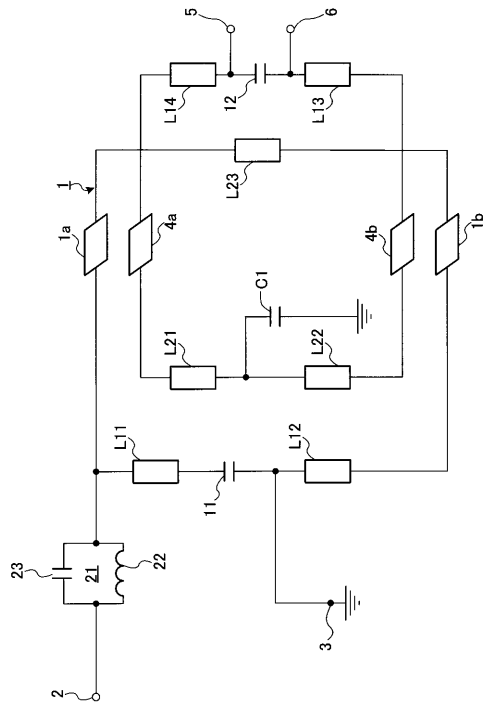
【図 1】



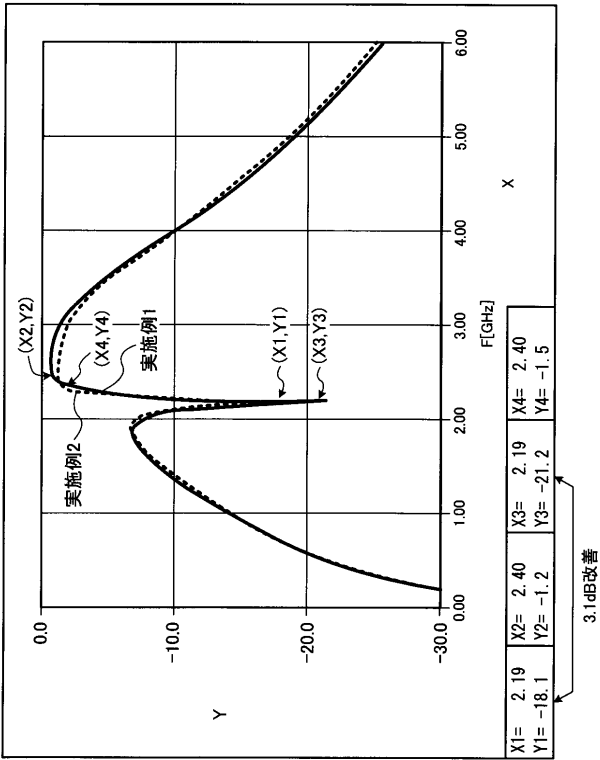
【図 2】



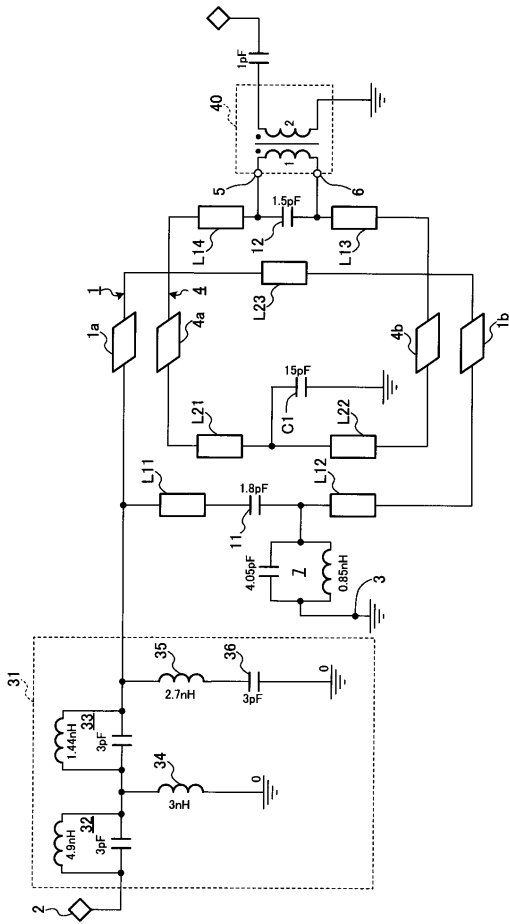
【図 3】



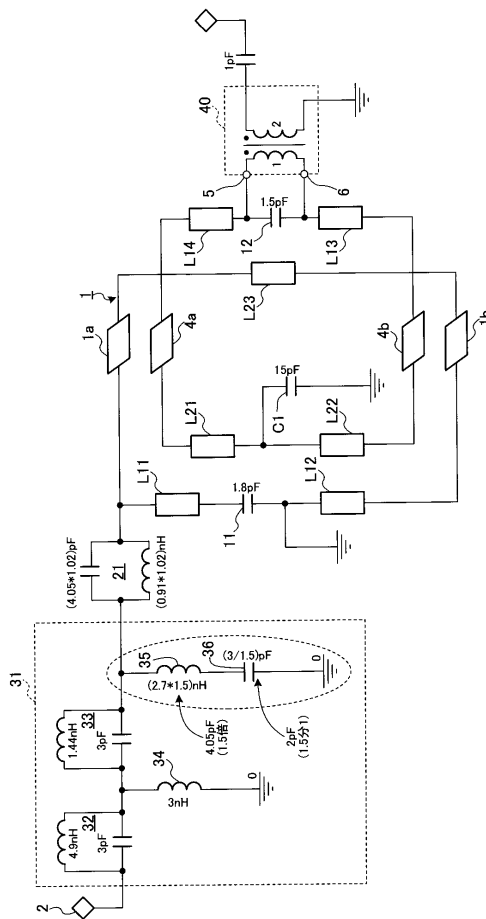
【図 4】



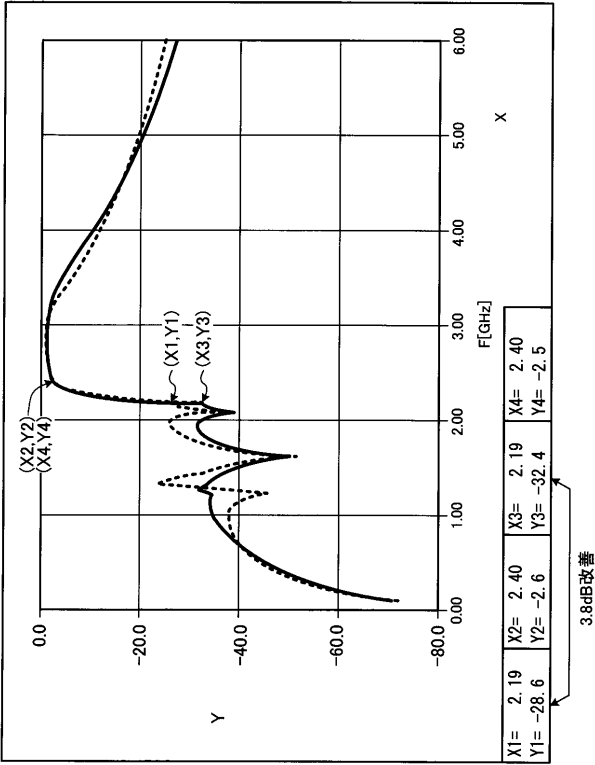
【図 5】



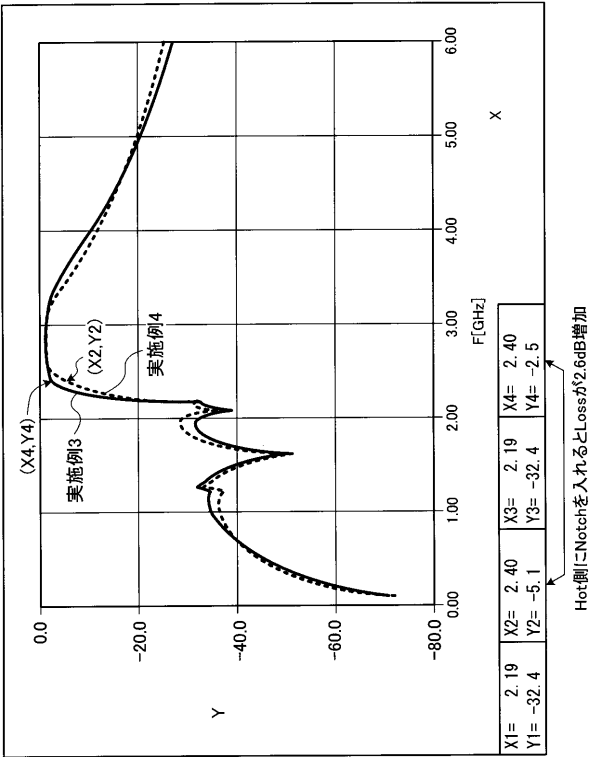
【図 6】



【図 7】



【図 8】



【図 9】

