



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I836001 B

(45)公告日：中華民國 113 (2024) 年 03 月 21 日

(21)申請案號：109103938

(22)申請日：中華民國 109 (2020) 年 02 月 07 日

(51)Int. Cl. : **H01L21/66 (2006.01)**(30)優先權：2019/03/28 美國 62/825,262
2019/05/06 世界智慧財產權組織 PCT/US19/30776(71)申請人：美商科磊股份有限公司 (美國) KLA CORPORATION (US)
美國(72)發明人：弗克維奇 羅伊 VOLKOVICH, ROIE (IL)；米洛 雷南 MILO, RENAN (IL)；葉
魯夏米 里蘭 YERUSHALMI, LIRAN (IL)；查伯切克 莫蘭 ZABERCHIK,
MORAN (IL)；飛勒 亞爾 FELER, YOEL (IL)；以瑟瑞利 大衛 IZRAELI, DAVID
(IL)

(74)代理人：陳長文

(56)參考文獻：

TW	201618206A	TW	201705212A
TW	201734246A	TW	201840993A
JP	2003-163163A	JP	2005-181636A
US	5699282A	US	6774998B1
US	2003/0002043A1	US	2006/0039595A1
US	2018/0100735A1	US	2018/0253017A1

審查人員：李景松

申請專利範圍項數：28 項 圖式數：9 共 49 頁

(54)名稱

用於量測及校正半導體裝置中層之間的偏移的方法及用於半導體裝置中的偏移目標

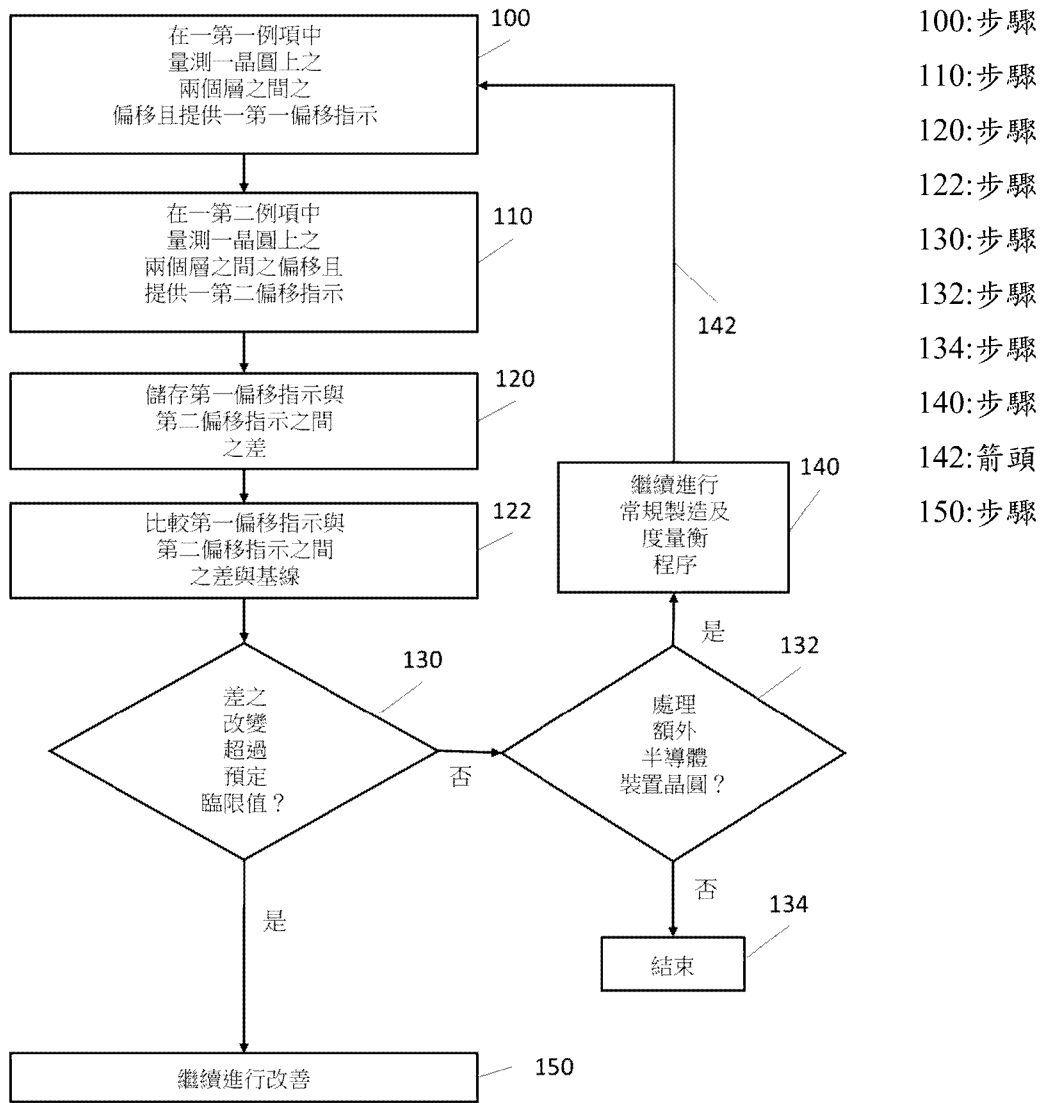
(57)摘要

本發明揭示一種用於半導體裝置晶圓之製造中之偏移之量測之方法，該方法包含：在一第一例項量測一半導體裝置晶圓之層之間之偏移且提供一第一偏移指示；在一第二例項量測一半導體裝置晶圓之層之間之偏移且提供一第二偏移指示；回應於該第一偏移指示與該第二偏移指示之間之一差而提供一偏移量測差輸出；提供一基線差輸出；及改良該偏移量測差輸出與該基線差輸出之間之差。

A method for measurement of misregistration in the manufacture of semiconductor device wafers, the method including measuring misregistration between layers of a semiconductor device wafer at a first instance and providing a first misregistration indication, measuring misregistration between layers of a semiconductor device wafer at a second instance and providing a second misregistration indication, providing a misregistration measurement difference output in response to a difference between the first misregistration indication and the second misregistration indication, providing a baseline difference output and ameliorating the difference between the misregistration measurement difference output and the baseline difference output.

指定代表圖：

符號簡單說明：



- 100: 步驟
- 110: 步驟
- 120: 步驟
- 122: 步驟
- 130: 步驟
- 132: 步驟
- 134: 步驟
- 140: 步驟
- 142: 箭頭
- 150: 步驟

【圖1】



I836001

【發明摘要】

【中文發明名稱】

用於量測及校正半導體裝置中層之間的偏移的方法及用於半導體裝置中的偏移目標

【英文發明名稱】

METHOD FOR MEASURING AND CORRECTING MISREGISTRATION BETWEEN LAYERS IN A SEMICONDUCTOR DEVICE, AND MISREGISTRATION TARGETS USEFUL THEREIN

【中文】

本發明揭示一種用於半導體裝置晶圓之製造中之偏移之量測之方法，該方法包含：在一第一例項量測一半導體裝置晶圓之層之間之偏移且提供一第一偏移指示；在一第二例項量測一半導體裝置晶圓之層之間之偏移且提供一第二偏移指示；回應於該第一偏移指示與該第二偏移指示之間之一差而提供一偏移量測差輸出；提供一基線差輸出；及改良該偏移量測差輸出與該基線差輸出之間之差。

【英文】

A method for measurement of misregistration in the manufacture of semiconductor device wafers, the method including measuring misregistration between layers of a semiconductor device wafer at a first instance and providing a first misregistration indication, measuring misregistration between layers of a semiconductor device wafer at a second instance and providing a second misregistration indication, providing a misregistration measurement difference output in response

to a difference between the first misregistration indication and the second misregistration indication, providing a baseline difference output and ameliorating the difference between the misregistration measurement difference output and the baseline difference output.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100:步驟

110:步驟

120:步驟

122:步驟

130:步驟

132:步驟

134:步驟

140:步驟

142:箭頭

150:步驟

【發明說明書】

【中文發明名稱】

用於量測及校正半導體裝置中層之間的偏移的方法及用於半導體裝置中的偏移目標

【英文發明名稱】

METHOD FOR MEASURING AND CORRECTING MISREGISTRATION BETWEEN LAYERS IN A SEMICONDUCTOR DEVICE, AND MISREGISTRATION TARGETS USEFUL THEREIN

【技術領域】

【0001】 本發明係關於度量衡之領域且更特定言之，係關於偏移度量衡程序。

【先前技術】

【0002】 已知用於度量衡及偏移度量衡程序之各種類型之裝置。

【發明內容】

【0003】 本發明尋求提供一種用於量測半導體裝置晶圓之製造中之偏移之一經改良方法及其改善。

【0004】 因此，根據本發明之一較佳實施例，提供一種用於半導體裝置晶圓之製造中之偏移之量測之方法，該方法包含：在一第一例項量測一半導體裝置晶圓之層之間之偏移且提供一第一偏移指示；在一第二例項量測一半導體裝置晶圓之層之間之偏移且提供一第二偏移指示；回應於該第一偏移指示與該第二偏移指示之間之一差而提供一偏移量測差輸出；提供一基線差輸出；及改善該偏移量測差輸出與該基線差輸出之間之差。

【0005】 較佳地，該改善包含以下項之至少一者：改變偏移度量

衡；及改變半導體裝置晶圓之該製造中之至少一個程序步驟。

【0006】 根據本發明之一較佳實施例，用於半導體裝置晶圓之該製造中之偏移之量測之該方法亦包含將該偏移量測差輸出與該基線差輸出之間之該差與一臨限值作比較且該改善在該偏移量測差輸出與該基線差輸出之間之該差超過該臨限值時發生。另外或替代地，該基線差輸出表示該第一偏移指示與該第二偏移指示之間之差之一經計算彙總。

【0007】 根據本發明之一較佳實施例，該第一例項及該第二例項包含在自其選擇該半導體裝置晶圓之旨在相同之一單一批次之半導體裝置晶圓之一製造程序中之不同階段。

【0008】 根據本發明之一較佳實施例，在該第一例項及該第二例項量測該相同半導體裝置晶圓。替代地，在該第一例項及該第二例項量測選自旨在相同之該單一批次之半導體裝置之不同半導體裝置晶圓。

【0009】 較佳地，該第一例項及該第二例項包含該半導體裝置晶圓上之一單一目標之不同區域。

【0010】 根據本發明之一較佳實施例，該偏移量測差輸出包含度量衡品質之一指示。

【0011】 根據本發明之一較佳實施例，該偏移量測差輸出包含該等不同階段之至少一者之品質之一指示。

【0012】 較佳地，該方法亦包含在一第三例項使用該第一偏移量測指示及該第二偏移量測指示之至少一者以改善一半導體裝置之層之間之偏移量測。另外，該第三例項包含該半導體裝置之該製造程序中的一後續階段。

【0013】 根據本發明之一較佳實施例，該方法亦包含使用該偏移量

測差輸出以改善自其選擇該半導體裝置晶圓之旨在相同之該單一批次之半導體裝置之該製造程序之參數。

【0014】 根據本發明之一較佳實施例，亦提供一種用於在半導體裝置晶圓之製造中之偏移之量測中及在偏移之該等量測之校準中使用之目標，該目標包含：配置於一半導體裝置晶圓之一第一層上之至少一第一結構；及配置於該半導體裝置之一第二層上之至少一第二及一第三不同結構。

【0015】 較佳地，該等第二及第三不同結構係使用相同製造工具及方法同時形成。另外或替代地，該第一結構、該第二結構及該第三結構之至少一者由複數個子線及該等子線之間之子空間界定，該等子線藉由一節距特性化。

【0016】 根據本發明之一較佳實施例，該第二結構由具有一第二結構節距之複數個第二結構子線及複數個第二結構子空間界定；該第三結構由具有一第三結構節距之複數個第三結構子線及複數個第三結構子空間界定；且該第二結構節距及該第三結構節距彼此不同。

【0017】 根據本發明之一較佳實施例，該目標藉由旋轉對稱性特性化。另外或替代地，該第一結構、該第二結構及該第三結構係週期性結構。

【0018】 較佳地，該第二結構及該第三結構上覆該第一週期性結構。

【0019】 根據本發明之一較佳實施例，該第一結構、該第二結構及該第三結構係棒。替代地，該第一結構、該第二結構及該第三結構係矩形框。

【0020】 根據本發明之一較佳實施例，該目標亦包含至少一第四結構且該第一結構、該第二結構、該第三結構及該第四結構藉由旋轉對稱性特性化。

【圖式簡單說明】

【0021】 自結合圖式進行之以下詳細描述將更完全理解並瞭解本發明，其中：

【0022】 圖1係繪示根據本發明之一較佳實施例之量測一半導體裝置之層之間之偏移之一方法之一簡化流程圖；

【0023】 圖2係圖1之方法之一實施例之一簡化圖解，其展示在一半導體製造程序中之不同階段之一半導體裝置晶圓之兩個層之間之偏移之量測之多個例項；

【0024】 圖3係圖1之方法之一實施例之一簡化圖解，其展示使用一目標之不同區域之一半導體裝置晶圓之兩個層之間之偏移之量測之多個例項；

【0025】 圖4係圖1之方法之一實施例之一簡化圖解，其展示使用一第二目標之不同區域之一半導體裝置晶圓之兩個層之間之偏移之量測之多個例項；

【0026】 圖5係圖1之方法之一實施例之一簡化圖解，其展示使用一第三目標之不同區域之一半導體裝置晶圓之兩個層之間之偏移之量測之多個例項；

【0027】 圖6A、圖6B及圖6C係圖1之方法之又一實施例之簡化圖解，其等展示使用一第四目標之不同區域之一半導體裝置晶圓之兩個層之間之偏移之量測之多個例項；

【0028】 圖7A及圖7B係圖1之方法之又一實施例之簡化圖解，其等展示使用一第五目標之不同區域之一半導體裝置晶圓之兩個層之間之偏移之量測之多個例項；

【0029】 圖8係繪示藉由修改半導體裝置晶圓之一製造程序之參數之對經量測偏移之改善之一簡化流程圖；及

【0030】 圖9A及圖9B一起係繪示藉由修改與半導體裝置晶圓之層之間之偏移之量測相關之度量衡參數之對經量測偏移之改善之一簡化流程圖。

【實施方式】

相關申請案之參考

【0031】 參考2019年3月28日申請且標題為SINGLE LAYER OVERLAY之美國臨時專利申請案第62/825,262號，該案之揭示內容藉此以引用的方式併入且藉此主張該案之優先權。

【0032】 現參考圖1，其係繪示根據本發明之一較佳實施例之量測一半導體裝置晶圓之層之間之偏移之一方法之一簡化流程圖，且參考圖2至圖7，其等係該方法之各項實施例之圖解。應瞭解，圖1中繪示之方法可用於製造半導體裝置。

【0033】 如圖1中所見，在一第一步驟100，在一第一例項量測選自旨在相同之一批次之半導體裝置晶圓(BSDWII) 102之一半導體裝置晶圓之兩個層之間之偏移。提供一第一偏移指示。

【0034】 此後，在一下一步驟110，在一第二例項量測一半導體裝置晶圓之兩個層之間之偏移且提供一第二偏移指示。

【0035】 應瞭解，在步驟100及110中量測其偏移之半導體裝置晶圓

可係相同的。替代地，在第二例項中量測之半導體裝置晶圓可係選自其選擇在第一例項中量測之半導體裝置晶圓之相同BSDWII 102之一不同晶圓。

【0036】 應進一步瞭解，在步驟100及110中量測其偏移之半導體裝置晶圓之第一層及第二層可係相同的。替代地，在第二例項中量測之半導體裝置晶圓之第一層及第二層之至少一者可不同於在第一例項中量測之半導體裝置晶圓之第一層及第二層。

【0037】 又應進一步瞭解，可使用相同量測參數抑或使用不同量測參數量測步驟100及110中之偏移量測。

【0038】 如在一下一步驟120所見，儲存在第一例項中量測之偏移與在第二例項中量測之偏移之間之差且在一後續步驟122，藉由比較經儲存差與一基線差輸出而產生一偏移量測差輸出。在本發明之一較佳實施例中，基線差輸出表示第一偏移指示與第二偏移指示之間之差之一經計算彙總，諸如一平均值或一平均數。在本發明之一較佳實施例中，第一偏移指示與第二偏移指示之間之差之此一經計算彙總係自在選自BSDWII 102之先前經處理半導體裝置晶圓上量測之第一偏移指示及第二偏移指示獲得。

【0039】 在一後續步驟130，比較呈在步驟120儲存之在第一例項中量測之偏移與在第二例項中量測之偏移之間之差與在步驟122使用之基線差輸出之間之差之形式之偏移量測差輸出與一預定臨限值。

【0040】 如在一後續步驟132指示，若步驟130之偏移量測差輸出不超過預定臨限值，則方法藉由檢查是否存在額外半導體裝置晶圓待處理而繼續，方法在一步驟134結束。若額外半導體裝置晶圓待處理，則方法繼續進行至一下一步驟140，其中常規製造及度量衡針對BSDWII 102中之

下一(些)半導體晶圓繼續。如由一箭頭142指示，常規製造及度量衡程序包含步驟100、110、120、122及130之重複。

【0041】 如在一後續步驟150指示，若偏差量測差輸出超過預定臨限值，則發生晶圓製造及度量衡之任一者或兩者之改善。

【0042】 圖2繪示由元件符號202、204、206、208及210指示之在晶圓製造中之五個典型程序之階段。如下般識別此等階段：微影202、遮罩開口204、蝕刻206、拋光208及形成額外層210。應瞭解，並不需要執行階段202、204、206、208及210之全部。例如，通常在一給定半導體裝置晶圓上僅執行階段遮罩開口204及蝕刻206之一者。應進一步瞭解，亦可在階段202、204、206、208及210之前、之間或之後執行其他階段。

【0043】 圖2亦以一簡化方式繪示處於分別由箭頭242、244、246及248指示之四個中間階段之一典型半導體晶圓前驅體之一部分之第一層220及第二層230，該等中間階段之各者係在一成對之各自程序之階段202與204、204與206、206與208以及208與210之中間。

【0044】 本發明之一實施例之一特定特徵係在圖1之上文描述中提及之第一例項及第二例項可分別係中間階段242、244、246及248之任何兩者。對應地，在圖1之上文描述中提及之第一偏移指示及第二偏移指示可係以下偏移指示之任何兩者：分別對應於中間階段242、244、246及248之微影後偏移指示252、遮罩開口後偏移指示254、蝕刻後偏移指示256及拋光後偏移指示258。

【0045】 可根據上文參考圖1描述之步驟120及130進行偏差指示252、254、256與258之間之差之複數個彙總。包含以下項之差之此等彙總由各自元件符號260、262、264、266、268及270指示：微影後偏移與

遮罩開口後偏移之間之比較、微影後偏移與蝕刻後偏移之間之比較、遮罩開口後偏移與蝕刻後偏移之間之比較、微影後偏移與拋光後偏移之間之比較、遮罩開口後偏移與拋光後偏移之間之比較及蝕刻後偏移與拋光後偏移之間之比較。可比較此等彙總之各者與一適當臨限值，如上文參考圖1描述。

【0046】 應瞭解，偏移指示252、254、256及258之任何者可用於在BSDWII 102之製造程序中之一後續階段中最佳化一半導體裝置之層之間之偏移量測。

【0047】 圖3繪示較佳具有三個週期性結構302、304及306之一目標300。如在圖3之截面放大A中尤其所見，本發明之一特定特徵係週期性結構302形成於一半導體裝置晶圓之一第一層310上且週期性結構304及306兩者形成於半導體裝置晶圓之一第二層320上。本發明之一實施例之一特定特徵係週期性結構304及306係使用相同製造工具及方法同時形成。應瞭解，第一層310及第二層320可但不需要係鄰近的。

【0048】 應注意，目標300較佳包含週期性結構302、304及306之四個組330。組330之各者以一不同相互正交定向出現於目標300中，從而給予目標300旋轉對稱性。應瞭解，除其等定向之外，週期性結構302、304及306之組330之各者較佳彼此相同。

【0049】 在本發明之一較佳實施例中，週期性結構302、304及306各分別由複數個相互平行線340、342及344及各自相互平行線340、342及346之間之相互平行空間346、348及350界定。相互平行線及空間340及346、342及348以及344及350分別係沿著軸線352、354及356配置。

【0050】 較佳地，線340、342及346具有各在1 μm 至3 μm 之範圍中

之各自節距C、D及E及係各各自節距C、D或E之10%至90% (最典型C、D或E之50%)之線寬度。

【0051】 線340、342及346通常經分段，但其等無需經分段。在其中線340、342及346經分段之一實施例中，如在圖3之放大B中所見，線340、342及346之各者由複數個各自子線360、362及364以及子線360、362及364之間之各自子空間366、368及370界定。較佳地，子線360、362及364具有各在10 nm至200 nm之範圍中之各自分段節距F、G及H。

【0052】 週期性結構302、304及306可藉由其等各自節距C、D及E、其等各自線寬度及其等分段節距F、G及H之任何者且最較佳藉由其等分段節距F、G及H彼此區分。

【0053】 本發明之一實施例之一特定特徵係在圖1之上文論述中提及之第一例項及第二例項可係使用週期性結構302及304或週期性結構302及306進行之偏移量測。對應地，在圖1之上文論述中提及之第一偏移指示及第二偏移指示可係自使用週期性結構302及304或週期性結構302及306進行之偏移量測之各者獲得之偏移指示。

【0054】 應瞭解，由於週期性結構304及306較佳係一起形成，故在一預定臨限值內之週期性結構302與304及週期性結構302與306之間之偏移指示之任何差指示需要偏移度量衡程序之改善。

【0055】 圖4繪示較佳具有三個結構402、404及406之一目標400。如在圖4之截面放大A中尤其所見，本發明之一特定特徵係結構402形成於一半導體裝置晶圓之一第一層410上且結構404及406兩者形成於半導體裝置晶圓之一第二層420上。本發明之一實施例之一特定特徵係結構404及406係使用相同製造工具及方法同時形成。應瞭解，第一層410及第二層

420可但不需要係鄰近的。

【0056】 應注意，目標400較佳包含結構402、404及406之四個組430。組430之各者以一不同相互正交定向出現於目標400中，從而給予目標400旋轉對稱性。應瞭解，除其等定向之外，結構402、404及406之組430之各者較佳彼此相同。在本發明之一較佳實施例中，結構402、404及406係棒。

【0057】 較佳地，結構402、404及406具有各在0.5 μm 至1.5 μm 之範圍中之各自寬度I、J及K。結構402、404及406通常經分段，但其等無需經分段。在其中結構402、404及406經分段之一實施例中，如在圖4之放大B中所見，結構402、404及406之各者由複數個各自子線460、462及464以及子線460、462及464之間之各自子空間466、468及470界定。較佳地，子線460、462及464具有各在10 nm至200 nm之範圍中之各自分段節距L、M及N。

【0058】 結構402、404及406可藉由其等各自寬度I、J及K及其等分段節距L、M及N之任何者且最較佳藉由其等分段節距L、M及N彼此區分。

【0059】 本發明之一實施例之一特定特徵係在圖1之上文論述中提及之第一例項及第二例項可係使用結構402及404或結構402及406進行之偏移量測。對應地，在圖1之上文論述中提及之第一偏移指示及第二偏移指示可係自使用結構402及404或結構402及406進行之偏移量測之各者獲得之偏移指示。

【0060】 應瞭解，由於結構404及406較佳係一起形成，故在一預定臨限值內之結構402與404及結構402與406之間之偏移指示之任何差指示

需要偏移度量衡程序之改善。

【0061】 圖5繪示較佳具有三個結構502、504及506之一目標500。如在圖5之截面放大A中尤其所見，本發明之一特定特徵係結構502形成於一半導體裝置晶圓之一第一層510上且結構504及506兩者形成於半導體裝置晶圓之一第二層520上。本發明之一實施例之一特定特徵係結構504及506係使用相同製造工具及方法同時形成。應瞭解，第一層510及第二層520可但不需要係鄰近的。應注意，結構502、504及506之各者藉由旋轉對稱性特性化，從而給予目標500旋轉對稱性。在本發明之一較佳實施例中，結構502、504及506係框，較佳矩形或正方形框。

【0062】 較佳地，結構502、504及506具有各在 $0.5\ \mu\text{m}$ 至 $1.5\ \mu\text{m}$ 之範圍中之各自寬度O、P及Q。結構502、504及506通常經分段，但其等無需經分段。在其中結構502、504及506經分段之一實施例中，如在圖5之放大B中所見，結構502、504及506之各者由複數個各自子線560、562及564以及子線560、562及564之間之各自子空間566、568及570界定。較佳地，子線560、562及564具有各在 $10\ \text{nm}$ 至 $200\ \text{nm}$ 之範圍中之各自分段節距R、S及T。

【0063】 結構502、504及506可藉由其等各自寬度O、P及Q以及其等分段節距R、S及T之任何者且最較佳藉由其等分段節距R、S及T彼此區分。

【0064】 本發明之一實施例之一特定特徵係在圖1之上文論述中提及之第一例項及第二例項可係使用結構502及504或結構502及506進行之偏移量測。對應地，在圖1之上文論述中提及之第一偏移指示及第二偏移指示可係自使用結構502及504或結構502及506進行之偏移量測之各者獲

得之偏移指示。

【0065】 應瞭解，由於結構504及506較佳係一起形成，故在一預定臨限值內之結構502與504及結構502與506之間之偏移指示之任何差指示需要偏移度量衡程序之改善。

【0066】 圖6A至圖6C繪示較佳具有三個週期性結構602、604及606之一目標600。如在圖6A之截面放大A及B中尤其所見，週期性結構602形成於一半導體裝置晶圓之一第一層610上且週期性結構604及606兩者形成於半導體裝置晶圓之一第二層620上。本發明之一實施例之一特定特徵係週期性結構604及606係使用相同製造工具及方法同時形成。應瞭解，第一層610及第二層620可但不需要係鄰近的。

【0067】 圖6B繪示形成圖6A之目標600之部分之週期性結構602之一較佳實施例。圖6C繪示形成圖6A之目標600之部分之週期性結構604及606之一較佳實施例。

【0068】 如圖6B中尤其所見，目標600較佳包含週期性結構602之四個組622及週期性結構602之四個組624。如圖6C中尤其所見，目標600較佳包含週期性結構604之四個組626及週期性結構606之四個組628。如圖6A中尤其所見，週期性結構604之組626上覆週期性結構602之組622，且週期性結構606之組628上覆週期性結構602之組624。

【0069】 如圖6B及圖6C中尤其所見，在組622、624、626及628之各者之兩者中，各自週期性結構602、604或606平行於一軸線630形成且在組622、624、626及628之另兩者中，各自週期性結構602、604或606平行於一軸線632 (其垂直於軸線630)形成。平行於相同軸線之各成對週期性結構602與604以及602與606藉由具有各在10 nm至40 nm之範圍中之

各自週期性結構602與604及602與606之間之一不同偏移彼此區分。應瞭解，除其等定向及偏移之外，週期性結構602、604及606之組622、624、626及628之各者較佳彼此相同。

【0070】如圖6B中尤其所見，在本發明之一較佳實施例中，週期性結構602由複數個相互平行線640及相互平行線640之間之相互平行空間646界定。相互平行線及空間640及646係沿著平行於軸線630或632之軸線配置。

【0071】如在圖6C中繪示之實施例中所見，週期性結構604及606各分別由複數個相互平行線642及644以及各自相互平行線642與644之間之相互平行空間648及650界定。相互平行線及空間642及648以及644及650係沿著平行於軸線630或632之軸線配置。

【0072】較佳地，在週期性結構602、604及606中，線640、642及646具有各在300 nm至1 μm 之範圍中之各自節距U、V及W及係各各自節距U、V及W之10%至90% (最典型U、V及W之50%)之線寬度。

【0073】在週期性結構602、604及606中，線640、642及646通常經分段，但其等無需經分段。在其中線640、642及646經分段之一實施例中，如在圖6B之放大C以及圖6C之放大D及E中所見，線640、642及646之各者由複數個各自子線660、662及664以及子線660、662及664之間之各自子空間666、668及670界定。較佳地，子線660、662及664具有各在10 nm至200 nm之範圍中之各自分段節距 α 、 β 及 γ 。

【0074】週期性結構602、604及606可藉由其等各自節距U、V及W、其等各自線寬度及其等分段節距 α 、 β 及 γ 之任何者且最較佳藉由其等分段節距 α 、 β 及 γ 彼此區分。

【0075】 本發明之一實施例之一特定特徵係在圖1之上文論述中提及之第一例項及第二例項可係使用週期性結構602及604或週期性結構602及606進行之偏移量測。對應地，在圖1之上文論述中提及之第一偏移指示及第二偏移指示可係自使用週期性結構602及604或週期性結構602及606進行之偏移量測之各者獲得之偏移指示。

【0076】 應瞭解，由於週期性結構604及606較佳係一起形成，故在一預定臨限值內之週期性結構602與604及週期性結構602與606之間之偏移指示之任何差指示需要偏移度量衡程序之改善。

【0077】 圖7A及圖7B繪示較佳具有四個結構701、702、704及706之一目標700。如在圖7A之截面放大A及B中尤其所見，本發明之一特定特徵係結構701及702兩者形成於半導體裝置晶圓之一第一層710上且結構704及706兩者形成於半導體裝置晶圓之一第二層720上。本發明之一實施例之一特定特徵係成對之結構701與702以及704與706各係使用相同製造工具及方法同時形成。應瞭解，第一層710及第二層720可係鄰近的但不必要如此。應注意，結構701、702、704及706之各者藉由旋轉對稱性特性化，從而給予目標700旋轉對稱性。

【0078】 應進一步瞭解，結構701、702、704及706可係藉由旋轉對稱性特性化之任何結構。應進一步瞭解，雖然目標700在圖7A及圖7B中被展示為具有四個結構，但目標700可具有在自4至20個結構之範圍內之任何偶數數目個結構，前提在於各成對結構遵循701與704以及702與706之模式。

【0079】 結構701、702、704及706通常經分段，但其等無需經分段。在其中結構701、702、704及706經分段之一實施例中，如在放大之

圖7B中所見，結構701、702、704及706之各者由複數個各自子線760、761、762及764以及子線760、761、762及764之間之各自子空間766、767、768及770界定。較佳地，子線760、761、762及764具有各在10 nm至200 nm之範圍中之各自分段節距 δ 、 ϵ 、 ζ 及 η 。結構701、702、704及706較佳藉由其等各自分段節距 δ 、 ϵ 、 ζ 及 η 之任何者彼此區分。

【0080】 本發明之一實施例之一特定特徵係在圖1之上文論述中提及之第一例項及第二例項可係使用結構701及704或結構702及706進行之偏移量測。對應地，在圖1之上文論述中提及之第一偏移指示及第二偏移指示可係自使用結構701及704或結構702及706進行之偏移量測之各者獲得之偏移指示。

【0081】 應瞭解，由於成對之結構701與702以及704與706之各者較佳各係一起形成，故在一預定臨限值內之結構701與704及702與706之間之偏移指示之任何差指示需要偏移度量衡程序之改善。

【0082】 現參考圖8，其係繪示可結合上文參考圖1至圖2描述之方法使用之藉由修改半導體裝置晶圓之一製造程序之參數之經量測偏移之一改善方法800之一簡化流程圖。

【0083】 應瞭解，將下文描述之方法800執行為圖1中描述之方法之步驟150之部分以判定圖2中描述之程序之哪一階段需要改善。

【0084】 如在一第一步驟804所見，方法800確定第一偏移指示及第二偏移指示是否係微影後偏移指示252及遮罩開口後偏移指示254。

【0085】 若第一偏移指示及第二偏移指示係微影後偏移指示252及遮罩開口後偏移指示254，則方法800繼續進行至下一步驟806，其中在準備處理進一步半導體裝置晶圓時修改遮罩開口階段204。例如，可修改遮

罩開口階段之蝕刻深度或可修改材料性質，諸如經量測層之折射率或介電常數。

【0086】 若第一偏移指示及第二偏移指示非微影後偏移指示252及遮罩開口後偏移指示254，則方法800繼續進行至一下一步驟808，其中方法800確定第一偏移指示及第二偏移指示是否係微影後偏移指示252及蝕刻後偏移指示256。

【0087】 若第一偏移指示及第二偏移指示係微影後偏移指示252及蝕刻後偏移指示256，則方法800繼續進行至下一步驟810，其中在準備處理進一步半導體裝置晶圓時修改蝕刻階段206。例如，可修改蝕刻時間或可修改材料性質，諸如經量測層之折射率或介電常數。

【0088】 若第一偏移指示及第二偏移指示非微影後偏移指示252及蝕刻後偏移指示256，則方法800繼續進行至一下一步驟812，其中方法800確定第一偏移指示及第二偏移指示是否係遮罩開口後偏移指示254及蝕刻後偏移指示256。

【0089】 若第一偏移指示及第二偏移指示係遮罩開口後偏移指示254及蝕刻後偏移指示256，則方法800繼續進行至下一步驟814，其中在準備處理進一步半導體裝置晶圓時修改蝕刻階段206。例如，可修改蝕刻時間或可修改材料性質，諸如經量測層之折射率或介電常數。

【0090】 若第一偏移指示及第二偏移指示非遮罩開口後偏移指示254及蝕刻後偏移指示256，則方法800繼續進行至一下一步驟816，其中方法800確定第一偏移指示及第二偏移指示是否係微影後偏移指示252及拋光後偏移指示258。

【0091】 若第一偏移指示及第二偏移指示係微影後偏移指示252及

拋光後偏移指示258，則方法800繼續進行至下一步驟818，其中在準備處理進一步半導體裝置晶圓時修改蝕刻階段206及拋光階段208之至少一者。例如，可調整在拋光階段中使用之蝕刻時間、拋光時間、拋光角度及材料之任何者或可修改材料性質，諸如經量測層之折射率或介電常數。

【0092】 若第一偏移指示及第二偏移指示非微影後偏移指示252及拋光後偏移指示258，則方法800繼續進行至一下一步驟820，其中方法800確定第一偏移指示及第二偏移指示是否係遮罩開口後偏移指示254及拋光後偏移指示258。

【0093】 若第一偏移指示及第二偏移指示係遮罩開口後偏移指示254及拋光後偏移指示258，則方法800繼續進行至下一步驟822，其中在準備處理進一步半導體裝置晶圓時修改拋光階段208。例如，可調整在拋光階段中使用之拋光時間、拋光角度及材料之任何者或可修改材料性質，諸如經量測層之折射率或介電常數。

【0094】 若第一偏移指示及第二偏移指示非遮罩開口後偏移指示254及拋光後偏移指示258，則方法800繼續進行至一下一步驟824，其中方法800確定第一偏移指示及第二偏移指示是否係蝕刻後偏移指示256及拋光後偏移指示258。

【0095】 若第一偏移指示及第二偏移指示係蝕刻後偏移指示256及拋光後偏移指示258，則方法800繼續進行至一下一步驟826，其中在準備處理進一步半導體裝置晶圓時修改拋光階段208。例如，可調整在拋光階段中使用之拋光時間、拋光角度及材料之任何者或可修改材料性質，諸如經量測層之折射率或介電常數。

【0096】 現參考圖9A及圖9B，其等一起係繪示可結合上文參考圖1

至圖7描述之方法使用之藉由修改與半導體裝置晶圓之層之間之偏移之量測相關之度量衡參數之經量測偏移之一改善方法900之一簡化流程圖。

【0097】 應瞭解，作為方法800之一替代例，將下文描述之方法900執行為圖1中描述之方法之步驟150之部分以判定哪些度量衡參數需要改善。在本發明之一較佳實施例中，若其他度量(諸如一可接受Q評價值(merit value)或一高工具引發移位)指示偏移度量衡量測可存在一問題，則執行方法900。

【0098】 如在一第一步驟902所見，方法900確定是否應執行非零偏移(NZO)校準。若應執行NZO校準，則(例如)在上文參考圖3至圖7描述之實施例中，方法900繼續至一下一步驟904，其中執行NZO校準。

【0099】 若不應執行NZO校準，則方法900繼續進行至一下一步驟908，其中方法900確定第一偏移指示及第二偏移指示是否係微影後偏移指示252及遮罩開口後偏移指示254。

【0100】 若第一偏移指示及第二偏移指示係微影後偏移指示252及遮罩開口後偏移指示254，則方法900繼續進行至下一步驟910，其中修改微影後偏移量測參數及遮罩開口後偏移量測參數之至少一者。

【0101】 例如，可調整在其處量測偏移之所關注區域、在偏移量測中利用之光之波長、在偏移量測中利用之光之偏光、數值孔徑、繞射遮罩及繞射孔徑以減小微影後偏移指示252與遮罩開口後偏移指示254之間之差。作為一額外實例，可識別離群量測結果且將其等自在微影後偏移量測及遮罩開口後偏移量測之至少一者量測之偏移移除。

【0102】 若第一偏移指示及第二偏移指示非微影後偏移指示252及遮罩開口後偏移指示254，則方法900繼續進行至一下一步驟912，其中方

法900確定第一偏移指示及第二偏移指示是否係微影後偏移指示252及蝕刻後偏移指示256。

【0103】若第一偏移指示及第二偏移指示係微影後偏移指示252及蝕刻後偏移指示256，則方法900繼續進行至下一步驟914，其中修改微影後偏移量測參數及蝕刻後偏移量測參數之至少一者。

【0104】例如，可調整在其處量測偏移之所關注區域、在偏移量測中利用之光之波長、在偏移量測中利用之光之偏光、數值孔徑、繞射遮罩及繞射孔徑以減小微影後偏移指示252與蝕刻後偏移指示256之間之差。作為一額外實例，可識別離群量測結果且將其等自在微影後偏移量測及蝕刻後偏移量測之至少一者量測之偏移移除。

【0105】若第一偏移指示及第二偏移指示非微影後偏移指示252及蝕刻後偏移指示256，則方法900繼續進行至一下一步驟916，其中方法900確定第一偏移指示及第二偏移指示是否係遮罩開口後偏移指示254及蝕刻後偏移指示256。

【0106】若第一偏移指示及第二偏移指示係遮罩開口後偏移指示254及蝕刻後偏移指示256，則方法900繼續進行至下一步驟918，其中修改遮罩開口後偏移量測參數及蝕刻後偏移量測參數之至少一者。

【0107】例如，可調整在其處量測偏移之所關注區域、在偏移量測中利用之光之波長、在偏移量測中利用之光之偏光、數值孔徑、繞射遮罩及繞射孔徑以減小遮罩開口後偏移指示254與蝕刻後偏移指示256之間之差。作為一額外實例，可識別離群量測結果且將其等自在遮罩開口後偏移量測及蝕刻後偏移量測之至少一者量測之偏移移除。

【0108】若第一偏移指示及第二偏移指示非遮罩開口後偏移指示

254及蝕刻後偏移指示256，則方法900繼續進行至一下一步驟920，其中方法900確定第一偏移指示及第二偏移指示是否係微影後偏移指示252及拋光後偏移指示258。

【0109】 若第一偏移指示及第二偏移指示係微影後偏移指示252及拋光後偏移指示258，則方法900繼續進行至下一步驟922，其中修改微影後偏移量測參數及拋光後偏移量測參數之至少一者。

【0110】 例如，可調整在其處量測偏移之所關注區域、在偏移量測中利用之光之波長、在偏移量測中利用之光之偏光、數值孔徑、繞射遮罩及繞射孔徑以減小微影後偏移指示252與拋光後偏移指示258之間之差。作為一額外實例，可識別離群量測結果且將其等自在微影後偏移量測及拋光後偏移量測之至少一者量測之偏移移除。

【0111】 若第一偏移指示及第二偏移指示非微影後偏移指示252及拋光後偏移指示258，則方法900繼續進行至一下一步驟924，其中方法900確定第一偏移指示及第二偏移指示是否係遮罩開口後偏移指示254及拋光後偏移指示258。

【0112】 若第一偏移指示及第二偏移指示係遮罩開口後偏移指示254及拋光後偏移指示258，則方法900繼續進行至下一步驟926，其中修改遮罩開口後偏移量測參數及拋光後偏移量測參數之至少一者。

【0113】 例如，可調整在其處量測偏移之所關注區域、在偏移量測中利用之光之波長、在偏移量測中利用之光之偏光、數值孔徑、繞射遮罩及繞射孔徑以減小遮罩開口後偏移指示254與拋光後偏移指示258之間之差。作為一額外實例，可識別離群量測結果且將其等自在遮罩開口後偏移量測及拋光後偏移量測之至少一者量測之偏移移除。

【0114】 若第一偏移指示及第二偏移指示非遮罩開口後偏移指示254及拋光後偏移指示258，則方法900繼續進行至一下一步驟928，其中方法900確定第一偏移指示及第二偏移指示是否係蝕刻後偏移指示256及拋光後偏移指示258。

【0115】 若第一偏移指示及第二偏移指示係蝕刻後偏移指示256及拋光後偏移指示258，則方法900繼續進行至一下一步驟930，其中修改蝕刻後偏移量測參數及拋光後偏移量測參數之至少一者。

【0116】 例如，可調整在其處量測偏移之所關注區域、在偏移量測中利用之光之波長、在偏移量測中利用之光之偏光、數值孔徑、繞射遮罩及繞射孔徑以減小蝕刻後偏移指示256與拋光後偏移指示258之間之差。作為一額外實例，可識別離群量測結果且將其等自在蝕刻後偏移量測及拋光後偏移量測之至少一者量測之偏移移除。

【0117】 熟習此項技術者將瞭解，本發明不限於上文特定展示且描述之內容。本發明之範疇包含上文描述之各種特徵之組合及子組合兩者以及其等修改，其等全部不在先前技術中。

【符號說明】

【0118】

100:步驟

110:步驟

120:步驟

122:步驟

130:步驟

132:步驟

- 134:步驟
- 140:步驟
- 142:箭頭
- 150:步驟
- 202:階段：微影
- 204:階段：遮罩開口
- 206:階段：蝕刻
- 208:階段：拋光
- 210:階段：形成額外層
- 220:第一層
- 230:第二層
- 242:箭頭/中間階段
- 244:箭頭/中間階段
- 246:箭頭/中間階段
- 248:箭頭/中間階段
- 252:微影後偏移指示
- 254:遮罩開口後偏移指示
- 256:蝕刻後偏移指示
- 258:拋光後偏移指示
- 260:微影後偏移與遮罩開口後偏移之間之比較
- 262:微影後偏移與蝕刻後偏移之間之比較
- 264:遮罩開口後偏移與蝕刻後偏移之間之比較
- 266:微影後偏移與拋光後偏移之間之比較

268:遮罩開口後偏移與拋光後偏移之間之比較

270:蝕刻後偏移與拋光後偏移之間之比較

300:目標

302:週期性結構

304:週期性結構

306:週期性結構

310:第一層

320:第二層

330:組

340:平行線

342:平行線

344:平行線

346:平行空間

348:平行空間

350:平行空間

352:軸線

354:軸線

356:軸線

360:子線

362:子線

364:子線

366:子空間

368:子空間

370:子空間

400:目標

402:結構

404:結構

406:結構

410:第一層

420:第二層

430:組

460:子線

462:子線

464:子線

466:子空間

468:子空間

470:子空間

500:目標

502:結構

504:結構

506:結構

510:第一層

520:第二層

560:子線

562:子線

564:子線

566:子空間

568:子空間

570:子空間

600:目標

602:週期性結構

604:週期性結構

606:週期性結構

610:第一層

620:第二層

622:組

624:組

626:組

628:組

630:軸線

632:軸線

640:線

642:線

644:線

646:空間

648:空間

650:空間

660:子線

662:子線

664:子線
666:子空間
668:子空間
670:子空間
700:目標
701:結構
702:結構
704:結構
706:結構
710:第一層
720:第二層
760:子線
761:子線
762:子線
764:子線
766:子空間
767:子空間
768:子空間
770:子空間
800:改善方法
804:步驟
806:步驟
808:步驟

810:步驟

812:步驟

814:步驟

816:步驟

818:步驟

820:步驟

822:步驟

824:步驟

826:步驟

900:改善方法

902:步驟

904:步驟

908:步驟

910:步驟

912:步驟

914:步驟

916:步驟

918:步驟

920:步驟

922:步驟

924:步驟

926:步驟

928:步驟

930:步驟

A:截面放大

B: 截面放大

C:節距/放大

D:節距/放大

E:節距/放大

F:分段節距

G:分段節距

H:分段節距

I:寬度

J:寬度

K:寬度

L:分段節距

M:分段節距

N:分段節距

O:寬度

P:寬度

Q:寬度

R:分段節距

S:分段節距

T:分段節距

U:節距

V:節距

W:節距

α :分段節距

β :分段節距

γ :分段節距

δ :分段節距

ε :分段節距

ζ :分段節距

η :分段節距

【發明申請專利範圍】

【請求項1】

一種用於半導體裝置晶圓之製造中之偏移(misregistration)之量測之方法，該方法包括：

在一第一程序階段之後在一第一例項處量測一半導體裝置晶圓之層之間之偏移且提供一第一偏移指示；

在接續該第一程序階段之一第二程序階段之後在一第二例項處量測一半導體裝置晶圓之層之間之偏移且提供一第二偏移指示；

回應於該第一偏移指示與該第二偏移指示之間之一差而提供一偏移量測差輸出；

提供先前晶圓上在該第一例項處與在該第二例項處之偏移之間的差之一平均的一基線差輸出；及

改善該偏移量測差輸出與該基線差輸出之間之該差。

【請求項2】

如請求項1之方法，其中該改善包括以下項之至少一者：

改變一偏移度量衡；及

改變半導體裝置晶圓之該製造中之至少一個程序步驟。

【請求項3】

如請求項1之方法，其進一步包括將該偏移量測差輸出與該基線差輸出之間之該差與一臨限值作比較且其中該改善在該偏移量測差輸出與該基線差輸出之間之該差超過該臨限值時發生。

【請求項4】

如請求項1之方法，其中該基線差輸出表示該第一偏移指示與該第二

偏移指示之間之差之一經計算彙總。

【請求項5】

如請求項1之方法，其中該第一例項及該第二例項包括在自其選擇該半導體裝置晶圓之旨在相同之一單一批次之半導體裝置晶圓之一製造程序中之不同階段。

【請求項6】

如請求項5之方法，其中在該第一例項及該第二例項量測該相同半導體裝置晶圓。

【請求項7】

如請求項5之方法，其中在該第一例項及該第二例項量測選自旨在相同之該單一批次之半導體裝置之不同半導體裝置晶圓。

【請求項8】

如請求項1之方法，其中該第一例項及該第二例項包括該半導體裝置晶圓上之一單一目標之不同區域。

【請求項9】

如請求項1之方法，其中該偏移量測差輸出包括度量衡品質之一指示。

【請求項10】

如請求項5之方法，其中該偏移量測差輸出包括該等不同階段之至少一者之品質之一指示。

【請求項11】

如請求項5之方法，其進一步包括在一第三例項使用該第一偏移量測指示及該第二偏移量測指示之至少一者以改善一半導體裝置之層之間之偏

移量測。

【請求項12】

如請求項11之方法，其中該第三例項包括該半導體裝置之該製造程序中之後續階段。

【請求項13】

如請求項5之方法，其進一步包括使用該偏移量測差輸出以改善自其選擇該半導體裝置晶圓之旨在相同之該單一批次之半導體裝置之該製造程序之參數。

【請求項14】

一種用於在半導體裝置晶圓之製造中之偏移之量測中及在偏移之該等量測之校準中使用之目標，該目標包括：

配置於一半導體裝置晶圓之一第一層上之至少一第一結構；及

配置於該半導體裝置之一第二層上之至少一第二不同結構及一第三不同結構，其中該第二不同結構及該第三不同結構具有不同的線寬度及節距。

【請求項15】

如請求項14之目標，其中該等第二及第三不同結構係使用相同製造工具及方法同時形成。

【請求項16】

如請求項14之目標，其中該第一結構、該第二不同結構及該第三不同結構之至少一者由複數個子線及該等子線之間之子空間界定，該等子線具有一節距。

【請求項17】

如請求項16之目標，其中：

該第二不同結構由具有一第二結構節距之複數個第二結構子線及複數個第二結構子空間界定；

該第三不同結構由具有一第三結構節距之複數個第三結構子線及複數個第三結構子空間界定；且

該第二結構節距及該第三結構節距彼此不同。

【請求項18】

如請求項14之目標，其中該目標具有旋轉對稱性。

【請求項19】

如請求項14之目標，其中該第一結構、該第二不同結構及該第三不同結構係週期性結構。

【請求項20】

如請求項19之目標，其中該第二不同結構及該第三不同結構上覆該第一週期性結構。

【請求項21】

如請求項14之目標，其中該第一結構、該第二不同結構及該第三不同結構係棒或矩形框。

【請求項22】

如請求項14之目標，其進一步包括至少一第四結構且其中該第一結構、該第二不同結構、該第三不同結構及該第四結構具有旋轉對稱性。

【請求項23】

如請求項14之目標，其中該第一層及該第二層係鄰近的。

【請求項24】

如請求項14之目標，其中該第一結構、該第二不同結構及該第三不同結構具有不同相互正交定向。

【請求項25】

如請求項14之目標，其中該第一結構、該第二不同結構及該第三不同結構包含複數個相互平行線。

【請求項26】

如請求項25之目標，其中各該等相互平行線經分段成子線。

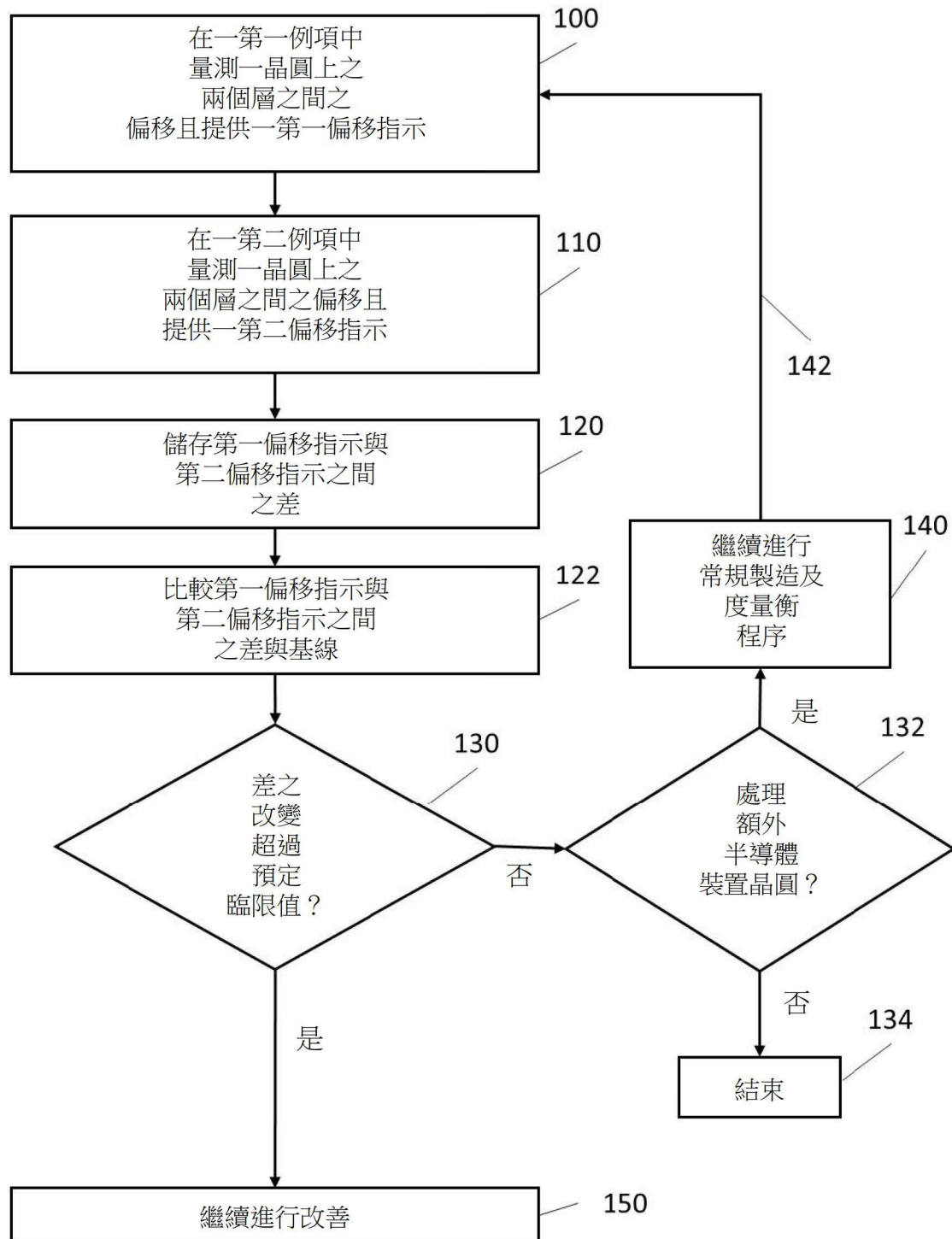
【請求項27】

如請求項26之目標，其中各該子線具有10 nm至200 nm之一分段節距。

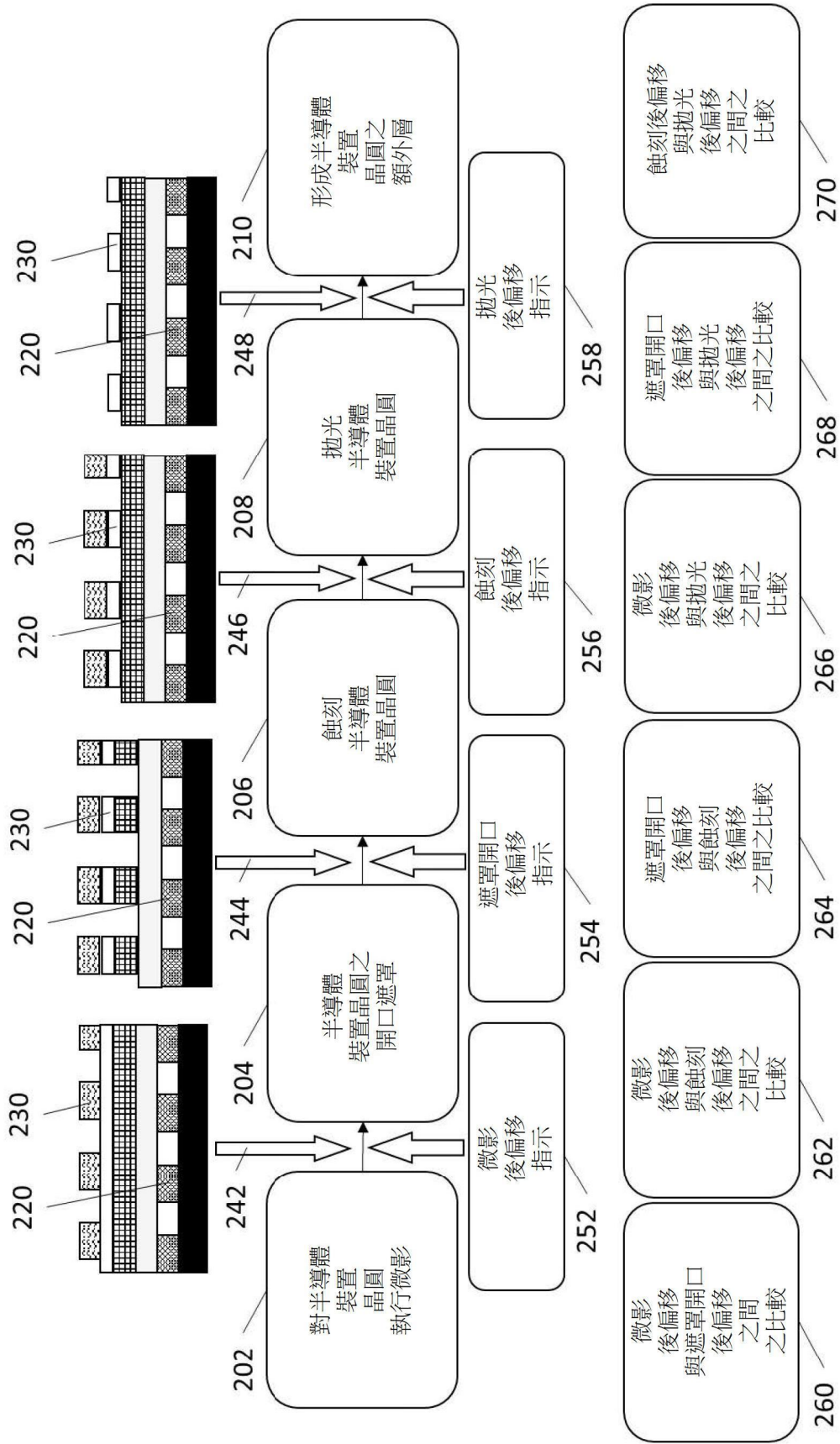
【請求項28】

如請求項14之目標，其中該第一結構、該第二不同結構及該第三不同結構之該等線寬度分別係該第一結構、該第二不同結構及該第三不同結構之該節距之10%至90%。

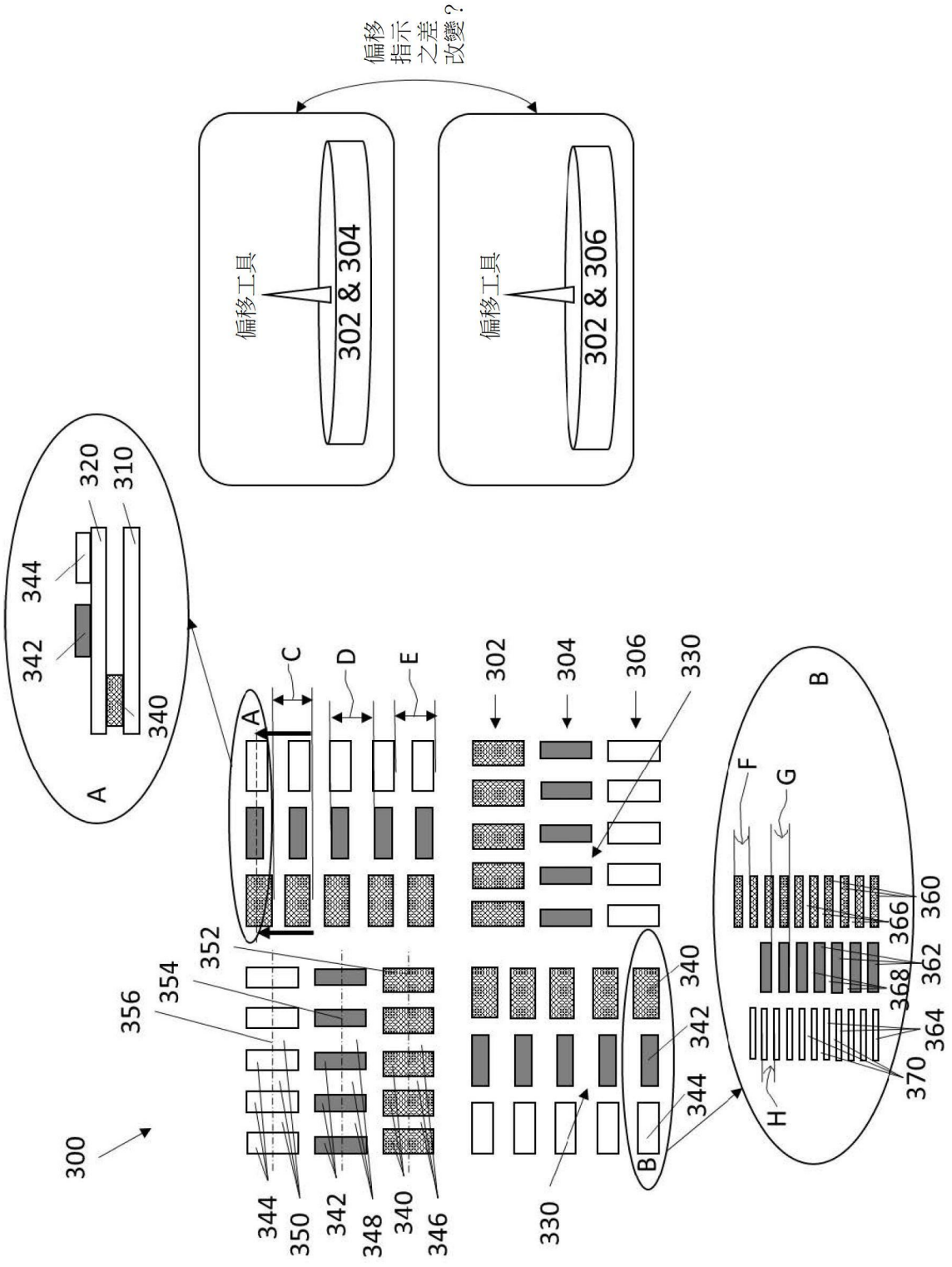
【發明圖式】



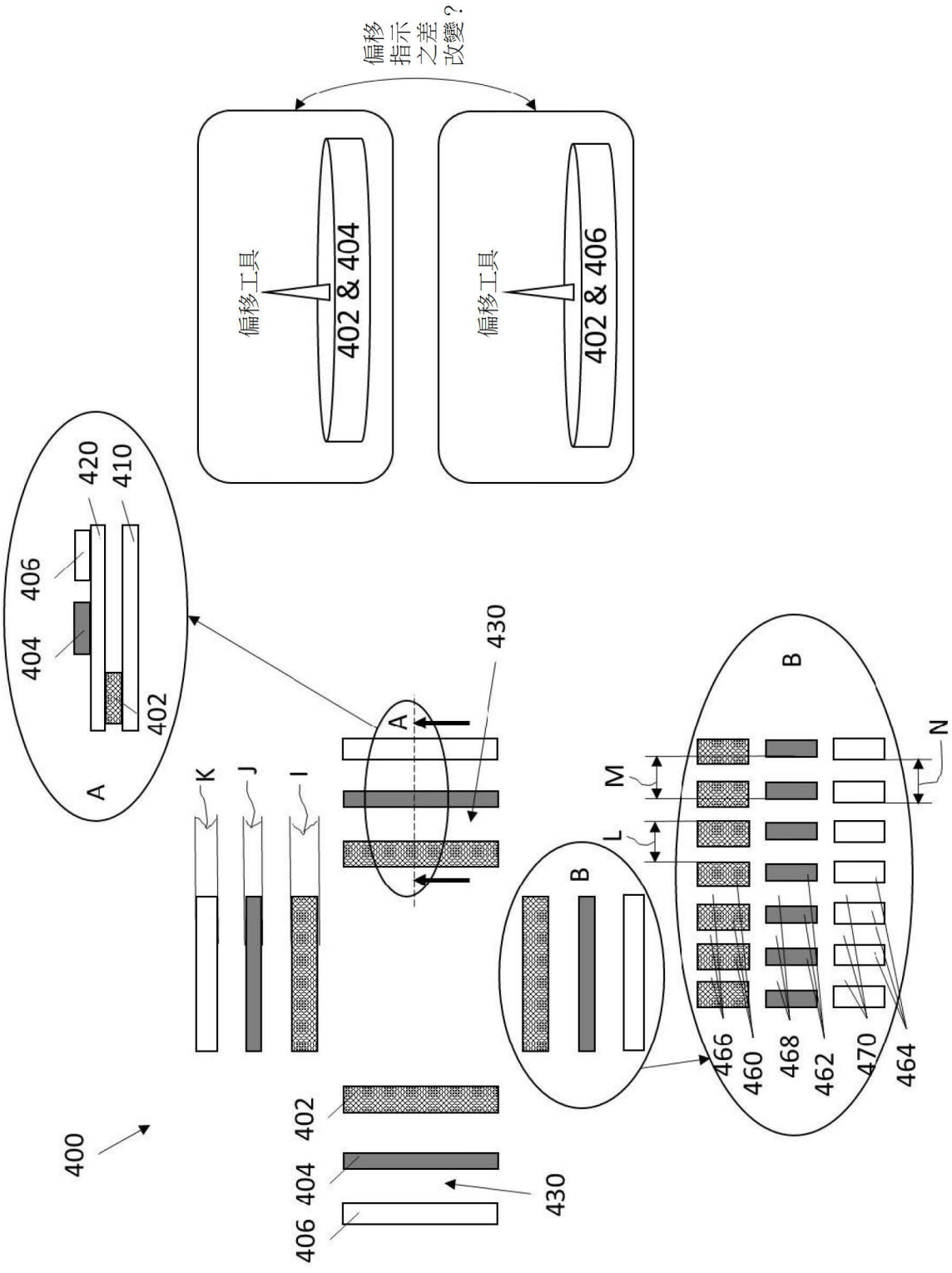
【圖1】



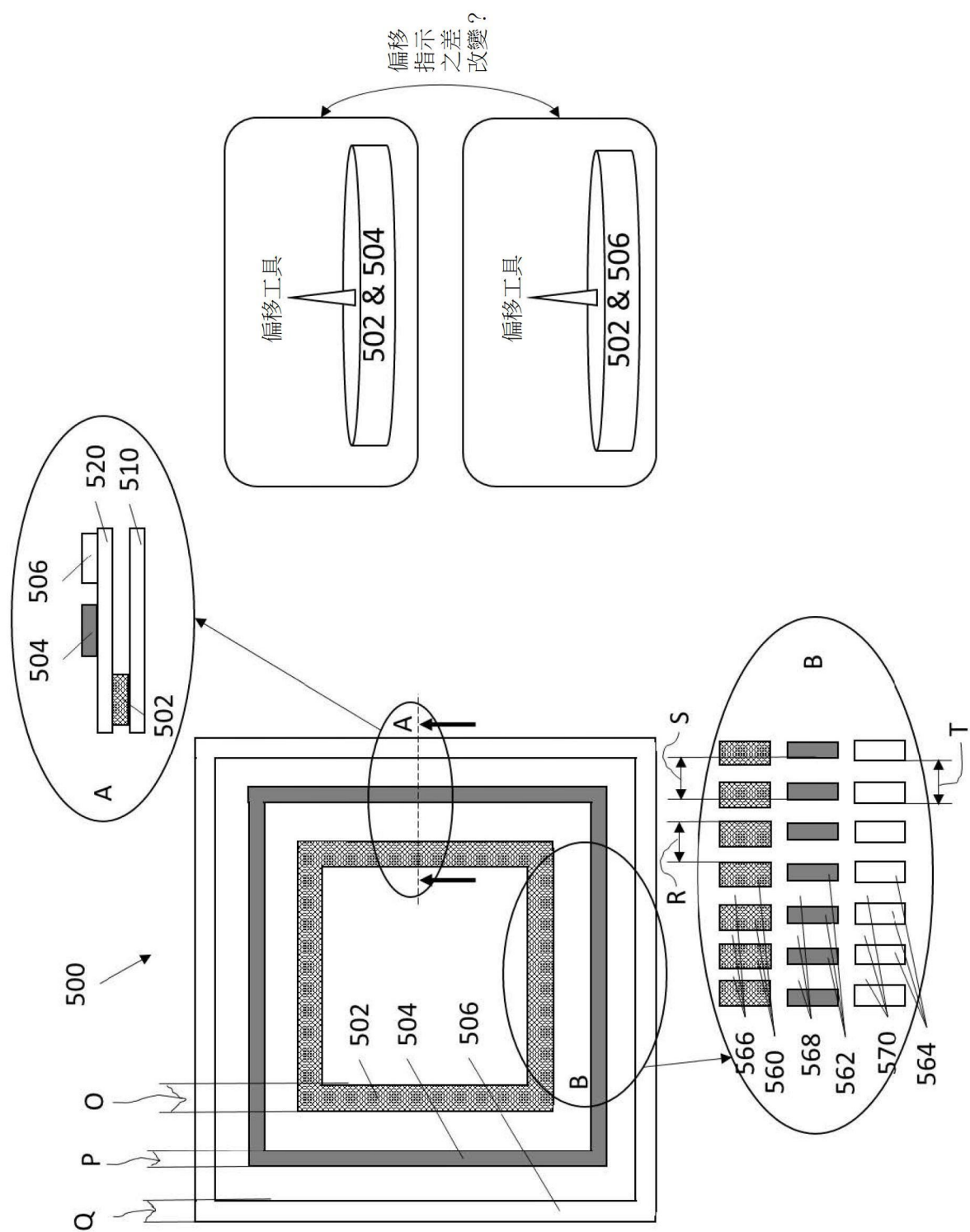
【圖2】



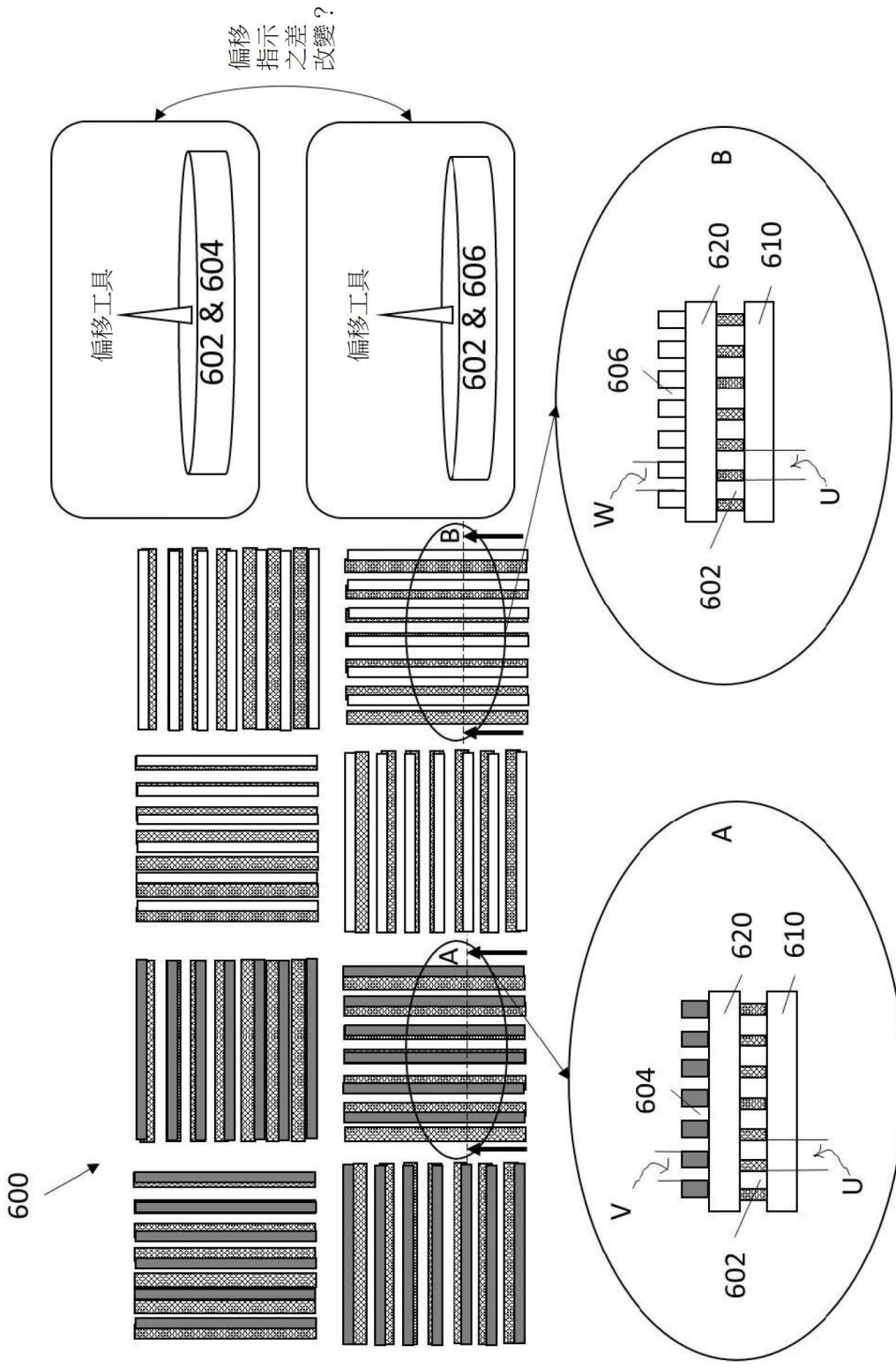
【圖3】



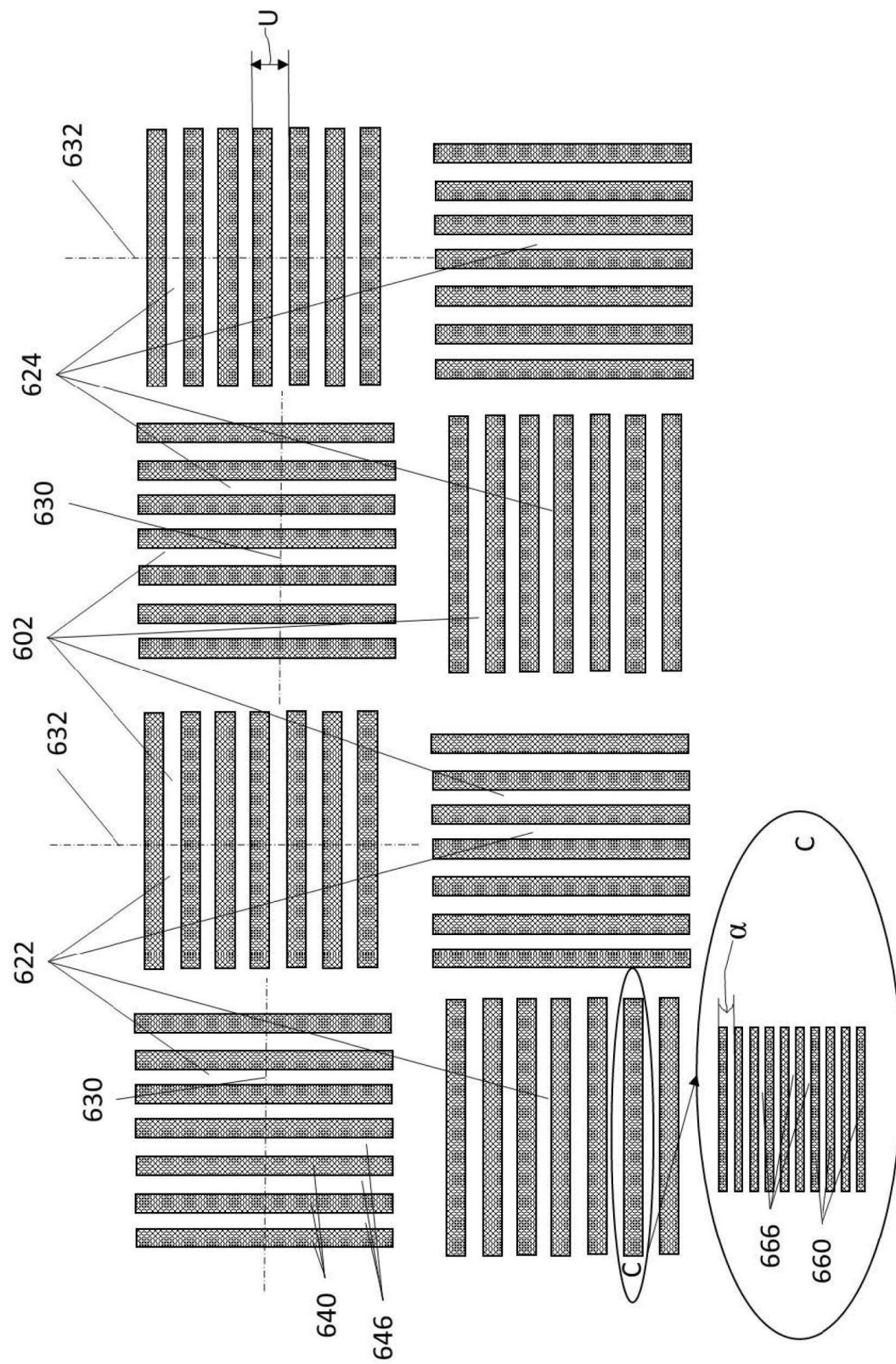
【圖4】



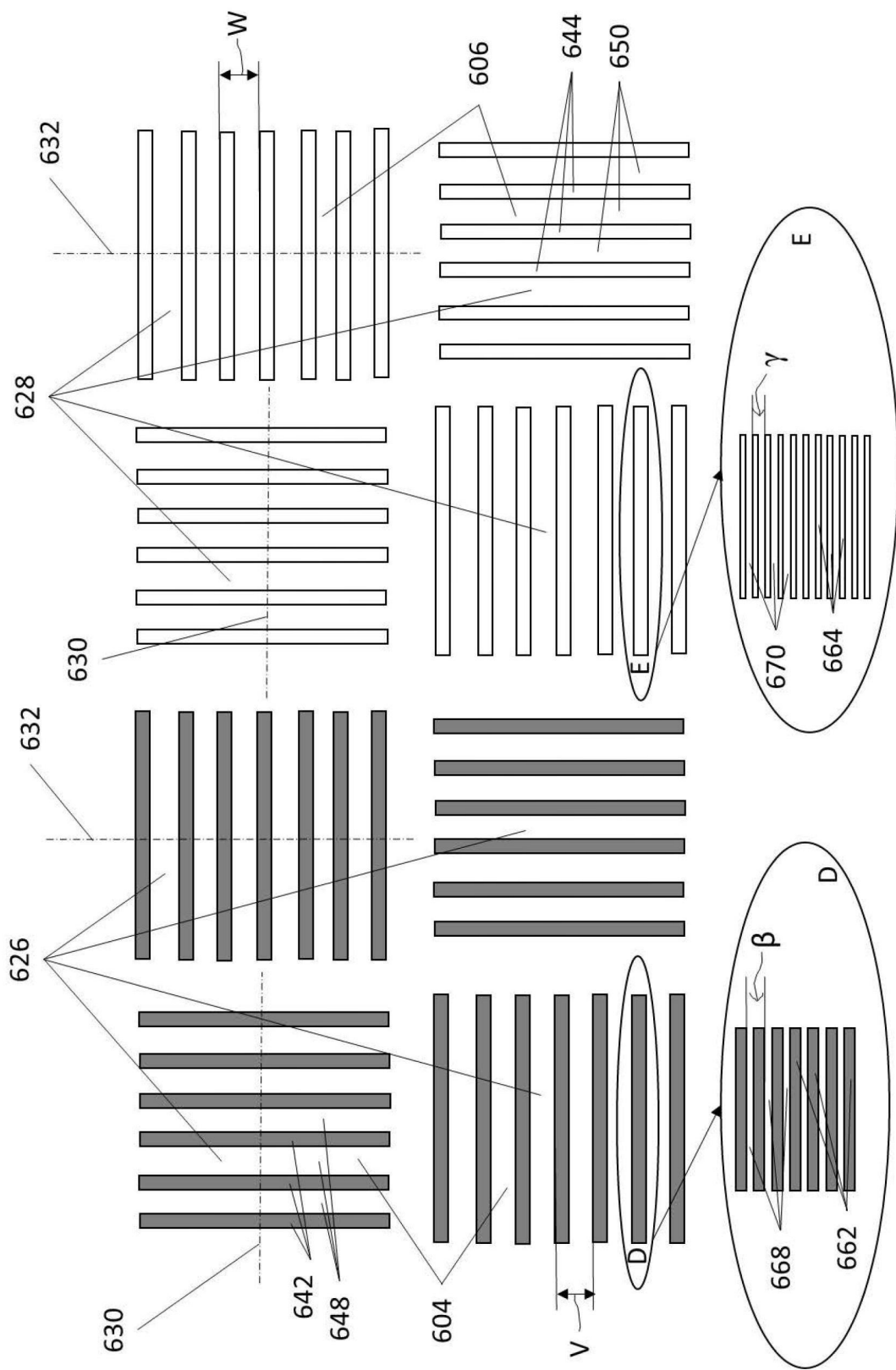
【圖5】



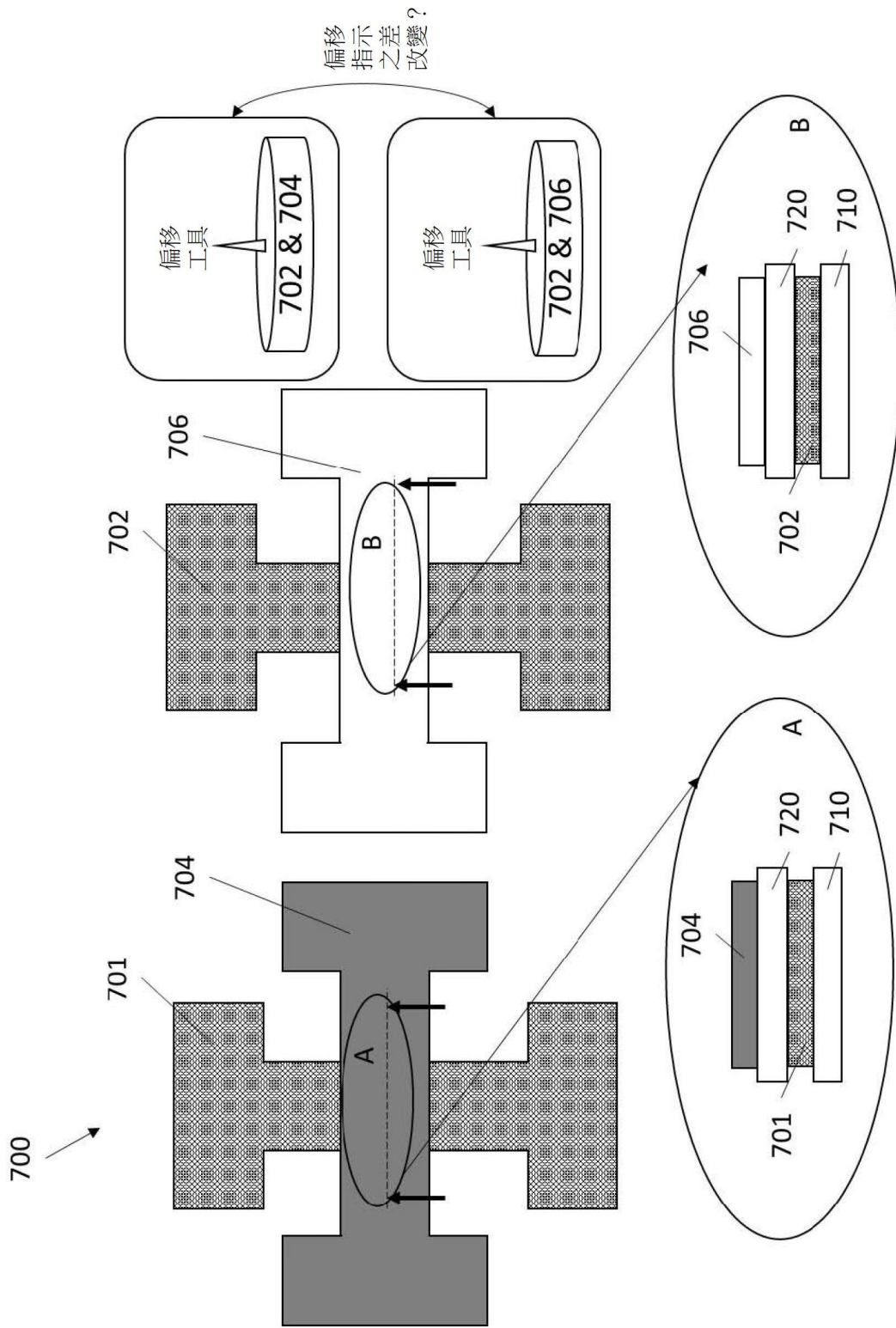
【圖6A】



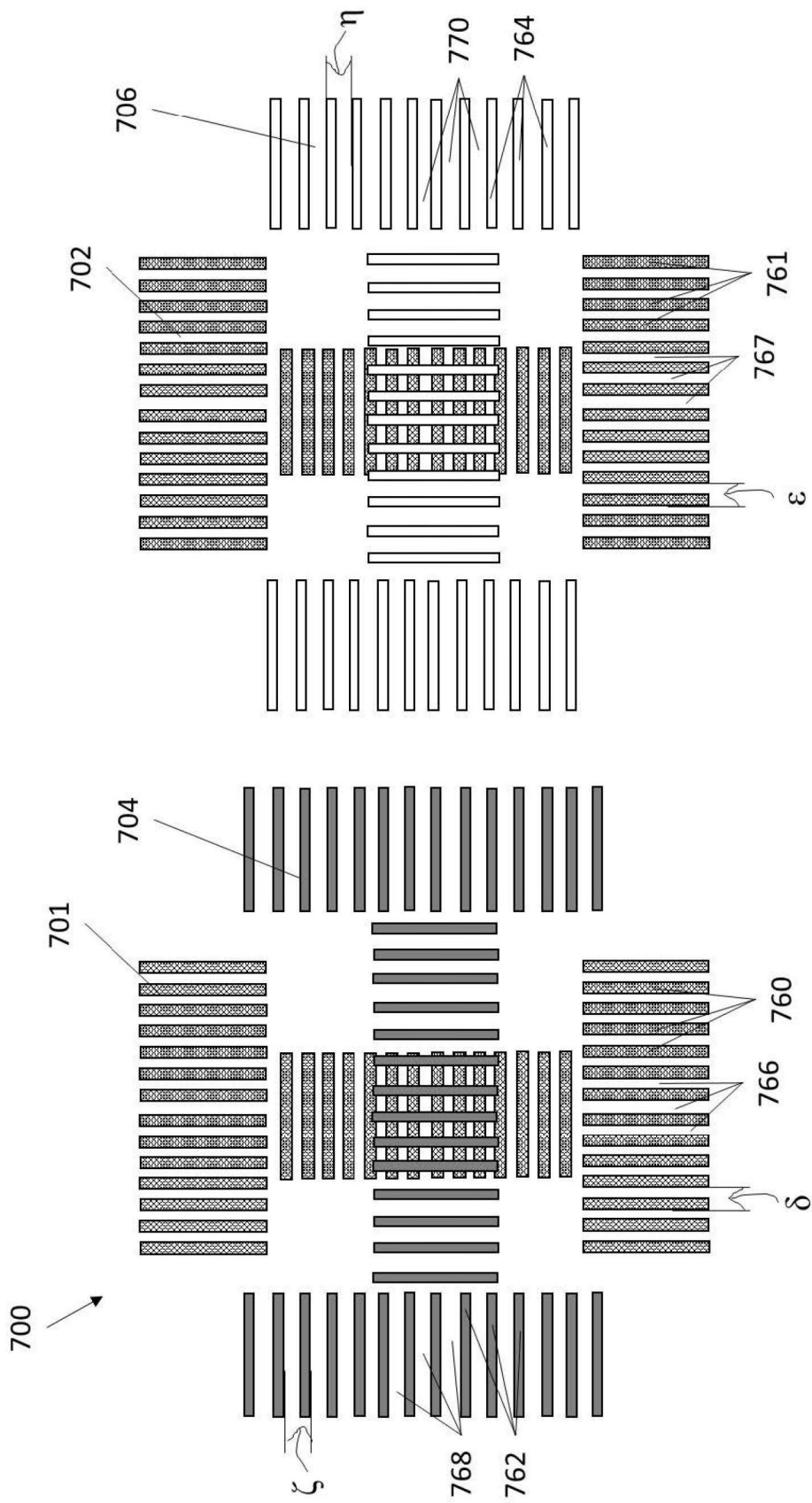
【圖6B】



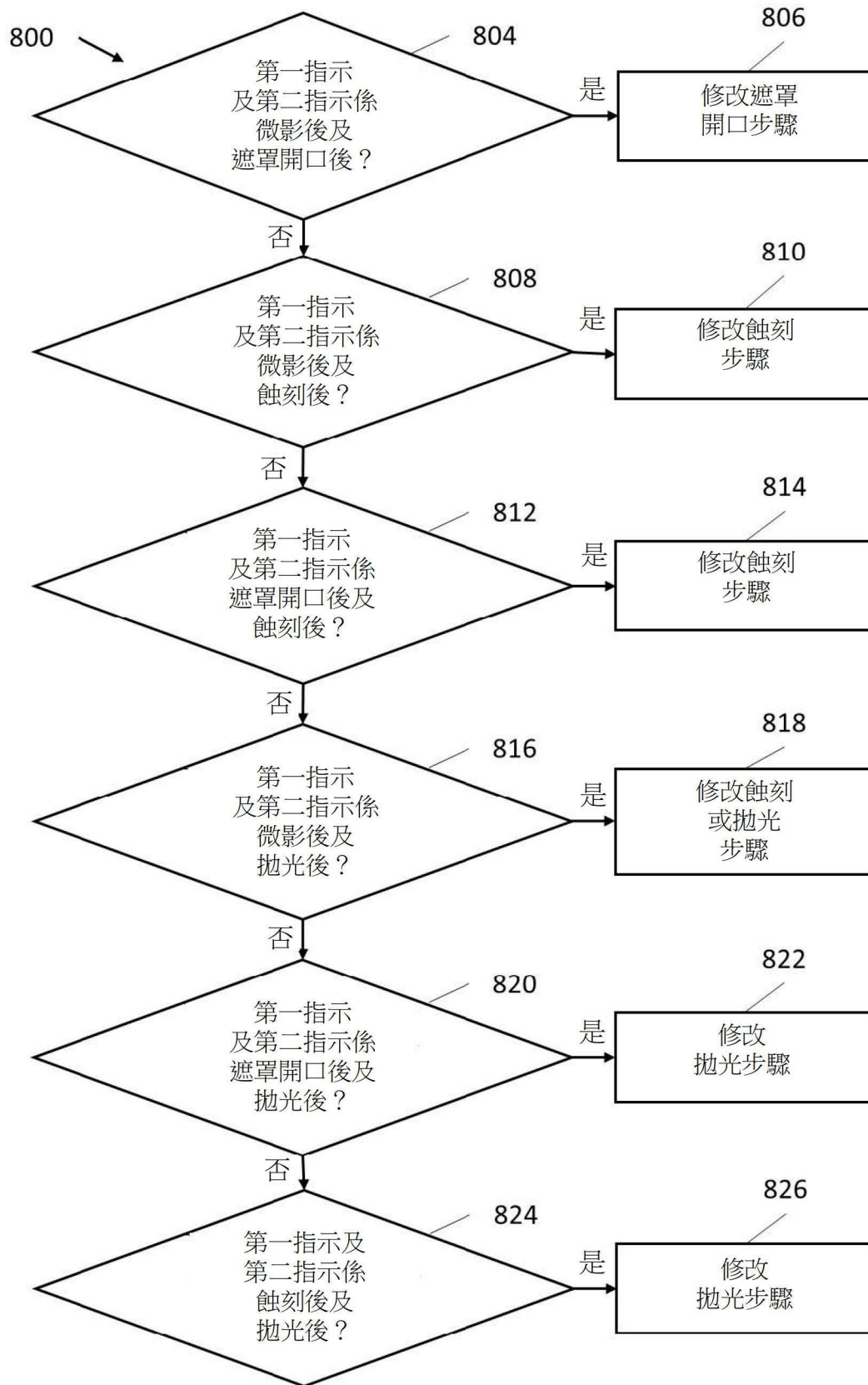
【圖6C】



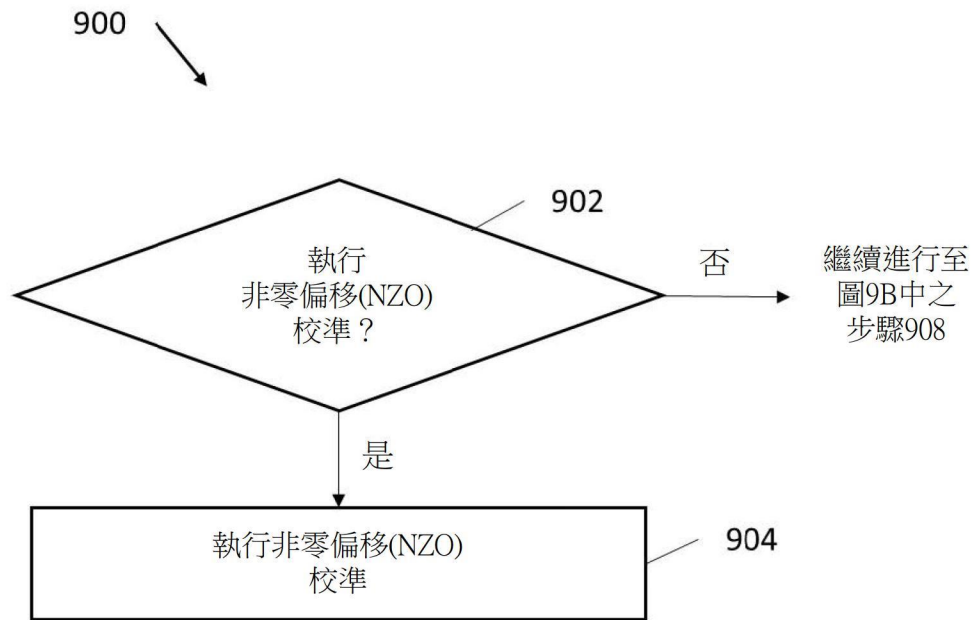
【圖7A】



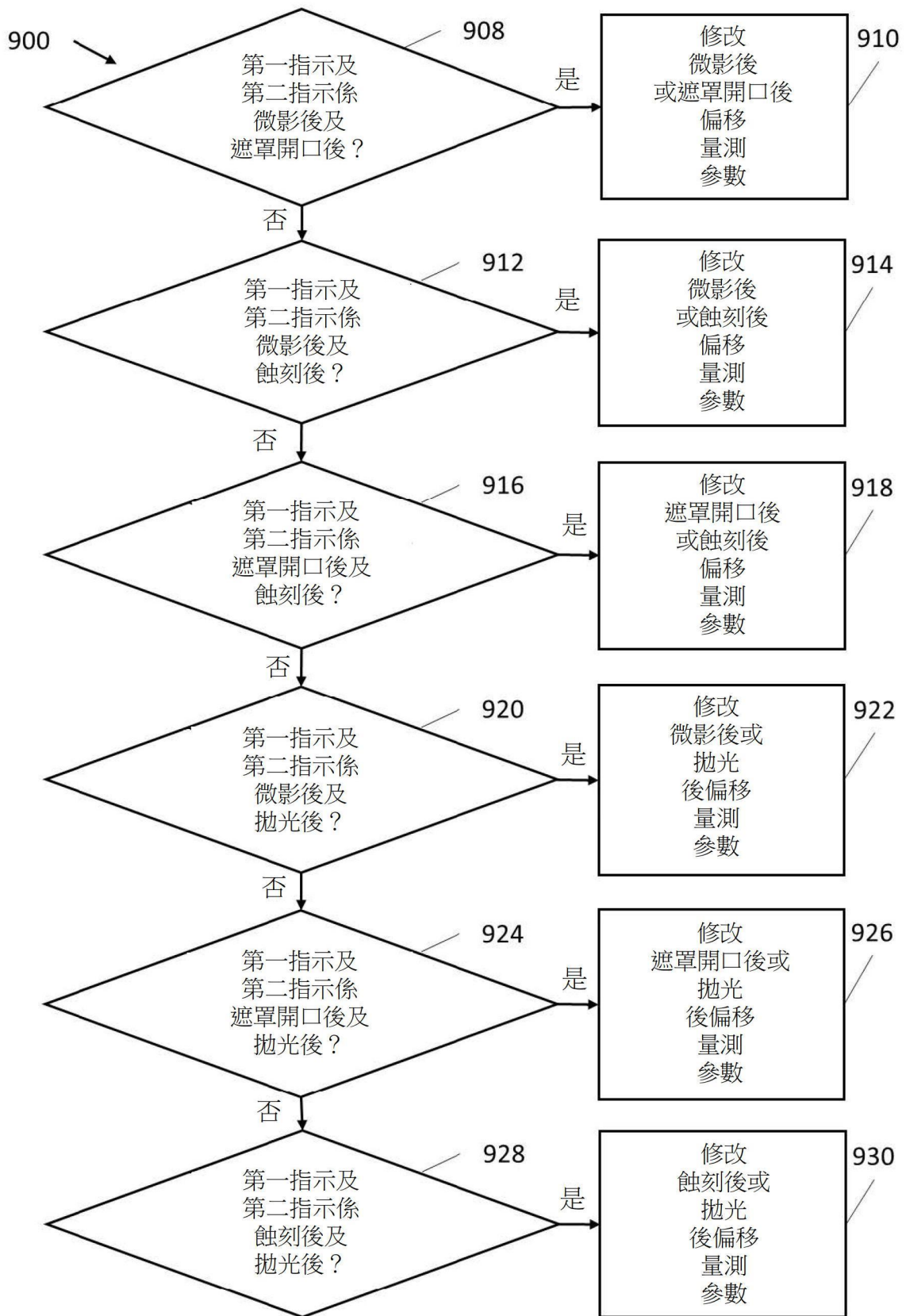
【圖7B】



【圖8】



【圖9A】



【圖9B】