

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 928 766**

51 Int. Cl.:

**H01L 25/065** (2006.01)

**H01L 23/538** (2006.01)

**H01L 21/48** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **22.02.2011** **E 16000370 (3)**

97 Fecha y número de publicación de la concesión europea: **17.08.2022** **EP 3062343**

54 Título: **Procedimiento para producir un módulo semiconductor**

30 Prioridad:

**22.02.2010 DE 102010008789**

**14.09.2010 DE 102010045372**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**22.11.2022**

73 Titular/es:

**SWISS TECHNOLOGY ENTERPRISE GMBH**

**(100.0%)**

**Kirchrain 29**

**9422 Staad, CH**

72 Inventor/es:

**JAKOB, ANDREAS y**

**KAISER, THOMAS**

74 Agente/Representante:

**ELZABURU, S.L.P**

**ES 2 928 766 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Procedimiento para producir un módulo semiconductor

**Antecedentes de la invención.**

La invención se refiere a un procedimiento para producir un módulo semiconductor.

5 Con la creciente importancia de la electrónica móvil, las placas de circuito impreso convencionales con componentes activos o pasivos bidimensionales instalados, como los chips semiconductores, están perdiendo importancia. Los componentes eléctricos o electrónicos se apilan tridimensionalmente. El objetivo aquí es apilar tantos chips como sea posible formando una pila, también llamada "paquete" en el campo técnico, dentro de la altura total de una sola carcasa. Esta tecnología se apoya en obleas muy finas, que cada vez se fabrican mejores. En el pasado, el espesor del material de las obleas adelgazadas, y por lo tanto también de las hojitas de silicio individuales, se encontraba en el rango de más de 150  $\mu\text{m}$ , actualmente son posibles grosores de material de menos de 50  $\mu\text{m}$ .

10 Este desarrollo también corresponde a aquella ley conocida como ley de Moore, según la cual la electrónica en los semiconductores está sujeta a una constante miniaturización. La fabricación y el apilamiento de chips tan delgados es una continuación lógica de estos esfuerzos para en el interior de un semiconductor individual dar tanta funcionalidad como sea posible en la superficie más pequeña posible. Si bien muchas funcionalidades solían acomodarse bidimensionales en las placas de circuitos, ahora se está intentando acomodar tantos chips de este tipo como sea posible en un volumen lo menor posible y, por lo tanto, tridimensionales. Por eso, el experto habla de integración tridimensional.

15 Hasta ahora, estos chips tan delgados se apilaban y se ponían en contacto entre sí mediante la clásica unión por cable. Para ello se conecta un alambre metálico delgado entre los contactos individuales de los chips y, con ello, los chips se conectan eléctricamente entre sí. Sin embargo, esta forma de cableado ha demostrado ser muy engorrosa y defectuosa.

20 Como resultado, el revestimiento de silicio, también conocido como proceso TSV, ganó importancia. En este caso, la fina oblea se perfora mediante microtaladros pasantes entre las capas de un circuito integrado, las llamadas vías, que pueden diseñarse como taladros grabados o taladros perforados. Estas vías están llenas de metal y, por lo tanto, se generan contactos desde la cara delantera hacia la parte posterior de la oblea y, por lo tanto, también de los chips resultantes. El desafío ahora es crear una conexión eléctrica desde los contactos de un chip inferior a los contactos en la parte posterior de un chip apilado en la parte superior. Al mismo tiempo, sin embargo, los dos chips deben aislarse eléctricamente entre sí en la superficie restante.

25 Basándose en los chips DRAM se puede comprender totalmente cómo se está resolviendo esta tarea actualmente. En el caso de los chips DRAM, existe el requerimiento de crear tanto espacio de almacenamiento como sea posible en un volumen pequeño. Algunos fabricantes utilizan lo que se conoce como intercalador, como un plano de cableado, entre los componentes que se van a apilar. Esto se facilita por el hecho de que todos los chips tienen la misma función y el mismo diseño geométrico. Por diseño, es por lo tanto posible que la superficie de contacto de un chip de abajo se encuentre exactamente ahí donde también se encuentra la superficie de contacto de la parte posterior del chip situado encima. La respectiva pieza opuesta de un contacto siempre se encuentra exactamente opuesta, lo que facilita el contacto.

30 Una oblea delgada se usa a menudo como intercalador, que se coloca en las ubicaciones previstas de manera análoga a las vías del proceso TSV y conecta eléctricamente las áreas de contacto de ambos chips entre sí. Esta delgada oblea se coloca entre las obleas inferior y superior y conduce las señales eléctricas. Con el propósito de una mejor capacidad de contacto, también se puede aplicar una elevación metálica a las superficies de contacto de la oblea inferior y/o sobre la cara posterior de la oblea superior. Tales elevaciones también se denominan "protuberancias" por los expertos en la materia. Sin embargo, también es posible aplicar estos relieves a uno o ambos lados del intercalador. A los efectos del contacto duradero las protuberancias deben fundirse a menudo sobre la superficie de contacto opuesta y crear una conexión metálica duradera. Sin embargo, el contacto mediante protuberancias es propenso a errores. Los contactos eléctricos deseados son a menudo de calidad insuficiente. Además, el contacto térmico entre los chips semiconductores y el intercalador no es óptimo para algunas aplicaciones. A menudo la disipación de calor de los chips al intercalador no puede garantizarse adecuadamente a través de las protuberancias.

35 40 45 50 55 Mientras que según el estado de la técnica es relativamente fácil apilar componentes del mismo tipo y diseño geométrico y hacer contacto entre sí, esto se vuelve mucho más difícil con componentes diferentes porque estos no pueden ser diseñados para esto en absoluto o solo de manera muy inadecuada en términos de diseño. Con el número cada vez mayor de chips diferentes dentro de una pila, esta se va volviendo cada vez más pesada. También se presentan problemáticas adicionales porque los contactos entre dos chips diferentes deben volver a ser cableados y los conductores pueden cruzarse.

Mediante un intercalador, según el estado de la técnica, esto puede solucionarse en parte porque a ambos lados de esta delgada oblea se pueden aplicar pistas conductoras y, por lo tanto, se pueden desplazar geométricamente

contactos relativamente flexibles. Sin embargo, este procedimiento es muy costoso y requiere procedimientos litográficos apropiados y, por ello, máscaras en su mayoría costosas. Por lo tanto, no se puede adaptar fácilmente y se vuelve muy costoso a medida que aumenta el número de chips apilados uno encima de otro. Debido a los altos costos de las máscaras, el proceso generalmente solo es adecuado para módulos semiconductores que se fabrican en grandes series.

Otro problema es que siempre hay que apilar obleas enteras. Solo después de apilar las obleas, se separan mediante aserrado para obtener los módulos de semiconductores individuales. Como mínimo, esto dificulta el apilamiento eficiente de chips de diferentes tipos y tamaños. Se debe esperar, por ello, un desperdicio considerable, lo que aumenta los costos por módulo de semiconductores en funcionamiento.

Debido a la necesidad actual de apilar al nivel de la oblea, actualmente la forma y el tamaño de los chips a apilar están diseñados para ser exactamente iguales. De lo contrario, ya no sería posible el corte, por ejemplo, mediante serrado, ya que al menos un chip ya no correspondería al patrón de aserrado.

Además, surgen problemas debido al hecho de que, durante la producción de la oblea, los chips ubicados en ella no tienen todas las propiedades deseadas y fallan por completo o solo tienen una funcionalidad limitada. El rendimiento de una oblea ahora rara vez es del 100%. Si ahora se apilan dos obleas, cada una con un rendimiento inferior al 100 %, es casi inevitable que un buen chip se coloque encima o debajo de un mal chip. Esto influye significativamente en negativo en el rendimiento de buenos módulos semiconductores.

El documento US 2008/0061402 A1 describe un módulo de semiconductores apilados el cual presenta protuberancias que sirven como terminales de electrodos externos. En el documento EP 1 622 435 A1 se da a conocer un procedimiento de fabricación de módulos electrónicos utilizando técnicas de escritura directa.

#### **Misión que sirve como objeto**

Es una misión de la invención proporcionar un procedimiento para fabricar un módulo semiconductor, con el que se solucionen los problemas antes mencionados y, en especial, se pueda fabricar un módulo semiconductor de manera eficiente y económica. La fabricación eficiente y rentable; debe ser posible, en especial, para módulos de semiconductores que se producen en cantidades comparativamente pequeñas.

#### **Solución de acuerdo con la invención**

La misión antes mencionada puede lograrse según la invención con un procedimiento para producir un módulo semiconductor con al menos dos chips semiconductores u obleas dispuestos uno encima del otro según la reivindicación 1.

Formas de realización según la invención se exponen en las reivindicaciones 2 a 10.

De acuerdo con una construcción no especialmente reivindicada aquí, un intercalador presenta estructuras eléctricamente conductoras que conectan los chips semiconductores entre sí. El intercalador se imprime directamente sobre un primero de los chips semiconductores. Al imprimir el intercalador, las estructuras eléctricamente conductoras se generan utilizando tinta conductora de electricidad. Además, el segundo chip semiconductor será montado en el intercalador de manera que los dos chips semiconductores están dispuestos uno encima del otro y el intercalador forma una capa intermedia entre los dos chips semiconductores.

Bajo un chip semiconductor en el sentido de la solicitud debe entenderse un circuito electrónico que se forma utilizando un material semiconductor como por ejemplo silicio o arseniuro de galio. Por ejemplo, dicho chip semiconductor contiene uniones PN. Por el contrario, las placas de circuitos impresos, que a menudo también están contenidas en módulos semiconductores, no forman chips semiconductores en el sentido de la aplicación. Este tipo de placas de circuitos de este tipo producen conexiones eléctricas con los chips semiconductores y presentan tamaños de estructura significativamente mayores que los chips semiconductores asociados. Por intercalador debe entenderse un componente que une eléctricamente los chips semiconductores entre sí. En el estado de la técnica, también se denomina a menudo como intercalador a componentes que producen una conexión entre un chip semiconductor y una placa de circuito impreso.

Una tinta eléctricamente conductora en el sentido de la solicitud se entiende un material que se aplica en estado líquido o pastoso sobre una superficie a imprimir y luego se solidifica, por ejemplo, mediante radiación láser o calentamiento. El material solidificado es eléctricamente conductor. Ejemplos de tales tintas eléctricamente conductoras incluyen las denominadas nanotintas que contienen partículas de plata.

De acuerdo con una otra construcción no reivindicada específicamente aquí, el intercalador se imprime directamente en el primer chip semiconductor, es decir, en su lado frontal o en su lado posterior. Entonces las estructuras conductoras de electricidad se generan utilizando tinta conductora de electricidad. Por impresión directa debe entenderse que el intercalador no se imprime inicialmente sobre una capa de soporte separada del primer chip semiconductor, que luego se aplica a su vez al primer chip semiconductor. Más bien, el intercalador se imprime directamente sobre el primer chip semiconductor. La superficie del primer chip semiconductor a imprimir puede estar

formada, por ejemplo, por una capa de pasivación. El intercalador se puede imprimir en el primer chip semiconductor, por ejemplo, imprimiendo primero una capa eléctricamente aislante y luego las estructuras eléctricamente conductoras. Alternativamente, las estructuras eléctricamente conductoras también se pueden imprimir directamente sobre el primer chip semiconductor. Al imprimir el intercalador directamente en el chip semiconductor, los chips ya no tienen que apilarse como parte de una oblea, sino que pueden separarse individualizados antes de apilarse. Con ello los chips de cualquier tamaño pueden ser apilados uno encima de otro.

Un intercalador impreso directamente sobre la superficie del chip o su respectivo dorso permite que después de que se hayan individualizado las obleas los respectivos chips sean manipulados y clasificados individualmente. Así los chips pueden apilarse con otros chips según sus propiedades o, alternativamente, desecharse.

Al producir el intercalador mediante técnica de impresión y así como el uso de tinta eléctricamente conductora, es posible producir pequeños volúmenes de módulos semiconductores integrados tridimensionalmente de una manera mucho más económica. Mientras que con los procedimientos según el estado de la técnica es necesario utilizar procedimientos litográficos y por lo tanto se requieren conjuntos de máscaras, o cuando se utilizan láminas como material de soporte del intercalador es necesario adaptar las producciones correspondientes, el intercalador impreso solo requiere el cambio de un trabajo de impresión. Si los costes por módulo semiconductor se calculan en el caso de los procedimientos según el estado de la técnica, los costes por módulo semiconductor aumentan bruscamente a medida que disminuye el número de estos módulos. Mediante la posibilidad de cambiar la construcción del intercalador por trabajo de impresión se pueden llevar a cabo cambios o ajustes de manera rápida y económica.

De acuerdo con una realización que no se reivindica específicamente aquí, la tinta eléctricamente conductora para producir las estructuras eléctricamente conductoras se descarga desde una tobera. En particular, la tinta eléctricamente conductora se pulveriza sobre la superficie a recubrir por medio de una tobera. Entonces se puede utilizar un procedimiento como la impresión por chorro de tinta, en el que la tinta se aplica por medio de pequeñas gotas. Según una variante, las estructuras eléctricamente conductoras son generadas mediante un proceso de impresión por chorro de aerosol. Sin embargo, es especialmente ventajoso el procedimiento de impresión por chorro de aerosol en la forma de realización como la ofrecida por la Firma Optomec. El material a imprimir se aplica a través de una tobera mediante un chorro continuo. Según una forma de realización alternativa que no forma parte de la invención reivindicada, la tinta eléctricamente conductora puede imprimirse sobre la superficie a recubrir mediante un proceso de serigrafía.

De acuerdo con otra construcción no reivindicada específicamente aquí, la impresión del intercalador en el primer chip semiconductor incluye imprimir una capa eléctricamente aislante con rebajes en el chip semiconductor y rociar la tinta eléctricamente conductora sobre la capa eléctricamente conductora utilizando una tobera. La capa eléctricamente aislante puede presentar material orgánico y/o inorgánico y puede estar enriquecida con materiales de relleno y/o aditivos. La capa eléctricamente aislante se endurece preferiblemente después de la impresión por medio de radiación actínica, reacción química, calor o secado. En la capa de aislamiento eléctrico se forman cavidades, por ejemplo, no reticulando en estos puntos el material aplicado y retirándolo de nuevo de forma específica. Según una variante, la capa aislante se aplica de manera que nivele o alise la topografía de la superficie del chip.

Según otra construcción no reivindicada aquí, la capa eléctricamente aislante se imprime sobre el primer chip semiconductor mediante serigrafía. De acuerdo con otra construcción, la capa aislante también se puede aplicar mediante recubrimiento por rotación, recubrimiento por pulverización, dosificación y/o por medio de una tobera.

Como ya se mencionó anteriormente, según una construcción no reivindicada específicamente aquí, al imprimir el intercalador sobre el primer chip semiconductor la tinta eléctricamente conductora es pulverizada directamente sobre el primer chip semiconductor por medio de una tobera.

Según otra forma de realización de acuerdo con la invención, la tinta eléctricamente conductora presenta partículas metálicas con una dimensión máxima de 20 nm como máximo. En otras palabras, las partículas metálicas presentan un tamaño de grano de como máximo 20 nm, en particular como máximo de 10 nm o como máximo de 2 nm.

De acuerdo con otra forma de realización según la invención, la tinta eléctricamente conductora presenta partículas de plata, oro y/o cobre. De acuerdo con otra forma de realización, a una temperatura por debajo de 200 °C, en particular por debajo de 150 °C la tinta eléctricamente conductora presenta partículas metálicas que se combinan, en particular enmallan o se sinterizan. Desde hace algún tiempo se ofrecen tintas que pueden endurecer o sinterizarse a temperaturas tan bajas como estas. Un ejemplo de este tipo de tinta es la nanotinta conductora Baylnk® Bayer TPS enriquecida con partículas de plata de tamaño nanométrico. El tamaño de partícula muy pequeño permite que este tipo de tintas puedan sinterizarse ya a temperaturas muy por debajo de los 200 °C. Se conocen ensayos en los que temperaturas del orden de 140°C hicieron posible la sinterización. Con una conductividad de 5000 S/m, estos materiales son suficientemente conductores. Además, Bayer también ofrece una tinta conductora Baylnk® CNT que está enriquecida con nanotubitos y posee propiedades prometedoras. Aparte de las tintas que contienen plata, también tiene sentido utilizar tintas que contengan nanopartículas de otros metales, como por ejemplo cobre.

De acuerdo con otra forma de realización acorde con la invención, la tinta eléctricamente conductora presenta partículas metálicas que se combinan, en particular entrecruzan o sinterizan cuando se irradian con luz una longitud de onda inferior a 600 nm. Esto permite la reticulación de onda corta o la sinterización con luz con una longitud de onda de, por ejemplo, 523 nm o 355 nm.

5 De acuerdo con otra forma de realización no reivindicada específicamente aquí, el primer chip semiconductor es parte de una oblea al imprimirse el intercalador. La oblea presenta por lo general, una gran cantidad de chips semiconductores. En otras palabras, el primer chip semiconductor aún no está individualizado cuando se imprime el intercalador. Alternativamente, también es ciertamente posible individualizar el primer chip semiconductor antes de que se imprima el intercalador.

10 De acuerdo con otra construcción no reivindicada aquí, la oblea se prueba en busca de áreas defectuosas antes de que se imprima el intercalador, y el diseño de las estructuras eléctricamente conductoras que se van a imprimir se configura sobre la base del resultado de la prueba mientras se evitan las áreas defectuosas. De acuerdo con otra forma de realización, antes de que se imprima el intercalador, los segundos chips semiconductores que se montarán en el intercalador también se prueban en busca de áreas defectuosas y este resultado de la prueba se usa para determinar la disposición de las estructuras eléctricamente conductoras que se van a imprimir. Esto se hace preferiblemente porque las estructuras eléctricamente conductoras conectan entre sí áreas de funcionamiento de los chips apilados uno encima de otro en el módulo de semiconductores terminado. Las áreas defectuosas son evitadas por las estructuras conductoras de electricidad. Los chips de semiconductores que están defectuosos de tal manera que parecen inutilizables se desechan preferentemente de antemano sobre la base del resultado de la prueba.

## 20 **Breve descripción de los dibujos**

Las anteriores y otras características ventajosas de la invención se ilustran en la siguiente descripción detallada de formas de realización acordes con la invención, a modo de ejemplo, con referencia a los dibujos esquemáticos adjuntos. Se muestra:

25 Fig.1 muestra una vista en sección de un módulo de semiconductores que puede ser fabricado de acuerdo con la invención, con cuatro chips semiconductores dispuestos uno encima del otro y conectados mediante intercaladores,

Fig. 2 muestra una vista en sección de una primera unidad funcional de una disposición para producir un módulo de semiconductores acorde con la invención,

30 Fig. 3 muestra una vista en sección de una segunda unidad funcional de la disposición para producir un módulo de semiconductores acorde con la invención,

Fig. 4 muestra una vista en sección de una tercera unidad funcional de la disposición acorde con la invención para fabricar un módulo semiconductor;

Fig. 5 muestra una vista en planta del lado superior de un chip semiconductor con áreas de contacto metálicas,

35 Fig. 6 el chip semiconductor acorde con la figura 5 con una capa de aislamiento eléctrico impresa en su cara superior.

Fig. 7 muestra la capa eléctricamente aislante según la figura 6 con rebajes rellenos con tinta eléctricamente conductora.

Fig. 8 muestra la capa de aislamiento eléctrico de acuerdo con la figura 7 con estructuras conductoras de electricidad impresas sobre ella.

40 Fig.9 muestra la estructura según la figura 8 con otra capa de aislamiento eléctrico que incrusta las estructuras conductoras de electricidad.

Fig. 10 muestra la estructura según la figura 9 con otras estructuras conductoras de electricidad aplicadas a su superficie.

45 Fig. 11 muestra la estructura según la figura 10 con otras capas de aislamiento eléctrico aplicadas así como elevaciones formadas por medio de tinta eléctricamente conductora, así como

Fig. 12 muestra la estructura según la figura 11 con un metal de contacto aplicado a las elevaciones.

## **Descripción detallada de ejemplos de realización acordes con la invención**

50 En los ejemplos de realización que se describen a continuación, los elementos que son funcional o estructuralmente similares entre sí están provistos de símbolos de referencia iguales o similares en la medida de lo posible. Por tanto, para una comprensión de las características de cada elemento de un ejemplo de realización en particular, se debería hacer referencia a la descripción de otros ejemplos de realización o a la descripción general de la invención.

Para simplificar la descripción del sistema de iluminación de la proyección, en el dibujo se presenta un sistema de coordenadas cartesiano xyz, del cual resulta la respectiva relación de posición de los componentes mostrados en las figuras. En la figura 1, la dirección y es perpendicular al plano del dibujo, la dirección x es hacia la derecha y la dirección z es hacia arriba.

5 La figura 1 muestra una representación esquemática de una vista en sección de un módulo de semiconductores 10 que puede fabricarse según la invención. Se trata de un módulo integrado tridimensionalmente en el que están varios, en este caso cuatro, chips semiconductores 12, 14, 16 y 18, apilados uno encima del otro. Los llamados intercaladores 20, 22 y 24 están dispuestos respectivamente entre los chips semiconductores. Los intercaladores unen eléctricamente entre sí los respectivos chips semiconductores contiguos. El intercalador 20 conecta los chips semiconductores 12 y 14, el intercalador 22 los chips semiconductores 14 y 16 y el intercalador 24 los chips semiconductores 16 y 18. En el ejemplo ilustrado, el chip semiconductor 18 dispuesto en la parte superior de la pila está diseñado como sensor, mientras que los chips semiconductores 16, 14 y 12 contienen varios circuitos integrados.

15 El intercalador 20 entre los chips semiconductores 12 y 14 presenta estructuras eléctricamente conductoras 28 que están incrustadas en un material eléctricamente aislante 30. Tanto el material eléctricamente aislante 30 como las estructuras eléctricamente conductoras 28 se imprimen, según la invención, directamente sobre un lado superior 13 del chip semiconductor 12, como se describe en detalle a continuación. Las estructuras conductoras de electricidad 28 se forman utilizando tinta capaz de conducir la electricidad y contactan con superficies de contacto 26 metálicas en la parte superior 13 del chip semiconductor 12. En la parte superior del intercalador '20, las estructuras capaces de conducir electricidad 28 están provistas de elevaciones de metal de contacto 34, los llamados baches, en varios puntos. Estas protuberancias hacen contacto con el segundo chip semiconductor 14 desde su lado inferior en microagujeros rellenos de metal en forma de las denominadas vías 32. Las vías rellenas 32 atraviesan el chip semiconductor 14 en todo su grosor. Las vías individuales están en contacto en su lado superior con un cable de unión 36 o estructuras eléctricamente conductoras 28 del intercalador 22. La construcción de los intercaladores 22 y 24 es análoga a la construcción del intercalador 20 que se acaba de describir.

20 Las figuras 5 a 12 ilustran en detalle la aplicación del intercalador 20 al lado superior 13 del chip semiconductor 12, en una forma de realización según la invención. Las figuras 2 a 4 ilustran una disposición 50 utilizada a tal fin para fabricar un módulo de semiconductores en una forma de realización según la invención. La disposición 10 para la producción según la invención, comprende una primera unidad de impresión 58 que se muestra en la figura 2, una segunda unidad de impresión 64 que se muestra en la figura 3 y un dispositivo de montaje 72 que se muestra en la figura 4. Las unidades funcionales mencionadas pueden ser parcial o completamente integradas en un solo dispositivo o ser concebidas como sistemas separados.

30 Como se muestra en la figura 2, la disposición 50 comprende un dispositivo de sujeción de obleas 52 para sujetar una oblea 54 que comprende múltiples chips semiconductores 12. De acuerdo con la forma de realización ilustrada, los semiconductores 12 se procesan sin separación previa, es decir, como parte de la oblea 54. La oblea 54 se alinea inicialmente en el centro del dispositivo de sujeción de obleas 52 por medio de un alineador de obleas 56. Como se muestra en la figura 5, los chips semiconductores individuales 12 tienen una capa de pasivación 38 en sus lados superiores 13 así como varias superficies de contacto metálicas circulares 26 que perforan la capa de pasivación 38.

40 En un primer paso del procedimiento de fabricación, en una forma de realización según la invención, una capa 31 de material eléctricamente aislante 30 en forma de dieléctrico se imprime directamente en el lado superior 13 del chip semiconductor 12, es decir, en la capa de pasivación 38, mediante un procedimiento de serigrafía. La presión se aplica de tal manera que la capa eléctricamente aislante 31 presenta rebajes 40 en la zona de las superficies de contacto 26. Para imprimir la capa 31, una máscara de impresión 60, ilustrada en la Fig. 2 es deslizada sobre la oblea 54 en la disposición 10 mediante un dispositivo de deslizamiento 61. Cuando se ha terminado correctamente la serigrafía, el material impreso se reticula mediante la exposición a la luz ultravioleta o al calor. La disposición 50 presenta para ello una fuente de radiación 62 correspondiente.

45 A continuación, los rebajes 40 se rellenan con tinta conductora 68, como se muestra en la fig. 7. Además, una parte de las pistas conductoras 42 que forman parte de las estructuras 28 eléctricamente conductoras están impresas sobre la capa eléctricamente aislante 31, como se muestra en la Fig. 8. Esto se hace utilizando la segunda unidad de impresión 64 mostrada en la figura 3. Esta incluye una tobera 66 para diferenciar la tinta conductora 68, por ejemplo, mediante un proceso de impresión de aerosol. En este caso, la tinta conductora se aplica a la capa aislante 31 mediante un chorro continuo. La tinta eléctricamente conductora 68 puede configurarse de varias formas, como se indica en la parte general de la descripción. Según una forma de realización, la tinta 68 incluye partículas de plata de tamaño nanométrico. Una vez aplicada la tinta 68, se irradia con luz del láser 70 para entrecruzar o sinterizar las partículas de plata. Alternativamente, la tinta conductora 68 también se puede aplicar a la capa aislante 31 por medio de un proceso de serigrafía.

55 Como se muestra en la Fig. 9, las pistas conductoras 42 se incrustan entonces en otra capa 31 de aislamiento eléctrico. Siguen otros procesos de impresión, en los que se fabrican más capas de aislamiento eléctrico 31 y otras pistas conductoras 42, como se muestra en las figuras 10 y 11. Como pasos finales de fabricación las

protuberancias metálicas 33 se imprimen usando tinta conductora 68. El metal de contacto 34 se aplica a estas crestas para formar las protuberancias antes mencionadas, como se ilustra en la Fig. 12 .

El procesamiento posterior de la oblea 54 con el intercalador 20 de la figura 12 dispuesto sobre ella puede tener lugar de diferentes maneras. De acuerdo con una primera forma de realización, la oblea 54 ahora se separa en los chips semiconductores individuales 12 mediante serrado. A continuación, los chips semiconductores 12 se disponen individualmente en un dispositivo de sujeción de chips 74 según la figura 4 y el chip semiconductor 14 se coloca sobre el intercalador 20 por medio de un dispositivo de colocación de chips 76 de tal manera que las superficies de contacto correspondientes en la parte inferior del chip 14 entran en contacto con los metales de contacto 34 del intercalador 20. Los intercaladores adicionales 22 y 24, así como los chips semiconductores adicionales 16 y 18, se aplican luego de manera análoga al procedimiento descrito anteriormente y, de este modo, se completa el módulo semiconductor 10.

En una forma de realización de acuerdo con la invención, los chips semiconductores individuales 12, 14, 16 y 18 se prueban en cuanto a sus propiedades eléctricas, antes de la integración tridimensional del módulo semiconductor. El resultado de la prueba proporciona información precisa sobre las áreas defectuosas de los chips. Los resultados de las pruebas se utilizan, por un lado, para descartar por completo chips muy defectuosos y, por otro lado, para configurar la disposición de las estructuras eléctricamente conductoras 28 dentro de los intercaladores 20, 22 y 24 de manera apropiada. Esto se hace de tal manera que las áreas defectuosas de los chips queden excluidas del contacto eléctrico. Por ejemplo, es posible desviarse de una conexión por conductor entre dos segmentos de chip que se encuentran directamente uno encima del otro si uno de estos segmentos está defectuoso y, en cambio, la conexión de conductor puede enrutarse a un segmento adyacente del segmento defectuoso.

De acuerdo con otra forma de realización, la oblea 54 con el intercalador 20 impreso en ella, no está inicialmente individualizada. Más a menudo, se coloca sobre ella otra oblea que contiene los chips 14, de modo que las áreas de contacto correspondientes en la parte inferior de los chips 14 contacten con los metales de contacto 34 del intercalador 20. La impresión del intercalador 22 se realiza entonces sobre toda la superficie de toda la oblea. Los otros chips 16 y 18 y el intercalador 24 también se pueden aplicar sobre toda la superficie. Solo entonces tiene lugar la individualización aserrando la pila de obleas. También en este caso, las estructuras conductoras de electricidad 28 están adaptadas a los resultados de las pruebas eléctricas de los chips.

A continuación, se describirán otros ejemplos de realización de la invención, a modo de ejemplos. Algunos de los ejemplos de realización describen formas de realización ilustradas anteriormente, con otras palabras, completan o amplían otros ejemplos de realización,.

El procedimiento según la invención está destinado a facilitar, en la integración 3D de componentes electrónicos (chips), apilarlos en pilas y hacer contacto eléctrico unos con otros. El procedimiento habilita uno o varios niveles de cableado, que se denominan intercaladores. De acuerdo con una forma de realización, se aplican preferiblemente por impresión al menos dos componentes diferentes. Para ello, un componente asume la función de una capa dieléctrica y el otro componente la función de un conductor eléctrico. Mediante el control específico de una impresora, es posible configurar el intercalador de tal manera que los contactos de dos chips diferentes puedan hacer contacto entre sí de manera flexible e individual.

El procedimiento posterior prescinde en gran medida de procesos litográficos. Puede usarse en obleas enteras, así como en chips que ya han sido separados, como también en una combinación de estos.

Partiendo de la superficie de un chip completamente procesado, que todavía puede estar presente en el compuesto de una oblea no individualizada o que ya está individualizada, esta oblea o chip ahora se reconoce ópticamente en un dispositivo y se orienta mecánicamente. Sobre la superficie del chip se encuentran superficies que generalmente están protegidas con una capa adecuada para las estructuras existentes debajo; los expertos dicen que están pasivadas. Además, sobre el chip hay áreas que están abiertas para el contacto posterior, cuya superficie mayoritariamente metálica no se aisló deliberadamente.

Según una forma de realización, en el mismo dispositivo que las obleas o el chip que ya ha sido alineándose encuentran al menos dos cabezales de impresión, que pueden ser controlados individualmente. Estos cabezales de impresión también pueden ser toberas u otros dispositivos que se utilizan para la aplicación local y dirigida de material con baja o alta viscosidad, como los dispositivos de serigrafía.

Ahora se pone en funcionamiento el primer cabezal de impresión. Ahora recorre aquellas áreas que deben permanecer aisladas y les imprime un líquido. En la aplicación, este líquido puede ser una poliamida, un barniz o una resina u otro material orgánico o inorgánico y ha sido enriquecido con áridos, aditivos u otras mezclas adecuadas, si es necesario, para optimizar su viscosidad y/o sus posteriores características dieléctricas, mecánicas y geométricas. Mediante un procedimiento adecuado, este líquido se reticula o cura para formar una capa que tiene propiedades dieléctricas. Este procedimiento puede consistir en curar el material impreso utilizando radiación energética en forma de luz, por ejemplo, una lámpara o un láser. Al especialista en la técnica le son conocidos procedimientos en los que las pinturas se reticulan por medio de luz UV. La oportuna reticulación, secado u otra solidificación o endurecimiento del líquido impreso tiene por objeto evitar que se escurra de forma no deseada.

Mediante el control adecuado del cabezal de impresión, como su velocidad de avance, su frecuencia de impresión o la cantidad de impresiones, también se puede usar para nivelar o suavizar la topografía de la superficie del chip y, por lo tanto, también la de una oblea. De esta manera, los rebajes en la superficie de un chip pueden ser rellenados de forma selectiva.

- 5 Las técnicas de impresión actuales permiten una amplia gama de diferentes viscosidades, por lo que también se pueden imprimir materiales pastosos.

Una vez que el primer cabezal de impresión ha impreso el líquido y éste se ha reticulado, secado o solidificado o endurecido adecuadamente, queda una capa dieléctrica que puntualmente tiene rebajes selectivos que sirven con el fin de contactar con el chip o la oblea.

- 10 Ahora se activa un segundo cabezal de impresión, que imprime un líquido lleno o enriquecido con metal, el cual se denomina también tinta conductora de electricidad. Esta tinta también puede enriquecerse específicamente con áridos y aditivos a efectos de su viscosidad y posteriores propiedades mecánicas, eléctricas o topográficas.

- 15 La impresora con la tinta metálica ahora controla específicamente las áreas que no fueron impresas con el material dieléctrico. Usando procedimientos adecuados, esta tinta ahora se trata de tal manera que se endurece y se asegura una buena conexión eléctrica con las superficies de contacto metálicas. Este puede ser un proceso que endurece la tinta al secarla, por ejemplo, permitiendo que se escape el solvente o el agua. Pero también es posible sinterizar o fusionar esta tinta por medio de un láser u otros procesos energéticos y/o térmicos adecuados. Para ello no es absolutamente necesario que las propiedades geométricas del metal así impreso sean similares a las de la capa dieléctrica aplicada. Mediante el control específico del cabezal de impresión, el resultado de la impresión también se puede optimizar y ajustar a través de la velocidad de impresión o el ajuste del cabezal de impresión, de modo que el resultado de la impresión de ambos materiales se complemente geoméricamente.

- 20 Según una forma de realización, esta primera capa impresa de metal también se puede aplicar primero con otro cabezal de impresión que imprima una tinta metálica más fácil de hacer contacto y/o de fundir, facilitando o mejorando así la conexión metálica a las superficies de contacto, y solo posteriormente puede ser impresa con otra tinta metálica.

- 25 Ahora que se ha aplicado una primera capa metálica sobre los contactos de la oblea o el chip, el cabezal de impresión imprime una o más capas que se secan, sinterizan, reticulan o solidifican o endurecen de otra manera adecuadamente. Además, ahora también imprime pistas conductoras que sirven para el recableado posterior. Para ello el cabezal de impresión se pasa una o más veces de tal manera que se crea una pista conductora. En cuanto a su diseño geométrico, ancho, alto y sección transversal, esta pista conductora cumplirá con los requisitos establecidos. Así mismo en cuanto a las propiedades eléctricas, conductividad y resistencia óhmica. En la interacción de ambos cabezales de impresión, ahora se pueden construir uno o varios niveles de cableado. Para ello también puede ser posible que ambos cabezales de impresión apliquen y reticulen o sintericen el material a imprimir al mismo tiempo o en momentos diferentes.

- 30 La interacción de ambos cabezales de impresión hace posible que los distintos cableados sean guiados encaminen de tal manera que se crucen entre sí y aún estén aislados entre sí por la capa dieléctrica impresa.

El resultado es un intercalador tridimensional que consta en gran parte de material dieléctrico y en el que se incrusta el cableado eléctrico.

- 35 Se conocen procedimientos en los que la mayoría de los componentes electrónicos pasivos, como resistencias eléctricas o condensadores, se imprimen usando tecnología de impresión. Tal procedimiento puede usarse para imprimir dichos componentes en el interior del compuesto de capas. En este caso, las pistas conductoras producidas con el material conductor entrarán en contacto con dichos componentes. Por lo tanto, con el procedimiento también es posible implementar tales componentes entre dos chips o también complementar la función eléctrica de un chip individual implementando tal componente entre dos contactos de un chip individual.

- 40 Con el fin de hacer contacto eléctrico con los contactos en la parte posterior de la oblea o el chip que se encuentran en la parte superior, es posible utilizar el cabezal de impresión para crear una elevación de metal para la tinta metálica, que se acerca mucho al propósito y la forma de un clásico llamado "bache". Para hacer esto, el cabezal de impresión imprime múltiples capas una encima de la otra hasta alcanzar una elevación adecuada, lo que facilita el contacto eléctrico con los contactos en la parte posterior de la oblea o el chip de arriba.

- 45 También es posible que un tercer cabezal de impresión imprima sobre la elevación una segunda tinta cargada con metal, lo que facilita el contacto con las superficies de contacto en la parte posterior con respecto a sus propiedades térmicas o de otro tipo. Esto crea una capa metálica en la protuberancia que sería más fácil de derretir.

- 50 Una ventaja de la invención reside en el hecho de que se puede prescindir de procedimientos litográficos y, por lo tanto, no es necesario utilizar máscaras, que son costosas y complejas de producir. Especialmente en la producción de series pequeñas o piezas únicas en particular, se pueden esperar importantes ventajas de costos en comparación con los procesos habituales. Por ello, el hecho de que el intercalador se configure únicamente a través

del control de la impresora es una ventaja particular, ya que la adaptación e implementación de los requisitos se refiere únicamente al cambio de archivos en los que está almacenado el correspondiente esquema del intercalador.

5 Otra ventaja consiste en que se pueden procesar componentes (chips) que ya se han separado. Hasta ahora, esto solo ha sido posible de forma muy limitada, ya que los procesos litográficos usuales hasta ahora generalmente solo han sido aplicables a obleas no separadas.

El diseño flexible del intercalador también hace posible conectar entre sí componentes (chips) de diferentes tamaños, configuraciones geométricas y funciones, mucho más fácilmente y garantizar un cableado adaptable dentro de la pila resultante. Otra ventaja consiste en que los componentes pasivos también se pueden integrar dentro del intercalador.

10 Un chip (componente semiconductor) que ya ha sido cortado de una oblea y, por lo tanto, está aislado, debe apilarse con otro chip aislado y conectarse eléctricamente. Los dos chips son componentes que tienen funciones diferentes y su diseño geométrico es diferente. Al menos, el chip superior se ha adelgazado significativamente y tiene contactos en la parte posterior del chip con el fin de conducir la señal eléctrica, lo que permite el contacto desde la parte frontal del chip hasta su parte posterior por medio de orificios rellenos de metal (las llamadas vías) en el chip.

15 El chip situado debajo se alinea en el lado frontal por medio de reconocimiento óptico dentro de un dispositivo de impresión. Luego, un cabezal de impresión comienza a aplicar un recubrimiento, que se reticula en un segundo utilizando un haz de luz con un alto componente UV que se guía de forma sincronizada con el cabezal de impresión. La pintura previamente aplicada se reticula por medio de la luz de tal manera que se transforma en un material sólido que posee propiedades dieléctricas.

20 Mediante el guiado del cabezal de la impresora y del haz de luz guiado sincrónicamente, ahora se genera sobre el componente una capa con propiedades dieléctricas, que tiene rebajes en lugares previamente determinados donde esta capa no se aplica. En estos puntos hay zonas de contacto del chip que se mantienen libres con el fin de contactar.

25 A continuación, otro cabezal de impresión aplica un líquido lleno de metal (tinta llena de metal) de forma dirigida a aquellas áreas libres que anteriormente fueron rebajadas durante la producción de la capa dieléctrica y, por lo tanto, se mantuvieron libres. Para ello un láser es guiado sincrónicamente, esta vez utilizando su energía para interconectar o sinterizar el relleno metálico del líquido.

30 Una vez que los contactos abiertos se han llenado con tinta metálica, el cabezal de impresión se controla ahora de tal manera que se crean pistas conductoras. Mediante un control adecuado de ambos cabezales de impresión, se configura ahora un intercalador, que guía las pistas conductoras contenidas en él de manera que se produzca el deseado contacto eléctrico de ambos chips. Las pistas conductoras están embebidas en el material aislante de tal manera que no se produzca un contacto no deseado entre ellas o con los respectivos chips.

**Lista de símbolos de representación.**

- 10 Módulo semiconductor
- 35 12 chip semiconductor
- 13 parte superior
- 14 chip semiconductor
- 16 chip semiconductor
- 18 chip semiconductor
- 40 20 intercalador
- 22 intercalador
- 24 intercalador
- 26 superficie de contacto metálica
- 28 estructuras conductoras de electricidad
- 45 30 material aislante eléctrico
- 31 capa de aislamiento eléctrico
- 32 vía llena

	33	elevación metálica
	34	metal de contacto
	36	alambre de unión
	38	capa de pasivación
5	40	rebaje
	42	pista de conductores
	50	disposición para producir un módulo semiconductor.
	52	dispositivo de sujeción de obleas
	54	oblea
10	56	alineador de oblea
	58	primera unidad de impresión
	60	máscara de impresión
	61	dispositivo de desplazamiento
	62	fuelle de radiación
15	64	segunda unidad de impresión
	66	tobera
	67	dispositivo de desplazamiento
	68	tinta capaz de conducir electricidad
	70	láser
20	71	dispositivo de cambio
	72	dispositivo de montaje
	74	dispositivo de retención de chips
	76	dispositivo de colocación de chips

**REIVINDICACIONES**

1. Procedimiento para producir un módulo semiconductor (10) con como mínimo dos chips semiconductores (12, 14) u obleas dispuestos uno encima del otro, en el que:
- 5                   - se crea una elevación metálica (33) hecha de tinta eléctricamente conductora sobre un primero de los chips semiconductores (12) u oblea por tecnología de impresión por medio de un procedimiento de impresión por chorro de aerosol, en el que se imprimen varias capas una encima de la otra, y
- 10                   - el segundo chip semiconductor (14) u oblea está montado sobre el primer chip semiconductor (12) u oblea de tal manera que los dos chips semiconductores u oblea están dispuestos uno encima del otro y se produce un contacto eléctrico en un contacto sobre un lado posterior del segundo chip semiconductor u oblea sobre la elevación metálica (33).
2. Procedimiento según la reivindicación 1, en el que el montaje del segundo chip semiconductor (14) u oblea se realiza por fusión de la elevación (33) del primer chip semiconductor u oblea sobre el contacto del segundo chip semiconductor u oblea.
- 15                   3. Procedimiento según la reivindicación 1 o 2, en el que se imprime una segunda tinta eléctricamente conductora sobre la elevación metálica (33), de modo que sobre la elevación se genera un revestimiento metálico (34), que puede fundirse fácilmente.
- 20                   4. Procedimiento según una de las reivindicaciones anteriores, en el que inicialmente se dispone un intercalador (20) sobre el primer chip semiconductor (12) u oblea y se genera la elevación metálica (33) en el lado superior del intercalador.
- 25                   5. Procedimiento según la reivindicación 4, en el que se crean estructuras conductoras de electricidad (28) del intercalador por medio de tinta capaz de conducir electricidad.
6. Procedimiento de acuerdo con una de las reivindicaciones anteriores, en el que la tinta capaz de conducir electricidad es descargada desde una tobera (66) para generar la elevación metálica.
- 30                   7. Procedimiento de acuerdo con una de las reivindicaciones anteriores, en el que la tinta capaz de conducir electricidad presenta partículas metálicas con una dimensión máxima de como máximo 20 nm.
8. Procedimiento de acuerdo con una de las reivindicaciones anteriores, en el que la tinta capaz de conducir electricidad contiene partículas de plata, oro y/o cobre.
9. Procedimiento de acuerdo con una de las reivindicaciones anteriores, en el que la tinta capaz de conducir electricidad presenta partículas metálicas que se unen a una temperatura inferior a 200°C.
10. Procedimiento de acuerdo con una de las reivindicaciones anteriores, en el que la tinta capaz de conducir electricidad presenta partículas metálicas que se unen cuando son irradiadas por luz con una longitud de onda inferior a 600 nm.

Fig. 1

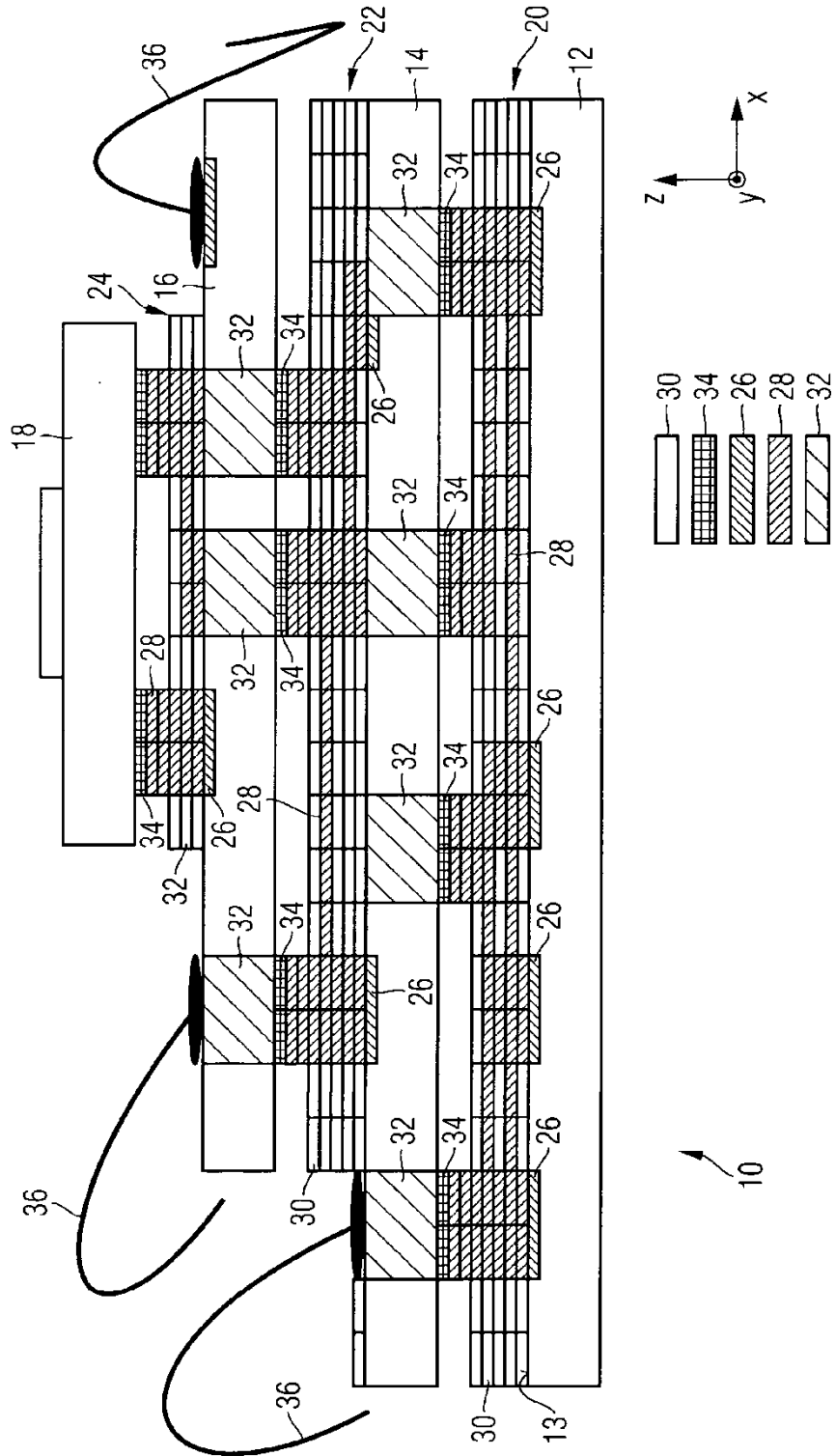


Fig. 2

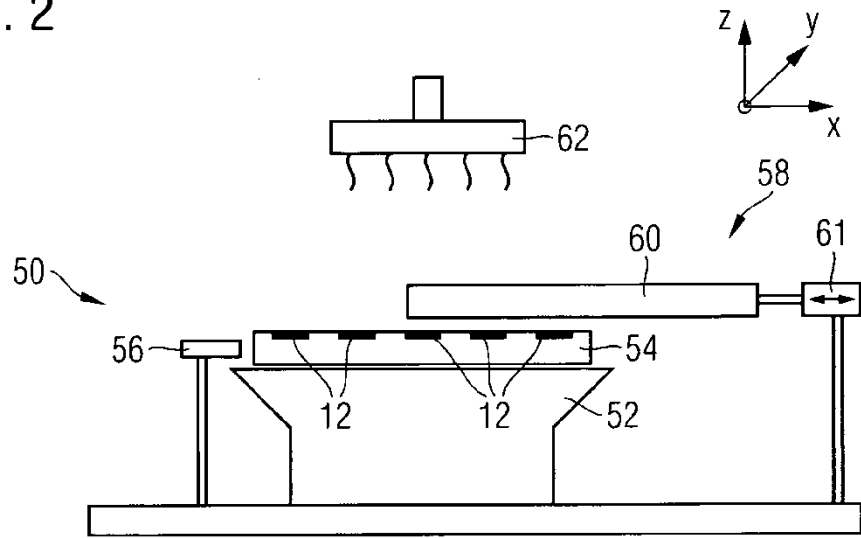


Fig. 3

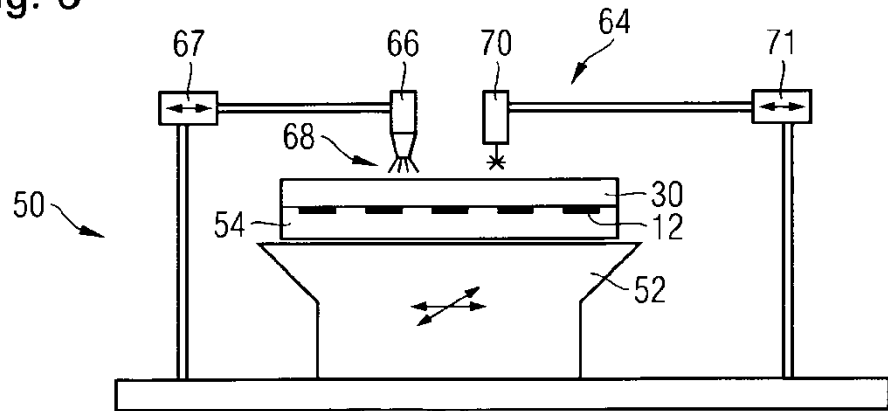


Fig. 4

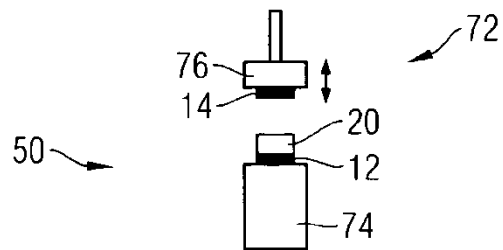


Fig. 5

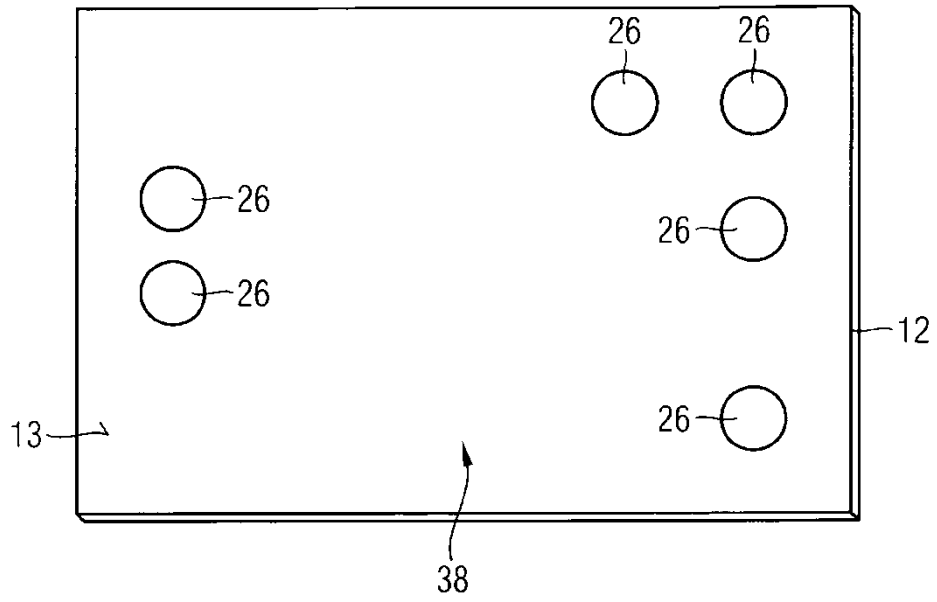


Fig. 6

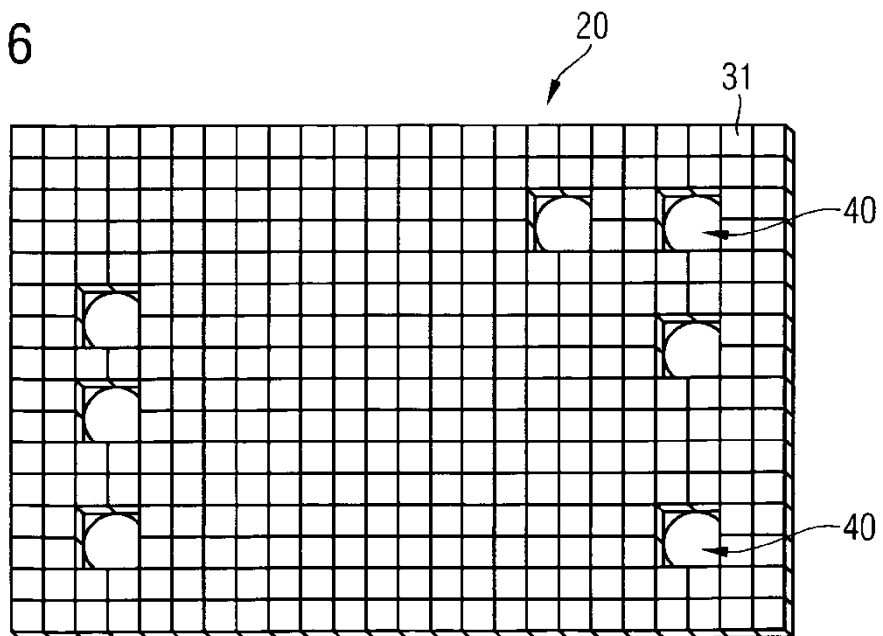


Fig. 7

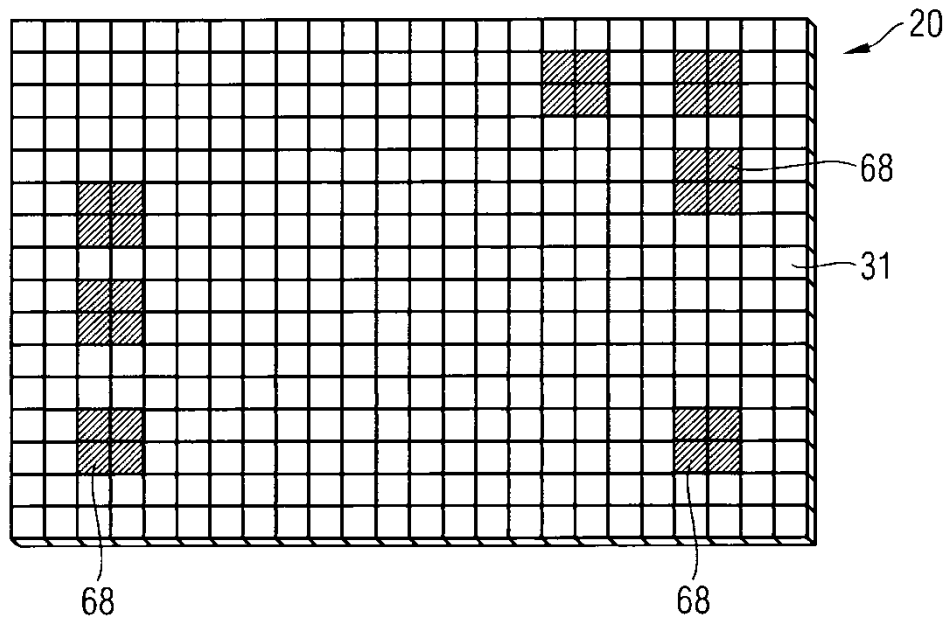


Fig. 8

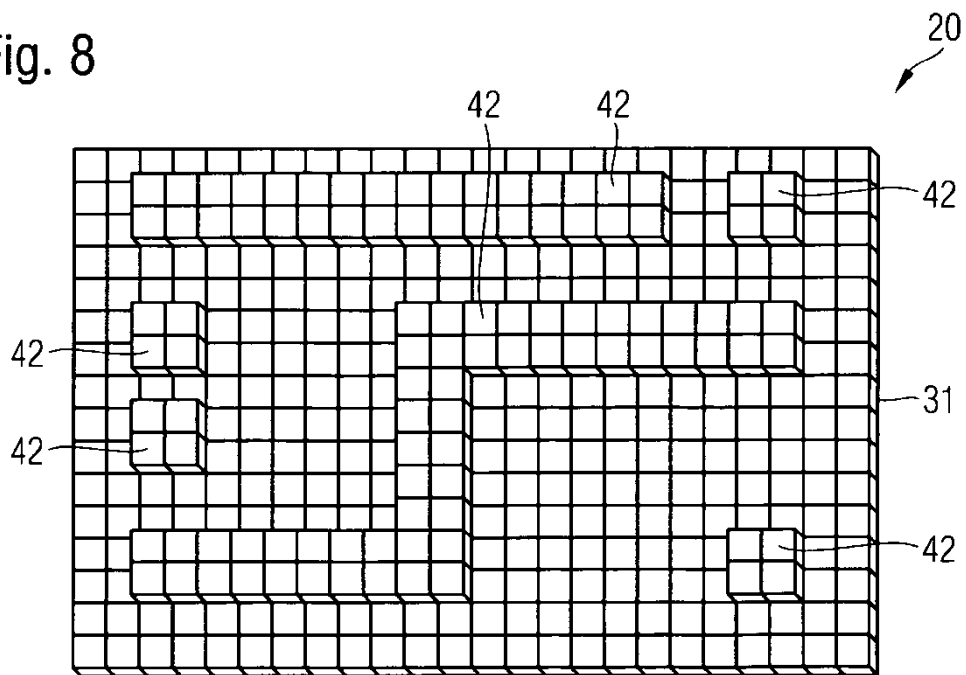


Fig. 9

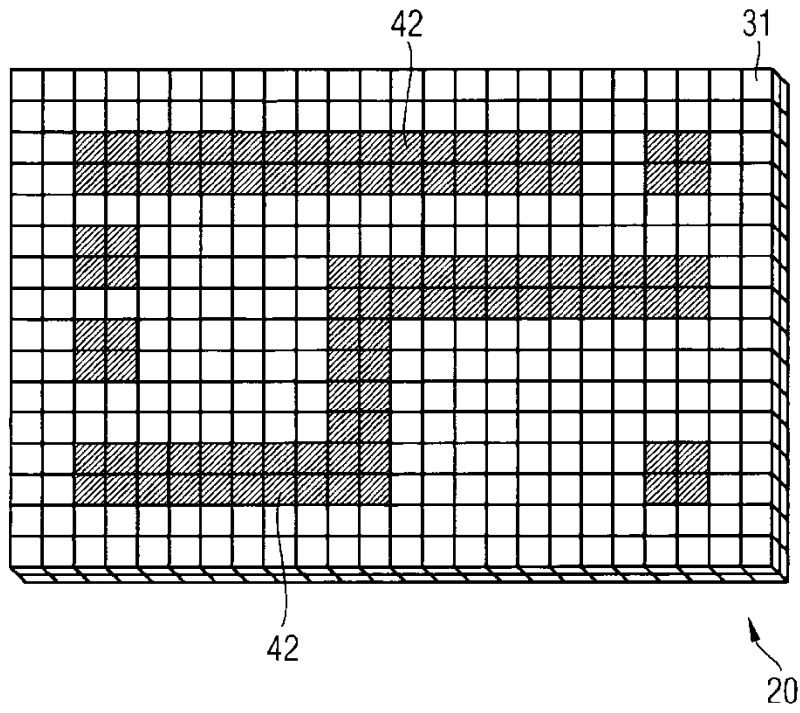


Fig. 10

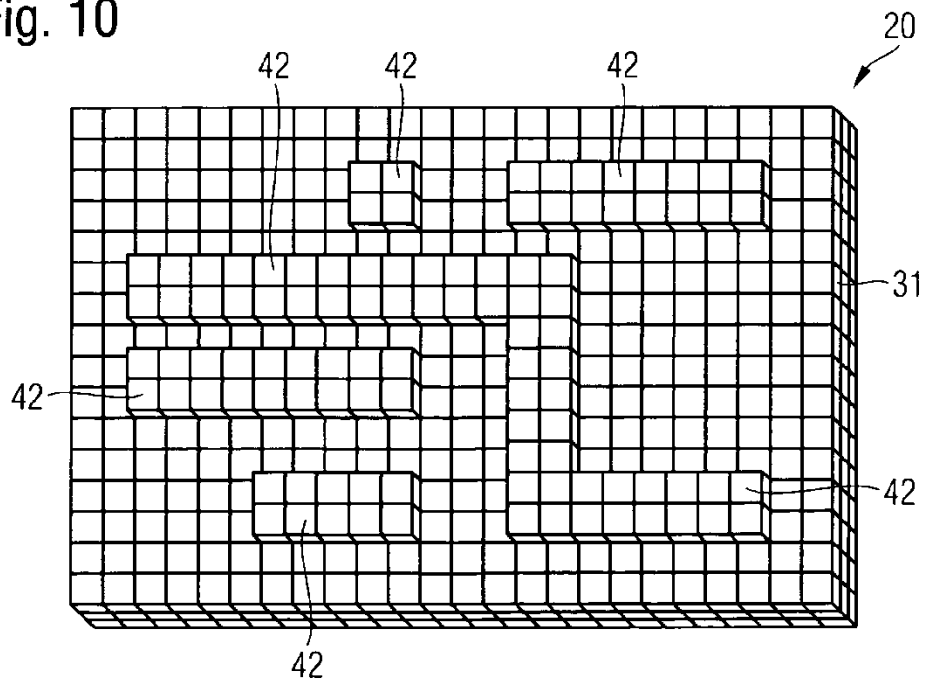


Fig. 11

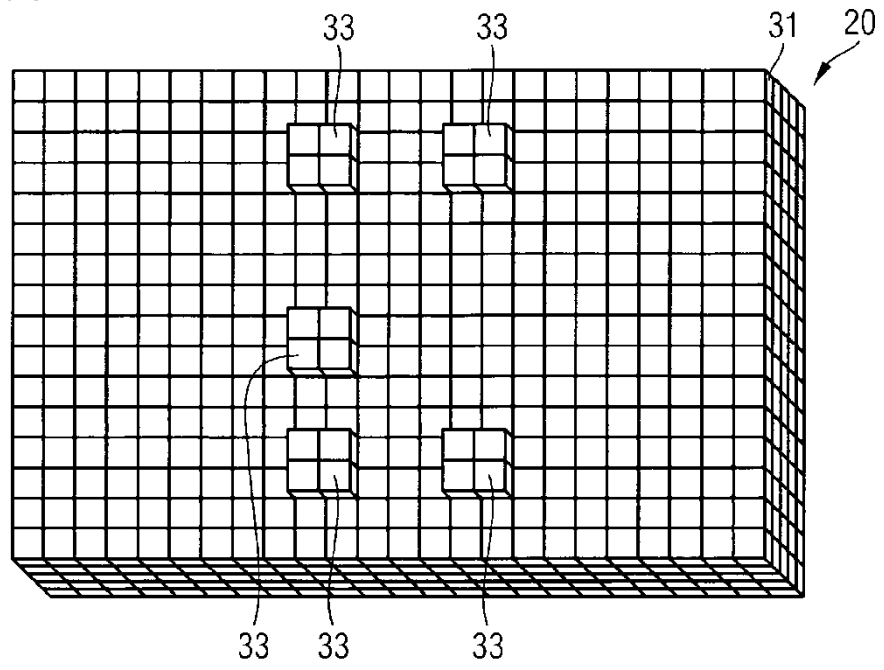


Fig. 12

