



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201248635 A1

(43)公開日：中華民國 101 (2012) 年 12 月 01 日

(21)申請案號：101117584

(22)申請日：中華民國 101 (2012) 年 05 月 17 日

(51)Int. Cl. : **G11C16/10 (2006.01)**

(30)優先權：2011/05/26 中國大陸 201110138945.6

(71)申請人：憶正科技（武漢）有限公司（中國大陸）（CN）

中國大陸

(72)發明人：霍文捷 (CN)；邢冀鵬 (CN)；周東霞 (CN)

(74)代理人：惲軼群；陳文郎

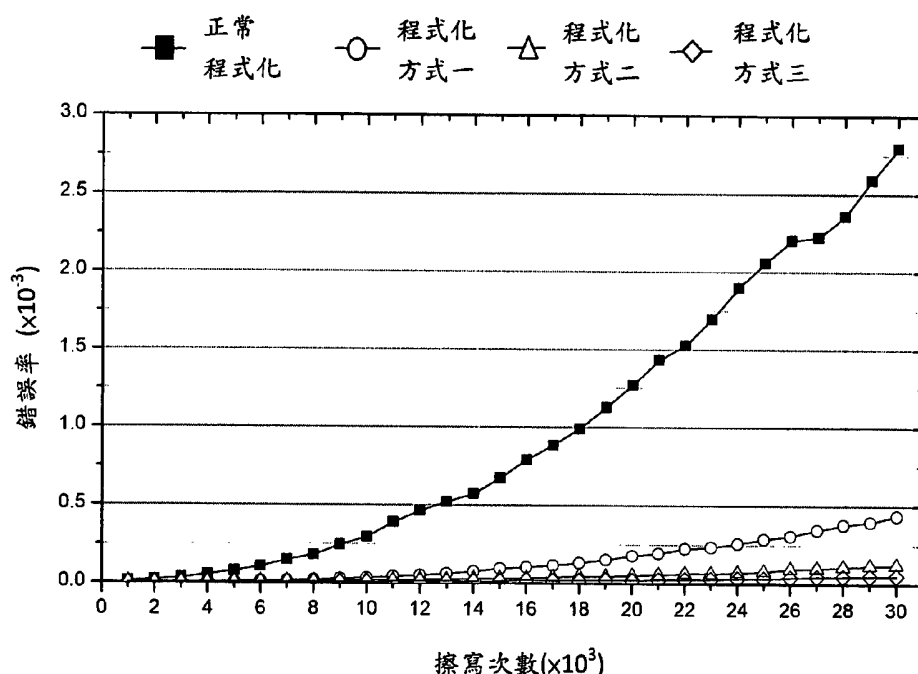
申請實體審查：有 申請專利範圍項數：3 項 圖式數：9 共 25 頁

(54)名稱

多層式儲存快閃記憶體陣列的程式化方式及其切換控制方法

(57)摘要

本發明涉及半導體存儲領域多層式儲存快閃記憶體元件的可靠性的程式化方式。本發明基於在程式化的過程中跳過一些特定邏輯頁，以降低浮閘極耦合效應對快閃記憶體操作影響的技術構思，提出幾種提高多層式儲存快閃記憶體元件的程式化方式及其切換控制方法。透過跳過某些邏輯頁，本發明有效降低了多層式儲存快閃記憶體在程式化過程中水平、對角、垂直方向的浮閘極耦合效應，從而降低錯誤率，延長元件的使用壽命，提高系統整體的可靠性。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201248635 A1

(43)公開日：中華民國 101 (2012) 年 12 月 01 日

(21)申請案號：101117584

(22)申請日：中華民國 101 (2012) 年 05 月 17 日

(51)Int. Cl. : **G11C16/10 (2006.01)**

(30)優先權：2011/05/26 中國大陸 201110138945.6

(71)申請人：憶正科技（武漢）有限公司（中國大陸）（CN）

中國大陸

(72)發明人：霍文捷 (CN)；邢冀鵬 (CN)；周東霞 (CN)

(74)代理人：惲軼群；陳文郎

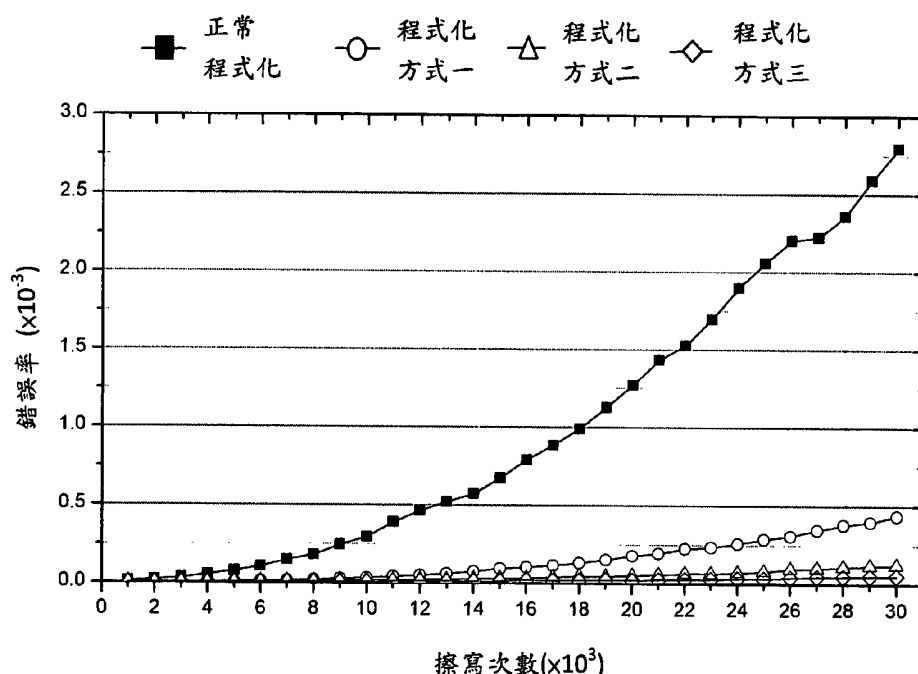
申請實體審查：有 申請專利範圍項數：3 項 圖式數：9 共 25 頁

(54)名稱

多層式儲存快閃記憶體陣列的程式化方式及其切換控制方法

(57)摘要

本發明涉及半導體存儲領域多層式儲存快閃記憶體元件的可靠性的程式化方式。本發明基於在程式化的過程中跳過一些特定邏輯頁，以降低浮閘極耦合效應對快閃記憶體操作影響的技術構思，提出幾種提高多層式儲存快閃記憶體元件的程式化方式及其切換控制方法。透過跳過某些邏輯頁，本發明有效降低了多層式儲存快閃記憶體在程式化過程中水平、對角、垂直方向的浮閘極耦合效應，從而降低錯誤率，延長元件的使用壽命，提高系統整體的可靠性。



六、發明說明：

【發明所屬之技術領域】

本發明涉及半導體儲存領域，尤其涉及到固態硬碟控制器、快閃記憶體控制器等以快閃記憶體元件為儲存介質的場合中，提高多層式儲存快閃記憶體元件的可靠性的程式化方式。

【先前技術】

不同與單層式儲存快閃記憶體，多層式儲存快閃記憶體元件的儲存單元可以透過設置多組閾值電壓來保存多位的邏輯信息，從而達到在不增加硬體開銷的前提下，顯著提高快閃記憶體元件的儲存容量。多層式儲存快閃記憶體元件由於具有集成度高、成本低的優勢，已成為快閃記憶體元件的主流。

為了能在同一儲存單元中保存多位數據，多層式儲存快閃記憶體中的儲存單元需要進行多次程式化，如圖 1 所示。當只對多層式儲存快閃記憶體中的 MSB 位進行寫操作，多層式儲存快閃記憶體直接由擦除狀態“E”轉移進入第二程式化狀態“D2”，其程式化所需時間最少。當對多層式儲存快閃記憶體中的 LSB 頁進行寫操作時，多層式儲存快閃記憶體由擦除狀態“E”跳轉入第一程式化狀態“D1”。而當多層式儲存快閃記憶體需要改變 MSB 和 LSB 位的狀態時，程式化工作通過兩輪操作完成：第一輪操作首先由擦除狀態“E”跳轉到第一程式化狀態“D1”，第二輪操作再由第一程式化狀態“D1”跳轉至第三程式化狀態

“D3”。

多層式儲存快閃記憶體內部的陣列結構如圖 2 所示。多層式儲存快閃記憶體中物理單元的 MSB 位和 LSB 位分別映射到 MSB 頁和 LSB 頁中。在 WL0 行上的物理單元，分別映射到頁 0、1、4 和 5 中。其中，頁 0 和頁 1 為 MSB 頁，頁 4 和頁 5 為 LSB 頁。在 WL1 行上的物理單元，分別映射到頁 2、3、8 和 9 中，其中，頁 2 和頁 3 為 MSB 頁，頁 8 和頁 9 為 LSB 頁。同類依次類推，在最後一行 WL63 上，頁 250 和頁 251 為 MSB 頁，頁 254 和頁 255 為 LSB 頁。

在小於 45nm 的儲存快閃記憶體中，存在著嚴重的浮閘極耦合效應。如圖 3 所示，快閃記憶體陣列中某一儲存單元的浮閘極電壓變化會對周圍儲存單元的浮閘極電壓造成擾動，從而導致周圍儲存單元中保存的數據發生意外翻轉。

在快閃記憶體元件中所存在的這種浮閘極耦合效應嚴重干擾了快閃記憶體所保存的數據。特別對於多層式儲存快閃記憶體來說，由於其需要對存儲單元進行多次程式化，因此浮閘極耦合效應所造成的影響會更加。多層式儲存快閃記憶體的可靠性遠不如傳統的單層式儲存快閃記憶體。因此，快閃記憶體控制器中需要採取可靠性增強技術來抑制多層式儲存快閃記憶體的錯誤率，延長元件的使用壽命。

【發明內容】

本發明所要解決的技術問題是提供一種提高多層式儲存快閃記憶體元件可靠性的程式化方式，減小多層式儲存快閃記憶體在使用過程中的錯誤率，延長元件的使用壽命，提高系統整體的可靠性。

為解決上述技術問題，本發明提出的提高多層式儲存快閃記憶體元件可靠性、降低多層式儲存快閃記憶體錯誤率的技術構思是通過在程式化的過程中跳過一些特定邏輯頁的方法，降低浮閘極耦合效應對的快閃記憶體操作的影響。

基於上述技術構思，本發明提出了三種具體的多層式儲存快閃記憶體陣列的程式化方式，該多層式儲存快閃記憶體陣列由快閃記憶體控制器完成操作，其特徵在於，在快閃記憶體控制器對快閃記憶體進行程式化過程中選擇跳過部分邏輯頁進行程式化，且可選擇跳過不同的方向上的LSB頁，其中至少包括三種程式化方式：

程式化方式一，該方法在程式化過程中選擇跳過的邏輯頁的編號 N_{pass} 為：

$$N_{pass} = \begin{cases} 4i, & 1 \leq i \leq 63 \\ 254, & i = 64 \end{cases}$$

其中， i 為自然數，且 $1 \leq i \leq 64$ 。通過跳過這些邏輯頁，能夠有效降低多層式儲存快閃記憶體在程式化過程中水平方向的浮閘極耦合效應，從而降低錯誤率。

程式化方式二，在程式化過程中選擇跳過的邏輯頁編號 N_{pass} 符合以下規律：

$$N_{pass} = \begin{cases} 4i, & i = 2n+1 \\ 4i+1, & i = 2n \\ 255, & i = 64 \end{cases}$$

$$\text{或者, } N_{pass} = \begin{cases} 4i+1, & i = 2n+1 \\ 4i, & i = 2n \\ 254, & i = 64 \end{cases}$$

其中， n 為自然數， $1 \leq n \leq 31$ 。

程式化方式二是在程式化方式一的基礎上進一步地予以改進的方法。程式化方式二採取在程式化過程中跳過多層式儲存快閃記憶體物理頁中對角方向上相鄰的兩組 LSB 頁，減少多層式儲存快閃記憶體陣列在對角方向上的程式化次數，來獲得更低的錯誤率，降低了程式化過程中快閃記憶體儲存單元之間的干擾。

程式化方式三，在程式化過程中選擇跳過需要跳過的邏輯頁的編號 N_{pass} 為：

$$N_{pass} = \begin{cases} 4i+1, & i = 2n+1 \\ 4i, & i = 2n+1 \end{cases}$$

$$\text{或者, } N_{pass} = \begin{cases} 4i+1, & i = 2n \\ 4i, & i = 2n \end{cases}$$

其中， n 為自然數，且 $0 \leq n \leq 31$ 。

程式化方式三是在程式化方式二的基礎上進行改善，減少儲存單元陣列中垂直方向上的相互干擾。程式化方式三在程式化過程中跳過多層式儲存快閃記憶體物理頁中間隔物理行的相鄰兩組的 LSB 頁，減少多層式儲存快閃記憶

體陣列在垂直方向上的程式化次數，來獲得更低的錯誤率，降低了程式化過程中快閃記憶體儲存單元之間的干擾。

上述三種不同的程式化方式明顯地減低了快閃記憶體塊的錯誤率，提高了快閃記憶體陣列的可靠性。

為了能進一步延長快閃記憶體元件的工作壽命，本發明還進一步提出了一種多層式儲存快閃記憶體陣列程式化方式的切換控制方法，包括以下步驟：

根據快閃記憶體錯誤的數目，在快閃記憶體控制器中，由小到大依次設定了三個層階的閾值，分別是第一閾值、第二閾值、第三閾值；

當多層式儲存快閃記憶體開始投入使用時，採取普通的程式化方式，即程式化時對多層式儲存快閃記憶體區塊中所有的邏輯頁進行寫操作，同時，監控使用過程中的錯誤數目；

當該塊在使用過程中的錯誤達到第一閾值時，控制器將採取程式化方式一對多層式儲存快閃記憶體進行程式化操作，同時繼續監控多層式儲存快閃記憶體的錯誤數目；

在接下來的使用過程中，當該區塊在使用過程中的錯誤增加達到第二閾值時，將控制器的程式化方式由程式化方式一切換到程式化方式二，並繼續監控快閃記憶體的錯誤情況；

當錯誤數繼續增加並達到第三閾值時，控制器將採用程式化方式三程式化，即以最優化方式對多層式儲存快閃

記憶體進行操作。

通過這樣的切換方式，控制器可以平衡各個物理儲存單元的程式化次數，並獲取最低的錯誤率，從而在容量和錯誤率之間達到平衡，有效地延長多層式儲存快閃記憶體的使用壽命。

【實施方式】

多層式儲存快閃記憶體在程式化的過程中都是以物理區塊為單位進行的。然而程式化過程中，物理區塊內部的各個頁之間存在著浮閘極耦合效應。這種浮閘極耦合效應分別對儲存陣列中的水平、對角以及垂直方向上的相鄰儲存單元造成干擾。本發明為了能夠有效減小浮閘極耦合效應，設計了三種程式化方式，通過在程式化過程中跳過相鄰儲存單元的特殊程式化頁的方式分別減小水平、對角以及垂直方向上的浮閘極耦合效應，並在此基礎上，採用多種程式化方式切換的方式均衡損耗，進一步延長快閃記憶體元件的壽命。

程式化方式一是在程式化的過程中選擇跳過多層式儲存快閃記憶體中區塊的某些邏輯頁，從而改善水平方向上的浮閘極耦合效應。程式化方式一的具體程式化方式如圖 4 所示。在程式化開始以後，程式化方式一首先依次對頁 0、1、2、3 進行程式化，然後跳過頁 4；再對頁 5、6、7 進行程式化，然後跳過頁 8；再對頁 9、10、11 進行程式化，然後跳過頁 12；依次類推，在區塊尾，程式化方式一對頁 249、250、251 程式化，跳過頁 252；最後對頁 253 和頁

255 程式化，跳過頁 254，從而完成整個對多層式儲存快閃記憶體の程式化過程。在程式化方式一中，需要跳過的邏輯頁の編號 N_{pass} 為：

$$N_{pass} = \begin{cases} 4i, & 1 \leq i \leq 63 \\ 254, & i = 64 \end{cases}$$

其中， i 為自然數，且 $1 \leq i \leq 64$ 。程式化方式一通過跳轉這些頁，可以有效降低多層式儲存快閃記憶體在程式化過程中的浮閘極耦合效應，從而降低錯誤率。

程式化方式二則在程式化方式一の基礎上進一步地予以改進。程式化方式二主要通過減少多層式儲存快閃記憶體在對角方向上の程式化次數，來獲得更低的錯誤率，其具體過程如圖 5 所示。在程式化開始以後，程式化方式二首先依次對頁 0、1、2、3 進行程式化，然後跳過頁 4；再對頁 5、6、7、8 進行程式化，然後跳過頁 9；再對頁 10、11 進行程式化，然後跳過頁 12；依次類推，在區塊尾，程式化方式二對頁 249、250、251 程式化，跳過頁 252；最後對頁 253 和頁 254 程式化，跳過頁 255，從而完成整個對多層式儲存快閃記憶體塊の程式化過程。在程式化方式二中，跳過的邏輯頁編號 N_{pass} 符合以下規律：

$$N_{pass} = \begin{cases} 4i, & i = 2n+1 \\ 4i+1, & i = 2n \\ 255, & i = 64 \end{cases}$$

其中， n 為自然數， $1 \leq n \leq 31$ 。

此外，程式化方式二還存在著另外一種等價の程式化

順序，即跳過的邏輯頁編號 N_{pass} 滿足以下規律：

$$N_{pass} = \begin{cases} 4i+1, & i=2n+1 \\ 4i, & i=2n \\ 254, & i=64 \end{cases}$$

其中， n 為自然數， $1 \leq n \leq 31$ 。

透過方式二的程式化進一步地降低了程式化過程中快閃記憶體存儲單元之間的干擾。

程式化方式三則是在程式化方式二的基礎上改善儲存單元陣列中垂直方向上的相互干擾。程式化方式三的具體程式化方式如圖 6 所示。在程式化開始以後，程式化方式三首先依次對頁 0、1、2、3 進行程式化，然後跳過頁 4、5；再對頁 6、7、8、9、10、11 進行程式化，然後跳過頁 12、13；依次類推，在塊尾，程式化方式三對頁 249、250、251 程式化，跳過頁 252、253；最後對頁 254 和頁 255 程式化，從而完成整個對多層式儲存快閃記憶體的程式化過程。在程式化方式三中，需要跳過的邏輯頁的編號 N_{pass} 為：

$$N_{pass} = \begin{cases} 4i+1, & i=2n+1 \\ 4i, & i=2n+1 \end{cases}$$

其中， n 為自然數，且 $0 \leq n \leq 31$ 。

此外，程式化方式三還存在著另外一種等價的程式化順序，即跳過的邏輯頁編號 N_{pass} 滿足以下規律：

$$N_{pass} = \begin{cases} 4i+1, & i=2n \\ 4i, & i=2n \end{cases}$$

其中， n 為自然數，且 $1 \leq n \leq 31$ 。

程式化方式三通過跳轉這些頁，進一步地有效降低了多層式儲存快閃記憶體在程式化過程中的浮閘極耦合效應，從而降低錯誤率。

透過以上的程式化方式對快閃記憶體進程式化後，快閃記憶體中的程式化頁如圖 7 所示。程式化方式一跳過快閃記憶體塊中同一物理行上的一組 LSB 頁；程式化方式二跳過快閃記憶體區塊中對角方向上的兩組 LSB 頁；程式化方式三跳過快閃記憶體區塊中間隔物理行的兩組相鄰 LSB 頁。

這三種不同的程式化方式明顯地改善了快閃記憶體區塊的錯誤率，如圖 8 所示。在經過 3 萬次的循環擦寫後，採用正常方式程式化的快閃記憶體區塊的錯誤率最高，採程式化方式一的快閃記憶體區塊的錯誤率明顯比正常程式化方式的低，而採程式化方式二的快閃記憶體區塊的錯誤率又低於程式化方式一，採程式化方式三的快閃記憶體區塊的錯誤率最低。

為了能進一步延長快閃記憶體元件的工作壽命，本發明採取了多種程式化方式相切換的控制方法，平衡快閃記憶體元件的損耗，其控制流程如圖 9 所示。根據快閃記憶體錯誤的數目，在快閃記憶體控制器中，由小到大依次設定了三個層階的閾值，分別是第一閾值、第二閾值、第三閾值；這三組閾值的設定可由技術人員事先通過對快閃記憶體元件進行壓力實驗，並根據測試快閃記憶體元件的壽

命情況來設定。例如，第一閾值設定在錯誤率達到 2.5×10^{-5} ，第二閾值設定在錯誤率達到 5×10^{-5} ，第三閾值設定在錯誤率達到 8×10^{-5} 。當多層式儲存快閃記憶體開始投入使用時，採取正常的程式化方式，即程式化時對多層式儲存快閃記憶體區塊中所有的邏輯頁進行寫操作，同時，監控使用過程中的錯誤數目。當該區塊在使用過程中的錯誤達到第一閾值時，控制器將採取程式化方式一對多層式儲存快閃記憶體進行程式化操作，同時繼續監控多層式儲存快閃記憶體的錯誤數目。在接下來的使用過程中，當該區塊在使用過程中的錯誤達到第二閾值時，控制器的程式化方式由程式化方式一切換到程式化方式二並繼續監控快閃記憶體的錯誤情況。在錯誤數繼續增加並達到第三閾值後，控制器將採程式化方式三程式化，即以最優化方式對多層式儲存快閃記憶體進行操作。通過這樣的切換方式，控制器可以平衡各個物理儲存單元的程式化次數，並獲取最低的錯誤率，從而在容量和錯誤率之間達到平衡，有效地延長多層式儲存快閃記憶體的使用壽命。

最後所應說明的是，以上具體實施方式僅用以說明本發明的技術方案而非限制，儘管參照較佳實施例對本發明進行了詳細說明，本領域的普通技術人員應當理解，可以對本發明的技術方案進行修改或者等同替換，而不脫離本發明技術方案的精神和範圍，其均應涵蓋在本發明的權利要求範圍當中。

【圖式簡單說明】

圖 1 是多層式儲存快閃記憶體元件的狀態轉移圖。

圖 2 是多層式儲存快閃記憶體元件的存儲陣列圖。

圖 3 是多層式儲存快閃記憶體元件的浮閘極耦合效應。

圖 4 是程式化方式一的程式化序列。

圖 5 是程式化方式二的程式化序列。

圖 6 是程式化方式三的程式化序列。

圖 7 是程式化方式一、二、三的程式化頁的比較圖。

圖 8 是程式化方式一、二、三的實驗測試結果比較圖。

圖 9 是多層式儲存快閃記憶體元件的程式化方式的切換控制流程圖。

201248635

【主要元件符號說明】

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101(11)584

※申請日：101.5.17

※IPC 分類：G11C 16/10 (2006.01)

一、發明名稱：(中文/英文)

多層式儲存快閃記憶體陣列的程式化方式及其切換控制方法

二、中文發明摘要：

本發明涉及半導體存儲領域多層式儲存快閃記憶體元件的可靠性的程式化方式。本發明基於在程式化的過程中跳過一些特定邏輯頁，以降低浮閘極耦合效應對快閃記憶體操作影響的技術構思，提出幾種提高多層式儲存快閃記憶體元件的程式化方式及其切換控制方法。透過跳過某些邏輯頁，本發明有效降低了多層式儲存快閃記憶體在程式化過程中水平、對角、垂直方向的浮閘極耦合效應，從而降低錯誤率，延長元件的使用壽命，提高系統整體的可靠性。

三、英文發明摘要：

七、申請專利範圍：

1. 一種多層式儲存快閃記憶體陣列的程式化方式，該多層式儲存快閃記憶體陣列由快閃記憶體控制器完成操作，其特徵在於，在快閃記憶體控制器對快閃記憶體進行程式化過程中選擇跳過部分邏輯頁進行程式化，且可選擇跳過不同的方向上的 LSB 頁，其中至少包括三種程式化方式：

程式化方式一：在程式化過程中選擇跳過多層式儲存快閃記憶體物理頁中水平方向上相鄰的一組 LSB 頁進行程式化，減少多層式儲存快閃記憶體陣列在水平方向上的程式化次數，所述被跳過的邏輯頁的編號 N_{pass} 為：

$$N_{pass} = \begin{cases} 4i, & 1 \leq i \leq 63 \\ 254, & i = 64 \end{cases}$$

其中， i 為自然數，且 $1 \leq i \leq 64$ ；

或，

程式化方式二：在程式化過程中選擇跳過部分邏輯頁進行程式化，在程式化過程中跳過多層式儲存快閃記憶體物理頁中對角方向上相鄰的兩組 LSB 頁，減少多層式儲存快閃記憶體陣列在對角方向上的程式化次數，所述被跳過的邏輯頁的編號 N_{pass} 為：

$$N_{pass} = \begin{cases} 4i, & i = 2n+1 \\ 4i+1, & i = 2n \\ 255, & i = 64 \end{cases}$$

$$\text{或者, } N_{pass} = \begin{cases} 4i+1, & i=2n+1 \\ 4i, & i=2n \\ 254, & i=64 \end{cases}$$

其中， n 為自然數， $1 \leq n \leq 31$ ；

或，

程式化方式三：在程式化過程中跳過多層式儲存快閃記憶體物理頁中間隔物理行的相鄰兩組的 LSB 頁，減少多層式儲存快閃記憶體陣列在垂直方向上的程式化次數，所述被跳過的邏輯頁的編號 N_{pass} 為：

$$N_{pass} = \begin{cases} 4i+1, & i=2n+1 \\ 4i, & i=2n+1 \end{cases}$$

$$\text{或者, } N_{pass} = \begin{cases} 4i+1, & i=2n \\ 4i, & i=2n \end{cases}$$

其中， n 為自然數，且 $0 \leq n \leq 31$ 。

2. 一種根據申請專利範圍第 1 項所述的多層式儲存快閃記憶體陣列程式化方式的切換控制方法，其特徵在於，包括以下步驟：

當多層式儲存快閃記憶體開始投入使用时，採取正常的程式化方式，即程式化時對多層式儲存快閃記憶體區塊中所有的邏輯頁進行寫操作，同時，監控使用過程中的錯誤數目；

當該區塊在使用過程中的錯誤達到第一閾值時，控制器將採取程式化方式一對多層式儲存快閃記憶體進行程式化操作，同時繼續監控多層式儲存快閃記憶體的錯

誤數目；

在繼續使用過程中，當該區塊在使用過程中的錯誤增加達到第二閾值時，將控制器的程式化方式由所述程式化方式一切換到所述程式化方式二，並繼續監控快閃記憶體의錯誤情況。

3. 根據申請專利範圍第 2 項所述的多層式儲存快閃記憶體陣列程式化方式的切換控制方法，其特徵在於，還包括以下步驟：

切換到所述程式化方式二並繼續對多層式儲存快閃記憶體進行程式化操作的過程中，當監控快閃記憶體的錯誤數繼續增加並達到第三閾值時，控制器將採用程式化方式三程式化，即以最優化方式對多層式儲存快閃記憶體進行操作。

八、圖式：

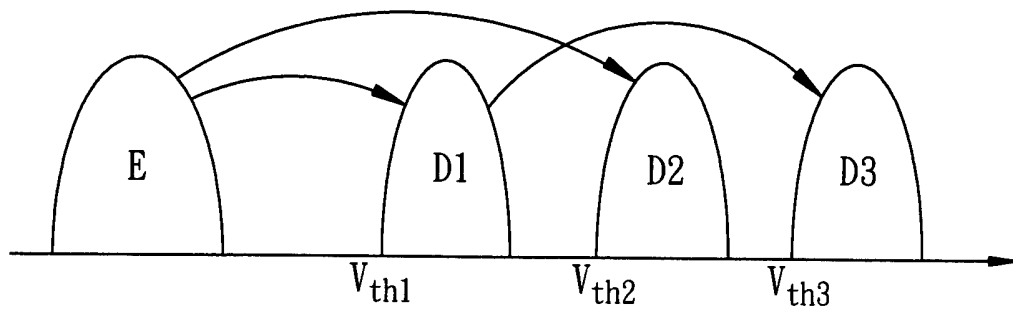


圖 1

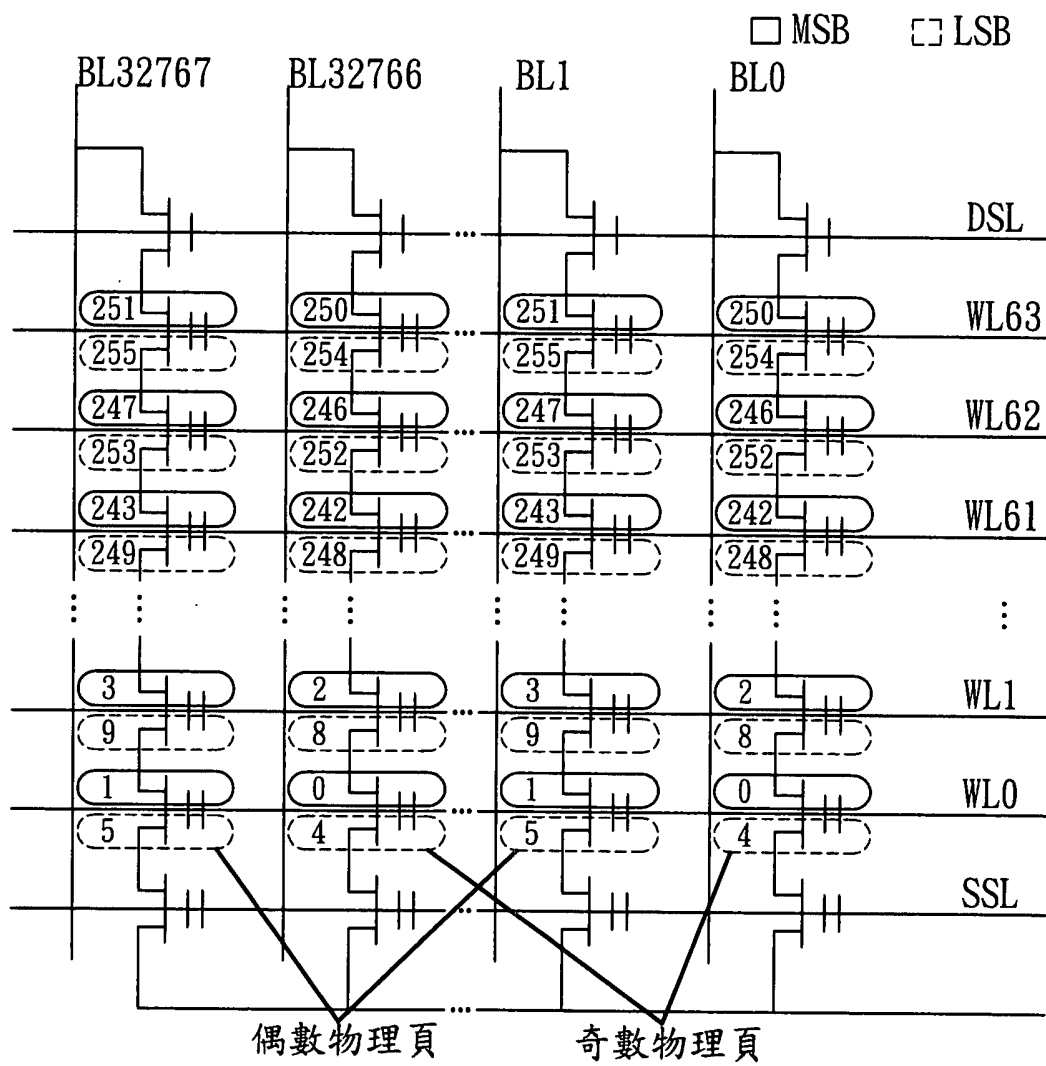


圖 2

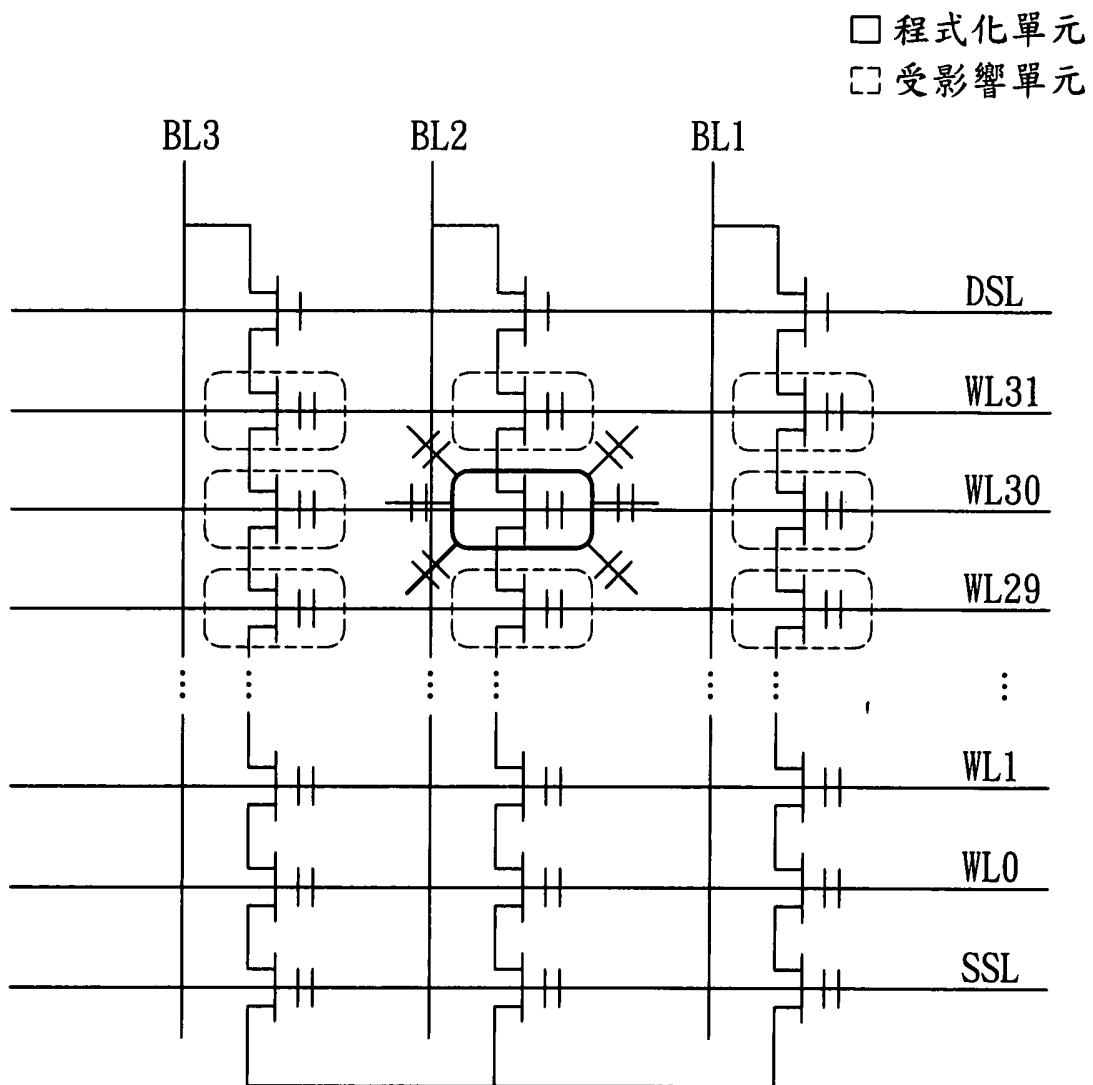


圖3

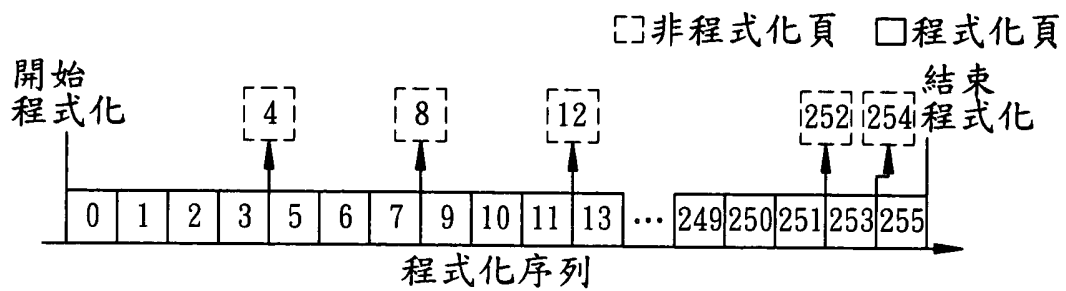


圖 4

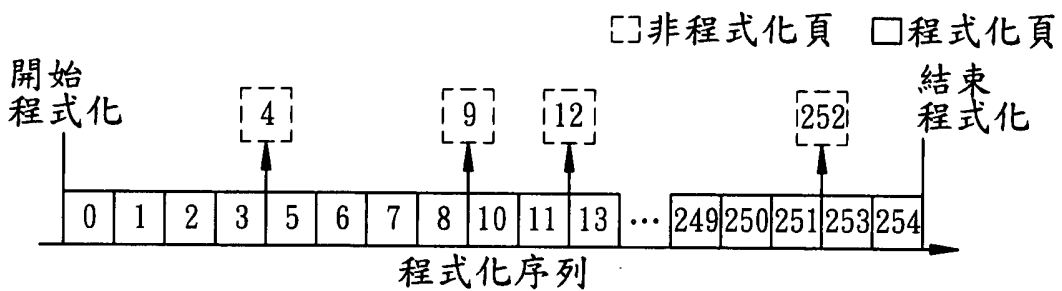


圖 5

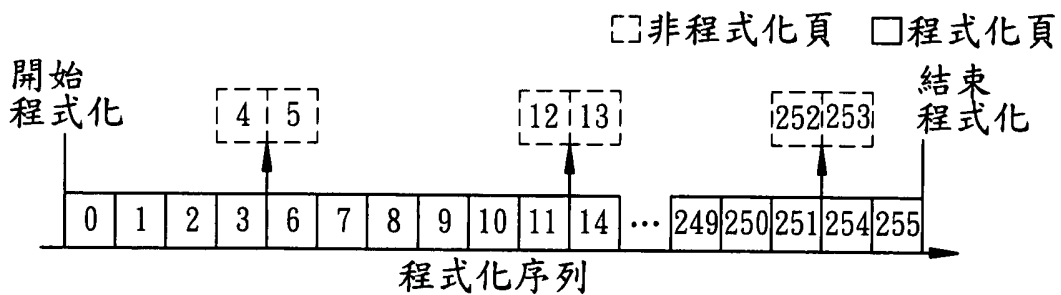


圖 6

251	250
255	254
247	246
253	252
243	242
249	248
⋮	⋮
11	10
17	16
7	6
13	12
3	2
9	8
1	0
5	4

程式化方式一

251	250
255	254
247	246
253	252
243	242
249	248
⋮	⋮
11	10
17	16
7	6
13	12
3	2
9	8
1	0
5	4

程式化方式二

251	250
255	254
247	246
253	252
243	242
249	248
⋮	⋮
11	10
17	16
7	6
13	12
3	2
9	8
1	0
5	4

程式化方式三

□ 程式化頁
□ 非程式化頁

圖 7

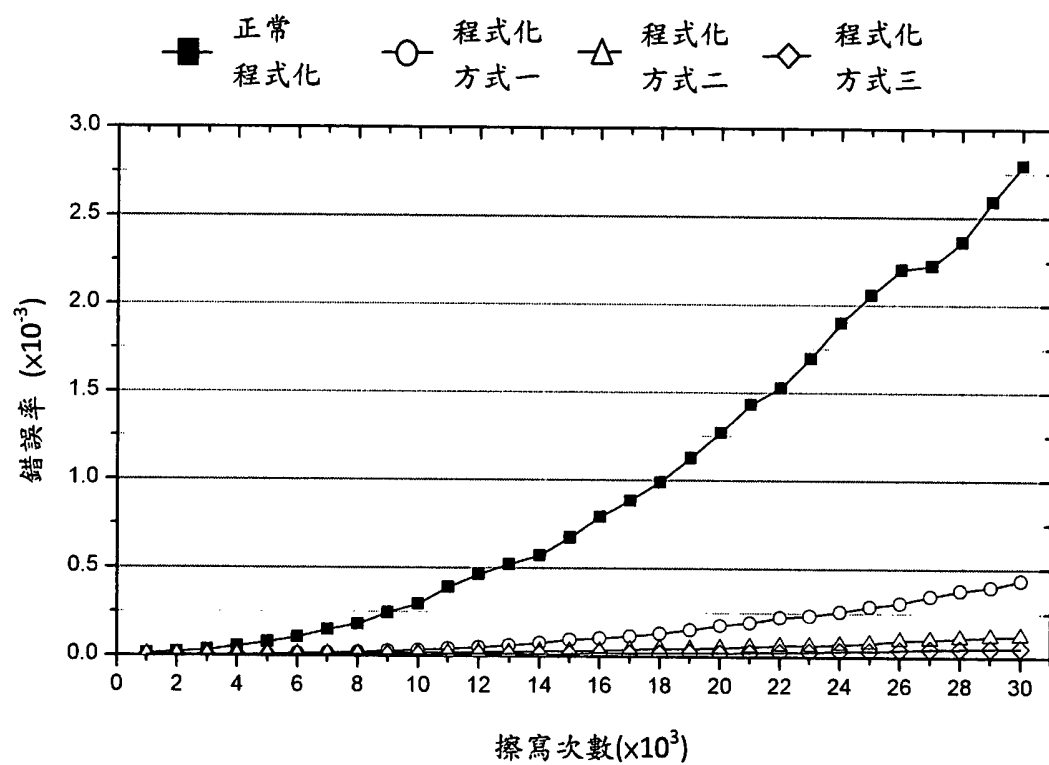


圖 8

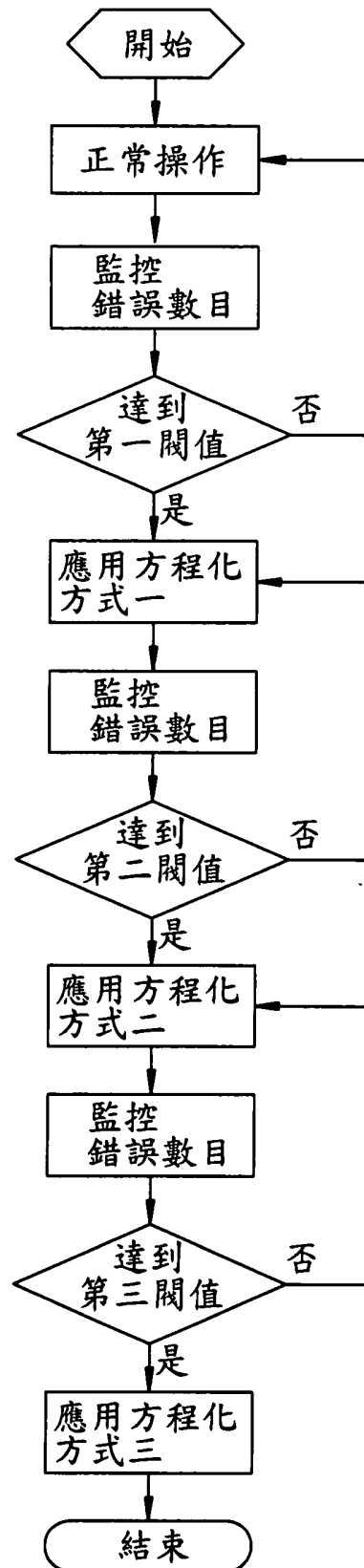


圖 9

四、指定代表圖：

(一)本案指定代表圖為：圖 (8)。

(二)本代表圖之元件符號簡單說明：

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：