

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6227386号
(P6227386)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int.Cl.

F 1

HO1L 21/338	(2006.01)	HO1L	29/80	H
HO1L 29/812	(2006.01)	HO1L	29/78	301B
HO1L 29/778	(2006.01)	HO1L	29/06	601N
HO1L 21/336	(2006.01)	HO1L	29/06	601W
HO1L 29/78	(2006.01)	B82Y	30/00	

請求項の数 13 外国語出願 (全 15 頁) 最終頁に続く

(21) 出願番号

特願2013-244597 (P2013-244597)

(22) 出願日

平成25年11月27日(2013.11.27)

(65) 公開番号

特開2014-132643 (P2014-132643A)

(43) 公開日

平成26年7月17日(2014.7.17)

審査請求日

平成28年11月25日(2016.11.25)

(31) 優先権主張番号

61/734,854

(32) 優先日

平成24年12月7日(2012.12.7)

(33) 優先権主張国

米国(US)

(31) 優先権主張番号

13155745.6

(32) 優先日

平成25年2月19日(2013.2.19)

(33) 優先権主張国

欧洲特許庁(EP)

早期審査対象出願

(73) 特許権者 591060898

アイメック

1 M E C

ベルギー、ペー－3001ルーヴアン、カ
ペルドリーフ75番

(74) 代理人 100101454

弁理士 山田 阜二

(74) 代理人 100081422

弁理士 田中 光雄

(74) 代理人 100100479

弁理士 竹内 三喜夫

(72) 発明者 モハマド・アリ・ポールガデリ

ベルギー3001ルーヴアン、カペルドリ

ーフ75番 アイメック内

最終頁に続く

(54) 【発明の名称】半導体ヘテロ構造電界効果トランジスタおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体ワイヤ(2)であって、

半導体ワイヤ(2)の長手方向(L)に、ソース領域(1001)およびドレイン領域(1003)と、ソース領域(1001)とドレイン領域(1003)との間のチャネル領域(1002)とを有し、

ソース領域(1001)において、半導体ワイヤ(2)を横断する方向(T)に、ソースコア領域(101)と、ソースコア領域(101)の周囲に配置された厚さ(t₁)のソースシェル領域(201)とを有し、ドレイン領域(1003)において、半導体ワイヤ(2)を横断する方向(T)に、ドレインコア領域(103)と、ドレインコア領域(103)の周囲に配置された厚さ(t₃)のドレインシェル領域(203)とを有し、チャネル領域(1002)において、半導体ワイヤ(2)を横断する方向(T)に、チャネルコア領域(102)と、チャネルコア領域(102)の周囲に配置された厚さ(t₂)のチャネルシェル領域(202)とを有し、チャネルシェル領域(202)の厚さ(t₂)は、ソースシェル領域(201)の厚さ(t₁)より小さく、かつ、ドレインシェル領域(203)の厚さ(t₃)より小さく、厚さ(t₂)は、第1サブバンドのエネルギー準位と第2サブバンドのエネルギー準位との差として規定される量子化準位が4kTより大きくなるように選択され、

ソースシェル領域(201)、ドレインシェル領域(203)およびチャネルシェル

10

20

領域(202)は、量子井戸領域であり、

半導体ワイヤ(2)を横断する方向(T)において、ソースコア領域(101)およびドレインコア領域(103)の厚さは、チャネルコア領域(102)の厚さより小さい、

半導体ワイヤ(2)、

半導体ワイヤ(2)のチャネル領域(1002)の周囲に配置されたゲート構造、ここでゲート構造は、チャネル領域(1002)の周囲に配置され且つチャネル領域(1002)に接するゲート誘電体層(4)と、ゲート誘電体層(4)の周囲に配置され且つゲート誘電体層(4)に接するゲート層(5)を有するものである、

を備えたヘテロ構造電界効果トランジスタ(1)。

10

【請求項2】

ソースシェル領域(201)は、ソースコア領域(101)の周方向外側に配置され、

ドレインシェル領域(203)は、ドレインコア領域(103)の周方向外側に配置され、

チャネルシェル領域(202)は、チャネルコア領域(102)の周方向外側に配置され、

ゲート構造は、チャネル領域(1002)の周方向外側に配置され、

ゲート誘電体層(4)は、チャネル領域(1002)の周方向外側に配置され、

ゲート層(5)は、ゲート誘電体層(4)の周方向外側に配置されている、

請求項1に記載のヘテロ構造電界効果トランジスタ(1)。

20

【請求項3】

ソースシェル領域(201)、チャネルシェル領域(202)およびドレインシェル領域(203)により規定されるシェル領域(200)と、ソースコア領域(101)、チャネルコア領域(102)およびドレインコア領域(103)により規定されるコア領域(100)とは、格子整合材料を含む、

請求項1または2に記載のヘテロ構造電界効果トランジスタ(1)。

【請求項4】

コア領域(100)は、InPまたはIn_xAl_yAsを含み、x+y=1である、

請求項1から3のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)。

【請求項5】

30

シェル領域(200)は、In_xGa_yAsを含み、x+y=1である、

請求項1から4のいずれか1項に記載のヘテロ構造電界効果トランジスタ(1)。

【請求項6】

ソースコア領域(101)とドレインコア領域(103)との間に位置するチャネルコア領域(102)を含む半導体コア領域(100)を設ける工程、ここでソースコア領域(101)およびドレインコア領域(103)の厚さは、チャネルコア領域(102)の厚さより小さく、

コア領域(100)の周囲に且つコア領域(100)と接する半導体シェル領域(200)を設ける工程、ここで半導体シェル領域(200)は、厚さ(t₁)のソースシェル領域(201)と厚さ(t₃)のドレインシェル領域(203)との間に位置する厚さ(t₂)のチャネルシェル領域(202)を有し、チャネルシェル領域(202)の厚さ(t₂)はソースシェル領域(201)の厚さ(t₁)より小さく、かつ、ドレインシェル領域(203)の厚さ(t₃)より小さく、

チャネルシェル領域(202)の周囲に且つチャネルシェル領域(202)と接するゲート誘電体層(4)を設ける工程と、ゲート誘電体層(4)の周囲に配置され且つゲート誘電体層(4)と接するゲート層(5)を設ける工程とを含む、ゲート構造(3)を設ける工程、

を含み、

チャネルシェル領域(202)の厚さ(t₂)は、(t₁+t₃)/4以下の大きさであり、厚さ(t₂)は、第1サブバンドのエネルギー準位と第2サブバンドのエネルギー

50

準位との差として規定される量子化準位が 4 kT より大きくなるように選択される、ヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項 7】

半導体コア領域(100)を設ける工程は、
均一な半導体コア材料を設ける工程、
ソースコア領域(101)およびドレインコア領域(103)の位置で、半導体コア材料の一部をエッチングする工程を含む、
請求項 6 に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項 8】

半導体コア領域(100)を設ける工程は、
均一な半導体コア材料を設ける工程、
ソースコア領域(101)およびドレインコア領域(103)の位置で、均一な半導体コア材料の上にハードマスク層を設ける工程、
コア領域(100)のマスクされていない部分に半導体コア材料を設ける工程を含む、
請求項 6 に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項 9】

半導体シェル領域(200)を設ける工程は、
コア領域(100)の周囲に且つコア領域(100)と接する厚さ(t_2)の半導体シェル材料の第 1 層(2001)を設ける工程、
ゲート構造(3)を設ける工程の後に、コア領域(100)の周囲に且つコア領域(100)と接する厚さ(t_4)の半導体シェル材料の残り部分(2002)を設ける工程、
を含む、請求項 6 から 8 のいずれか 1 項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項 10】

コア材料およびシェル材料は、格子整合している、
請求項 6 から 9 のいずれか 1 項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項 11】

コア材料は、InP または In_xAl_yAs を含み、 $x + y = 1$ である、
請求項 6 から 10 のいずれか 1 項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項 12】

シェル材料は、 In_xGa_yAs を含み、 $x + y = 1$ である、
請求項 6 から 11 のいずれか 1 項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【請求項 13】

厚さ(t_2)は、4 nm より小さい、
請求項 6 から 12 のいずれか 1 項に記載のヘテロ構造電界効果トランジスタ(1)を製造する方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体ヘテロ構造電界効果トランジスタ、特に半導体ナノワイヤヘテロ構造電界効果トランジスタに関する。また、本発明は、このようなトランジスタを製造する方法にも関する。

【背景技術】

【0002】

相補型金属酸化物半導体(CMOS)技術についての連続的な小型化の傾向は大きな課題であり、電圧スケーリング(voltage scaling)、短チャネル効果、増加する電力消費、移動度、といった困難な課題に対処できることが必要な、新規かつ代替のアーキテクチャ

50

に工業界を向かわせている。

【発明の概要】

【発明が解決しようとする課題】

【0003】

プレーナ型の一次元(1D)CMOS技術に対する可能性のある代替は、二次元(2D)および三次元(3D)のCMOS技術の導入、例えばナノワイヤ電界効果トランジスタ(NW-FET)の導入である。雑誌(IEEE transactions on electron devices, Vol. 55, no.11, November 2008, p. 2859-2976)には、NW-FETについての制限と応用が開示されている。

【課題を解決するための手段】

10

【0004】

本発明は、ヘテロ構造電界効果トランジスタ、およびヘテロ構造電界効果トランジスタを製造する方法に関する。

【0005】

特に、本発明は、ナノワイヤ量子井戸ヘテロ構造電界効果トランジスタ、およびその製造方法に関する。

【0006】

第1の発明の態様は、半導体ワイヤを備えたヘテロ構造電界効果トランジスタに関する。半導体ワイヤについて、長手方向(longitudinal direction)Lと横断方向T(transversal direction)を規定できる。ヘテロ構造電界効果トランジスタは、長手方向Lに、ソース領域、ドレイン領域、および、ソース領域とドレイン領域との間のチャネル領域とを有する。ヘテロ構造電界効果トランジスタのソース領域は、横断方向Tに、ソースコア領域と、ソースコア領域の周囲に配置されたソースシェル領域とを有する。ソースシェル領域は、厚さ t_1 を有する。ヘテロ構造電界効果トランジスタのドレイン領域は、横断方向Tに、ドレインコア領域と、ドレインコア領域の周囲に配置されたドレインシェル領域とを有する。ドレインシェル領域は、厚さ t_3 を有する。ヘテロ構造電界効果トランジスタのチャネル領域は、横断方向Tに、チャネルコア領域と、チャネルコア領域の周囲に配置されたチャネルシェル領域とを有する。チャネルシェル領域は、厚さ t_2 を有する。チャネルシェル領域の厚さ t_2 は、ソースシェル領域の厚さ t_1 より小さく、かつ、ドレインシェル領域の厚さ t_3 より小さい。ヘテロ構造電界効果トランジスタは、半導体ワイヤのチャネル領域の周囲に配置されたゲート構造を有する。ゲート構造は、チャネル領域の周囲に配置され且つチャネル領域に接するゲート誘電体層と、ゲート誘電体層の周囲に配置され且つゲート誘電体層に接するゲート層とを有する。

20

【0007】

実施形態によれば、「周囲に配置され」は「周囲に円周方向に配置され」を意味する。

【0008】

実施形態によれば、ソースシェル領域、ドレインシェル領域およびチャネルシェル領域は、量子井戸領域である。

【0009】

実施形態によれば、厚さ t_2 は、チャネルシェル領域でのサブバンド量子化が充分に大きくなるような大きさである。充分に大きいとは、チャネルシェル領域が $4kT$ より大きいサブバンド量子化エネルギーを有することを意味する。これは、例えば、厚さ t_2 、使用する材料、当該材料のドーピングレベル、およびバイアス電圧を考慮したシミュレーションを行うことにより決定できる。

30

【0010】

実施形態によれば、シェル領域(ソースシェル領域、チャネルシェル領域およびドレインシェル領域により規定される)と、コア領域(ソースコア領域、チャネルコア領域およびドレインコア領域により規定される)は、格子整合材料を含む。コア領域はInPまたはIn_xAl_yAsを含んでもよい(x+y=1であり、xは通常30から70であり、好ましくは40から64であり、より好ましくは46から58であり、さらに好ましくは

40

50

50から54であり、例えば52である）。シェル領域は In_xGa_yAs を含んでもよい（ $x+y=1$ であり、 x は通常30から70であり、好ましくは41から65であり、より好ましくは47から59であり、さらに好ましくは51から55であり、例えば53である）。

【0011】

第2の発明の態様は、ヘテロ構造電界効果トランジスタを製造する方法に関し、当該方法は以下の工程を含む。まず、ソースコア領域とドレインコア領域との間に位置するチャネルコア領域を含む半導体コア領域を設ける工程である。ここで、ソースコア領域およびドレインコア領域の厚さは、チャネルコア領域の厚さより小さい。次に、コア領域の周囲に且つコア領域と接する半導体シェル領域を設ける工程である。ここで、半導体シェル領域は、ソースシェル領域と厚さドレインシェル領域との間に位置するチャネルシェル領域を有する。次に、チャネルシェル領域の周囲に且つチャネルシェル領域と接するゲート誘電体層を設ける工程と、ゲート誘電体層の周囲に配置され且つゲート誘電体層と接するゲート層を設ける工程とを含む、ゲート構造を設ける工程である。

【0012】

実施形態によれば、半導体コア領域を設ける工程は、均一な半導体コア材料（すなわち、均一な厚さの半導体コア材料）を設ける工程、ソースコア領域およびドレインコア領域の位置で、半導体コア材料の一部をエッチングする工程を含む。実施形態によれば、半導体コア領域を設ける工程は、均一な半導体コア材料を設ける工程、ソースコア領域およびドレインコア領域の位置で、均一な半導体コア材料の上にハードマスク層を設ける工程、コア領域のマスクされていない部分の上に半導体コア材料を設ける工程を含む。実施形態によれば、半導体シェル領域を設ける工程は、コア領域の周囲に且つコア領域と接するシェル材料を含む半導体シェル材料の第1層を設ける工程を含む。ここで、半導体シェル材料の第1層は厚さ t_2 を有する。ゲート構造を設ける工程の後には、コア領域の周囲に且つコア領域と接するシェル材料を含む半導体シェル層の残り部分を設ける。ここで、半導体シェル材料の残り部分は、厚さ t_4 を有する。コア材料およびシェル材料は、格子整合している。コア材料は InP または In_xAl_yAs を含んでもよい。シェル材料は In_xGa_yAs を含んでもよい。厚さ t_2 は t_1 より小さく、かつ、 t_3 より小さい。実施形態で、 t_2 は $(t_1+t_3)/8$ と $(t_1+t_3)/4$ の間の値であってもよい。実施形態で、厚さ t_2 は15nm、10nmまたは4nmより小さくてもよい。好ましくは、厚さ t_2 は4nmより小さい。

【0013】

従来の量子井戸構造と比較して固有の静電学(intrinsic electrostatics)が強化されることとは、本発明の種々の実施形態の利点である。

【0014】

固有の静電学が強化されるとは、チャネル領域について調整された(tuned)厚さを有するコアシェル構造がチャネルに対してより良好なゲート制御をもたらすことになる、ということを意味する。

【0015】

従来の量子井戸トランジスタと比較して、本発明の種々の実施形態に係るデバイスの移動度が増大することは利点である。

【0016】

短チャネル効果が充分に小さい状態で、あるいは短チャネル効果の影響を受けることなく、デバイスの小型化が可能になることは利点である。

【0017】

容易に製造可能であって費用効率の高い小型の(scaled)デバイスが提案されることは利点である。

【0018】

以下の説明と添付の図面により、本開示をさらに明瞭にすることになる。

【図面の簡単な説明】

10

20

30

40

50

【0019】

【図1】本発明の一実施形態に係るヘテロ構造電界効果トランジスタ(FET)の概略図を示す。

【図2】本発明の一実施形態に係るヘテロ構造電界効果トランジスタ(FET)のコア領域を製造する方法の種々の工程の概略図を示す。

【図3】本発明の他の実施形態に係るヘテロ構造電界効果トランジスタ(FET)のコア領域を製造する方法の種々の工程の概略図を示す。

【図4】本発明の一実施形態に係るヘテロ構造FETのシェルを製造する方法の第1工程の概略図を示す。

【図5】図4に示す本発明の実施形態に係るヘテロ構造FETのシェルを製造する方法の第2工程の概略図を示す。 10

【図6】図4と図5に示す本発明の実施形態に係るヘテロ構造FETのシェルを製造する方法の第2工程の概略図を示す。

【図7】本発明の種々の実施形態に係るヘテロ構造電界効果トランジスタ(FET)について、サブバンド量子化の物理的效果を概略的に示す。

【図8】本発明の一実施形態に係るヘテロ構造電界効果トランジスタ(FET)の概略図と、前記ヘテロ構造内でシミュレートした電子密度プロファイルとを重ねて示す。

【図9】ドレイン誘導障壁低下対チャネル長(L_G)を示す。

【発明を実施するための形態】

【0020】

本開示は、以下の説明と添付の図面によりさらに明らかにされることになる。 20

【0021】

以下の詳細な説明で、多くの具体的な詳細について説明し、本開示全体の理解と、特定の実施形態におけるその実施の方法を提供している。しかし、これらの具体的な詳細なしに本開示を実施できることが理解されるであろう。他の例では、本開示を不明瞭にしないために、周知の方法、手順および技術について詳細には説明していない。特定の実施形態について特定の図面を参照しつつ本開示について説明することになるが、本開示はこれに限定されない。本明細書に含まれ、本明細書で説明している図面は概略的であって本開示の範囲を限定するものではない。図面では、説明目的で幾つかのエレメントの大きさを誇張しており、それゆえスケール通り図示していないことがあるにも留意すべきである。 30

【0022】

特定の実施形態について特定の図面を参照しつつ本開示について説明することになるが、本開示はこれに限定されず、請求項によってのみ限定される。説明している図面は概略的であって非限定的である。図面では、説明目的でエレメントの幾つかの大きさを誇張しており、スケール通り図示していないことがある。寸法および相対寸法は、本開示の実施に対する実際の縮小には必ずしも対応しない。

【0023】

さらに、説明および請求項での用語「第1」「第2」「第3」などは、類似のエレメントを区別するために用いており、必ずしもシーケンス順、時系列を表すものではない。用語は好適な状況下で交換可能であり、本開示の実施形態は、本明細書で説明、図示したものとは別のシーケンスで動作可能である。 40

【0024】

また、説明および請求項での用語「上(top)」「下(bottom)」「～の上方に(over)」「～の下方に(under)」などは、説明目的で用いており、必ずしも相対的な位置を記述するために用いていない。こうして用いた用語は、好適な状況下で交換可能であって、本明細書で説明した本開示の実施形態は、本明細書で説明または図示したものとは別の向きで動作可能である、と理解すべきである。

【0025】

請求項で用いる用語「備える、有する、含む(comprising)」は、それ以降に列挙された手段に限定するものと解釈すべきでない。それは、他のエレメントまたは工程を除外しな 50

い。記述した特徴、整数、工程またはコンポーネントの存在は、参照したように特定するよう解釈する必要があるが、1つまたは複数の他の特徴、整数、工程もしくはコンポーネント、またはこれらのグループの存在または追加を除外しない。したがって、「手段AとBとを備えたデバイス」という表現の範囲を、コンポーネントAとBのみからなるデバイスに限定すべきではない。

【0026】

本発明は、ヘテロ構造電界効果トランジスタ(FET)に関する。

【0027】

図1は、本発明の一実施形態に係るヘテロ構造電界効果トランジスタ(FET)の概略図を示す。

10

【0028】

ヘテロ構造FET1は、半導体ワイヤ2を備える。

半導体ワイヤ2は、2つの異なる方向、長手方向Lと横断方向Tを有する半導体構造として規定される。半導体ワイヤにおいて、キャリアの輸送は長手方向Lで起こるのが一般的であり、キャリアの量子閉じ込めは横断方向Tで起こるのが一般的である。半導体ワイヤ2の長さ(すなわち長手方向Lでの)は、半導体ワイヤ2の幅、厚さまたは直径(すなわち横断方向Tでの)よりも大きい。半導体ワイヤ2の長さ対幅のアスペクト比は、ほぼ2:1またはこれ以上が一般的である。例えば、14nmの技術ノードで、ゲート長(長手方向)は約20nmであり、閉じ込めは典型的に約8nmの幅で起こる。

【0029】

20

横断方向Tで、半導体ワイヤ2の断面を規定できる。半導体ワイヤ2、特にナノワイヤの断面は、これに限定されないが、円形、正方形、四角形、環状、橿円形など、任意の形状が可能である。ワイヤまたはナノワイヤの形状は、均一な(regular)形状であってもよく、不均一な(irregular)形状であってもよい。形状が不均一である場合、厚さ t_1 、 t_2 、 t_3 および t_4 は、それぞれ平均厚さ t_1 、 t_2 、 t_3 および t_4 に対応する。好ましくは、形状は均一である。

【0030】

以下の説明を通じて、円形の半導体ワイヤまたはナノワイヤについて述べることになるが、本発明はこの形状に限定されることなく、当業者は、例えば幾分四角形に近いような別の形状を採用してもよい。

30

【0031】

好ましい実施形態で、半導体ワイヤ2は半導体ナノワイヤである。ナノワイヤは、数十ナノメートル以下(例えば100nm以下)に制限された厚さ(または幅、直径)と、制限された長さとを有する構造として規定できる。それらは、多くの場合一次元(1D)材料と呼ぶ。ナノワイヤは、バルク材料または3D材料では見られない多くの興味深い特性を有する。これは、ナノワイヤ中の電子が横断方向に量子閉じ込めされて、従来バルク材料で見られるエネルギー準位またはバンドの連続状態とは異なるとびとびのエネルギー準位のみを占有するからである。

【0032】

半導体ワイヤ2は、シリコン、シリコンゲルマニウム、III-V族材料、例えばGaAs、GaP、InGaAs、InSb、InGaNなどを含んでもよい。

40

【0033】

半導体ワイヤ2は、当業者に既知の技術、例えば化学気相成長法(CVD)、気相-液相-固相合成法、エッティングまたは電気分解により形成できる。

【0034】

半導体ワイヤ2の種々の領域を規定する。長手方向Lでは、ソース領域1001、ドレイン領域1003、および、ソース領域1001とドレイン領域1003との間に位置し、または挟持されたチャネル領域1002、の3つの領域を規定できる。横断方向Tでは、上記領域(ソース1001、チャネル1002およびドレイン領域1003)のそれについて、コア領域100と、コア領域の周囲に(円周方向に)配置されたシェル領域

50

200という2つの領域を規定できる。具体的には、ソース領域1001についてソースコア領域101とソースシェル領域201であり、チャネル領域1002についてチャネルコア領域102とチャネルシェル領域202であり、ドレイン領域1003についてドレインコア領域101とドレインシェル領域201である。

【0035】

チャネルシェル領域202は厚さ t_2 を有し、一方、ソースシェル領域201とドレインシェル領域203はそれぞれ厚さ t_1 と t_3 を有し、厚さ t_1 と t_3 の両方が厚さ t_2 より大きい。

【0036】

厚さ t_1 、 t_2 および t_3 は技術ノードに応じて規定でき、したがってデバイスのスケーラビリティと設計ルールに応じて規定できる。例えば10nmの技術ノードの場合、好ましくは、 t_2 は4nmより小さい。厚さ t_1 と t_3 の上限は、技術ノードに結びつけることができる。例えば10nmの技術ノードの場合、厚さ t_1 と t_3 は10nmより小さいであろう。下限は、直列アクセス抵抗(series access resistance)により規定できる。

チャネル材料に応じて、チャネル領域内でかなりの量子化を伴うように厚さ t_2 を設計できる。

【0037】

種々の実施形態によれば、ソースシェル領域201、ドレインシェル領域203およびチャネルシェル領域202は、量子井戸領域であってもよい。これは、量子化が可能であることを意味する。量子井戸領域は、量子閉じ込めが可能なポテンシャル井戸領域である。量子閉じ込めは、量子井戸厚さがキャリア(一般に電子とホール)のドブロイ波長と同等となったときに起こる。これにより、「エネルギーーサブバンド」と呼ばれるエネルギー準位に導かれ、すなわちキャリアはとびとびのエネルギー値を有することができるのみである。したがって、厚さ t_2 は、チャネルシェル領域202内でサブバンド量子化が充分に大きくなるように選択できる。厚さ t_2 は、量子化準位(第1サブバンドのエネルギー準位と第2サブバンドのエネルギー準位との差として規定される)が4kTより大きい、より好ましくは5kTより大きい、さらに好ましくは8kTより大きくなるように選択できる。 t_2 を減少させることにより量子化準位間のギャップが広がり、これに応じてバンド間散乱が低下すると共に移動度が増加することになる。

【0038】

例えばIn_{0.5}Ga_{0.47}Asの場合、 t_2 を4nmまで減少させることにより第1サブバンドが選出され、1つのエネルギー準位内で輸送が起こることになる。

【0039】

図7は、サブバンド量子化にどのような意味があるかを概略的に示す。各シェル領域、すなわちソースシェル領域201、チャネルシェル領域202およびドレインシェル領域203について、第1エネルギーーサブバンドE1と第2エネルギーーサブバンドE2を示す。第1エネルギーーサブバンドE1と第2エネルギーーサブバンドE2とのエネルギー差を、ソースシェル領域、チャネルシェル領域およびドレインシェル領域(201, 202, 203)についてそれぞれE201、E202およびE203で示す。E203とE201は、これらの領域の厚さが同一であることが好ましいのと同様に、同一であることが好ましいであろう。

【0040】

チャネルシェル領域とソース/ドレインシェル領域との間の厚さの差に起因して、チャネルシェル領域でのエネルギー差E202は、ソース/ドレインシェル領域(1001, 1003)でのエネルギー差E201, E203よりも充分に大きい。チャネルシェル領域でのエネルギー差E202が大きいことにより、チャネル内でのキャリア散乱が充分に低減し、その結果移動度が増加するという利点が得られる。

【0041】

SCワイヤ内で、ソース領域とチャネル領域との間のトランジション部12と、チャネル領域とドレイン領域との間のトランジション部23とに傾斜を設けることができる(図

10

20

30

40

50

1に示すように)。理想的には、トランジション部は急峻であり、あるいは傾斜が存在しない(図5に示すように)。トランジション部12, 23の傾斜が急であるほど、デバイスのスケーラビリティが大きくなる。半導体ワイヤの作成に使用する製造技術に応じて、トランジション部をより急勾配にしてもよく、さらに理想的な状況において急峻(abrupt)にしてもよい。

【0042】

チャネルシェル領域を一定厚さ t_2 まで薄くすることにより、ゲート制御性が上がると共に相互コンダクタンスが増加することになる。厚い延長領域(すなわちソースシェル領域201とドレインシェル領域203)に起因して、直列抵抗は、制御された状態を維持し、したがって増加しない(これは、薄いソース/ドレインシェル領域を使用する場合である)。シェル領域の厚さを調整することにより、量子井戸領域に追加の障壁E204が導入される。これは、デバイスに沿ったサブバンドエネルギーのシフトに起因する。当該シフトは、(量子井戸)シェル領域の厚さプロファイルと逆向きに追随する。したがって、障壁E201、E202およびE203の高さは、厚さ変化の比 t_1 対 t_2 および/または t_1 対 t_3 により制御される。障壁高さを調整することにより、ソース/ドレインシェル領域よりもチャネルシェル領域において、サブバンドエネルギー準位の分割が大きくなる。これは、キャリアの散乱が低下し、その結果キャリアの移動度が増大するという利点がある。

【0043】

キャリアをいわゆるサテライトバレー(satellite valley)に移動させることになる位置であるゲート領域での追加の量子閉じ込めについて、更なる貢献を行うものとして可能性があるのは、III-V族材料の場合である。これらのキャリアは、輸送方向(ワイヤの長手方向)に軽い有効質量を有し、閉じ込め方向(ワイヤの横断方向)に重い有効質量を有する。これは、より大きい状態密度につながる。実施形態によれば、コア領域とシェル領域は、格子整合材料を含んでもよい。コア領域は、In_{0.52}Al_{0.48}AsまたはInPを含んでもよい。シェル領域は、In_{0.53}Ga_{0.47}Asを含んでもよい。

【0044】

好ましくは、半導体シェル領域は、ソースシェル領域とドレインシェル領域ではドープされ、チャネルシェル領域ではドープされない。好ましくは、半導体コア領域は、ナノワイヤの全長さにわたって、すなわちソースコア領域、ドレインコア領域およびチャネルコア領域にわたってドープされる。

【0045】

ヘテロ構造電界効果トランジスタ(FET)1は、半導体ワイヤ2のチャネル領域1002の周囲に(円周方向に)配置されたゲート構造をさらに備える。ゲート構造は、チャネル領域1002の周囲に(円周方向に)配置され且つチャネル領域1002に接するゲート誘電体層4と、ゲート誘電体層4の周囲に(円周方向に)配置され且つゲート誘電体層4に接するゲート層5とを有する。

【0046】

図2a, 2bから図5は、本発明の種々の実施形態に係るヘテロ構造電界効果トランジスタ(FET)を製造する方法の、種々の工程の概略図を示す。図2a, 2bと図3a, 3bは、種々の実施形態に係る、半導体コア領域を設ける2つの異なる方法を示す。

【0047】

図2a, 2bは、均一な半導体コア材料1010を設け、その後に半導体コア材料の一部をソースコア領域101とドレインコア領域103の位置でエッチングすることにより、半導体コア領域100を設ける工程を示す。

【0048】

図3a, 3bは、均一な半導体コア材料1010を設け、その後に均一な半導体コア材料1010の上のソースコア領域101とドレインコア領域103の位置にハードマスク層を設けて半導体コア領域の外側部分をマスクすることにより、半導体コア領域100を

10

20

30

40

50

設ける工程を示す。その後に、半導体コア材料（均一な半導体コア材料 1010 と同一材料）を、コア領域 100 のマスクされていない部分の上、すなわちチャネルコア領域 102 の上に設ける。

【0049】

両方の場合で、チャネルコア領域 102 の外面とソースコア領域 101 および / またはドレインコア領域 103 の外面との間の、厚さまたは幅（すなわち横断方向 T での）の差である厚さ t_4 を規定できる。

【0050】

ソースコア領域 101 とドレインコア領域 103 との間に位置するチャネルコア領域 102 を有し、ソースコア領域 101 とドレインコア領域 103 の厚さがチャネルコア領域 102 の厚さより小さいような半導体コア領域を設けた後、コア領域 100 の周囲に（円周方向に）且つコア領域 100 と接する半導体シェル領域 200 を設ける。半導体シェル領域 200 は、ソースシェル領域 201 とドレインシェル領域 203 との間に位置するチャネルシェル領域 202 を有する。10

【0051】

半導体シェル領域 200 の材料は、質の高い量子井戸構造を形成するように、半導体コア領域 100 の材料に格子整合していくてもよい。半導体シェル領域 200 を設ける工程は、1 つまたはそれ以上の工程で実施できる。

【0052】

図 4 から図 6 に、半導体コア領域 100 の周囲に半導体シェル領域 200 を設ける工程についての可能な実施形態を概略的に示す。20

【0053】

第 1 工程（図 4）では、半導体コア領域材料の上に且つ / または周囲に、半導体シェル材料の層 2001 を設ける。層 2001 は、半導体コア領域 100 の形状に沿うコンフォーマルな層である。これは、例えばエピタキシャル成長のような当業者に既知の任意の技術により実施できる。この工程で、形成された層 2001 の厚さは、半導体シェル領域 200 の厚さ t_2 を決定することになる。

【0054】

その後、ソースシェル領域 201 とドレインシェル領域 203 に半導体シェル材料の層 2001 と同じ半導体シェル材料を設けることにより、半導体シェル領域 200 の残り部分 2002 を形成する。半導体シェル領域 200 のこの残り部分を設ける工程は、ゲート構造を設ける工程（図 6 参照）の前に実施してもよいし、後に実施してもよい。30

【0055】

図 5 は、半導体シェル材料の層 2001 を設けた後であって、半導体シェル領域の残り部分 2002 を設ける工程の前に、ゲート構造を設ける工程を概略的に示す。

【0056】

ゲート構造を設ける工程は、チャネルシェル領域 202 の周囲に（円周方向に）且つチャネルシェル領域 202 と接するゲート誘電体層 4 を設ける工程と、ゲート誘電体層 4 の周囲に（円周方向に）且つゲート誘電体層 4 と接するように配置されるゲート層 5 を設ける工程とを含む。その後、当業者に既知のように、スペーサ 6 を形成してもよい。40

【0057】

ゲート構造を設ける工程の後、図 6 に示すようにゲート構造をマスクとして使用して半導体シェル材料を設けることにより、半導体シェル領域の残り部分 2002 を設けることができる。

【0058】

半導体シェル材料の第 1 層の全幅または全厚さ（ t_2 ）と、半導体シェル領域の残り部分の全幅または全厚さ（ t_4 ）は、ソースシェル領域の厚さ（ t_1 ）および / またはドレインシェル領域の厚さ（ t_3 ）を規定する。

【0059】

次の工程では、当業者に既知の技術を使用して、ソースシェル領域 201 および / また50

はドレインシェル領域 203 に（例えばホウ素、リン、砒素などを）ドープする。また、ワイヤのドーピングは、ワイヤの成長中、例えばワイヤのエピタキシャル成長中に実施できる。チャネルシェル領域 202 では、ドープされていない状態が維持されてもよい。

【0060】

バッファコア領域の上に且つ／または周囲に、ゲート酸化物界面付近の制限領域にキャリアを閉じ込めるように成長した導電性シェル領域を備えた、いわゆるコア変調型(core-modulated)同軸半導体ワイヤまたはナノワイヤが提供されることは、本発明の実施形態の利点である。これらの実施形態では、半導体ワイヤのコア領域を充分に削減し、ゲート誘導電気力線(gate induced electric field lines)が障壁を効率的に制御する領域に全キャリアを配置できる。

10

【0061】

導電性チャネル（すなわちチャネルシェル領域 202）を所定の厚さ未満まで薄くすることにより、ゲート制御性を向上させることができ、相互コンダクタンスを増加させることができ、そして同時に、延長領域（ソース領域および／またはドレイン領域）の直列抵抗を低く抑えることができることは、本発明の実施形態の利点である。

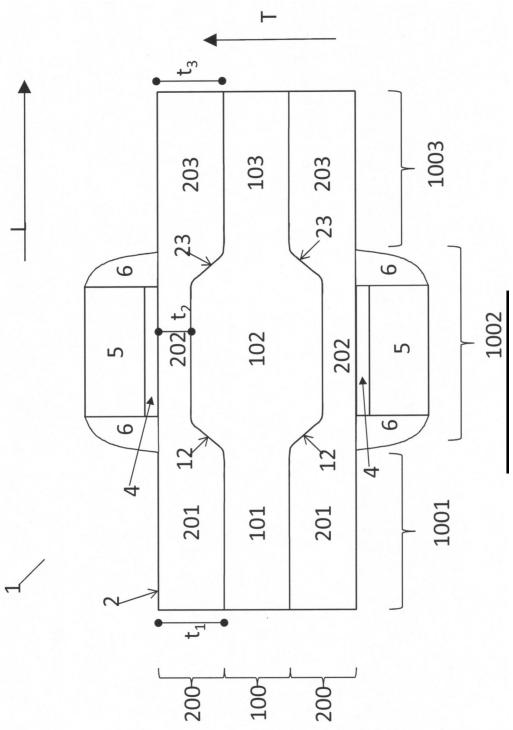
【0062】

図 8 は、FinFet チャネルに沿った電子密度プロファイルを示し、次のパラメータでシミュレートされたものである。Vds は 0 である。ゲートのオーバードライブは 0.3 V である。コアは In_{0.52}Al_{0.48}As からなる。シェルは In_{0.53}Ga_{0.47}As からなる。t₁ と t₃ はそれぞれ 30 nm であり、t₂ は 10 nm である。3 つの領域を 201、202 および 203 で示す。これらの領域内の暗部は、内部の電子密度を表す。明るい／白い領域は、約 1×10^{15} 電子 / cm³ の電子密度を有する。より暗い領域（濃い灰色）は、約 1×10^{20} 電子 / cm³ の電子密度を有する。この図で明らかに判るように、チャネルシェル領域 202 内に暗い領域が無い（ソースシェル領域 201 やドレインシェル領域 203 に比較して）ことは、電子密度がこの領域で低く、チャネルを通じて比較的一様であることを意味する。これは、チャネルシェル領域内での大幅なサブバンド量子化を示す。これは、図 9 において以下の比較により裏付けている。すなわち、均一な厚さ（t₁ = t₂ = t₃ = 30 nm：曲線 A）を有するソース - チャネル - ドレインシステムでチャネル長（L_G）に沿って観察されるドレイン誘導障壁低下と、図 8 の実施形態の変化した厚さ（t₁ = t₃ = 30 nm、t₂ = 10 nm：曲線 B）を有するソース - チャネル - ドレインシステムでチャネル長（L_G）に沿って観察されるドレイン誘導障壁低下との比較である。明らかなことだが、DIBL は、図 8 の実施形態の長さと交差する方向に、より均一である。

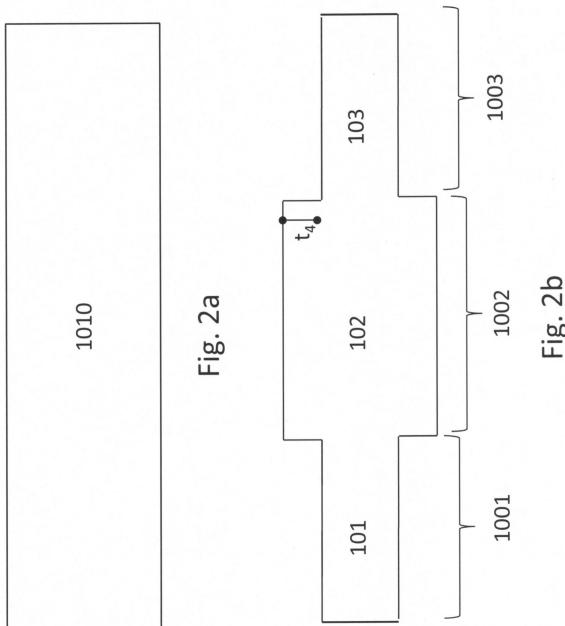
20

30

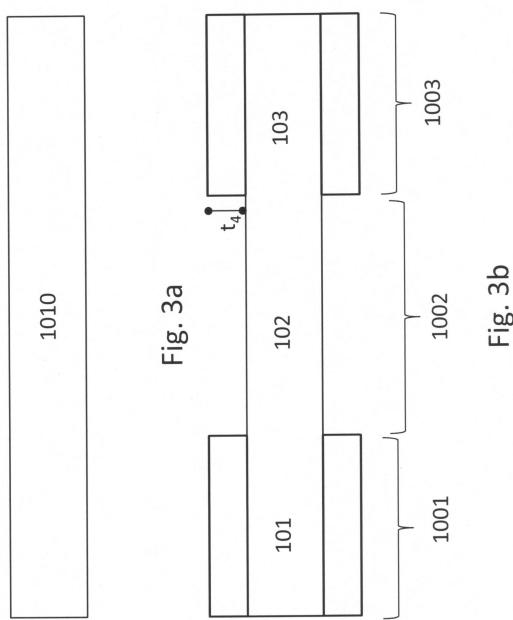
【図1】



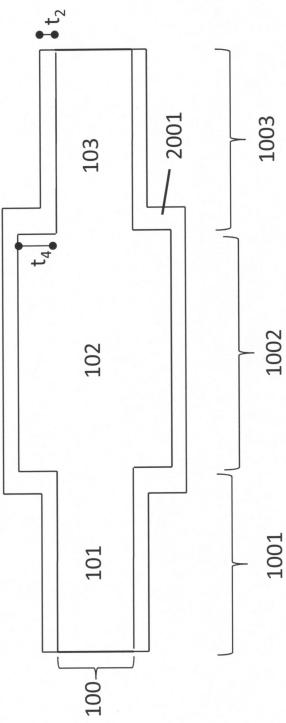
【図2】



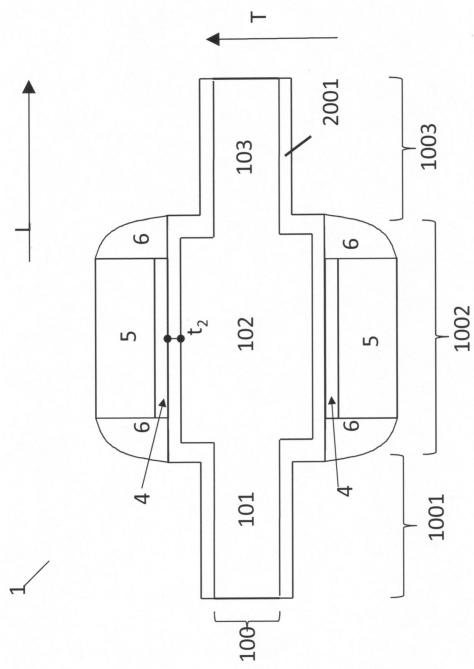
【図3】



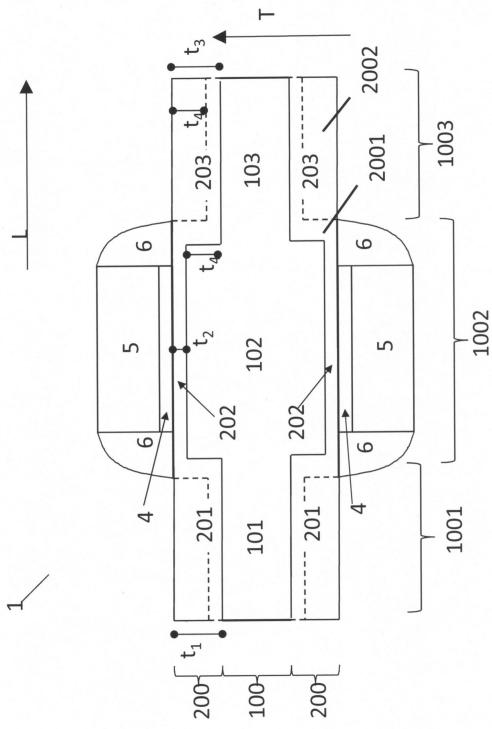
【図4】



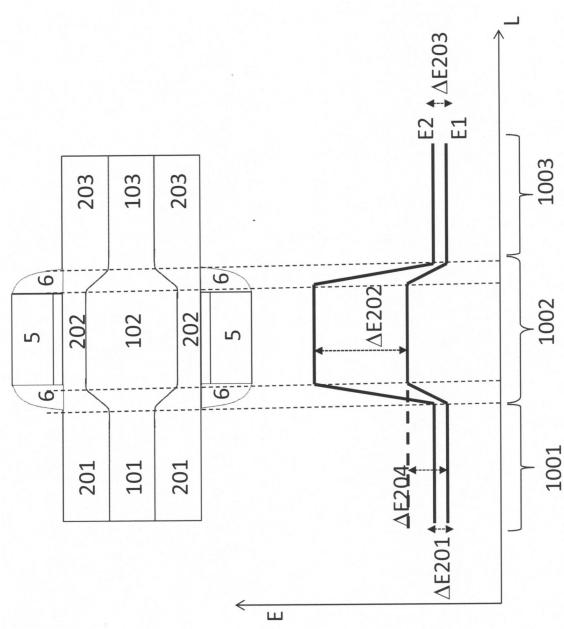
【図5】



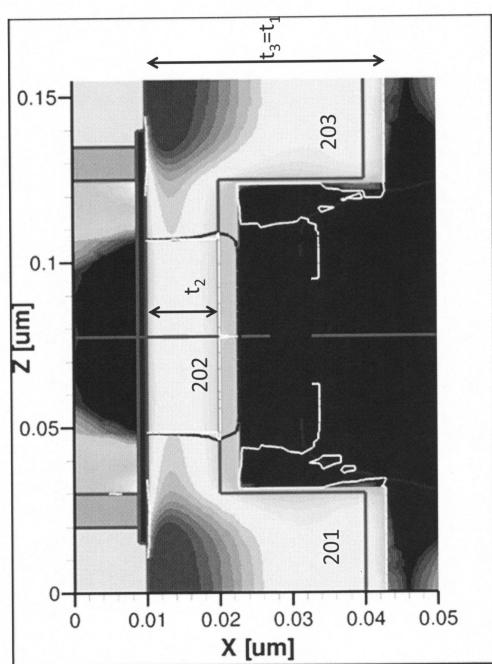
【図6】



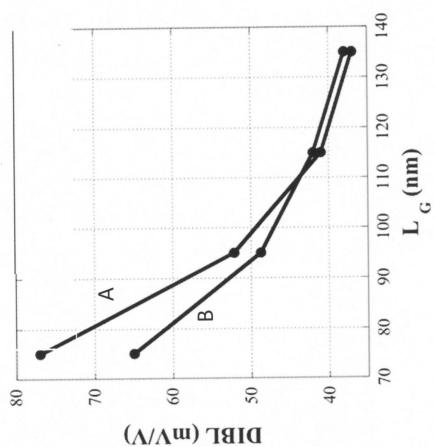
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl. F I
H 01 L 29/06 (2006.01) B 82 Y 40/00
B 82 Y 30/00 (2011.01)
B 82 Y 40/00 (2011.01)

(72)発明者 バルト・ソレ
ベルギー 3001ルーヴァン、カペルドリーフ75番 アイメック内

審査官 杉山 芳弘

(56)参考文献 特表2010-503981(JP,A)
国際公開第2011/105397(WO,A1)
特表2008-507127(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 338
H 01 L 29 / 778
H 01 L 29 / 812
H 01 L 21 / 336
H 01 L 29 / 78
H 01 L 29 / 06