

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01J 1/30	(11) 공개번호 특2001-0023850	(43) 공개일자 2001년03월26일
(21) 출원번호 10-2000-7002527	(22) 출원일자 2000년03월09일	번역문제출일자 2000년03월09일
(86) 국제출원번호 PCT/US1998/18786	(87) 국제공개번호 W0 1999/14780	(86) 국제출원출원일자 1998년09월 10일
(87) 국제공개일자 1999년03월 25일	(81) 지정국 EP 유럽특허 : 오스트리아 벨기에 스위스 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴	국내특허 : 일본 대한민국
(30) 우선권주장 08/932,318 1997년09월 17일 미국(US)	(71) 출원인 캔디션 테크놀로지스 코포레이션 데이비드 엘. 화이트	미국 캘리포니아 95119 산호세 비아 델 오로 6580
(72) 발명자 차크라보티키쇼어케이. 미국95120캘리포니아산호세버위크쉬어웨이6407 라마니스웨이암부 미국95136캘리포니아산호세애룬델코트4948	(74) 대리인 백덕열	

심사청구 : 없음

(54) 평판 표시용 이중층 금속

요약

본 발명은 캐소드 구조(100)를 포함하며, 상기 캐소드 구조는 클래드 재료의 층(107)이 위에 놓여있는 알루미늄층 스트립으로 구성된 행 금속(106)을 포함한다.

대표도

도 1

색인어

캐소드 구조

명세서

기술분야

본 발명은 평판 표시에 관한 것이다. 보다 구체적으로, 본 발명은 우수한 도전성을 제공하고 연속적인 처리 공정에서 손상에 강한 행 금속(row metal)을 구비한 평판 표시 및 그를 형성하기 위한 방법에 관한 것이다.

배경기술

음극선관(CRT) 표시는 종래의 컴퓨터 표시 중 통상 최상의 휘도, 최고의 콘트라스트, 우수한 색상의 품위(color quality) 및 최대의 시야각을 제공한다. 이러한 CRT 표시는 래스터 패턴(raster pattern)에서 인광체를 통해 주사되는 고에너지 전자를 발생시키는 1~3개의 전자빔을 사용함으로써 화상을 발생시킨다. 인광체는 전자 에너지를 가시광으로 변환시켜 소망하는 화상을 형성하도록 한다. 그러나, 종래의 CRT 표시는 캐소드를 둘러싸는 대형 진공 엔벌로프(large vacuum envelope)로 인해 대형이고 부피가 크며, 캐소드로부터 표시의 면판(faceplate)으로 연장된다. 따라서, 통상 액티브 매트릭스 액정 표시, 플라즈마 표시, 일렉트로루미네선스와 같은 다른 타입의 표시 기술이 평판 표시를 형성하기 위해 이전부터 사용되어 왔다.

최근에, 통상 전계 방출 표시(FED)로 불리는 박평판 표시(thin flat panel display)가 CRT 장치에서 사용되는 바와 같은 화상을 발생시키기 위해 동일한 처리과정을 사용하여 개발되어 왔다. 이러한 FED는 전극의 행과 열의 매트릭스 구조를 포함하는 백판(backplate)을 사용한다. 미국 특허 제5,541,473호에

서 기재된 그러한 FED는 여기에 참조로 병합된다. 전형적으로, 상기 백판은 유리판상에 캐소드 구조(전자 방출)를 증착함으로써 형성된다. 상기 캐소드 구조는 전자를 발생시키는 에미터를 포함한다. 백판은 전형적으로 캐소드 구조가 그 안에 증착되는 활성 영역 표면을 가진다. 전형적으로, 활성 영역 표면은 유리판의 전체 표면을 커버하지 않으며, 얇은 스트립이 유리판의 에지 주위를 둘러싸고 남아있다. 이러한 얇은 스트립은 경계 또는 경계 영역으로 불린다. 도전성 트레이스(conductive trace)는 상기 경계를 통해 연장되어 활성 영역 표면에 대해 전기 접속을 가능하게 한다. 이러한 트레이스는 단락을 방지하기 위해 상기 경계를 통해 연장됨에 따라 유전막에 의해 통상 커버된다.

종래의 평판 표시는 상기 면판의 표면위로 증착된 인광체층을 구비한 박유리 면판(애노드)을 포함한다. 도전층이 유리 또는 인광체층 상에 증착된다. 상기 면판은 통상 약 1 밀리미터 만큼 상기 백판으로부터 분리된다. 상기 면판은 인광체층이 그 내에 증착되는 활성 영역 표면을 포함한다. 상기 면판은 또한 경계 영역을 포함한다. 상기 경계는 활성 영역 표면으로부터 유리판의 에지로 연장되는 얇은 스트립이다. 상기 면판은 유리 밀봉 구조를 사용한 백판에 부착된다. 이러한 밀봉 구조는 고온 가열 공정에서 유리 프리트(glass frit)를 녹여서 형성된다. 이는 백판의 활성 영역 표면과 상기 면판의 활성 영역 표면 사이에 진공상태를 제공하도록 밀어올려진(pumped out) 엔클로저(enclosure)를 형성한다.

종래의 캐소드 구조는 유리판 위로 제1 금속층을 증착함으로써 형성된다(제1 금속층). 이 제1 금속층은 마스크되고 도전성 스트림의 행을 형성하도록 에칭된다(행 금속). 통상, 탄화 실리콘, 서멧(cermet), 또는 그들의 화합물로 형성된 저항층이 상기 행 금속위로 증착된다. 유전층이 그 다음에 증착된다. 금속의 제2층이 상기 캐소드 구조의 표면위로 증착된다. 연속적인 마스크 및 에칭 공정은 도전성 스트림의 열(열 금속)을 형성하도록 수행된다. 상기 마스크 및 에칭 공정은 또한 유전층을 통해 연장되는 열 금속내에서 개구를 형성하여 저항층의 일부를 노출되도록 한다. 에미터는 행 금속의 노출된 부분 위와 연속적인 증착 및 에칭 공정에 의해 열 금속내의 개구내에 형성된다. 캐소드의 개별 영역은 행 금속의 선택된 도전성 스트립으로 전기적 전류를 인가함으로써 선택적으로 활성화되어 상기 면판의 활성 영역 표면 내에 표시를 발생시키도록 상기 인광체와 충돌하는 전자를 발생시킨다. 이러한 FED는 종래의 CRT의 잇점을 모두 구비하면서 더 얇다는 잇점을 가진다.

FED의 제1 금속층은 통상 니켈(약 92%)과 배너듐(약 8%)의 합금으로 형성된다. 니켈 배너듐 합금은 위를 덮는 저항층과 우수한 전기적 결합력을 제공하며, 이어지는 처리 공정에서 손상 및 오염에 강하기 때문에 사용된다. 그러나, 니켈 배너듐 층의 저항은 대략 55 마이크로-옴-센티미터이다. 이러한 고 저항성은 신호 지연을 유발한다. 신호 지연은 감소된 성능과 일정하지 않은 표시 품질을 유발한다. 또한, 니켈 배너듐 합금은 고가이다.

행 금속 형성에서 니켈 배너듐 합금과 관련된 문제를 극복하기 위한 시도로서, 제조자는 알루미늄과 같은 저항성이 작은 재료를 사용하도록 시도하였다. 그러나, 이러한 저항성이 작은 많은 재료는 처리 호환성 요건을 만족하지 못하는 문제점이 있다. 또한, 이러한 저항성이 작은 많은 재료는 효율적으로 기능할 정도로 위를 덮는 저항층과 충분한 전기적 접촉을 형성하지 못한다. 이는 전류 흐름을 방지하는 도전층의 표면에 형성된 자연 산화물에 주로 기인한다. 또한, 연속되는 처리 공정은 알루미늄 표면을 손상시키고 오염시킨다. 특히, 연속적인 처리 공정에서 사용되는 알카리 및 산 용액은 알루미늄을 공격한다. 게다가, 연속적인 린싱 및 클리닝 공정은 알루미늄 표면에 부착되는 증착물을 남겨둔다. 이러한 오염물은 또한 행 금속과 레지스터간의 전기적 접촉의 품질을 감소시킨다.

알루미늄이 위의 저항층과 빈약한 전기적 결합을 형성하는 이유중 하나는 알루미늄 표면의 산화이다. 이러한 산화는 주위 조건에 대해 노출되어 발생된다. 종래 방법은 스퍼터링 에칭과 같이 알루미늄 층상에서 에칭을 수행함으로써, 알루미늄과 위의 저항층간의 우수한 전기적 결합을 얻는 것을 시도해 왔다. 이러한 스퍼터링 에칭은 축적된 산화물(알루미늄 산화물)을 제거한다. 스퍼터링 에칭이 작은 표면 영역에 대해 우수한 결과를 주지만, 스퍼터링 에칭은 전류 FED에서 요구되는 큰 표면 영역을 통해 일관된 적용범위(coverage)를 제공하지 않는다. 상술한 이유로, 알루미늄은 종래 FED 장치에서 행 금속을 형성하는데 사용되는 경우 상당한 불이익을 갖는다.

따라서, 필요한 것은 신호 지연을 최소화하고 신호 전파와 다른 수행 기준과 처리 호환 기준을 충족하는 행 금속을 구비하는 FED가 요망된다. 또한, FED는 증착하고 에칭하기 쉽고 현재의 처리 기법을 사용하여 형성될 수 있는 행 금속을 갖는 것이 필요하다. 또한, 저저항 및 저항층과 우수한 결합력을 형성하는 행 금속을 갖는 FED를 형성하는 처리 방법이 요망된다. 또한, 연속적인 처리 공정동안 손상에 강한 행 금속을 갖는 FED를 형성하는 처리 방법이 요망된다. 본 발명은 상술한 필요성을 충족한다.

발명의 상세한 설명

본 발명은 향상된 캐소드 구조를 포함하는 전계 방출 표시(FED)를 제공한다. 캐소드 구조는 매우 도전성이 있는 행 금속을 포함한다. 상기 행 금속은 얇은 클래드 층이 위에 놓인 알루미늄을 사용하여 형성된다.

본 발명의 한 실시예에서, 면판은 유리판상에 형성된 활성 영역 표면내에서 발광재료(luminescent material)를 증착하여 형성된다. 캐소드 구조는 백판상의 활성 영역내에 형성된다. 벽(walls)은 면판 또는 백판중 어느 하나에 부착된다. 유리 밀봉재는 면판의 경계내에 놓여진다. 상기 백판은 상기 면판 위로 놓여져서 벽과 유리 프리트가 면판과 백판 사이에 놓여지도록 한다. 상기 어셈블리는 열처리공정과 배출공정(evacuation step)에 의해 밀봉되어 완전한 FED를 형성하도록 된다.

캐소드 구조는 서로 거의 평행하게 정렬된 금속 스트립행(이하, "행 금속"이라 함)을 포함한다. 각 스트립은 클래드재료층이 위에 놓인 알루미늄층을 포함한다. 저항층은 상기 행 금속위에 놓인다. 유전층은 상기 저항층 위에 놓인다. 열 금속은 유전층 위에 놓인다. 열 금속은 서로 거의 평행하게 정렬된 도전재료의 스트립 행이다. 열 금속과 유전층을 통해 연장되는 개구는 저항층의 일부를 노출한다. 에미터는 행 금속내의 개구와 유전층내에 형성되어 저항층과 전기적으로 서로 접속된다. 동작시에, 전기

적 전류가 하나 이상의 행 금속 스트립과 하나 이상의 열 금속 스트립에 가해져서, 전류가 인가되는 행 금속 스트립 위 및 전류가 인가되는 열 금속 스트립내의 개구내에 배치된 에미터가 전자를 방출하도록 결합된다(engaged). 이러한 전자는 상기 면판위에 증착된 인광체와 충돌하여 가시적 표시를 제공하게 된다.

행 금속을 형성하기 위한 알루미늄과 클래드층의 사용은 고 도전성 알루미늄으로 인해 매우 도전성이 큰 행 금속 세그먼트를 제공한다. 처리공정과 연속적인 열처리 공정에서 서로 확산되지 않는 클래드 재료를 사용함으로써, 고온 처리공정후일지라도 위를 덮는 구조와 우수한 전기적 도전성을 유지하는 행 금속이 형성된다. 위를 덮는 저항층과 우수한 접착력을 형성하는 클래드 재료가 사용된다. 한 실시예에서, 탄탈륨과 같은 내화성 금속이 클래드재료로서 사용된다. 저항층을 형성하도록 실리콘 탄화물을 사용하였을 때, 우수한 전기적 도전성을 갖는 접착이 탄탈륨층과 실리콘 탄화물 사이에 형성된다. 따라서, 결과적인 구조는 매우 높은 전기적 도전성(알루미늄층을 통해)을 가지며 저항층으로 우수한 도전성을 가진다.

한 실시예에서, 알루미늄이 증착되고, 마스크되고 에칭되어, 알루미늄 스트립을 형성한다. 그리고 나서, 탄탈륨 클래드층이 알루미늄 스트립 위로 증착된다. 그리고 나서, 에칭이 수행되어 알루미늄의 인접한 스트립과 탄탈륨 사이의 일부 또는 모든 탄탈륨을 제거한다.

다른 실시예에서, 알루미늄과 클래드층이 진공 증착 챔버내에서 연속적으로 증착된다. 결과적인 구조는 마스크되고 에칭되어 클래드층이 위에 놓인 알루미늄을 갖는 스트립을 형성한다. 연속적인 증착 공정은 알루미늄층과 클래드층 사이에서의 산화를 피하고 마스크, 에칭 및 포토레지스트 제거공정에서 발생할 수 있는 오염을 피할 수 있기 때문에, 더욱 균일한 클래드층을 제공할 수 있다.

본 발명은 우수한 도전성 구조를 가지며 행 금속을 통해 일정한 도전성 특성을 구비한 구조를 제공한다. 또한, 클래드층의 손상에 대한 저항성의 결과로서, 행 금속은 클래드층의 증착공정에 연속적인 처리 공정에서 손상되지 않는다.

우수한 도전성 특성은 연속적인 처리 공정에서 클래드층의 손상에 대한 저항성의 결과로서 행 금속을 통해 일정하게 된다. 특히, 탄탈륨과 다른 내화성 금속은 에칭 화학재에 노출되고 알칼리 및 산 용액과 같은 연소적인 처리 공정에서 통상 사용되는 처리 금속에 노출되었을 때 손상에 저항할 수 있다. 알루미늄은 도전체로서 바람직한데, 전자회로에서 자주 사용되고 고가이지 않고 우수한 도전성을 갖기 때문이다.

본 발명의 이러한 목적 및 여타의 목적과 잇점은 이하의 첨부 도면을 참조하여 설명되는 바람직한 실시예에 비추어 당업자에게 명확할 것이다.

도면의 간단한 설명

- 도 1a는 본 발명에 따른 유리판상의 알루미늄층을 증착하기 위한 공정을 도시한 측면도.
- 도 1b는 본 발명에 따른 알루미늄 스트립을 에칭하는 공정을 도시한 측면도.
- 도 1c는 본 발명에 따른 클래드층의 증착공정을 도시한 측면도.
- 도 1d는 본 발명에 따른 마스크 및 에칭 공정후에 도 1c의 구조를 도시한 측면도.
- 도 1e는 본 발명에 따른 행 금속 스트립을 도시한 상면도.
- 도 1f는 본 발명에 따른 저항층의 증착을 도시한 측면도.
- 도 1g는 본 발명에 따른 유전층의 증착을 도시한 측면도.
- 도 1h는 본 발명에 따른 금속층의 증착을 도시한 측면도.
- 도 1i는 본 발명에 따른 마스크, 에칭 공정과 에미터 형성 공정후에 도 1h의 구조의 측면도.
- 도 1j는 본 발명에 따른 완성된 캐소드 구조를 도시한 상면도.
- 도 1k는 본 발명에 따른 우수한 측면 프로파일을 갖는 실시예를 도시한 측면도.
- 도 2는 본 발명에 따른 전계 방출 표시장치를 형성하기 위한 방법을 도시한 도면.
- 도 3은 본 발명에 따른 전계 방출 표시장치를 형성하기 위한 방법을 도시한 측면도.
- 도 4는 본 발명에 따른 전계 방출 표시장치를 형성하기 위한 공정을 도시한 도면.

실시예

본 발명의 바람직한 실시예는 첨부된 도면에 도시한 실시예를 참조하면서 상세히 설명된다. 본 발명은 바람직한 실시예와 일치하여 설명되지만, 이러한 실시예로 본 발명을 한정하는 것은 아니다. 반면에, 본 발명은 이하의 특허청구의 범위에 의해 정의된 바와 같은 본 발명의 범위내에서 포함될 수 있는 균등, 변형 등을 커버하도록 의도된다. 또한, 본 발명의 이하의 상세한 설명에서, 다양한 구체적인 설명이 본 발명의 완전한 이해를 제공하도록 제공된다. 그러나, 본 발명이 구체적인 사항없이 실시될 수 있다는 것은 당업자에게 자명하다. 다른 예에서, 공지된 방법, 절차, 구성 및 회로는 본 발명을 반드시 불명료하게 하는 것이 아니므로 설명되지 않는다.

본 발명의 한 실시예에서, 그 위에 증착된 하나 이상의 인광체층을 갖는 면판이 캐소드 구조가 형성된 백판에 접속된다. 상기 캐소드 구조는 가시광을 방출하고 가시적 표시를 형성하는 상기 면판상의 인광체층과 충돌하는 전자를 방출하는 도 1i의 에미터(140) 및 도 3의 에미터(340)와 같은 에미터를 포함한

다.

도 1a-1j의 백판(100)은 클래드층이 증착된 위에 알루미늄층으로 형성된 행 금속을 포함한다. 도 2는 FED를 형성하기 위한 처리(201)를 도시한다. 도 2의 공정(210)을 참조하면, 백판(100)은 그 위에 알루미늄층을 처음 증착함으로써 형성된다. 도 1a는 알루미늄층(102)이 그 위에 증착된 유리판(101)을 포함하는 백판(100)을 도시한다. 한 실시예에서, 알루미늄층(102)은 스퍼터링 증착 처리에 의해 증착된다.

알루미늄층은 도 2의 공정(211)에 도시된 바와 같이 마스크되고 에칭된다. 도 1b는 마스크 및 에칭 공정으로 도 1a의 알루미늄층(102)을 에칭하여 알루미늄 스트립(103)을 형성한 후의 도 1a의 구조를 도시한다. 필요하다면, 이온 클리닝 공정과 같은 클리닝 공정 또는 스퍼터링 에칭이 알루미늄의 표면을 세척하는데 사용될 수 있다. 한 실시예에서, 아르곤 플라즈마를 이용한 스퍼터링 에칭은 알루미늄 표면을 세척하는데 사용된다.

클래드층은 도 2의 공정(212)에 의해 도시된 바와 같이 백판(100) 위에 증착된다. 도 1c는 클래드층(104)의 증착후에 도 1b의 구조를 도시한다. 한 실시예에서, 클래드층(104)은 스퍼터링 증착 처리에 의해 증착된다. 필요하다면, 이온 클리닝 공정과 같은 클리닝 공정 또는 스퍼터링 에칭이 클래드층을 증착하는 공정 이전에 알루미늄 표면을 세척하는데 사용될 수 있다. 한 실시예에서, 아르곤 플라즈마를 사용한 스퍼터링 에칭은 알루미늄 표면을 세척하는데 사용된다. 한 실시예에서, 클래드층(104)은 내화성 금속으로 형성된다. 한 실시예에서, 탄탈륨은 위를 덮고 있는 저항층과 우수한 전기적 접촉을 갖고 알루미늄 내부로 확산되지 않기 때문에 사용된다. 또한, 탄탈륨은 연속적인 처리 공정과 전형적으로 사용되는 처리 화학물과 호환가능하다. 특히, 탄탈륨은 처리 화학물에 강하고 처리하기 쉽다.

마스크 및 에칭 공정은 도 2의 공정(213)에 의해 도시된 바와 같이 수행된다. 이러한 마스크 및 에칭 공정은 도 1e에 도시된 바와 같은 활성 영역(20)을 통해 연장되는 행 금속 스트립(108)과 같은 행 금속 스트립을 형성한다. 도 1d를 참조하면, 마스크 및 에칭 스텝은 알루미늄 스트립(106)의 표면위로 증착되는 클래드 재료와 유리 판(101)위에 놓인 클래드 재료를 제거한다. 이는 클래드층이 행 금속 스트립(108)을 형성하도록 알루미늄 스트립(106) 위에 놓이게 한다. 습식 에칭이 클래드층과 알루미늄을 모두 에칭하는데 사용될 수 있다.

한 실시예에서, 반응성 이온 에칭 처리가 알루미늄과 클래드층을 에칭하는데 사용될 수 있다. 이 실시예에서, 플라워링 플라즈마(flouring plasma)를 사용하는 제1 에칭이 클래드층을 통해 에칭하는 데 사용된다. 이러한 에칭은 알루미늄상에서 멈춘다. 그리고 나서, 알루미늄 에칭은 염소 플라즈마를 사용하여 수행된다. 에칭 후에 잔여 염소를 제거하기 위해 불소 가스 세척 공정이 수행된다. 한 실시예에서, 에칭 처리는 수직적으로 진행되기 보다는 경사진 측 표면을 갖는 구조를 생산하는데 사용된다. 도 1k는 알루미늄층(196)과 클래드층(197)을 측 표면(191)과 측 표면(192)이 경사지도록 하는 에칭 처리를 사용하여 에칭함으로써 형성되는 행 금속 스트립(198)을 도시한다. 이 구조는 연속적인 위를 덮은 층의 우수한 계단 피복을 가능하게 한다. 또한, 이러한 구조는 압압 목적(stress purposes)에 적당하며 연속적인 열처리 공정에 의해 캐소드 구조에 작은 손상만을 유발한다.

그리고 나서, 저항층이 공정(214)에 의해 도시된 바와 같이 증착된다. 한 실시예에서, 실리콘 탄화물(SiC)이 저항으로 사용된다. 도 1f는 저항층(110)이 증착된 후에 도 1d의 구조를 도시한다. 저항층(110)은 행 금속 스트립(108)의 위를 덮는다. 특히, 저항층(110)은 클래드층(107) 위에 놓이고 알루미늄층(106)의 측면을 둘러싼다. 한 실시예에서, 저항층(110)은 시스템의 요건에 그 저항성을 맞추도록 질소가 도핑된 대략 2000 Å 두께의 실리콘 탄화물 제1층을 증착함으로써 형성된다. 서밋의 박층이 저항층을 완성하기 위해 SiC 층 위로 증착된다. 한 실시예에서, 서밋층은 대략 500 Å의 두께를 갖는다. 서밋은 이산화 실리콘(SiO₂)과 크롬(Cr)으로 형성되고, 뉴욕주 카멜시에 위치한 퓨어 테크 인코포레이티드에 의해 상용화되어 시판된 저항 물질이다.

캐소드 구조의 형성은 공정(218, 220, 222, 224)에 의해 도시된 바와 같이 완료된다. 한 실시예에서, 유전층은 도 2의 공정(216)에 의해 도시된 바와 같이 저항층위로 증착된다. 한 실시예에서, 대략 1500 Å의 두께를 갖는 유전층이 증착된다. 도 1g는 유전층(120)이 저항층(110) 위로 증착된 후의 도 1f의 구조를 도시한다. 한 실시예에서, 이산화 실리콘은 유전층(120)을 형성하는데 사용된다.

다음에, 열 금속은 백판(100)의 표면 위로 금속층을 증착함으로써 형성된다. 한 실시예에서, 크롬은 열 금속을 형성하는데 사용된다. 도 1h는 금속층(128)이 증착된 후에 도 1g의 구조를 도시한다. 그리고 나서, 금속층이 도 2의 공정(220)에 의해 도시된 바와 같이 마스크되고 에칭된다. 다음에, 에미터 개구가 에칭된다. 에미터 개구는 다수의 공지된 에칭 방법중 임의의 방법에 의해 에칭될 수 있다. 한 실시예에서, 손상 트랙은 에미터 개구를 찾는 데 사용되고 그리고 나서 에칭된다. 에미터는 도 2의 공정(224)에 의해 도시된 바와 같이 에미터 개구내에 형성된다. 도 1i는 마스크 및 에칭 공정이 행 금속 스트립을 에칭한 후에 도 1h의 구조를 도시하는데, 일반적으로 에미터 개구를 에칭한 후의 행 금속 스트립(130)으로 도시되며, 에미터 후에는 에미터(140)로 일반적으로 도시된 바와 같이, 백판(100)내에 형성된다. 게이트(도시안됨) 및 다른 소망 구조와 회로는 백판을 완성하기 위해 형성된다.

도 1j는 도 1a-1i에 도시된 바와 같이 도 2의 공정(210-214, 216, 218, 220, 222, 224)의 완결후의 백판(100)을 도시한다. 유리판(101)위에 형성된 완결된 캐소드 구조는 열 금속 스트립을 포함하며, 일반적으로 열 금속 스트립(130)으로 도시된다. 한 실시예에서, 열 금속 스트립(130)은 대략 1500 Å의 두께를 갖는다. 일반적으로 열 금속 스트립(130)으로 도시되는 열 금속 스트립은 일반적으로 활성 영역(20)을 넘어 확장하여, 전자 회로에 접속된다. 유사하게, 행 금속 스트립은 행 금속 스트립(108)으로 일반적으로 도시되며, 전자 회로와의 접속을 위해 활성 영역(20)을 넘어 확장된다.

다른 실시예에서, 클래드층은 각 알루미늄 스트립의 측면의 위에 놓인다. 도 2를 참조하면, 알루미늄층이 도 2의 공정(210)에 도시된 바와 같이 증착되며, 공정(211)에 의해 도시된 바와 같이 마스크되고 에칭된다. 상기 에칭 처리에서 사용된 포토레지스트는 그리고 나서 제거된다. 클래드 재료층이

공정(212)에 의해 도시된 바와 같이 증착되고 클래드층은 공정(213)에 의해 도시된 바와 같이 마스크되고 에칭된다. 그러나, 마스크 및 에칭 공정만이 각 알루미늄 스트립사이의 유리판 위에 높은 클래드층의 부분 일부 또는 전부를 제거한다(알루미늄 스트립간의 접촉을 방지하기 위해). 따라서, 각 알루미늄 스트립의 측면이 노출되지 않는다. 저항층은 그리고 나서 공정(214)에 의해 도시된 클래드층 위로 증착된다. 그리고 나서, 유전층이 증착되고 열 금속이 공정(216, 218, 229)에 의해 도시된 바와 같이 마스크되고 에칭된다. 공정(222, 224)에 의해 도시된 바와 같이, 에미터 개구는 에칭되고 에미터가 형성된다.

도 3은 알루미늄 스트립(306)으로 일반적으로 도시된, 클래드 재료가 각 알루미늄 스트립의 상부 및 측부 위를 덮도록 남겨진 백판을 도시한다. 클래드는, 클래드층(307)로 도시된 바와 같이, 알루미늄 스트립(306)의 각각을 밀봉하여 행 금속 스트립(308)으로 통상 도시된 행 금속 스트립을 형성한다. 각 알루미늄 스트립(306)의 측부는 클래드로 밀봉되기 때문에, 알루미늄 스트립(306)은 연속적인 처리 공정에서의 손상으로부터 보호된다.

한 실시예에서, 알루미늄과 클래드 재료의 증착은 연속적으로 수행된다. 도 4는 연속적인 알루미늄과 클래드 증착 처리를 사용하여 FED를 형성하기 위한 처리를 도시한다. 도 4에 도시된 바와 같이, 이 실시예에서, 알루미늄 층이 공정(411)에 의해 도시된 바와 같이 클래드 재료층이 증착되기 전에 공정(410)에 의해 도시된 바와 같이 증착된다. 한 실시예에서, 이러한 처리는 알루미늄층과 클래드층을 진공 증착 챔버내에 스퍼터링 증착 방법을 사용하여 연속적으로 증착하여 수행된다. 알루미늄과 클래드층의 연속적인 증착으로 인해 알루미늄과 클래드층간의 알루미늄 계면의 산화와 오염이 방지된다. 알루미늄과 클래드층은 그리고 나서 공정(412)에 의해 도시된 바와 같이 에칭된다. 한 실시예에서, 탄탈륨이 클래드 재료로서 사용될 때, 플라워링 플라즈마를 사용한 제1 에칭은 클래드 재료를 통해 에칭하도록 사용된다. 이러한 에칭은 알루미늄층상에서 멈추게 된다. 알루미늄층은 염소 플라즈마를 사용하여 에칭된다. 이러한 에칭후에는 잔여 염소를 제거하기 위해 불소 가스 세척 공정을 수행한다. 포토레지스트 마스크는 그리고 나서 제거된다. 레지스트층은 공정(416, 418)에 의해 도시된 바와 같이 증착된다. 우선, 실리콘 탄화물층은 공정(416)에 의해 도시된 바와 같이 증착된다. 다음, 서멧 층은 공정(418)에 의해 도시된 바와 같이 증착된다. 상기 구조는 공정(419-423)에 의해 도시된 바와 같이 유전층을 증착하고, 열 금속을 증착, 마스크 및 에칭하고, 에미터 개구를 에칭하고 에미터를 형성함으로써 완성된다.

클래드층으로서 탄탈륨의 사용은 알루미늄과 탄탈륨의 심각한 상호확산을 방지한다. 제조 처리에서 고온 사이클후일지라도, 거의 상호확산이 없다. 결과적으로, 상호확산으로부터 기인하는 저항의 증가는 없다. 이로 인해 우수한 수평 및 수직 전기 도전성을 제공한다. 본 발명의 향상된 수평 및 수직 도전성은 신호 전파 지연을 감소시키고 더욱 빠른 리프래시율을 갖는 밝은 표시의 제공을 가능하게 한다.

산업상이용가능성

본 발명이 클래드재료로서 탄탈륨과 같은 내화성 금속을 사용하는 것을 참조하여 설명하였지만, 다수의 다른 금속중 어느 것이라도 그러한 금속이 처리하기 쉽고, 알루미늄내로 상호확산되지 않고, 알루미늄층과 우수한 전기적 접촉을 가지며, 위를 덮고 있는 레지스트 층과 우수한 전기적 접촉을 한다는 기준을 충족한다면, 사용될 수 있다. 상술한 요건을 충족하는 다른 내화성 금속은 몰리브덴, 텅스텐과 티타늄을 포함한다. 탄탈륨에 더하여, 상술한 요건을 만족하는 다른 금속은 니오븀, 크로뮴, 금속 실리사이드 및 질화 탄탈륨, 티타늄-텅스텐 및 금속 실리사이드와 같은 합성막을 포함한다.

본 발명의 구체적인 실시예의 상술한 기재는 설명과 이해를 위한 것이며, 본 발명을 그로 제한하기 위한 것이 아니다. 명확하게, 다른 변경과 변화가 상술한 사항에 비추어 가능하다. 상기 실시예는 본 발명의 원칙과 그 실제적인 응용을 가장 잘 설명하기 위해서 선택되고 기술되었으며, 그로 인해 당업자가 본 발명을 가장 잘 이용할 수 있으며, 다양한 변형을 갖는 다양한 실시예는 상술된 특정 사용에 적합하도록 되어 있다. 본 발명의 범위는 이하에 첨부된 특허청구의 범위와 그 균등물에 의해 정의된다.

(57) 청구의 범위

청구항 1

백판(backplate)을 구비한 전계 방출 표시장치에 있어서, 상기 백판상의 마스크되고 에칭된 알루미늄 제1층; 및, 상기 알루미늄 위로 클래드의 에칭층을 포함하는 전계 방출 표시장치.

청구항 2

제1항에 있어서, 활성 영역 표면을 구비한 면판과 상기 백판상에 형성된 캐소드 구조를 더 포함하고, 상기 캐소드 구조는:

복수의 행에서 상기 백판위로 배치된 제1 금속층으로서, 상기 제1 금속층은 상기 알루미늄으로 형성되어 상기 제1 금속층을 통해 도전성을 향상시키며, 상기 클래드층은 상기 제1 금속층위로 배치되어 상기 제1 금속층과 상기 클래드층이 복수의 행 금속을 형성하고 상기 클래드층은 전기적 도전 금속으로 형성되고 상기 제1 금속층에 전기적으로 접속되는 제1 금속층;

상기 클래드층위로 형성되고 상기 클래드층에 전기적으로 접속된 저항층; 및,

상기 저항층에 전기적으로 접속되어, 상기 제1 금속층과 상기 클래드층에 대한 전력의 인가에 따라 전류가 상기 저항층을 통해서 선택적으로 흐르고 선택적으로 상기 에미터를 가시적 표시를 발생시키도록 상기 면판의 상기 활성 영역과 충돌하게 하기 위한 전자를 발생시키도록 하는 복수의 에미터;

를 포함하는 전계 방출 표시장치.

청구항 3

제2항에 있어서, 상기 캐소드 구조는:

상기 저항층의 위에 놓이도록 상기 백판위에 증착된 유전층으로, 상기 유전층은 그 안에 형성된 개구를 갖는 유전층; 및,

복수의 열내에서 상기 유전층위로 배치된 제2 금속층으로, 상기 제2 금속층은 그 안에 형성된 복수의 개구를 갖는 제2 금속층;

를 더 포함하고,

상기 에미터는 상기 유전층과 상기 제2 금속층을 통해 연장되는 개구내에 배치되어, 상기 행 금속 중 하나에 전력을 인가하고 상기 제2 금속층의 열중 하나에 전력을 인가함에 따라, 전기는 상기 행 금속으로부터 상기 에미터로 선택적으로 흘러서, 상기 에미터가 표시를 발생시키기 위한 전자를 방출하도록 하는 전계 방출 표시장치.

청구항 4

제2항에 있어서, 상기 저항층은:

상기 클래드층위로 배치된 실리콘 탄화물층으로, 상기 실리콘 탄화물층은 상기 클래드층에 전기적으로 접속되어 전류가 상기 클래드층으로부터 상기 실리콘 탄화물층으로 흐르도록 하는 실리콘 탄화물층; 및,

상기 실리콘 탄화물층위에 배치된 서멧 층으로서, 상기 서멧 층은 상기 실리콘 탄화물층에 전기적으로 접속되어 전류가 상기 실리콘 탄화물층으로부터 상기 서멧 층으로 흐르도록 하며, 상기 에미터는 상기 서멧층위로 배치되어 전류가 상기 행 금속에 인가됨에 따라 상기 에미터를 선택적으로 결합하도록 상기 전류가 상기 에미터내로 흐르는 서멧층;

을 더 포함하는 전계 방출 표시장치.

청구항 5

제4항에 있어서, 상기 제1 금속층은 상부 표면과 측 표면을 포함하고, 상기 클래드층이 상기 제1 금속층위로 배치되어 상기 클래드층이 상기 제1 금속층의 상기 상부 표면과 상기 측 표면의 위를 덮도록 하는 전계 방출 표시장치.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 제1 금속층은 상부 표면과 측 표면을 포함하고 상기 측 표면은 경사져 있는 전계 방출 표시장치.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 제1 금속층과 상기 클래드층은 진공으로 된 챔버(vacuum filled chamber)내에서 연속적인 증착 처리를 사용하여 형성되는 전계 방출 표시장치.

청구항 8

제1항 내지 7항 중 어느 한 항에 있어서, 상기 클래드층은 탄탈륨, 텅스텐, 몰리브덴, 티타늄, 니오븀, 니켈, 크로뮴, 질화 탄탈륨, 티타늄-텅스텐, 및 금속 실리콘사이드로 구성된 그룹으로부터 선택되는 전계 방출 표시장치.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서, 상기 클래드층은 내화성 금속을 포함하는 전계 방출 표시장치.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서, 상기 클래드층은 탄탈륨을 포함하는 전계 방출 표시장치.

청구항 11

전계 방출 표시장치의 백판상에 행 금속을 형성하는 방법으로서,

백판 위로 알루미늄층을 증착하는 공정;

상기 알루미늄층을 마스크하고 에칭하여 알루미늄 스트립의 복수의 행을 형성하도록 하는 공정;

클래드 재료층을 증착하여 상기 클래드 재료층이 상기 알루미늄 스트립의 위를 덮도록 하는 공정; 및,

상기 클래드 재료층을 에칭하여 행 금속 스트립을 형성하도록 하는 공정;

을 포함하는 방법.

청구항 12

제10항에 있어서, 상기 클래드 재료는 탄탈륨, 텅스텐, 몰리브덴, 티타늄, 니오븀, 니켈, 크로뮴, 질화 탄탈륨, 티타늄-텅스텐, 및 금속 실리사이드로 구성된 그룹으로부터 선택되는 방법.

청구항 13

제12항에 있어서, 상기 클래드 재료는 탄탈륨을 포함하는 방법.

청구항 14

제11항 내지 제13항중 어느 한 항에 있어서, 각 알루미늄 스트립은 상부 표면과 측 표면을 가지며, 상기 클래드 재료를 에칭하는 공정은 상기 알루미늄층과 상기 클래드 재료층의 에칭을 수행하여 우수한 측벽 프로파일을 제공하기 위한 공정을 더 포함하는 방법.

청구항 15

제11항 내지 제13항 중 어느 한 항에 있어서, 상기 알루미늄층과 상기 클래드 재료층을 에칭하여 우수한 측벽 프로파일을 달성하는 공정을 더 포함하는 방법.

청구항 16

제11항 내지 제15항 중 어느 한 항에 있어서, 상기 알루미늄층을 증착하는 공정은 스퍼터링 증착 처리를 사용하여 수행되는 방법.

청구항 17

제11항 내지 제16항 중 어느 한 항에 있어서, 상기 클래드층을 증착하는 공정은 스퍼터링 증착 처리를 사용하여 수행되는 방법.

청구항 18

전계 방출 표시장치의 백판상의 행 금속을 형성하는 방법으로서,

백판위로 알루미늄층을 증착하는 공정;

상기 백판위로 탄탈륨층을 증착하여 탄탈륨층이 상기 알루미늄층위를 덮도록 하는 공정; 및,

상기 탄탈륨층과 상기 알루미늄층을 마스킹하고 에칭하여 행 금속 스트립을 형성하도록 하는 공정;

을 포함하는 방법.

청구항 19

제18항에 있어서, 상기 알루미늄층과 상기 탄탈륨층의 증착 공정은 진공상태에서 연속적으로 수행되는 방법.

청구항 20

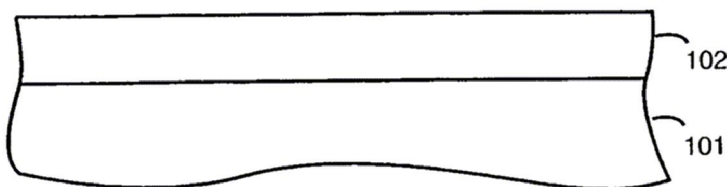
제18항 또는 제19항에 있어서, 상기 탄탈륨층과 상기 알루미늄층의 마스킹 및 에칭 공정은 우수한 측벽 프로파일을 달성하기 위해 에칭을 수행하는 공정을 더 포함하는 방법.

청구항 21

제18항, 제19항 또는 제20항에 있어서, 상기 알루미늄층과 상기 탄탈륨층을 증착하는 공정은 진공상태에서 동일한 증착 챔버내에서 연속적으로 수행되는 방법.

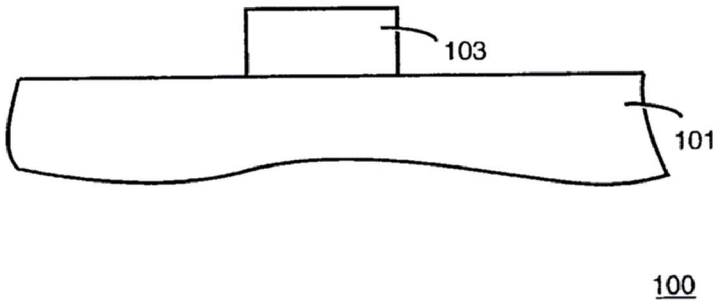
도면

도면 1a

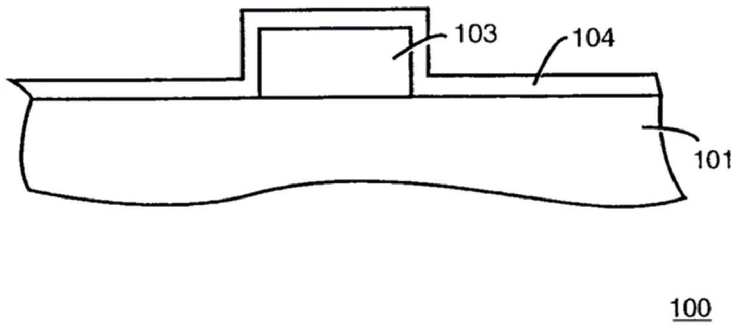


100

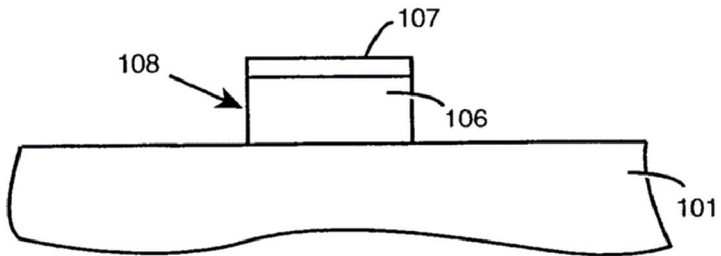
도면 1b



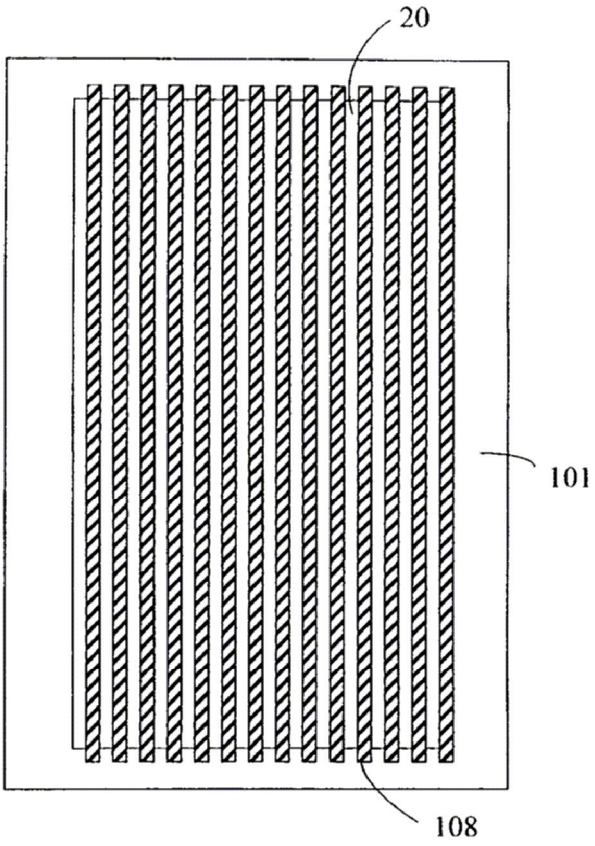
도면 1c



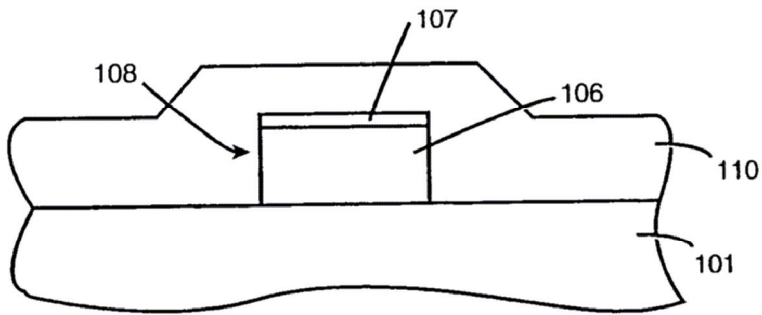
도면 1d



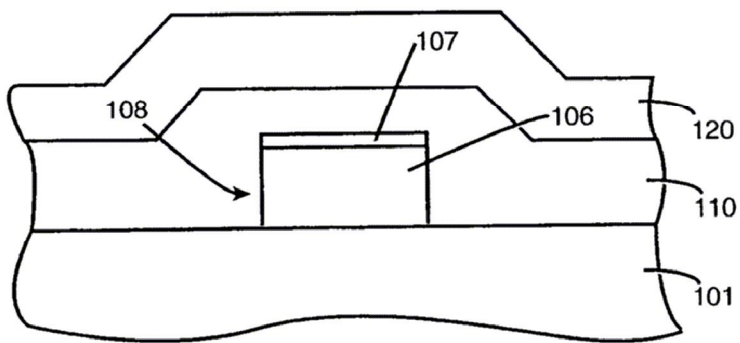
도면 1e



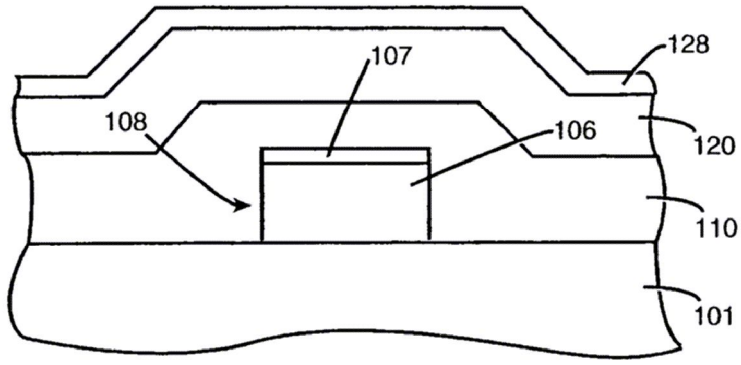
도면 1f



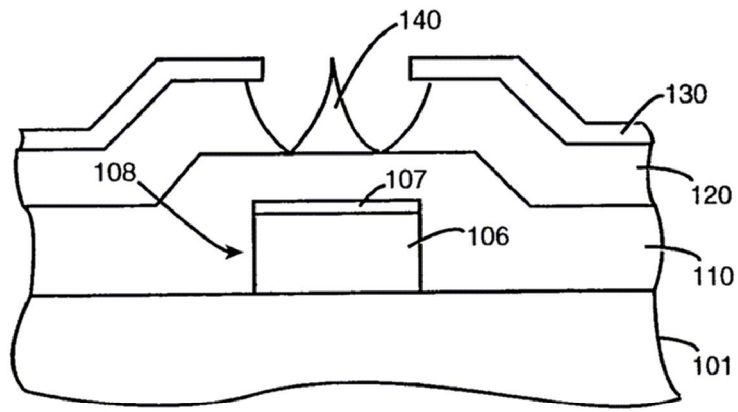
도면 1g



도면 1h

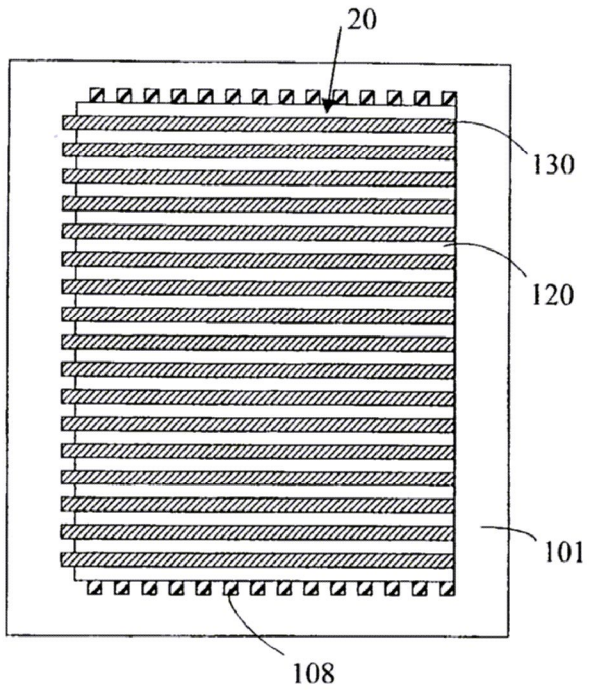


도면 1i



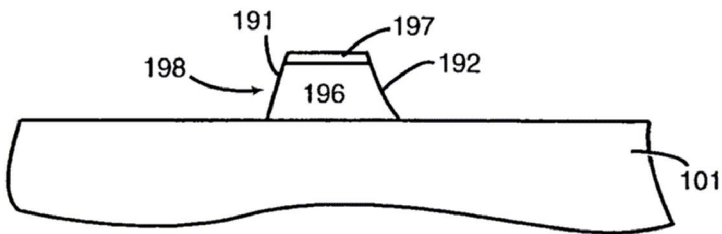
100

도면1j

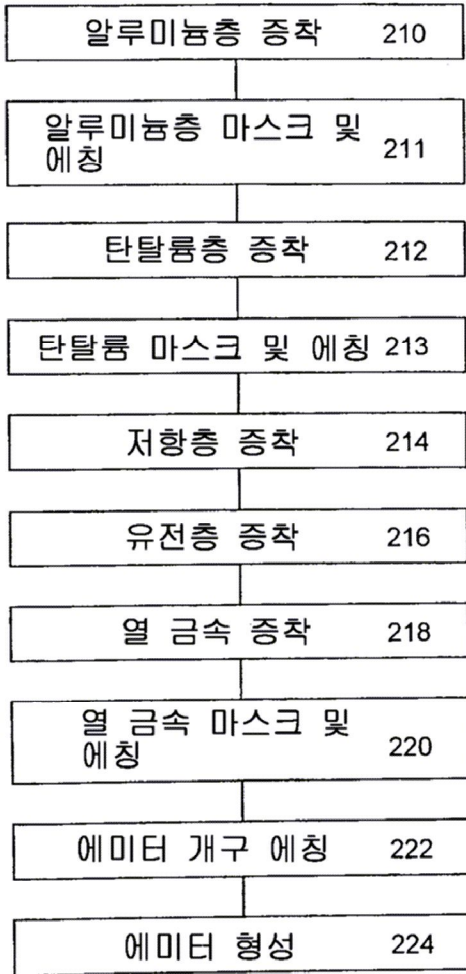


100

도면1k

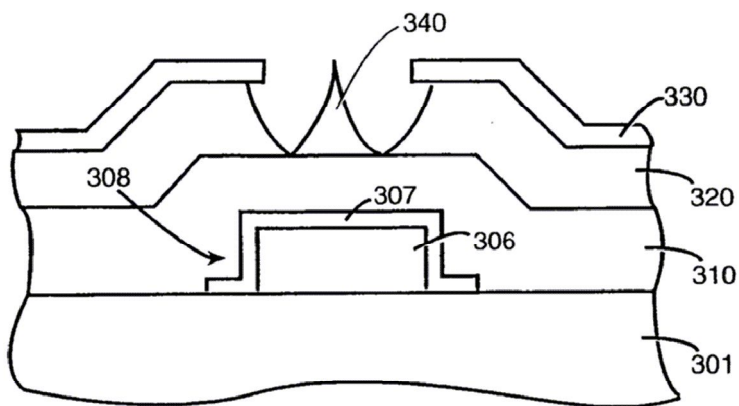


도면2

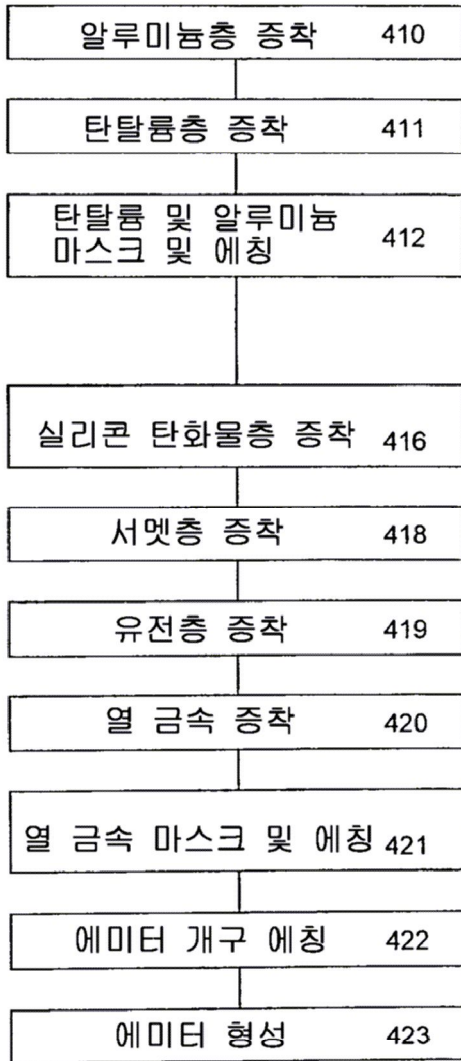


201

도면3



도면4



401