



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0127190  
H01L 27/04 (2006.01) (43) 공개일자 2006년12월11일

(21) 출원번호	10-2006-7018704	(87) 국제공개번호	WO 2005/088701
(22) 출원일자	2006년09월12일	(43) 공개일자	2006년12월11일
심사청구일자	없음		
번역문 제출일자	2006년09월12일		
(86) 국제출원번호	PCT/JP2005/004337	(87) 국제공개번호	WO 2005/088701
국제출원일자	2005년03월11일	국제공개일자	2005년09월22일

(30) 우선권주장 JP-P-2004-00070380 2004년03월12일 일본(JP)

(71) 출원인 로무 가부시킴가이샤  
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 가토 다쿠미  
일본 교토시 우교구 사이잉 미조사키쵸 21 로무 가부시킴가이샤내  
하라 히데오  
일본 교토시 우교구 사이잉 미조사키쵸 21 로무 가부시킴가이샤내

(74) 대리인 특허법인태평양

전체 청구항 수 : 총 8 항

## (54) 반도체 장치

### (57) 요약

1개의 전원계의 신호 단자에 관해 다른 전원계의 전원(또는 그라운드) 단자를 기준으로 한 ESD 파괴 대책을 실현하고, 이에 의한 칩 사이즈의 증대를 억제할 수 있는 반도체 장치를 제공한다. 이 반도체 장치(1)는 제 1 및 제 2 전원계에 있어서 전원 단자(10, 13) 및 그라운드 단자(12, 15)에 본딩 와이어(26 내지 29)로 접속되는 ESD 보호 본딩 패드(36 내지 39)와, 신호 본딩 패드(31, 34) 및 ESD 보호 본딩 패드(36 내지 39)에 접속되고 입출력 회로(43, 44)를 보호하는 신호용 ESD 보호 소자부(41a, 42a)와, ESD 보호 본딩 패드(36, 37)에 접속되는 전원용 ESD 보호 소자부(40a)를 구비하고 있다.

### 대표도

도 1

### 특허청구의 범위

#### 청구항 1.

복수의 전원계로서 적어도 제 1 및 제 2 전원계를 가지고, 제 1 및 제 2 전원계는 각각 반도체 기판상에 형성된 전원 본딩 패드, 그라운드 본딩 패드 및 적어도 1개의 신호 본딩 패드와, 이들 각 본딩 패드에 접속됨과 동시에 신호 본딩 패드와의 사이에서 신호의 입력 또는 출력을 행하는 입출력 회로를 구비하는 반도체 장치에 있어서,

제 1 및 제 2 전원계는 반도체 기판상에 각각 제 1 ESD 보호 본딩 패드와, 신호 본딩 패드 및 제 1 ESD 보호 본딩 패드에 접속된 신호용 ESD 보호 소자부를 구비하며,

제 1 및 제 2 전원계의 제 1 ESD 보호 본딩 패드는 상호 접속되는 것을 특징으로 하는 반도체 장치.

## 청구항 2.

제 1 항에 있어서,

제 1 및 제 2 전원계 중 어느 하나의 제 1 ESD 보호 본딩 패드에 접속되는 전원용 ESD 보호 소자부를 더 구비하는 것을 특징으로 하는 반도체 장치.

## 청구항 3.

제 1 항 또는 제 2 항에 있어서,

제 1 및 제 2 전원계는 각각, 전원 본딩 패드에 접속되는 전원 단자와, 그라운드 본딩 패드에 접속되는 그라운드 단자와, 신호 본딩 패드에 접속되는 신호 단자를 구비하며,

제 1 및 제 2 전원계는 각각, 제 1 ESD 보호 본딩 패드가 전원 단자 또는 그라운드 단자 중 한쪽에 접속되는 것을 특징으로 하는 반도체 장치.

## 청구항 4.

제 3 항에 있어서,

제 1 및 제 2 전원계는 각각, 전원 본딩 패드와 전원 단자의 접속, 그라운드 본딩 패드와 그라운드 단자의 접속, 신호 본딩 패드와 신호 단자의 접속, 제 1 ESD 보호 본딩 패드와 전원 단자 또는 그라운드 단자 중 한쪽의 접속이 본딩 와이어를 통과하고 있는 것을 특징으로 하는 반도체 장치.

## 청구항 5.

제 1 항에 있어서,

제 1 및 제 2 전원계는 반도체 기판상에 각각, 신호용 ESD 보호 소자부에 접속되는 제 2 ESD 보호 본딩 패드를 더 구비하며,

제 1 및 제 2 전원계의 제 2 ESD 보호 본딩 패드는 상호 접속되는 것을 특징으로 하는 반도체 장치.

## 청구항 6.

제 5 항에 있어서,

제 1 및 제 2 전원계 중 어느 하나의 제 1 ESD 보호 본딩 패드에 접속되고, 또한 어느 하나의 제 2 ESD 보호 본딩 패드에 접속되는 전원용 ESD 보호 소자부를 더 구비하는 것을 특징으로 하는 반도체 장치.

## 청구항 7.

제 5 항 또는 제 6 항에 있어서,

제 1 및 제 2 전원계는 각각, 전원 본딩 패드에 접속되는 전원 단자와, 그라운드 본딩 패드에 접속되는 그라운드 단자와, 신호 본딩 패드에 접속되는 신호 단자를 구비하며,

제 1 및 제 2 전원계는 각각, 제 1 ESD 보호 본딩 패드가 전원 단자 또는 그라운드 단자 중 한쪽에 접속되고, 제 2 ESD 보호 본딩 패드가 전원 단자 또는 그라운드 단자 중 다른쪽에 접속되는 것을 특징으로 하는 반도체 장치.

## 청구항 8.

제 7 항에 있어서,

제 1 및 제 2 전원계는 각각, 전원 본딩 패드와 전원 단자의 접속, 그라운드 본딩 패드와 그라운드 단자의 접속, 신호 본딩 패드와 신호 단자의 접속, 제 1 ESD 보호 본딩 패드와 전원 단자 또는 그라운드 단자 중 한쪽의 접속, 제 2 ESD 보호 본딩 패드와 전원 단자 또는 그라운드 단자 중 다른쪽의 접속이 본딩 와이어를 거치고 있는 것을 특징으로 하는 반도체 장치.

## 명세서

### 기술분야

본 발명은 복수의 전원계를 가진 반도체 장치에 관한 것이다.

### 배경기술

종래부터, 복수의 전원계를 가지는 반도체 장치, 즉 전원 단자와 그라운드 단자의 쌍이 복수개 존재하여 각 쌍의 사이에 반도체 소자가 설치되어 있는 반도체 장치는, 신호 단자에 인가된 정전기가 어느 하나의 전원 단자나 그라운드 단자를 경유하여 방전하여도, 그 정전기 방전(ESD)에 의해 파괴되지 않도록 모든 전원, 단자 및 그라운드 단자를 기준으로 한 ESD 대책이 취해져 왔다(예를 들면, 특허문헌 1).

도 4는 디지털용 전원계와 아날로그용 전원계 2개의 전원계를 가진 종래의 반도체 장치에 있어서의 각 단자의 접속 상태를 나타내는 부분 회로도이다. 이 반도체 장치(101)는, 예를 들면 5V의 디지털용 전원계에, 전원(VCC1) 단자(110), 그라운드(GND1) 단자(112) 및 외부와 신호의 입출력을 행하는 적어도 1개의 신호(SIG1) 단자(111)와, 마찬가지로 5V의 아날로그용 전원계에, 전원(VCC2) 단자(113), 그라운드(GND2) 단자(115) 및 외부와 신호의 입출력을 행하는 적어도 1개의 신호(SIG2) 단자(114)를 구비하고 있다. 이들 각 단자는, 본딩 와이어(120 내지 125)에 의해서 각각 VCC1 본딩 패드(130), GND 본딩 패드(132), SIG1 본딩 패드(131), VCC2 본딩 패드(133), GND2 본딩 패드(135), SIG2 본딩 패드(134)에 접속되어 있다.

VCC1 본딩 패드(13) 및 GND1 본딩 패드(132)는 반도체 기판상에 형성된 VCC1 배선(15b) 및 GND1 배선(152)에 접속된다. VCC1 배선(150) 및 GND1 배선(152)은 디지털용 전원계 중 적어도 1개의 입출력 회로(143) 및 내부 회로(145)의 소자에 접속됨과 동시에 후술하는 바와 같이 신호용 ESD 보호 소자부(141)에 접속된다. 입출력 회로(143)는 SIG1 본딩 패드(131)와의 사이에서, 신호를 입력 또는 출력하고, 내부 회로(145)는 입출력 회로(143)로부터 입력한 신호에 따라 신호 처리를 실시하는 입출력 회로(143)에 신호를 출력한다. 또한, 도 4에 있어서의 입출력 회로(143)(및 후술하는 입출력 회로(144))에서는 입력 소자의 도시를 생략하고 있다.

전술한 신호용 ESD 보호 소자부(141)는 입출력 회로(143)의 ESD에 의한 파괴를 방지하는 것이며, VCC1 단자(110)를 기준으로 SIG1 단자(111)에 인가된 정전기를 VCC1 단자(110)로 보내기 위한 VCC1측의 보호 소자와, GND1 단자(112)를 기준으로 SIG1 단자(111)에 인가된 정전기를 GND1 단자(112)로 보내기 위한 GND1측의 보호 소자로 구성된다. 이들 보호 소자는, 구체적으로는 도 4에 나타난 다이오드 또는 필드 트랜지스터(금속 배선을 게이트로 한 임계값이 높은 MOS 트랜지스터) 등이 이용된다. 이렇게 하여, SIG1 단자(111)에 대해 VCC1 단자(110) 및 GND1 단자(112)를 기준으로 한 ESD 대책이 취해진다. 다른 전원계의 VCC2 단자(113) 및 GND2 단자(115)를 기준으로 한 kESD 대책에 대해서는 후술한다.

또, VCC2 본딩 패드(133) 및 GND2 본딩 패드(135)도 반도체 기판상에 형성된 VCC2 배선(153) 및 GND2 배선(155)에 각각 접속된다. VCC2 배선(153) 및 GND2 배선(155)은 아날로그용 전원계 중 적어도 1개의 입출력 회로(144) 및 내부 회로(146)의 소자에 접속됨과 동시에 신호용 ESD 보호 소자부(142)에 접속된다. 입출력 회로(144)는 SIG2 본딩 패드(134)와의 사이에 신호를 입력 또는 출력하고, 내부 회로(146)는 입출력 회로(144)로부터 입력한 신호에 따라 신호 처리를 실시하는 입출력 회로(144)에 신호를 출력한다. 신호용 ESD 보호 소자부(142)도 입출력 회로(144)의 ESD에 의한 파괴를 방지하는 것이며, 그 구성이나 기능은 전술한 신호용 ESD 보호 소자부(141)와 실질적으로 동일하다.

전원용 ESD 보호 소자부(140)는 어느 전원 단자간 또는 그라운드 단자간에 정전기가 인가된 경우에도, 입출력 회로(143, 144) 또는 내부 회로(145, 146)의 소자의 ESD에 의한 파괴를 방지하는 것이며, VCC1 단자(110)-GND1 단자(112) 간의 보호 소자(1개의 다이오드)와, VCC2 단자(113)-GND1 단자(112) 간의 보호 소자(1개의 다이오드)와, VCC2 단자(113)-GND2 단자(115) 간의 보호 소자(1개의 다이오드)와, GND2 단자(115)-GND1 단자(112) 간의 보호 소자(2개의 다이오드)와, VCC1 단자(110)-VCC2 단자(113) 간의 보호 소자(2개의 다이오드)와, VCC1 단자(110)-GND2 단자(115) 간의 보호 소자(1개의 다이오드)로 구성된다. GND2 단자(115)-GND1 단자(112) 간의 보호 단자와 VCC1 단자(110)-VCC2 단자(113) 간의 보호 소자가 각각 2개의 서로 역방향의 다이오드로 구성되는 것은 ESD에 대해서 보호 능력이 높기 때문이다. 이 구성은, 다이오드의 양극과 음극이 같은 전위이기 때문에 가능하다. 그 외의 보호 소자(예를 들면, VCC1 단자(110)-GND1 단자(112) 간의 보호 소자 등)는 보호 소자의 면적을 더욱 크게 하는 등 보호 능력을 높이고 있다.

다음으로, SIG1 단자(111)에 대해 다른 전원계의 VCC2 단자(113) 및 GND2 단자(115)를 기준으로 한 ESD에 의한 파괴 방지의 동작에 대해 설명한다. VCC2 단자(113)를 기준으로 SIG1 단자(111)에 인가되던 정전기는, 신호용 ESD 보호 소자부(141)를 구성하는 VCC1측의 보호 소자, VCC1 배선(15)을 통해 VCC2 단자(113)로 빠져나간다. GND2 단자(115)를 기준으로 SIG1 단자(111)에 인가된 정전기도, 마찬가지로 하여, 신호용 ESD 보호 소자부(141)를 구성하는 GND1측의 보호 소자, GND1 배선(152), 전원용 ESD 보호 소자부(140)를 구성하는 GND2 단자(115)-GND1 단자(112) 간의 보호 소자, GND2 배선(155)을 통해 GND2 단자(115)로 빠져나간다. 또, SIG2 단자(114)에 대해 다른 전원계의 VCC1 단자(110) 및 GND1 단자(112)를 기준으로 한 ESD에 대해서도, 마찬가지로 하여, 신호용 ESD 보호 소자부(142) 및 전원용 ESD 보호 소자부(140)를 통해 파괴 방지가 실현된다.

이와 같이, 복수의 전원계를 가진 반도체 장치에 있어서, 몇개의 전원계의 신호 단자에 대해 다른 전원계의 전원 단자나 그라운드 단자를 기준으로 한 ESD 대책은, 신호용 ESD 보호 소자부 및 전원용 ESD 보호 소자부를 통해 파괴 방지가 실현된다. 한편, 상기 반도체 장치(101)는 복수의 전원계로서, 디지털 전원계와 아날로그용 전원계의 2개의 전원계를 가지는 반도체 장치이지만, 이에 한정되지 않으며, 예를 들면 5V 전원계와 3V 전원계와 같이 전원 전압이 다른 복수의 전원계를 가지는 반도체 장치에서도 전원용 ESD 보호 소자부(140)를 마련함으로써 다른 전원계의 전원 단자나 그라운드 단자를 기준으로 한 ESD에 의한 파괴 방지를 실현하는 것이 가능하다. 다만, 예를 들면 VCC1 단자(110)가 5V이고 VCC2 단자(113)가 3V라고 하면, 전원용 ESD 보호 소자부(140)에 있어서의 VCC1 단자(110)-VCC2 단자(113) 간의 보호 소자는 통상 동작에서 역바이어스로 되는 1개의 다이오드(또는 필드 트랜지스터 등)로 구성된다.

특허문헌 1 : 특개평8-148650호 공보

그러나, 복수의 전원계를 가지는 반도체 장치에 있어서의 전원용 ESD 보호 소자부는, 반도체 장치(101)의 전원용 ESD 보호 소자부(140)와 같이 많은 전원 단자 간이나 그라운드 단자 간의 보호 소자로 이루어지며, 이들 보호 소자는 각각이 큰 면적을 점유하는 것이다. 따라서, 반도체 장치는, 전원용 ESD 보호 소자부를 내부 회로나 입출력 회로의 소자가 배치되지 않은 빈 공간에 배치하는 것만으로는 부족하고, 내부 회로나 입출력 회로의 공간 중 다른 곳에 전원용 ESD 보호 소자부를 위한 공간을 확보해야 하기 때문에, 칩 사이즈의 증대의 요인이 되고 있다.

## 발명의 상세한 설명

본 발명은, 이상의 사유를 감안하여 이루어진 것으로, 그 목적은 복수의 전원계를 가지는 반도체 장치에 있어서 몇개의 전원계의 신호 단자에 대해 다른 전원계의 전원 단자나 그라운드 단자를 기준으로 한 ESD에 의한 파괴 방지를 실현하면서, 이에 따른 칩 사이즈의 증대를 억제할 수 있는 반도체 장치를 제공하는 것이다.

상기 과제를 해결하기 위해서, 본 발명의 바람직한 실시형태에 관한 반도체 장치는 복수의 전원계로서 적어도 제 1 및 제 2 전원계를 가지고, 제 1 및 제 2 전원계는 각각 반도체 기판상에 형성된 전원 본딩 패드, 그라운드 본딩 패드 및 적어도 1개의 신호 본딩 패드와, 이들 각 본딩 패드에 접속됨과 동시에 신호 본딩 패드와의 사이에서 신호의 입력 또는 출력을 행하는 입출력 회로를 구비하는 반도체 장치에 있어서, 제 1 및 제 2 전원계는 반도체 기판상에 각각 제 1 ESD 보호 본딩 패드와, 신호 본딩 패드 및 제 1 ESD 보호 본딩 패드에 접속된 신호용 ESD 보호 소자부를 구비하며, 제 1 및 제 2 전원계의 제 1 ESD 보호 본딩 패드는 상호 접속된다.

이 반도체 장치의 제 1 및 제 2 전원계는 경우에 따라 반도체 기판상에 각각, 신호용 ESD 보호 소자부에 접속되는 제 2 ESD 보호 본딩 패드를 더 구비하며, 제 1 및 제 2 전원계의 제 2 ESD 보호 본딩 패드는 서로 접속된다.

이 반도체 장치는, 바람직하게는 1 제 1 및 제 2 전원계 중 어느 하나의 ESD 보호 본딩 패드(및 경우에 따라 제 2 ESD 보호 본딩 패드)에 접속되는 전원용 ESD 보호 소자부를 더 구비한다.

이 반도체 장치는, 바람직하게는, 제 1 및 제 2 전원계는 각각, 전원 본딩 패드에 접속되는 전원 단자와, 그라운드 본딩 패드에 접속되는 그라운드 단자와, 신호 본딩 패드에 접속되는 신호 단자를 구비하며, 제 1 및 제 2 전원계는 각각 제 1 ESD 보호 본딩 패드가 전원 단자 또는 그라운드 단자의 한쪽(및 경우에 따라 제 2 ESD 보호 본딩 패드가 전원 단자 또는 그라운드 단자의 다른쪽)에 접속된다.

이러한 본딩 패드와 단자의 접속에는, 바람직하게는, 본딩 와이어가 이용될 수 있다.

본 발명의 바람직한 실시형태와 관련되는 반도체 장치는, 복수의 전원계를 가지는 반도체 장치 각각의 전원계에 있어서, 전원 본딩 패드 및 그라운드 본딩 패드 외에 ESD 보호 본딩 패드를 마련하고, 이를 통해 신호 단자에 인가된 정전기를 빠져나가게 한다. 이로써, 1개의 전원계의 신호 단자에 대해 다른 전원계의 전원 단자나 그라운드 단자를 기준으로 한 ESD 파괴 대책을 실현하면서, 칩 사이즈의 증대를 억제하는 것이 가능하게 된다.

## 실시예

이하, 본 발명의 최선의 실시형태를 도면을 참조하면서 설명한다. 도 1은 본 발명의 바람직한 제 1 실시형태인 반도체 장치에 있어서 각 단자의 접속 상태를 나타내는 부분 회로도이다. 이 반도체 장치(1)는, 복수의 전원계로서 5V의 디지털용 전원계(제 1 전원계)와 5V의 아날로그용 전원계(제 2 전원계)의 2개의 전원계를 가지고 있다.

제 1 전원계는, 전원(VCC1) 단자(10), 그라운드(GND1) 단자(12) 및 외부와 신호의 입출력을 실시하는 적어도 1개의 신호(SIG1) 단자(11)를 가진다. 제 2 전원계는, 전원(VCC2) 단자(13), 그라운드(GND2) 단자(15) 및 외부와 신호의 입출력을 실시하는 적어도 1개의 신호(SIG2) 단자(14)를 가진다. 또, 제 1 전원계는, 반도체 기판상에 전원(VCC1) 본딩 패드(30), 그라운드(GND1) 본딩 패드(32), 적어도 1개의 신호(SIG1) 본딩 패드(31)를 가진다. 제 2 전원계는, 반도체 기판상에 전원(VCC2) 본딩 패드(33), 그라운드(GND2) 본딩 패드(35), 적어도 1개의 신호(SIG2) 본딩 패드(34)를 가진다. VCC1 단자(10), SIG1 단자(11), GND1 단자(12), VCC2 단자(13), SIG2 단자(14), GND2 단자(15)는, 본딩 와이어(20 내지 23)를 통해 VCC1 본딩 패드(30), SIG1 본딩 패드(31), GND1 본딩 패드(32), VCC2 본딩 패드(33), SIG2 본딩 패드(34), GND2 본딩 패드(35)에 접속되어 있다.

제 1 전원계에는, 반도체 기판상에, VCC1 본딩 패드(30)에 근접하여 VCC1 ESD 보호 본딩 패드(제 1 전원계의 제 2 ESD 보호 본딩 패드)(36), GND1 본딩 패드(32)에 근접하여 GND1 ESD 보호 본딩 패드(제 1 전원계의 제 1 ESD 보호 본딩 패드)(37)가 설치되어 있다. 제 2 전원계에는, 반도체 기판상에, VCC2 본딩 패드(33)에 근접하여 VCC2 ESD 보호 본딩 패드(제 2 전원계의 제 2 ESD 보호 본딩 패드)(38), GND2 본딩 패드(35)에 근접하여 GND2 ESD 보호 본딩 패드(제 2 전원계의 제 1 ESD 보호 본딩 패드)(39)가 설치되어 있다. 이들 각 ESD 보호 본딩 패드(36, 37, 38, 39)는 본딩 와이어(26 내

지 29)를 통해 VCC1 단자(10), GND1 단자(12), VCC2 단자(13), GND2 단자(15)에 접속된다. 또, VCC1 ESD 보호 본딩 패드(36)와 VCC2 ESD 보호 본딩 패드(38)는 서로 접속되며, GND1 ESD 보호 본딩 패드(37)와 GND2 ESD 보호 본딩 패드(39)는 서로 접속되어 있다.

VCC1 본딩 패드(30) 및 GND1 본딩 패드(32)는 반도체 기판상에 형성된 VCC1 배선(50) 및 GND1 배선(52)에 각각 접속된다. VCC1 배선(50) 및 GND1 배선(52)은 제 1 전원계의 적어도 1개의 입출력 회로(43) 및 내부 회로(45)의 소자에 접속된다. 입출력 회로(43)는 SIG1 본딩 패드(31)와의 사이에 신호의 입력 또는 출력을 실시하고, 내부 회로(45)는 입출력 회로(43)로부터 입력한 신호에 따라 신호 처리를 실시하거나 입출력 회로(43)에 신호를 출력하거나 한다. 한편, 도 1(및 후술하는 도 3)에 있어서의 입출력 회로(43)(및 후술하는 입출력 회로(44))에서는 입력 소자의 도시를 생략하고 있다.

여기서 중요한 것은 입출력 회로(43)의 ESD로 인한 파괴 방지를 위한 신호용 ESD 보호 소자부(41a)는, VCC1 ESD 보호 배선(56)에 의해 SIG1 본딩 패드(31)와 VCC1 ESD 보호 본딩 패드(36) 사이에, GND1 ESD 보호 배선(57)에 의해 SIG1 본딩 패드(31)와 GND1 ESD 보호 본딩 패드(37) 사이에 접속되는 것이다. 이 신호용 ESD 보호 소자부(41a)는, VCC1 단자(10)를 기준으로 SIG1 단자(11)에 인가된 정전기를 VCC1 ESD 보호 배선(56)으로부터 VCC1 ESD 보호 본딩 패드(36)를 통하여 VCC1 단자(10)로 내보내기 위한 VCC1측의 보호 소자와, GND1 단자(12)를 기준으로 SIG1 단자(11)에 인가된 정전기를 GND1 ESD 보호 배선(57)으로부터 GND1 ESD 보호 본딩 패드(37)를 통하여 GND1 단자(12)로 보내기 위한 GND1측의 보호 소자로 구성된다. 이들 보호 소자는, 구체적으로는 다이오드나 필드 트랜지스터(금속 배선을 게이트로 한 임계값이 높은 MOS 트랜지스터) 등이 이용된다.

또, VCC2 본딩 패드(33) 및 GND2 본딩 패드(35)는 반도체 기판상에 형성된 VCC2 배선(58) 및 GND2 배선(55)에 각각 접속된다. VCC2 배선(53) 및 GND2 배선(55)은 제 2 전원계 중 적어도 1개의 입출력 회로(44) 및 내부 회로(46)의 소자에 접속된다. 이 입출력 회로(44)도 전술한 입출력 회로(43)와 마찬가지로 SIG2 본딩 패드(34)와의 사이에서 신호의 입력 또는 출력을 실시하고, 내부 회로(46)는 입출력 회로(44)로부터 입력한 신호에 따라 신호 처리를 실시하거나 입출력 회로(44)에 신호를 출력하거나 한다. 그리고, 입출력 회로(44)의 ESD에 의한 파괴 방지를 위한 신호용 ESD 보호 소자부(42a)도, VCC2 ESD 보호 배선(58)에 의해 SIG2 본딩 패드(34)와 VCC2 ESD 보호 본딩 패드(38) 사이에, GND2 ESD 보호 배선(59)에 의해 SIG2 본딩 패드(34)와 GND2 ESD 보호 본딩 패드(39) 사이에 접속된다. 이 신호용 ESD 보호 소자부(42a)는 VCC2 단자(13)를 기준으로 SIG2 단자(14)에 인가된 정전기를 VCC2 ESD 보호 배선(58)으로부터 VCC2 ESD 보호 본딩 패드(38)를 통해 VCC2 단자(13)로 내보내기 위한 VCC2측의 보호 소자와, GND2 단자(15)를 기준으로 SIG2 단자(14)에 인가된 정전기를 GND2 ESD 보호 배선(59)으로부터 GND2 ESD 보호 본딩 패드(39)를 통해 GND2 단자(15)로 내보내기 위한 GND2측의 보호 소자로 구성된다.

반도체 장치(1)의 전원용 ESD 보호 소자부(40a)는, VCC1 ESD 보호 본딩 패드(36)와 GND1 ESD 보호 본딩 패드(37) 사이에, 구체적으로는 VCC1 ESD 보호 배선(56)과 GND1 ESD 보호 배선(57) 사이에 접속되는 보호 소자(1개의 다이오드)로 구성된다. 이 전원용 ESD 보호 소자부(40a)는 VCC1 단자(10)-GND1 단자(12) 사이에 정전기가 인가된 경우 입출력 회로(43) 또는 내부 회로(45)의 소자가 파괴되지 않도록 정전기를 내보내기 위한 것이다. 또, 전술한 바와 같이, VCC1 ESD 보호 본딩 패드(36)와 VCC2 ESD 보호 본딩 패드(38)는 서로 접속되어 있고, GND1 ESD 보호 본딩 패드(37)와 GND2 ESD 보호 본딩 패드(39)는 서로 접속되어 있다. 구체적으로는, VCC1 ESD 보호 배선(56) 및 GND1 ESD 보호 배선(57)은 각각 VCC2 ESD 보호 배선(58) 및 GND2 ESD 보호 배선(59)에 반도체 기판상에서 서로 접속되어 있고, 따라서 VCC2 단자(13)-GND2 단자(15) 사이에 정전기가 인가된 경우에도 VCC2 ESD 보호 배선(58) 및 GND2 ESD 보호 배선(59)을 통해 전원용 ESD 보호 소자부(40a), 즉 VCC1 ESD 보호 배선(56)과 GND1 ESD 보호 배선(57) 사이에 접속된 보호 소자를 통하여 정전기가 빠져나간다. 또, 그 이외의 조합의 전원(그라운드를 포함) 단자 사이에 정전기가 인가된 경우에도 마찬가지이다.

다음으로, 1개의 전원계의 신호 단자에 대해 다른 전원계의 전원 단자나 그라운드 단자를 기준으로 한 ESD에 의한 파괴 방지가 실현되는 동작을 설명한다. VCC2 단자(13)를 기준으로 SIG1 단자(11)에 인가된 정전기는 신호용 ESD 보호 소자부(41a)를 구성하는 VCC1측의 보호 소자로부터 VCC1 ESD 보호 배선(56), VCC2 ESD 보호 배선(58), VCC2 ESD 보호 본딩 패드(38), 본딩 와이어(28)를 통하여 VCC2 단자(13)로 빠져나간다. GND2 단자(15)를 기준으로 SIG1 단자(11)에 인가된 정전기도, 마찬가지로 하여, 신호용 ESD 보호 소자부(41a)를 구성하는 GND1측의 보호 소자로부터 GND1 ESD 보호 배선(57), GND2 ESD 보호 배선(59), GND2 ESD 보호 본딩 패드(39), 본딩 와이어(29)를 통해 GND2 단자(115)로 빠져나간다. 이와 같이, SIG1 단자(11)에 대해 다른 전원계의 전원 단자나 그라운드 단자를 기준으로 한 ESD에 의한 파괴 방지를 실현할 수 있는 것이다. 또, SIG2 단자(14)에 대해 다른 전원계의 전원 단자나 그라운드 단자, 즉 VCC1 단자(10) 및 GND1 단자(12)를 기준으로 한 ESD에 의한 파괴 방지도 마찬가지로 하여 실현될 수 있다.

도 2는 반도체 장치(1) 전체를 나타낸 레이아웃 도면이다. 리드 단자인 각 단자(10 내지 15)는 그 내측에 있어서 이너 리드 부가 본딩 와이어(20 내지 29)에 의해 각 본딩 패드(30 내지 39)에 접속되어 있다. 신호 단자인 SIG1 단자(11) 및 SIG2 단자(14)는 각각 복수 마련되고, 그 각각에 본딩 와이어(21 또는 24), SIG1 본딩 패드(31) 또는 SIG2 본딩 패드(34), 신호용 ESD 보호 소자부(41a 또는 42a), 입출력 회로(43 또는 44)가 설치되어 있다. 또한, 도 2에 있어서, SIG1 본딩 패드(31) 또는 SIG2 본딩 패드(34), 신호용 ESD 보호 소자부(41a 또는 42a) 등에 대해서는 부호를 생략하고 있다. GND1 ESD 보호 배선(57) 또는 GND2 ESD 보호 배선(59)은 각 본딩 패드(30 내지 39)를 둘러싸 외측에, VCC1 ESD 보호 배선(56) 또는 VCC2 ESD 보호 배선(58)은 각 본딩 패드(30 내지 39)의 내측에, VCC1 배선(50) 또는 VCC2 배선(53)은 VCC1 ESD 보호 배선(56) 또는 VCC2 ESD 보호 배선(58)의 내측이며 입출력 회로(43 또는 44)를 둘러싼 외측에, GND1 배선(52) 또는 GND2 배선(55)은 입출력 회로(43 또는 44)의 내측에, 각각 설치되어 있다. 또, 전원용 ESD 보호 소자부(40a)를 구성하는 보호 소자는, 반도체 장치(1)의 빈 공간(즉, 도 2에서의 반도체 장치(1)의 4개 코너)에 분할해서 배치되어 있다.

이상과 같이, 이 반도체 장치(1)는 전원용 ESD 보호 소자부(40a)를 구성하는 보호 소자의 수를 줄이는 것이 가능하고, 이로써 칩 사이즈의 증대를 억제하는 것이 가능해진다. 또, 반도체 장치의 ESD에 대한 파괴 강도를 측정하는 경우, VCC1 단자(10)를 기준으로 한 경우와 VCC2 단자(13)를 기준으로 한 경우와는 원리적으로 거의 파괴 강도가 변함없기 때문에 VCC2 단자(13)를 기준으로 한 측정을 생략하는 것도 가능하다. GND1 단자(12)를 기준으로 한 경우와 GND2 단자(15)를 기준으로 한 경우도 마찬가지이다.

또한, 제 1 전원계, 즉 디지털용 전원계의 소자에 기인하여 전원 배선에 중첩한 전원 노이즈가 전달되는 경로, 즉 VCC1 본딩 패드(30), 본딩 와이어(20), VCC1 단자(10), 본딩 와이어(26), VCC1 ESD 보호 본딩 패드(36), VCC1 ESD 보호선(56), VCC2 ESD 보호 배선(58), VCC2 ESD 보호 본딩 패드(38), 본딩 와이어(28), VCC2 단자(13), 본딩 와이어(23), VCC2 본딩 패드(33)의 경로에서, 디지털용 전원계의 VCC1 배선(50)으로부터 제 2 전원계, 즉 아날로그용 전원계의 VCC2 배선(53)에 전원 노이즈가 전달될 가능성도 상정되지만, 전원 노이즈는 그 경로 내의 복수의 본딩 와이어의 임피던스가 높기 위해 감소되고, 한편 이에 비해 임피던스가 낮은 VCC1 단자(10) 및 VCC2 단자(13)를 통해 외부 전원에서 흡수되기 때문에, 지극히 미소량으로 되어 문제가 되지는 않는다. 그라운드 배선에 중첩한 전원 노이즈에 대해서도 마찬가지이다.

다음으로, 본 발명의 바람직한 제 2 실시형태인 반도체 장치에 대해 도 3에 기초하여 설명한다. 이 반도체 장치(2)는 복수의 전원계로서 전원 전압이 다른 복수의 전원계, 즉 5V의 제 1 전원계와 3V의 제 2 전원계를 가진다. 이 반도체 장치(2)의 VCC1 단자(10)는 VCC1 본딩 패드(30)에만 접속되어 있고, 전술한 반도체 장치(1)에 있어서의 VCC1 ESD 보호 본딩 패드(36)는 존재하지 않으며, 따라서 VCC1 ESD 보호 배선(56)도 존재하지 않는다. 마찬가지로, VCC2 단자(13)는 VCC2 본딩 패드(33)에만 접속되어 있고, 반도체 장치(1)에 있어서의 VCC2 ESD 보호 본딩 패드(38)는 존재하지 않으며, 따라서 VCC2 ESD 보호 배선(58)도 존재하지 않는다. 그러나, GND1 ESD 보호 본딩 패드(제 1 전원계의 제 1 ESD 보호 본딩 패드)(37)와 GND2 ESD 보호 본딩 패드(제 2 전원계의 제 1 ESD 보호 본딩 패드)(39)는 존재한다. 이들은 GND1 ESD 보호 배선(57)과 GND2 ESD 보호 배선(59)을 통해 반도체 기판상에서 서로 접속된다. 그리고, 반도체 장치(1)에 있어서의 신호용 ESD 보호 소자부(41a 및 42a)에 대체하여 VCC1측의 보호 소자, VCC2측의 보호 소자가 VCC1 배선(50), VCC2 배선(53)에 접속되고, GND1측의 보호 소자, GND2측의 보호 소자가 GND1 ESD 보호 본딩 패드(37) 및 GND2 ESD 보호 본딩 패드(39)에 접속된 신호용 ESD 보호 소자부(41b 및 42b)를 구비한다. 또, 전원용 ESD 보호 소자부(40a)에 대체하여, VCC1 본딩 패드(30)-GND1 ESD 보호 본딩 패드(37) 사이의 보호 소자(1개의 다이오드)와, VCC2 본딩 패드(33)-GND1 ESD 보호 본딩 패드(37) 사이의 보호 소자(1개의 다이오드)와, VCC1 본딩 패드(30)-VCC2 본딩 패드(33) 사이의 보호 소자(1개의 다이오드)를 가지는 전원용 ESD 보호 소자부(40b)를 구비한다.

이 반도체 장치(2)에서는, 1개의 전원계의 신호 단자에 대해 다른 전원계의 그라운드 단자를 기준으로 한 경우, 즉 GND2 단자(15)를 기준으로 SIG1 단자(11)에 정전기가 인가된 경우와 GND1 단자(12)를 기준으로 SIG2 단자(14)에 정전기가 인가된 경우의 ESD에 의한 파괴 방지는 반도체 장치(1)와 마찬가지로 실현된다. 그리고, 1개의 전원계의 신호 단자에 대해 다른 전원계의 전원 단자를 기준으로 한 경우, 즉 VCC2 단자(13)를 기준으로 SIG1 단자(11)에 정전기가 인가된 경우와 VCC1 단자(10)를 기준으로 SIG2 단자(14)에 정전기가 인가된 경우의 ESD에 의한 파괴 방지는 전술한 종래의 반도체 장치와 마찬가지로 실현된다.

반도체 장치(2)의 전원용 ESD 보호 소자부(40b)는 반도체 장치(1)의 전원용 ESD 보호 소자부(40a)에 비해 구성요소인 보호 소자의 수가 많지만, 종래의 전원용 ESD 보호 소자부에 비해 보호 소자의 수를 줄이는 것이 가능하며, 이로써 칩 사이즈의 증대를 억제하는 것이 가능하게 된다.

또, 복수의 전원계의 전압에 의해서는, 반도체 장치(2)와는 반대로, 반도체 장치(1)에 있어서의 VCC1 ESD 보호 본딩 패드(36)와 VCC2 ESD 보호 본딩 패드(38)가 존재하고, GND1 ESD 보호 본딩 패드(37)와 GND2 ESD 보호 본딩 패드(39)가 존재하지 않는 경우도 가능하다.

또, 이상 설명한 실시형태의 경우, 단자와 거기에 대응하는 본딩 패드는 본딩 와이어를 이용하여 접속되어 있지만, 어느 정도 높은 임피던스를 갖는 접속 부재(예를 들면, 범프)를 이용해도 같은 효과를 얻는 것이 가능하다. 또, 반도체 기판이 직접 프린트 기판 등에 설치되는 경우, 프린트 기판의 배선에 의해 각 ESD 보호 본딩 패드를 대응하는 전원 본딩 패드 또는 그라운드 본딩 패드에 접속하도록 한다.

한편, 본 발명은 상술한 실시형태에 한정되지 않고 청구범위에 기재된 사항의 범위 내에서 다양한 설계 변경이 가능하다. 예를 들면, 이상의 실시형태에서는, 청구범위의 이해를 위해서, VCC1 ESD 보호 본딩 패드(36)가 제 1 전원계의 제 2 ESD 보호 본딩 패드, GND1 ESD 보호 본딩 패드(37)가 제 1 전원계의 제 1 ESD 보호 본딩 패드, VCC2 ESD 보호 본딩 패드(38)가 제 2 전원계의 제 2 ESD 보호 본딩 패드, GND2 ESD 보호 본딩 패드(39)가 제 2 전원계의 제 1 ESD 보호 본딩 패드에 각각 대응하도록 설명했지만, VCC1 ESD 보호 본딩 패드(36)가 제 1 전원계의 제 1 ESD 보호 본딩 패드, GND1 ESD 보호 본딩 패드(37)가 제 1 전원계의 제 2 ESD 보호 본딩 패드, VCC2 ESD 보호 본딩 패드(38)가 제 2 전원계의 제 1 ESD 보호 본딩 패드, GND2 ESD 보호 본딩 패드(39)가 제 2 전원계의 제 2 ESD 보호 본딩 패드에 대응하도록 해도 상관없다.

또, 이상의 실시형태에서는 복수의 전원계를 가지는 반도체 장치로서 2개의 전원계를 가지는 반도체 장치를 설명했지만, 3개 이상의 전원계를 가지는 반도체 장치의 전원계의 전부 또는 일부에도 본 발명을 적용할 수 있는 것은 물론이다.

### 도면의 간단한 설명

도 1은 본 발명의 바람직한 제 1 실시형태에 관한 반도체 장치의 부분 회로도.

도 2는 상기의 전체 레이아웃 도면.

도 3은 본 발명의 바람직한 제 2 실시형태에 관한 반도체 장치의 부분 회로도.

도 4는 종래의 반도체 장치의 부분 회로도.

#### <부호의 설명>

1 제 1 실시형태의 반도체 장치

2 제 2 실시형태의 반도체 장치

10 VCC1(제 1 전원계의 전원) 단자

11 SIG1(제 1 전원계의 신호) 단자

12 GND1(제 1 전원계의 그라운드) 단자

13 VCC2(제 2 전원계의 전원) 단자

14 SIG2(제 2 전원계의 신호) 단자

15 GND2(제 2 전원계의 그라운드) 단자

20 내지 29 본딩 와이어

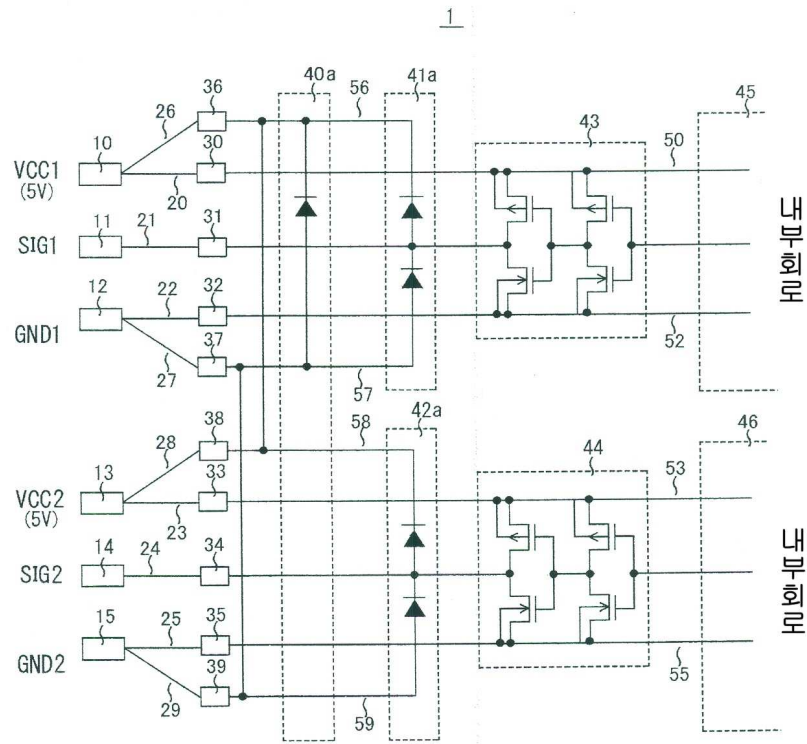
30 VCC1(제 1 전원계의 전원) 본딩 패드



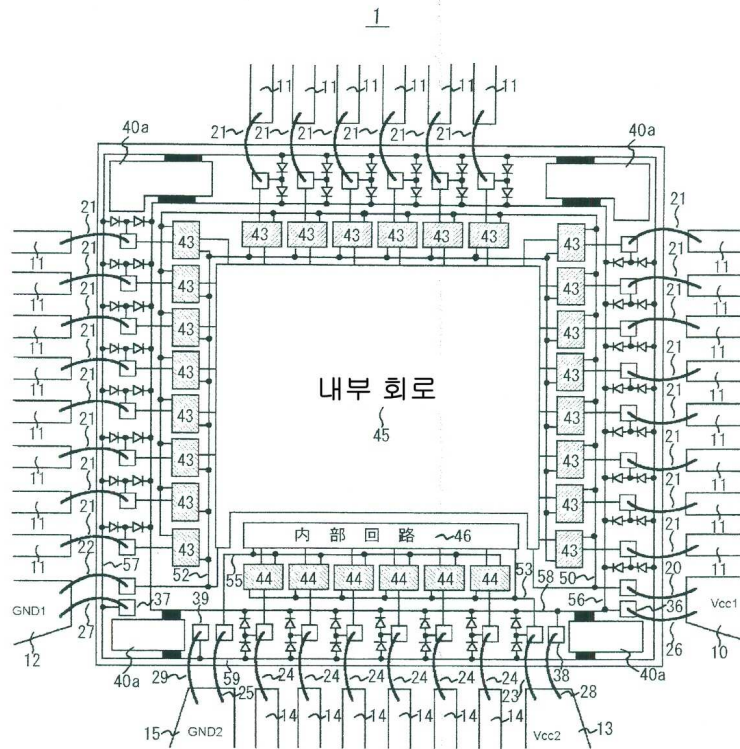
- 31 SIG1(제 1 전원계의 신호) 본딩 패드
- 32 GND1(제 1 전원계의 그라운드) 본딩 패드
- 33 VCC2(제 2 전원계의 전원) 본딩 패드
- 34 SIG2(제 2 전원계의 신호) 본딩 패드
- 35 GND2(제 2 전원계의 그라운드) 본딩 패드
- 36 VCC1(제 1 전원계의 제 2) ESD 보호 본딩 패드
- 37 GND1(제 1 전원계의 제 1) ESD 보호 본딩 패드
- 38 VCC2(제 2 전원계의 제 2) ESD 보호 본딩 패드
- 39 GND2(제 2 전원계의 제 1) ESD 보호 본딩 패드
- 40a 제 1 실시형태의 전원용 ESD 보호 소자부
- 40b 제 2 실시형태의 전원용 ESD 보호 소자부
- 41a 제 1 실시형태의 제 1 전원계의 신호용 ESD 보호 소자부
- 42a 제 1 실시형태의 제 2 전원계의 신호용 ESD 보호 소자부
- 41b 제 2 실시형태의 제 1 전원계의 신호용 ESD 보호 소자부
- 42b 제 2 실시형태의 제 2 전원계의 신호용 ESD 보호 소자부
- 43 제 1 전원계의 입출력 회로
- 44 제 2 전원계의 입출력 회로
- 45 제 1 전원계의 내부 회로
- 46 제 2 전원계의 내부 회로

도면

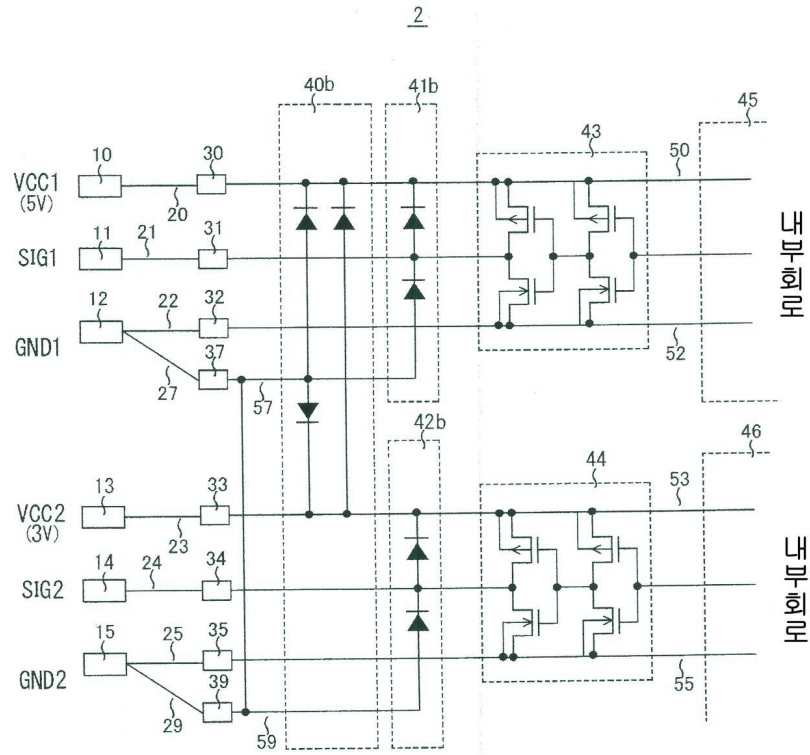
도면1



도면2



도면3



도면4

