



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

254883

(11)

(B1)

(51) Int. Cl.⁴

G 01 D 4/00,
G 01 D 4/18,
G 01 R 11/66,
G 01 R 11/00,
G 01 R 21/00,
G 01 R 21/12

(22) Přihlášeno 20 08 85

(21) PV 6008-85

(40) Zveřejněno 11 06 87

(45) Vydáno 15 09 88

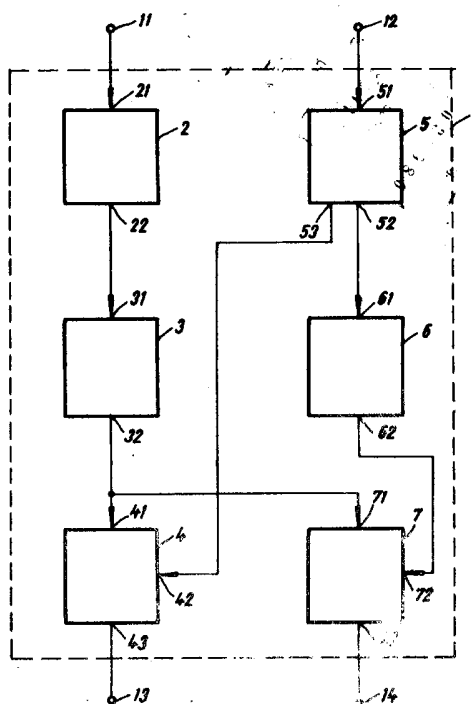
(75)

Autor vynálezu

POLÁČEK ANTONÍN ing., PRAHA

(54) Analogová elektronická násobička

Zapojení se týká analogové elektronické násobičky a řeší technický problém zjednodušení jejího zapojení. Podstata zapojení spočívá v tom, že analogová elektronická násobička sestává z integritoru, jehož vstup je propojen se vstupem první veličiny do analogové elektronické násobičky a jehož výstup je propojen se vstupem monostabilního klopného obvodu, jehož výstup je propojen jednak s prvním vstupem prvního elektronického spínače, jednak s prvním vstupem druhého elektronického spínače, jehož druhý vstup je připojen k výstupu analogového invertoru, jehož vstup je připojen k zápornému výstupu zesilovače, jehož kladný výstup je propojen s druhým vstupem prvního elektronického spínače, jehož výstup je propojen s výstupem kladné hodnoty součinu z analogové elektronické násobičky, přičemž výstup druhého elektronického spínače je propojen s výstupem záporné hodnoty součinu z analogové elektronické násobičky a vstup zesilovače je propojen se vstupem druhé veličiny do analogové elektronické násobičky.



OBR. 1

Vynález se týká analogové elektronické násobičky pro násobení dvou navzájem nezávislých veličin ve formě stejnosměrného napětí, která obsahuje elektronické spínače.

Dosud známé analogové elektronické násobičky pracují s amplitudově šířkovou modulací. Uplatnění této metody je zvláště výhodné pro vzájemné násobení dvou veličin, které obě mění svoji polaritu. Pro násobení dvou veličin, z nichž jen jedna mění svoji polaritu, například jestliže jednou z veličin je napájecí napětí a druhá z veličin je střídavě odebíraný a rekuperovaný proud, vede tato metoda ke zbytečně složitému a nákladnému zapojení.

Uvedené nedostatky známých analogových elektronických násobiček odstraňuje analogová elektronická násobička podle vynálezu, jehož podstata spočívá v tom, že sestává z integrátoru, jehož vstup je propojen se vstupem první veličiny do analogové elektronické násobičky a jehož výstup je propojen se vstupem monostabilního klopného obvodu, jehož výstup je propojen jednak s prvním vstupem prvního elektronického spínače, jednak s prvním vstupem druhého elektronického spínače, jehož druhý vstup je připojen k výstupu analogového invertoru, jehož vstup je připojen k zápornému výstupu zesilovače, jehož kladný výstup je propojen s druhým vstupem prvního elektronického spínače, jehož výstup je propojen s výstupem kladné hodnoty součinu z analogové elektronické násobičky, přičemž výstup druhého elektronického spínače je propojen s výstupem záporné hodnoty součinu z analogové elektronické násobičky a vstup zesilovače je propojen se vstupem druhé veličiny do analogové elektronické násobičky.

Integrátor s výhodou sestává z prvního operačního zesilovače, jehož invertující vstup je přes první odpor propojen se vstupem integrátoru, dále jehož neinvertující vstup je přes druhý odpor propojen se zemí a jehož výstup je přes třetí odpor propojen s invertujícím vstupem druhého operačního zesilovače, jehož neinvertující vstup je přes čtvrtý odpor propojen se zemí a jehož výstup je přes první kondenzátor propojen s výstupem integrátoru, přičemž výstup druhého operačního zesilovače je dále přes pátý odpor spojen s bází prvního tranzistoru a přes šestý odpor s bází druhého tranzistoru, jehož dráha emitor-báze je přemostěna třetí diodou a jehož emitor je propojen jednak s emitorem prvního tranzistoru, jednak s výstupem prvního operačního zesilovače, který je paralelní kombinací první diody a druhého kondenzátoru propojen s invertujícím vstupem téhož prvního operačního zesilovače a současně s kolektorem prvního tranzistoru, jehož dráha emitor-báze je přemostěna druhou diodou, přičemž kolektor druhého tranzistoru je připojen ke středu odporového děliče složeného ze sedmého odporu a osmého odporu, kterými je invertující vstup druhého operačního zesilovače propojen s kladnou napájecí svorkou, která je současně devátým odporem propojena přímo s invertujícím vstupem druhého operačního zesilovače.

Nový a vyšší účinek vynálezu spočívá ve srovnání se známými analogovými elektronickými násobičkami v tom, že analogová elektronická násobička podle vynálezu je podstatně jednodušší a méně nákladná.

Vynález je dále objasněn na příkladu jeho provedení, který je popsán na základě připojených výkresů, které znázorňují na obr. 1 blokové zapojení analogové elektronické násobičky podle vynálezu, na obr. 2 konkrétní zapojení násobičky a na obr. 3 průběhy napětí v jednotlivých bodech zapojení.

Analogová elektronická násobička 1 v blokovém zapojení podle obr. 1 sestává z integrátoru 2, jehož vstup 21 je propojen se vstupem 11 první veličiny do analogové elektronické násobičky 1 a jehož výstup 22 je propojen se vstupem 31 monostabilního klopného obvodu 3. Výstup 32 tohoto monostabilního klopného obvodu 3 je propojen jednak s prvním vstupem 41 prvního elektronického spínače 4, jednak s prvním vstupem 71 druhého elektronického spínače 7, jehož druhý vstup 72 je propojen s výstupem 62 analogového invertoru 6.

Vstup 61 tohoto analogového invertoru 6 je připojen k zápornému výstupu 52 zesilovače 5, jehož kladný výstup 53 je propojen s druhým vstupem 42 prvního elektronického spínače 4. Výstup 43 tohoto prvního elektronického spínače 4 je propojen s výstupem 13 kladné hodnoty

součinu z analogové elektronické násobičky 1, zatímco výstup 73 druhého elektronického spínače 7 je propojen s výstupem 14 záporné hodnoty součinu z analogové elektronické násobičky 1 a vstup 51 zesilovače 5 je propojen se vstupem 12 druhé veličiny do analogové elektronické násobičky 1.

Na obr. 2 je blokové zapojení z obr. 1 rozkresleno na jednotlivé součásti s vyznačením hranic bloků z obr. 1. Integrátor 2 sestává z prvního operačního zesilovače 23, jehož invertující vstup 231 je přes první odpor 251 propojen se vstupem 21 integrátoru 2 a současně se vstupem 11 první veličiny do analogové elektronické násobičky 1. Neinvertující vstup 232 prvního operačního zesilovače 23 je přes druhý odpor 252 propojen se zemí. Výstup 233 prvního operačního zesilovače 23 je přes třetí odpor 253 propojen s invertujícím vstupem 242 druhého operačního zesilovače 24, jehož neinvertující vstup 241 je přes čtvrtý odpor 254 spojen se zemí a jehož výstup 243 je přes první kondenzátor 255 propojen s výstupem 22 integrátoru 2. Invertující vstup 231 prvního operačního zesilovače 23 je první diodou 281 propojen s výstupem 233 prvního operačního zesilovače 23.

Paralelně k první diodě 281 je připojen druhý kondenzátor 257 a dráha emitor-kolektor prvního tranzistoru 26 typu npn, jehož báze je druhou diodou 282 propojena s emitorem a dále přes pátý odpor 256 s výstupem 243 druhého operačního zesilovače 24, který je přes šestý odpor 258 propojen sází druhého tranzistoru 27.

Tato báze je přes třetí diodu 283 propojena s emitorem téhož druhého tranzistoru 27, který je propojen s emitorem prvního tranzistoru 26 a současně s výstupem 233 prvního operačního zesilovače 23. Kolektor druhého tranzistoru 27 je připojen ke středu odporového děliče sestaveného ze sedmého odporu 291 a osmého odporu 292, ke kterým je paralelně připojen devátý odpor 293.

Tato seriově-paralelní kombinace odporů 291, 292, 293 je zapojena mezi invertujícím vstupem 242 druhého operačního zesilovače 24 a kladnou napájecí svorkou 01.

Monostabilní klopný obvod 3, který je svým neoznačeným vstupem připojen k výstupu 22 integrátoru 2, sestává ze čtvrté diody 33 spojující vstup 31 z obr. 1 se zemí a páté diody 34 spojující tento vstup 31 sází třetího tranzistoru 35 typu npn, která je dále desátým odporem 371 propojena s kolektorem čtvrtého tranzistoru 36. Emitory tranzistorů 35, 36 jsou spojeny se zemí. Kolektor třetího tranzistoru 35 je přes jedenáctý odpor 372 propojen s kladnou napájecí svorkou 01 podobně jako kolektor čtvrtého tranzistoru 36, který je s kladnou napájecí svorkou 01 propojen přes dvanáctý odpor 373. Báze čtvrtého tranzistoru 36 je přes třináctý odpor 274 propojena s kladnou napájecí svorkou 01 a přes třetí kondenzátor 375 s kolektorem třetího tranzistoru 35, který je současně propojen s výstupem 32 monostabilního klopného obvodu 3.

Zmíněný výstup 32 je propojen s prvním vstupem 41 prvního elektronického spínače 4, který sestává z pátého tranzistoru 44 typu npn s uzemněným emitorem, jehož báze je přes čtrnáctý odpor 451 spojena s prvním vstupem 41. Emitor pátého tranzistoru 44 je spojen se zemí, zatímco jeho kolektor je přes patnáctý odpor 452 propojen s výstupem 13 kladné hodnoty součinu a přes šestnáctý odpor 453 s druhým vstupem 42 prvního elektronického spínače 4.

Zesilovač 5 z obr. 1 sestává z třetího operačního zesilovače 54, jehož neinvertující vstup 541 je spojen přes sedmnáctý odpor 551 se zemí, a jehož invertující vstup 542 je jednak přes osmnáctý odpor 552 propojen se vstupem 51 zesilovače 5, jednak přes seriovou kombinaci devatenáctého odporu 553 a šesté diody 554 s výstupem 543 třetího operačního zesilovače 54 a dále přes dvacátý odpor 555 s kladným výstupem 53 zesilovače 5, který je současně přes sedmou diodu 556 propojen s výstupem 543 třetího operačního zesilovače 54.

Společný bod devatenáctého odporu 553 a šesté diody 554 je propojen se záporným výstupem 52 zesilovače 5.

Analogový invertor 6 z obr. 1 je v podrobném schématu podle obr. 2 tvořen čtvrtým operačním zesilovačem 63, jehož neinvertující vstup 631 je přes dvacátý první odpor 641 spojen se zemí a jehož invertující vstup 632 je jednak přes dvacátý druhý odpor 642 propojen se vstupem 61 analogového invertoru 6, jednak přes dvacátý třetí odpor 643 s výstupem 633 čtvrtého operačního zesilovače 63 a spolu s ním propojen s výstupem 62 analogového invertoru 6.

Druhý elektronický spínač 7 z obr. 1 sestává podle podrobného schématu na obr. 2 ze šestého tranzistoru 74 s uzemněným emitorem, jehož báze je přes dvacátý čtvrtý odpor 751 propojena s prvním vstupem 71 druhého elektronického spínače 7, zatímco jeho kolektor je přes dvacátý pátý odpor 752 propojen s druhým vstupem 72 druhého elektronického spínače 7 a současně přes dvacátý šestý odpor 753 s výstupem 73 druhého elektronického spínače 7 a tedy i s výstupem 14 záporné hodnoty součinu z analogové elektronické násobičky 1.

Zapojení znázorněné na obr. 1 pracuje následujícím způsobem:

Na vstup 11 první veličiny se přivádí analogová hodnota této první veličiny, která se integruje v integrátoru 2 a porovnává s hodnotou z operačního zesilovače 24 - obr. 2, který je součástí integrátoru 2.

Na výstupu 22 integrátoru 2 se objevují impulsy, jejichž četnost je dána časovým integralem první veličiny a současně je přímo úměrná absolutní hodnotě této první veličiny. Tyto impulsy spouštějí monostabilní klopný obvod 3, který na svém výstupu 32 dává stejný počet impulsů, avšak s definovanou šířkou. Tyto impulsy s definovanou šířkou se vedou jednak na první vstup 41 prvního elektronického spínače 4, jednak na první vstup 71 druhého elektronického spínače 7.

Na vstup 12 druhé veličiny se přivádí analogová hodnota této druhé veličiny, která se zesiluje v zesilovači 5, jehož kladný výstup 53 je propojen přímo s druhým vstupem 42 prvního elektronického spínače 4, na jehož výstupu 43 se napětí z kladného výstupu 53 objeví právě po dobu trvání impulsu na prvním vstupu 41 tohoto prvního elektronického spínače 4. Při opačné polaritě druhé veličiny na vstupu 51 zesilovače 5 se napětí objeví na záporném výstupu 52 zesilovače 5. Toto napětí se vede na vstup 61 analogového invertoru 6, na jehož výstupu 62 se objeví stejné napětí, avšak opačné polarity.

Toto napětí se přivádí na druhý vstup 72 druhého elektronického spínače 7, na jehož výstupu 73 se objeví stejné napětí jako na druhém vstupu 72, avšak pouze po dobu trvání impulsu na prvním vstupu 71. Na výstupu 13 kladné hodnoty součinu se tedy objeví impulsy konstantní šířky, jejichž četnost je úměrná první veličině a amplituda je úměrná druhé veličině, a to v případě kladné hodnoty součinu. Totéž platí pro výstup 14 záporné hodnoty součinu v případě záporné hodnoty tohoto součinu.

Podrobné průběhy signálů na vstupech a výstupech jednotlivých obvodů z obr. 1 jsou dále popsány v souvislosti s obr. 3.

Podrobné zapojení analogové elektronické násobičky 1 podle vynálezu, které je znázorněno na obr. 2, pracuje v souladu s již popsanou činností zapojení podle obr. 1 následovně:

Prvním funkčním blokem analogové elektronické násobičky 1 je integrátor 2 s prvním operačním zesilovačem 23. Jeho přenosová funkce je dána vzorcem $U_{\text{výst}} = -\frac{1}{RC} \int U_{\text{vst}} dt$, kde U_{vst} je přivedené napětí na vstupní svorku 21, R je první odpor 251 na invertujícím vstupu 231, C je hodnota druhého kondenzátoru 257 a $U_{\text{výst}}$ je napětí na výstupu 233 prvního operačního zesilovače 23. První dioda 281 nedovolí, aby výstupní napětí přešlo do kladné hodnoty. Druhý operační zesilovač 24 pracuje jako napěťový komparátor. Z kladné napájecí svorky 01 stab. napětí je přivedeno přes velký devátý odpor 293 napětí na invertující vstup 242, čímž je zaručen posuv druhého operačního zesilovače 24 do záporné polarity.

Ze stejné kladné napájecí svorky 01 je přivedeno referenční napětí přes seriově řazené odpory 291, 292 na invertující vstup 242 a výstupní napětí integrátoru 2, z výstupu 233 je přivedeno na stejný invertující vstup 242 přes třetí odpor 253, přičemž tento třetí odpor 253 váhově koresponduje s odpory 291, 292. Dostoupí-li výstupní napětí integrátoru 2 - výstup 233 - na hodnotu U_x (referenční) za předpokladu, že je hodnota třetího odporu 253 stejná jako součet odporů 291, 292, dojde k překlopení výstupního napětí komparátoru 2 na výstup 243 do kladného napětí. Toto napětí vybudí druhý tranzistor 27 přes šestý odpor 258, druhý tranzistor 27 sepne a tím přivede do spojnice odporů 291, 292 záporný potenciál z výstupu 243, což znamená, že místo kladného napětí U_x , které bylo přivedeno přes odpory 291, 292 na invertující vstup 242 druhého operačního zesilovače 24 je přivedeno záporné napětí přes sedmý odpor 291.

Současně z výstupu 243 druhého operačního zesilovače 24 je vybuzen i první tranzistor 26 přes pátý odpor 256, takže i on sepne a vybijí druhý kondenzátor 257 na nulový potenciál výstupu 233, což znamená, že i napětí výstupu 233 s vybíjením druhého kondenzátoru 257 klesá až na nulu. V tomto stavu se porovnávají na druhém operačním zesilovači 24 pouze napětí z výstupu 233 přivedené na invertující vstup 242 druhého operačního zesilovače 24 přes třetí odpor 253 a paralelně přes sedmý odpor 291 a posuvové napětí z kladné napájecí svorky 01.

Při poklesu napětí na výstupu 233 na nulovou hodnotu druhý operační zesilovač 24 opět překlopí do opačné polarity, takže na jeho výstupu 243 bude záporná hodnota. Tím se zavřou oba tranzistory 26, 27 a celý cyklus integrace se opakuje. Kladná špička napětí na výstupu 243 musí být co nejkratší, například z celé doby integrace pouze 1/1 000, aby chyba převodu analogové hodnoty na frekvenci byla co nejmenší. V okamžiku překlopení druhého operačního zesilovače 24 do kladné hodnoty se vybudí přes první kondenzátor 255 a pátou diodu 34 třetí tranzistor 35 monostabilního klopného obvodu 3.

Stačí mu jen krátký startovací impuls, protože jakmile sepne třetí tranzistor 35, rozezne čtvrtý tranzistor 36 a tím se na jeho kolektoru objeví plné napájecí napětí kladné napájecí svorky 01, které přes desátý odpor 371 budí třetí tranzistor 35 i když startovací impuls přes první kondenzátor 255 skončil.

V tomto stavu zůstane monostabilní klopný obvod 3 po dobu, která je dána časovou konst. RC, v tomto případě jde o třetí kondenzátor 375 a třináctý odpor 374. Teprve po tomto čase dojde k přebití třetího kondenzátoru 375 a v okamžiku, kdy na bázi čtvrtého tranzistoru 36 stoupne potenciál na kladnou hodnotu, při které již teče budicí proud báze-emitor, sepne čtvrtý tranzistor 36 a rozezne třetí tranzistor 35.

Monostabilní klopný obvod 3 se tedy vrací do původního stavu a čeká na další startovací impuls. Kolektorovým napětím třetího tranzistoru 35 jsou ovládány elektronické spínače 4, 7 přes odpory 451, 751 v bázích, což znamená, že v době, kdy třetí tranzistor 35 prvního monostabilního klopného obvodu 3 je sepnut, jsou oba elektronické spínače 4, 7 rozepnuty a kladné napětí z výstupu 543 třetího operačního zesilovače 54 je přes sedmou diodu 556 a odpory 453, 452 přivedeno na výstup 13 kladné hodnoty součinu.

V případě opačné polarity měřeného proudu je na výstupu 543 třetího operačního zesilovače 54 napětí záporné, které se dostane přes šestou diodu 554 a dvacátý druhý odpor 642 pouze na invertující vstup 632 čtvrtého operačního zesilovače 63 a z jeho výstupu 633 pak přes odpory 752, 753 na výstup 14 záporné hodnoty součinu.

Celá funkce analogové elektronické násobičky je graficky znázorněna na obr. 3, kde v prvním úseku je znázorněn časový průběh na vstupu 11 první veličiny. Na obr. 3b je pilový průběh napětí na výstupu 22 integrátoru 2 z obr. 1. Napětí na integrátoru 2 narůstá až do úrovně referenčního napětí U_x , jak už bylo řečeno, a to po dobu t_1 a pak dojde k vybití integračního kondenzátoru, což trvá dobu t_v , která je velmi krátká ve srovnání s dobou t_1 .

a pak následují další integrační intervaly o době $t_2, t_{n-1}, \dots, t_n$ a vždy k tomu vybíjecí doba t_v . Vždy při dosažení U_x vyšle integrátor 2 startovací impuls pro přesný monostabilní klopný obvod 3, na jehož výstupu 32 je nulové ovládací napětí po dobu t_k - obr. 3c - a tedy po tuto dobu je elektronický spínač 4, 7 rozepnut a na jeho výstupu se objeví impulsy $P_1, P_2, \dots, P_n$ podle obr. 3d o šířce t_k a amplitudě úměrné druhé veličině přivedené na vstup 12.

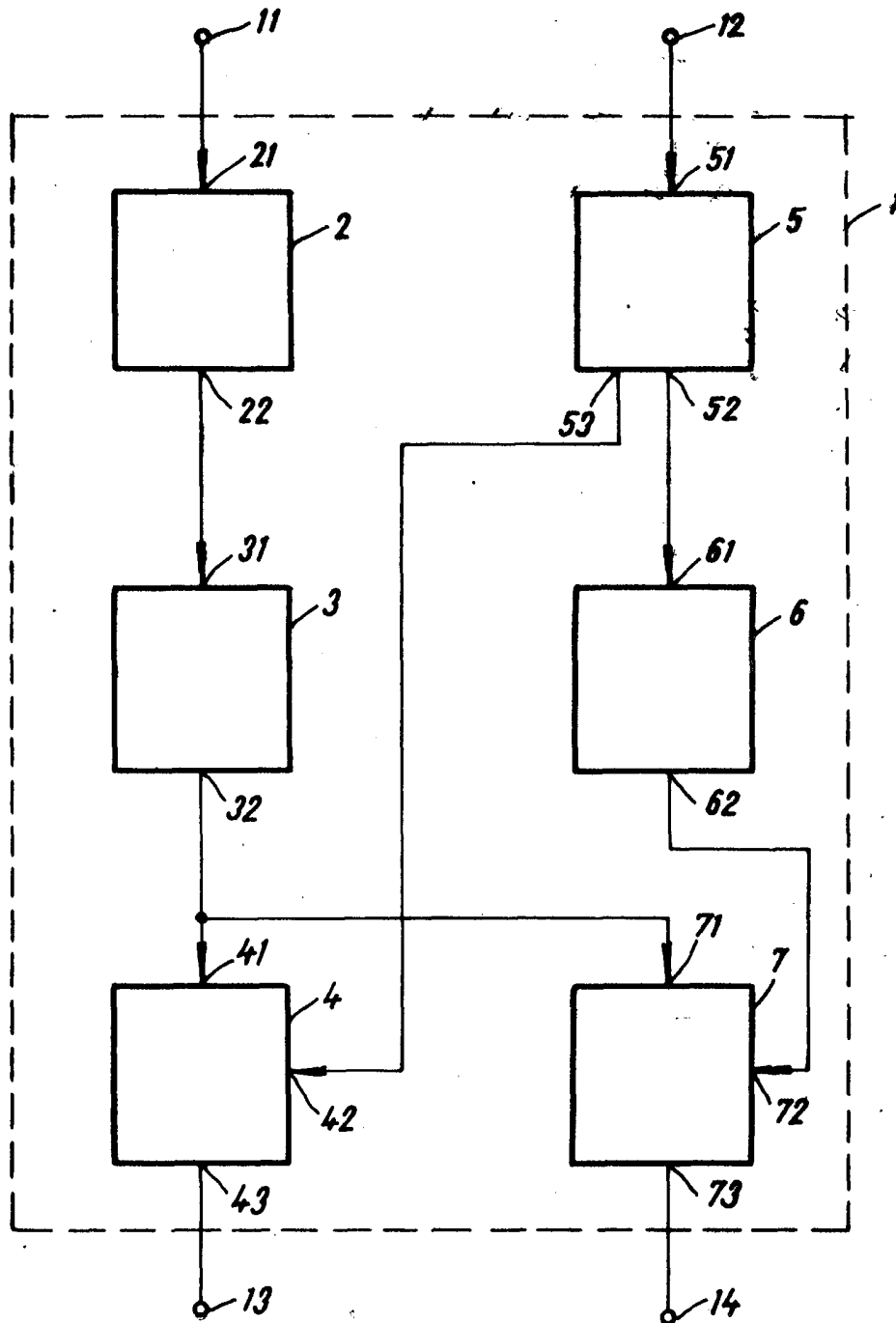
Opakovací doba těchto impulsů $P_1, P_2, \dots, P_n$ je $T_1, T_2, \dots, T_n$. Tento signál druhé veličiny je vzorkován v rytmu frekvence, která je úměrná první veličině na vstupu 11.

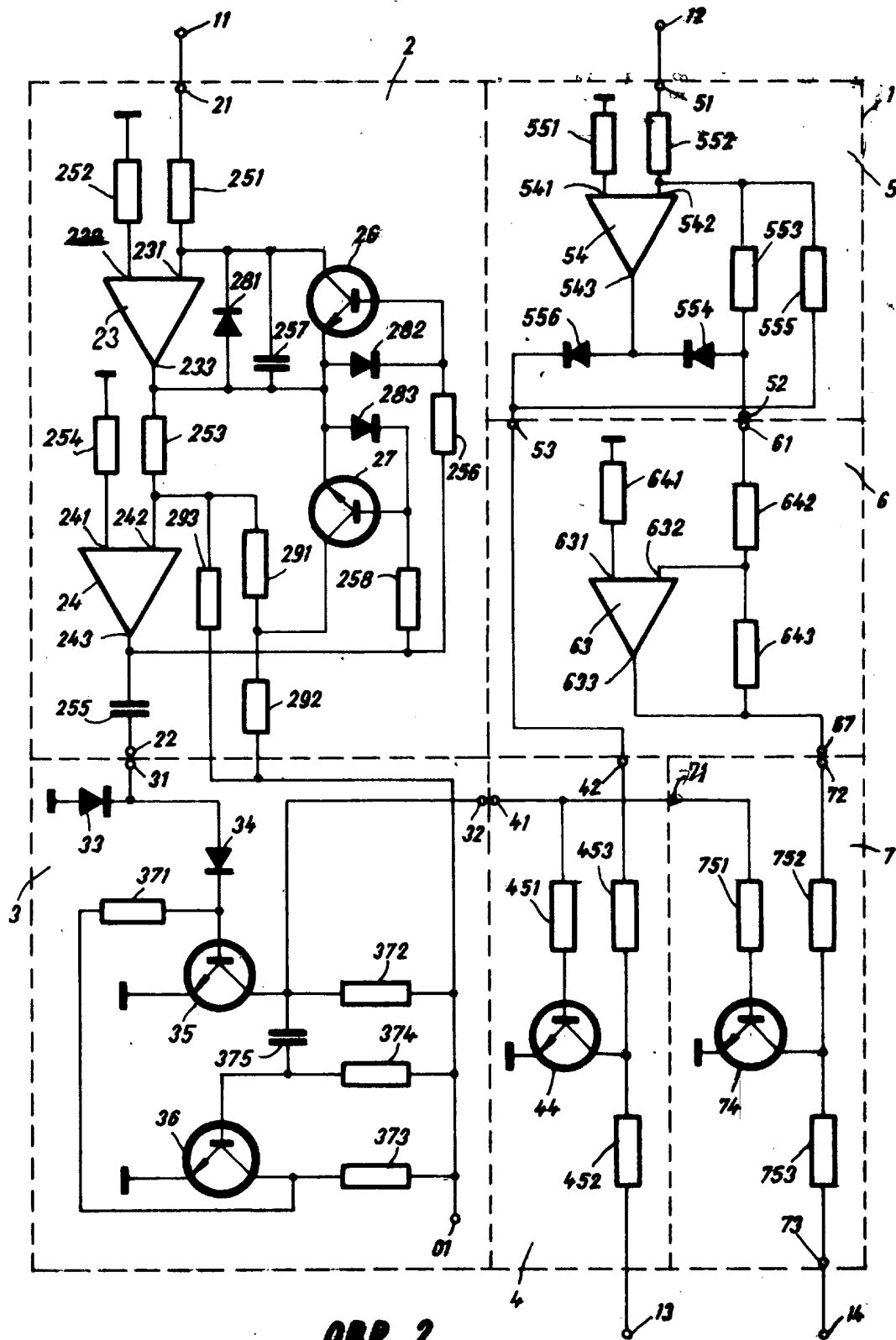
PŘEDMĚT VYNÁLEZU

1. Analogová elektronická násobička pro násobení dvou navzájem nezávislých veličin ve formě stejnosměrného napětí, obsahující elektronické spínače, vyznačující se tím, že sestává z integrátoru (2), jehož vstup (21) je propojen se vstupem (11) první veličiny do analogové elektronické násobičky (1) a jehož výstup (22) je propojen se vstupem (31) monostabilního klopného obvodu (3), jehož výstup (32) je propojen jednak s prvním vstupem (41) prvního elektronického spínače (4), jednak s prvním vstupem (71) druhého elektronického spínače (7), jehož druhý vstup (72) je připojen k výstupu (62) analogového invertoru (6), jehož vstup (61) je připojen k zápornému výstupu (52) zesilovače (5), jehož kladný výstup (53) je propojen s druhým vstupem (42) prvního elektronického spínače (4), jehož výstup (43) je propojen s výstupem (13) kladné hodnoty součinu z analogové elektronické násobičky (1), přičemž výstup (73) druhého elektronického spínače (7) je propojen s výstupem (14) záporné hodnoty součinu z analogové elektronické násobičky (1) a vstup (51) zesilovače (5) je propojen se vstupem (12) druhé veličiny do analogové elektronické násobičky (1).

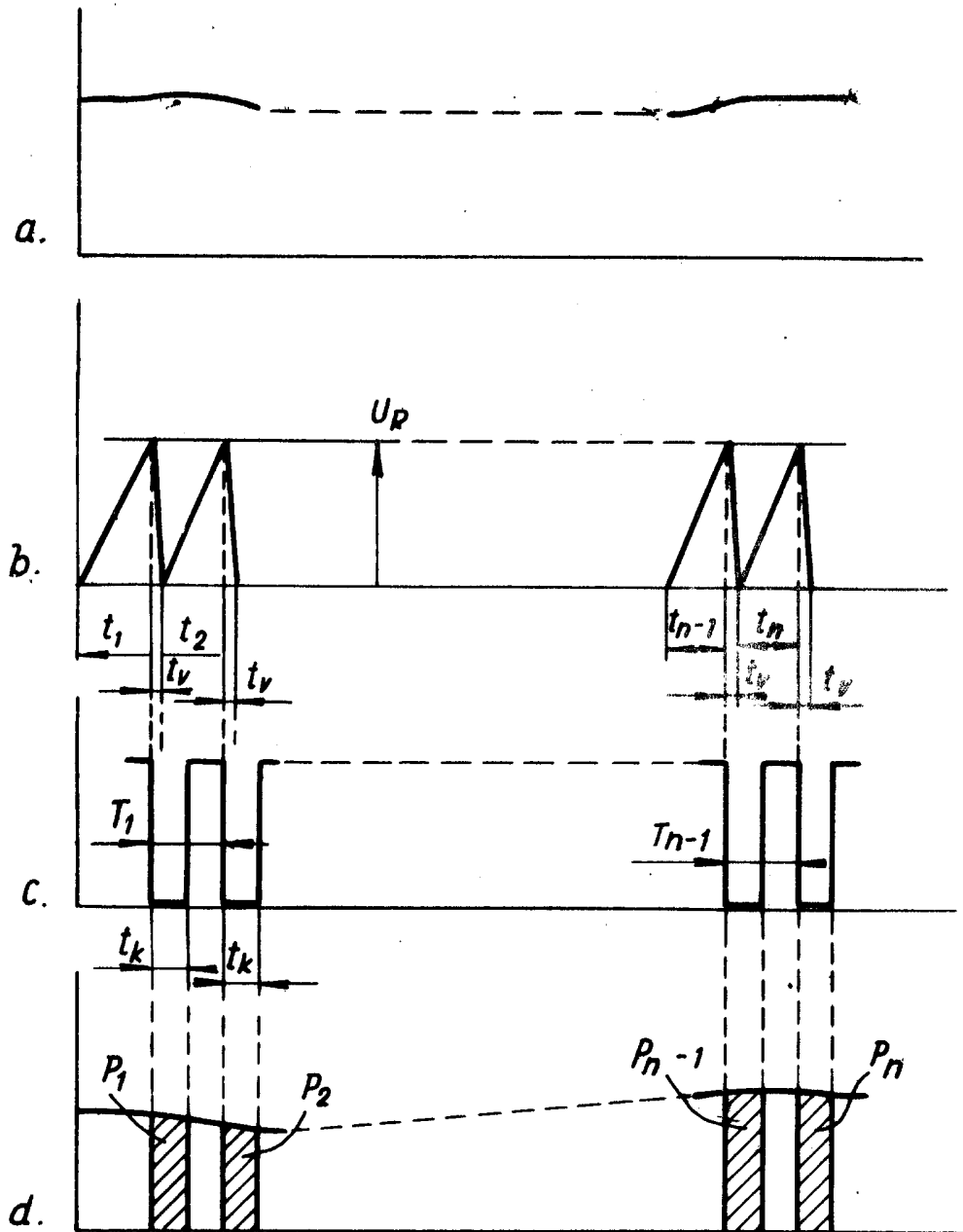
2. Analogová elektronická násobička podle bodu 1, vyznačující se tím, že integrátor (2) sestává z prvního operačního zesilovače (23), jehož invertující vstup (231) je přes první odpor (251) propojen se vstupem (21) integrátoru (2), dále jehož neinvertující vstup (232) je přes druhý odpor (252) propojen se zemí a jehož výstup (233) je přes třetí odpor (253) propojen s invertujícím vstupem (242) druhého operačního zesilovače (24), jehož neinvertující vstup (241) je přes čtvrtý odpor (254) propojen se zemí a jehož výstup (243) je přes první kondenzátor (255) propojen s výstupem (22) integrátoru (2), přičemž výstup (243) druhého operačního zesilovače (24) je dále přes pátý odpor (256) spojen sází prvního tranzistoru (26) a přes šestý odpor (258) sází druhého tranzistoru (27), jehož dráha emitor-báze je přemostěna třetí diodou (283) a jehož emitor je propojen jednak s emitorem prvního tranzistoru (26), jednak s výstupem (233) prvního operačního zesilovače (23), který je paralelní kombinací první diody (281) a druhého kondenzátoru (257) propojen s invertujícím vstupem (231) téhož prvního operačního zesilovače (23) a současně s kolektorem prvního tranzistoru (26), jehož dráha emitor-báze je přemostěna druhou diodou (282), přičemž kolektor druhého tranzistoru (27) je připojen ke středu odporového děliče složeného ze sedmého odporu (291) a osmého odporu (292), kterými je invertující vstup (242) druhého operačního zesilovače (24) propojen s kladnou napájecí svorkou (01), která je současně devátým odporem (293) propojena přímo s invertujícím vstupem (242) druhého operačního zesilovače (24).

3 výkresy

**OBR. 1**



OBR. 2

**OBR. 3**