



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0012173
(43) 공개일자 2009년02월02일

(51) Int. Cl.⁹
H01Q 1/24 (2006.01)
(21) 출원번호 10-2008-0073084
(22) 출원일자 2008년07월25일
심사청구일자 없음
(30) 우선권주장
JP-P-2007-00195497 2007년07월27일 일본(JP)

(71) 출원인
가부시키키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키키가이샤한도오따이 에네루기 켄큐쇼 내
코야마 준
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키키가이샤한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
이범래, 장훈

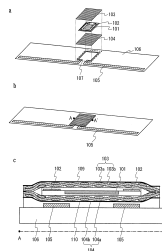
전체 청구항 수 : 총 24 항

(54) 반도체 장치 및 그 제작 방법

(57) 요약

외력, 특히 가압에 대해 신뢰성이 높고, 전파의 수신을 저해하지 않고 집적회로에 정전파괴를 방지할 수 있는, 무선으로 통신할 수 있는 반도체 장치가 제공된다. 상기 반도체 장치는 집적회로에 접속된 온칩 안테나와 수신된 전파에 포함된 신호 또는 전력을 상기 온칩 안테나에 비접촉으로 송신하는 부스터 안테나를 포함한다. 또한, 상기 반도체 장치에서 상기 집적회로 및 상기 온칩 안테나는 섬유체에 수지를 함침시켜 형성한 한 쌍의 구조체들 사이에 끼운다. 상기 구조체들 중 하나는 상기 온칩 안테나와 상기 부스터 안테나 사이에 형성된다. 또한, 각 구조체의 적어도 한 쪽 면에 표면 저항 값이 $10^6 \Omega/\text{cm}^2$ 내지 $10^{14} \Omega/\text{cm}^2$ 의 도전성을 갖는 도전막이 형성된다. 상기 도전막은, 집적회로 및 온칩 안테나 측에 형성되어도 되고, 집적회로 및 온칩 안테나와는 반대 쪽에 형성되어도 된다.

대표도



(72) 발명자

카토 키요시

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

코엔 타카아키

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

야쿠보 유토

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

야나기사와 마코토

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

오타니 히사시

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

스기야마 에이지

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

호리코시 노조미

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

반도체 장치로서,

집적회로,

상기 집적회로에 접속된 제 1 안테나,

한 쌍의 구조체들로서,

상기 집적회로 및 상기 제 1 안테나가 상기 한 쌍의 구조체들 사이에 끼워지고,

적어도 하나의 제 1 대전 방지막이 상기 한 쌍의 구조체들 중 하나의 적어도 하나의 면에 형성되고,

적어도 하나의 제 2 대전 방지막이 상기 한 쌍의 구조체들 중 다른 하나의 적어도 하나의 면에 형성되는, 상기 한 쌍의 구조체들, 및

상기 한 쌍의 구조체들 중 하나가 상기 제 1 안테나와 제 2 안테나 사이에 끼워지도록 제공되는, 제 2 안테나를 포함하고,

상기 한 쌍의 구조체들 각각은 섬유체에 수지를 함침함으로써 형성되는, 반도체 장치.

청구항 2

반도체 장치로서,

집적회로,

상기 집적회로에 접속된 제 1 안테나,

한 쌍의 구조체들로서, 상기 집적회로 및 상기 제 1 안테나가 상기 한 쌍의 구조체들 사이에 끼워지는, 상기 한 쌍의 구조체들, 및

상기 한 쌍의 구조체들 중 하나가 상기 제 1 안테나와 제 2 안테나 사이에 끼워지도록 제공되는 제 2 안테나를 포함하고,

상기 한 쌍의 구조체들 각각은 섬유체에 수지를 함침함으로써 형성되고,

상기 제 1 안테나와 상기 제 2 안테나 중 하나를 통해 교류전류가 흐를 때, 상기 제 1 안테나 및 상기 제 2 안테나 중 다른 하나에서 전자기 유도에 의해 유도 기전력이 발생하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 한 쌍의 구조체들 중 하나의 한 면은 상기 집적회로 및 상기 제 1 안테나와 대향하지 않고,

상기 한 쌍의 구조체들 중 다른 하나의 한 면은 상기 집적회로 및 상기 제 1 안테나와 대향하지 않는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 한 쌍의 구조체들 중 하나의 한 면은 상기 집적회로 및 상기 제 1 안테나와 대향하고,

상기 한 쌍의 구조체들 중 다른 하나의 한 면은 상기 집적회로 및 상기 제 1 안테나와 대향하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 대전 방지막은 상기 한 쌍의 구조체들 중 하나의 반대쪽에 형성되고,

상기 제 2 대전 방지막은 상기 한 쌍의 구조체들 중 다른 하나의 반대쪽에 형성되는, 반도체 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 한 쌍의 구조체들은 절연 특성을 갖는, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 대전 방지막은 계면 활성제, 도전성 폴리머, 도전성 입자가 분산된 수지, 및 실록산 기반 수지 중 하나인, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 대전 방지막은 $10^6 \Omega/\text{cm}^2$ 내지 $10^{14} \Omega/\text{cm}^2$ 의 표면 저항 값을 갖는, 반도체 장치.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 제 1 안테나는 루프형이고,

상기 제 2 안테나의 일부는 루프형이고,

상기 제 1 안테나의 폭이 상기 제 2 안테나의 폭 보다 좁고,

상기 제 1 안테나의 내부 에지 및 외부 에지가 상기 제 2 안테나와 중첩되는, 반도체 디바이스.

청구항 10

제 1 항 또는 제 2 항에 있어서,

상기 제 1 안테나는 하나의 권선을 갖는 루프형이고,

상기 제 2 안테나의 일부는 하나의 권선을 갖는 루프형이고,

상기 제 1 안테나의 폭이 상기 제 2 안테나의 폭 보다 좁고,

상기 제 1 안테나의 내부 에지 및 외부 에지가 상기 제 2 안테나와 중첩되는, 반도체 디바이스.

청구항 11

제 1 항 또는 제 2 항에 있어서,

상기 집적회로에 박막 트랜지스터가 이용되는, 반도체 장치.

청구항 12

제 1 항에 있어서,

상기 제 1 안테나 및 상기 제 2 안테나 중 하나를 통해 교류전류가 흐를 때, 상기 제 1 안테나 및 상기 제 2 안테나 중 다른 하나에서 전자기 유도에 의해 유도 기전력이 발생하는, 반도체 장치.

청구항 13

제 1 항 또는 제 2 항에 있어서,

상기 섬유체는 낱실 및 씨실을 포함하고, 각각의 낱실 및 씨실은 복수개의 유기 화합물 또는 무기 화합물의 단사가 다발을 이룬,

상기 낱실 및 씨실의 방향은 상기 한 쌍의 구조체들에서 서로 다른, 반도체 장치.

청구항 14

제 1 항 또는 제 2 항에 있어서,

폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리과라페닐렌벤조비스옥사졸섬유, 유리섬유, 또는 탄소섬유 중 하나가 상기 섬유체로 이용되는, 반도체 장치.

청구항 15

제 1 항 또는 제 2 항에 있어서,

상기 수지는 열경화성 수지 또는 열가소성 수지 중 하나를 포함하는, 반도체 장치.

청구항 16

제 15 항에 있어서,

상기 열경화성 수지는 에폭시수지, 불포화폴리에스테르수지, 폴리이미드수지, 비스말레이미드트리아진수지, 또는 시아네이트수지 중 하나인, 반도체 장치.

청구항 17

제 15 항에 있어서,

열가소성 수지는 폴리페닐렌옥사이드수지, 폴리에테리미드수지, 또는 불소수지 중 하나인, 반도체 장치.

청구항 18

반도체 장치의 제조 방법으로서,

집적회로와 상기 집적회로에 접속된 제 1 안테나를 한 쌍의 구조체들 사이에 끼워넣는 단계로서, 적어도 하나의 제 1 대전 방지막이 상기 한 쌍의 구조체들 중 하나의 적어도 한 면에 형성되고, 적어도 하나의 제 2 대전 방지막이 상기 한 쌍의 구조체들 중 다른 하나의 적어도 하나의 면에 형성되는, 상기 끼워넣는 단계, 및

상기 한 쌍의 구조체들 중 하나에 제 2 안테나를 부착하는 단계로서, 상기 제 1 안테나와 상기 제 2 안테나 사이에 상기 한 쌍의 구조체들 중 하나가 끼워지고, 상기 한 쌍의 구조체들 각각은 섬유체에 수지를 함침함으로써 형성되는, 상기 제 2 안테나 부착 단계를 포함하는, 반도체 장치 제조 방법.

청구항 19

제 18 항에 있어서,

상기 한 쌍의 구조체들 중 하나의 한 면은 상기 집적회로 및 상기 제 1 안테나와 대향하지 않고,

상기 한 쌍의 구조체들 중 다른 하나의 한 면은 상기 집적회로 및 상기 제 1 안테나와 대향하지 않는, 반도체 장치 제조 방법.

청구항 20

제 18 항에 있어서,

상기 한 쌍의 구조체들 중 하나의 한 면은 상기 집적회로 및 상기 제 1 안테나와 대향하고,

상기 한 쌍의 구조체들 중 다른 하나의 한 면은 상기 집적회로 및 상기 제 1 안테나와 대향하는, 반도체 장치 제조 방법.

청구항 21

제 18 항에 있어서,

상기 제 1 대전 방지막은 상기 한 쌍의 구조체들 중 하나의 반대쪽에 형성되고,

상기 제 2 대전 방지막은 상기 한 쌍의 구조체들 중 다른 하나의 반대쪽에 형성되는, 반도체 장치 제조 방법.

청구항 22

제 18 항에 있어서,

상기 한 쌍의 구조체들은 절연 특성을 갖는, 반도체 장치 제조 방법.

청구항 23

제 18 항에 있어서,

상기 대전 방지막은 계면 활성제, 도전성 폴리머, 도전성 입자가 분산된 수지, 및 실록산 기반 수지 중 하나인, 반도체 장치 제조 방법.

청구항 24

제 18 항에 있어서,

상기 대전 방지막은 $10^6 \Omega/\text{cm}^2$ 내지 $10^{14} \Omega/\text{cm}^2$ 의 표면 저항 값을 갖는, 반도체 장치 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 무선으로 통신을 할 수 있는 반도체 장치 및 그 제작 방법에 관한 것이다.

배경기술

<2> 무선으로 신호의 송수신을 하여 개체를 식별하는 기술(RFID: Radio frequency identification)은 여러 분야에서 실용화가 진행되고 있고, 새로운 정보 통신의 형태로써 더욱 시장의 확대가 예상된다. RF 태그는 ID칩, 무선태그, IC 태그로도 불리고 있고, 안테나와, 반도체 기판을 사용하여 형성된 집적회로(IC 칩)를 통상 갖는다. RFID에서는 주로, 리더, 리더 라이터 또는 인테로게이터라고 불리는 질문기와, RF 태그의 사이에서, 무선으로 신호의 송수신이 행하여진다. RF 태그의 형상은 카드형, 또는 카드보다도 더 소형의 칩형인 것이 많지만, 용도에 맞추어 여러가지 형상을 채용할 수 있다.

<3> 또한 RF 태그 자체에 가요성을 가지게 함으로써, 종이, 플라스틱 등의 가요성을 갖는 소재(플렉시블한 소재)에 RF 태그를 장착시킬 수도 있다. 하기 특허문헌 1에는 플렉시블한 기판을 사용한 RF 태그의 구성에 관해서 기재되어 있다. RF 태그에 가요성을 갖게 함으로써, 그 이용 형태의 폭이 넓어지고, 보다 광범위한 분야에서의 RF 태그의 응용을 기대할 수 있다.

<4> [특허문헌 1] 일본 공개특허공보 2005-229098호

발명의 내용

해결하고자하는 과제

<5> 그런데 RF 태그는 여러 분야에서의 이용이 기대되고 있기 때문에, 실용화 시에, 모든 환경하에 있어서의 신뢰성 확보가 중요한 과제로 되어 있다.

<6> 예를 들어, 외력에 대한 신뢰성도 그 하나이다. RF 태그는 개별로 형성된 집적회로와 안테나를 접속하는 안테나 외장인 것과, 집적회로와 안테나를 하나의 기판 위에 형성(일체 형성)하는 온칩인 것이 있다. 외장의 경우, 온칩과는 달리, 안테나의 치수 또는 형상의 제약이 없고, 통신 거리를 늘릴 수 있다는 메리트를 갖는다. 그러나, 플렉시블한 기판을 사용한 RF 태그의 경우, 기판에 외력이 가해지면, 집적회로와 안테나의 접속이 분단되기 쉽고, 외력에 대한 신뢰성은 온칩에 비하여 조금 부족하다. 또한, 집적회로와 안테나의 접속 개소에서의 초기 불량률이 온칩에 비하여 수율을 낮게 하는 요인이 된다.

<7> 또한, RF 태그에 기능을 추가하기 위해서는, 집적회로의 회로 규모나 메모리 용량을 필연적으로 더욱 크게 하지

않을 수 없다. 그러나, 회로 규모나 메모리 용량을 증대시키면, 그에 따라 집적회로의 점유 면적도 증대하는 경향이 있기 때문에, 외력에 대한 RF 태그의 신뢰성이 떨어져 버린다. 따라서, 상술한 바와 같은, 여러 가지의 응용을 기대할 수 있는 RF 태그의 메리트를, 충분히 살릴 수 없다는 문제가 생긴다. 또한 집적회로의 점유 면적은 변하지 않아도, 가요성을 갖는 기판을 사용하는 경우, 외부로부터 국소적으로 걸리는 압력(가압)에 대한 신뢰성에 관해서는, 개선의 여지가 남아 있다.

- <8> 또한, 집적회로는 대전 현상(차징(charging))에 의해 축적된 전하가 방전함으로써 반도체 소자가 열화 또는 파괴되는 정전 파괴(ESD:Electro-Static Discharge)가 일어나기 쉽다는 문제가 있다. 특히, 플라스틱 등의 절연성을 갖는 기판은 차징이 일어나기 쉽기 때문에, 집적회로내에 방전 경로를 확보하기 위한 보호회로를 형성할 뿐만 아니라, 집적회로를 지지하는 기판에도 ESD 대책을 실시할 필요성이 있다. 그러나, ESD를 막기 위해서, 대전을 방지할 수 있는 도전체의 기판으로 RF 태그를 덮어 버리면, 전파가 차폐되기 쉽고, 질문기로부터의 신호 또는 전력의 수신에 폐해가 생길 우려가 있다는 문제가 있었다.
- <9> 본 발명은 상기 문제를 감안하여, 무선으로 통신이 가능한 반도체 장치에 있어서, 외력, 특히 가압에 대한 신뢰성이 높고, 전파 수신을 저해하지 않고 집적회로에 있어서의 정전 파괴를 막는 것을 과제로 한다.

과제 해결수단

- <10> 본 발명의 반도체 장치에서는 집적회로에 접속된 온칩 안테나(제 1 안테나)와, 수신한 전파에 포함되는 신호 또는 전력을 상기 온칩 안테나에 비접촉으로 송신하는 부스터 안테나(제 2 안테나)를 갖는다. 또한 본 발명의 반도체 장치는, 섬유체에 수지를 함침함으로써 형성되는 한 쌍의 구조체로, 집적회로 및 온칩 안테나를 끼운다. 상기 구조체의 하나는 온칩 안테나와 부스터 안테나의 사이에 설치된다. 또한, 각 구조체의 적어도 한쪽 면에, 표면 저항 값이 $10^6 \Omega/\text{cm}^2$ 내지 $10^{14} \Omega/\text{cm}^2$ 정도의 도전성을 갖는 대전 방지막을 형성한다. 상기 대전 방지막은, 집적회로 및 온칩 안테나측에 형성되어 있어도 좋고, 집적회로 및 온칩 안테나와는 반대 측에 형성되어 있어도 좋다. 또한, 구조체의 한면뿐만 아니라, 구조체의 양면에 형성되어 있어도 좋다.
- <11> 구체적으로 상기 구조체는, 유기화합물 또는 무기화합물의 섬유체에 유기수지를 함침함으로써 형성할 수 있다. 집적회로를 갖는 층(소자층)과 상기 구조체는, 가열 압착에 의해 고착시킬 수 있다. 또는 소자층과 상기 구조체를 고착시키기 위한 층을 형성하여도 좋다. 또는, 소자층에 섬유체를 겹친 후, 상기 섬유체에 유기수지를 함침시킴으로써, 소자층에 고착한 상기 구조체를 형성할 수 있다.
- <12> 소자층의 두께는 $1\mu\text{m}$ 이상 $10\mu\text{m}$ 이하, 더욱이 $1\mu\text{m}$ 이상 $5\mu\text{m}$ 이하이고, 한 쌍의 구조체의 토탈 두께는, $20\mu\text{m}$ 이상 $100\mu\text{m}$ 이하인 것이 바람직하다. 이러한 두께로 함으로써, 만족할 수 있는 반도체 장치를 제작할 수 있다.
- <13> 섬유체는 유기화합물 또는 무기화합물의 고강도 섬유를 사용한 직포 또는 부직포를 사용할 수 있다. 고강도 섬유란 구체적으로는 인장 탄성률 또는 영율이 높은 섬유이다. 섬유체로서 고강도 섬유를 사용함으로써, 국소적인 가압이 반도체 장치에 걸렸다고 해도, 상기 압력이 섬유체 전체로 분산하여, 반도체 장치의 일부가 연신하는 것을 막을 수 있다. 즉, 일부의 연신에 따른 배선, 반도체 소자 등의 파괴를 방지할 수 있다. 또한, 유기수지로서는, 열가소성 수지 또는 열경화성 수지를 사용할 수 있다.

효과

- <14> 본 발명에 의해, 무선으로 통신이 가능한 반도체 장치에 있어서, 외력, 특히 가압에 대한 신뢰성이 높고, 전파의 수신을 저해하지 않고 집적회로에 있어서의 정전 파괴를 막을 수 있다.

발명의 실시를 위한 구체적인 내용

- <15> 이하, 본 발명의 실시 형태에 관해서 도면을 참조하면서 설명한다. 단, 본 발명은 많은 다른 형태로 실시할 수 있고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세를 여러 가지로 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시 형태의 기재 내용에 한정하여 해석되지 않는다.
- <16> (실시 형태 1)
- <17> 도 1a는 본 발명의 반도체 장치의 적층 구조를 도시하는 사시도이다. 본 발명의 반도체 장치는 집적회로(101)와, 상기 집적회로(101)에 접속된 온칩 안테나(102)를 갖는다. 집적회로(101)와 온칩 안테나(102)는 일체 형성되어 있다. 즉, 온칩 안테나(102)는 집적회로(101) 위에 직접 형성되어 있고, 또한 집적회로(101)에 접속되

록 형성되어 있다. 집적회로(101) 및 온칩 안테나(102)는 섬유체에 수지를 함침함으로써 형성되는 구조체(103) 및 구조체(104)의 사이에 형성된다. 그리고, 본 발명의 반도체 장치는 부스터 안테나(105)를 갖고, 구조체(104)는 온칩 안테나(102)와 부스터 안테나(105)의 사이에 끼워져 있다. 또, 도 1a에서는, 부스터 안테나(105)가 지지기판(106)에 형성되어 있는 예를 도시한다.

- <18> 도 4a에, 도 1a에 도시한 온칩 안테나(102)와 집적회로(101)의 확대도를 도시한다. 도 1a, 도 4a에 있어서, 온칩 안테나(102)는 권선(winding) 수가 1인 직사각형의 루프 안테나이지만, 본 발명은 이 구성에 한정되지 않는다. 루프 안테나의 형상은 직사각형을 갖는 것에 한정되지 않고, 곡선을 갖는 형상, 예를 들면 원형을 가져도 좋다. 그리고 권선 수는 1에 한정되지 않고, 복수이어도 좋다. 단 온칩 안테나(102)의 권선 수가 1인 경우, 집적회로(101)와 온칩 안테나(102)의 사이에 생기는 기생용량을 저감할 수 있다.
- <19> 또한, 도 1a, 도 4a에 있어서, 온칩 안테나(102)는 집적회로(101)의 주위를 둘러싸도록 배치되어 있고, 파선으로 나타내는 급전점(108)에 상당하는 부분 이외는 온칩 안테나(102)는 집적회로(101)와는 다른 영역에 배치되어 있다. 그러나 본 발명은 이 구성에 한정되지 않고, 도 4b에 도시하는 바와 같이, 파선으로 나타내는 급전점(108)에 상당하는 부분 이외에 있어서, 온칩 안테나(102)가 집적회로(101)와 적어도 일부 겹치도록 배치되어 있어도 좋다. 단, 도 1a, 도 4a에 도시하는 바와 같이, 온칩 안테나(102)가 집적회로(101)와는 다른 영역에 배치되어 있음으로써, 집적회로(101)와 온칩 안테나(102)의 사이에 생기는 기생용량을 저감할 수 있다.
- <20> 또한 부스터 안테나(105)는 파선(107)으로 둘러싸인 부분에 있어서 권선 수가 1인 직사각형의 루프형으로 되어 있지만, 본 발명은 이 구성에 한정되지 않는다. 루프형의 부분은 직사각형을 갖는 것에 한정되지 않고, 곡선을 갖는 형상, 예를 들면 원형을 가져도 좋다. 그리고 권선 수는 1에 한정되지 않고, 복수이어도 좋다.
- <21> 부스터 안테나(105)는 주로 파선(107)으로 둘러싸인 루프형의 부분에 있어서, 온칩 안테나(102)와 전자기유도에 의해 신호의 송수신 또는 전력의 공급을 할 수 있다. 또한 부스터 안테나(105)는 주로, 파선(107)으로 둘러싸인 부분 이외의 영역에서, 전파에 의해 질문기와 신호의 송수신 또는 전력의 공급을 할 수 있다. 질문기와 반도체 장치의 사이에서, 캐리어(반송파)로서 사용되는 전파의 주파수는, 30MHz 이상 5GHz 이하 정도가 바람직하고, 예를 들면 950MHz, 2.45GHz 등의 주파수대를 사용하면 좋다.
- <22> 다음에, 구조체(103)와 구조체(104)의 구조 및 그 배치에 관해서 설명한다. 도 1b는 도 1a에 도시한 집적회로(101), 온칩 안테나(102), 구조체(103), 구조체(104), 지지기판(106)에 형성된 부스터 안테나(105)가 적층되어 있는, 본 발명의 반도체 장치의 사시도에 상당한다. 그리고 도 1c는 도 1b의 파선 A-A'에 있어서의 단면도에 상당한다.
- <23> 구조체(103)는 유기화합물 또는 무기화합물의 섬유체(103a)와, 섬유체(103a)에 함침된 유기수지(103b)를 갖는다. 마찬가지로, 구조체(104)는 유기화합물 또는 무기화합물의 섬유체(104a)와, 섬유체(104a)에 함침된 유기수지(104b)를 갖는다.
- <24> 또 본 실시 형태에서는 구조체(103)와 구조체(104)에 있어서, 단층의 섬유체를 사용하고 있는 경우를 예시하지만, 본 발명은 이 구성에 한정되지 않는다. 각 구조체에 있어서 2층 이상의 섬유체가 적층되어 있어도 좋다. 특히 각 구조체에 있어서 3층 이상의 섬유체를 사용함으로써, 외력, 특히 가압에 대한 반도체 장치의 신뢰성을 보다 높일 수 있다. 또한 구조체(103)와, 구조체(104)는 서로 다른 수의 섬유체를 가져도 좋다.
- <25> 집적회로(101) 및 온칩 안테나(102)는 구조체(103)와 구조체(104)의 사이에 형성되어 있다. 또한 온칩 안테나(102)와 부스터 안테나(105)의 사이에는, 구조체(104)가 형성되어 있다. 또, 도 1c에서는, 집적회로(101)가 온칩 안테나(102)보다도, 부스터 안테나(105)에 더욱 가까운 위치에 배치되어 있지만, 본 발명은 이 구성에 한정되지 않는다. 온칩 안테나(102)가 집적회로(101)보다도, 부스터 안테나(105)에 더욱 가까운 위치에 배치되어 있어도 좋다.
- <26> 또한 본 발명에서는, 구조체(103), 구조체(104)의 각각에 있어서, 적어도 한쪽 면 위에, 표면 저항 값이 $10^6 \Omega / \text{cm}^2$ 내지 $10^{14} \Omega / \text{cm}^2$ 정도의 도전성을 갖는 대전 방지막(109), 대전 방지막(110)이 형성되어 있다. 구체적으로 도 1c에서는, 대전 방지막(109)은 구조체(103)를 사이에 끼우고, 집적회로(101) 및 온칩 안테나(102)의 반대측에 형성되어 있다. 그러나 본 발명은 이 구성에 한정되지 않고, 대전 방지막(109)은 구조체(103)와, 집적회로(101) 및 온칩 안테나(102)의 사이에 형성되어 있어도 좋고, 구조체(103)를 사이에 끼운 대전 방지막(109)을 2층 형성하여도 좋다. 마찬가지로 도 1c에서는 대전 방지막(110)은, 구조체(104)를 사이에 끼우고, 집적회로(101) 및 온칩 안테나(102)의 반대측에 형성되어 있다. 그러나 본 발명은 이 구성에 한정되지 않고, 대전 방지

막(110)은, 구조체(104)와, 집적회로(101) 및 온칩 안테나(102)의 사이에 형성되어 있어도 좋고, 구조체(104)를 사이에 끼운 대전 방지막(110)을 2층 형성하여도 좋다.

<27> 도 3a에, 대전 방지막(109)이, 구조체(103)와, 집적회로(101) 및 온칩 안테나(102)의 사이에 형성되어 있고, 또한 대전 방지막(110)이, 구조체(104)와, 집적회로(101) 및 온칩 안테나(102)의 사이에 형성되어 있는 경우의, 파선 A-A'에 있어서의 단면도를 도시한다. 또한 도 3b에, 대전 방지막(109)을 구조체(103)의 양면에 형성하고, 또한 대전 방지막(110)을 구조체(104)의 양면에 형성하는 경우의, 파선 A-A'에 있어서의 단면도를 도시한다. 또한 도 3c에, 구조체(103)를 사이에 끼운 대전 방지막(109)을 2층 형성하고, 또한 구조체(104)를 사이에 끼운 대전 방지막(110)을 2층 형성하고, 또한 구조체(103), 구조체(104)가 갖는 유기수지(103b)와 유기수지(104b)중에, 대전 방지막(109) 또는 대전 방지막(110)에 사용되어 있는 재료를 분산시키고 있는 경우의, 파선 A-A'에 있어서의 단면도를 도시한다.

<28> 대전 방지막(109), 대전 방지막(110)은 계면활성제, 도전성 폴리머, 카본블랙이나 은 등의 도전성을 갖는 입자가 분산된 수지, 실록산계 수지 또는 실록산계 재료 등을 사용할 수 있다. 구체적으로 계면활성제로서, 비이온계의 글리세린지방산에스테르, 폴리옥시에틸렌알킬에테르, 폴리옥시에틸렌알킬페닐에테르, N,N-비스(2-하이드록시에틸)알킬아민, N-2-하이드록시에틸-N-2-하이드록시알킬아민, 폴리옥시에틸렌알킬아민, 폴리옥시에틸렌알킬아민지방산에스테르, 알킬디에탄올아마이드 등, 음이온계의 알킬설포산염, 알킬벤젠설포산염, 알킬포스페이트 등, 양이온계의 테트라알킬암모늄염, 트리알킬벤질암모늄염 등, 양성의 알킬베타인, 알킬이미다졸륨베타인을 사용하면 좋다. 그리고 계면활성제를 사용하는 경우, 대전 방지막(109), 대전 방지막(110)의 막 두께는, 각각 0.01 μ m 내지 1 μ m 정도로 하는 것이 좋다. 도전성 폴리머는, 예를 들면 폴리피롤계, 폴리티오펜계의 중합체를 사용할 수 있다. 또 실록산계 수지란, 실록산계 재료를 출발재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는, 치환기에 수소 외에, 불소, 알킬기, 또는 방향족 탄화수소중, 적어도 1종을 갖고 있어도 좋다. 실록산계 수지에는 올리고머도 포함된다.

<29> 또한, 집적회로(101)와 온칩 안테나(102)는 구조체(103), 구조체(104)에 직접 고착하고 있어도 좋고, 접착제로서 기능하는 접착층에 의해서 고착되어 있어도 좋다.

<30> 구조체(103)와 구조체(104)의 두께를 같은 정도, 구체적으로는, 한쪽의 구조체의 두께에 대한 다른쪽의 구조체의 두께의 비가, 0.8 이상 1.2 이하가 되도록 하고, 유기수지(103b)와 유기수지(104b)의 재료를 같게 함으로써, 반도체 장치의 휘어짐을 저감할 수 있다. 또한 구조체(103)와 구조체(104)의 두께를 같은 정도, 구체적으로는, 한쪽의 구조체의 두께에 대한 다른쪽의 구조체의 두께의 비를, 0.8 이상 1.2 이하로 함으로써, 반도체 장치에 응력을 가하여 휘어지게 하였을 때, 사이에 형성되는 집적회로(101) 및 온칩 안테나(102)에 국소적으로 압력이 가해지는 것을 막고, 따라서 반도체 장치의 신뢰성을 높일 수 있다.

<31> 구체적으로 구조체(103)와 구조체(104)를 겹친 두께는, 20 μ m 이상 100 μ m 이하인 것이 바람직하다. 상기 두께의 구조체를 사용함으로써, 박형으로 만곡할 수 있는 반도체 장치를 제작할 수 있다.

<32> 또한 유기수지(103b), 유기수지(104b)로서, 에폭시수지, 불포화폴리에스테르수지, 폴리이미드수지, 비스말레이미드트리아진수지, 또는 시아네이트수지 등의 열경화성 수지를 사용할 수 있다. 또는 유기수지(103b), 유기수지(104b)로서, 폴리페닐렌옥사이드수지, 폴리에테리미드수지, 또는 불소수지 등의 열가소성 수지를 사용할 수 있다. 또한 유기수지(103b), 유기수지(104b)로서, 상기 열가소성 수지 및 상기 열경화성 수지의 복수를 사용하여도 좋다. 상기 유기수지를 사용함으로써, 열 처리에 의해 섬유체를 집적회로(101) 및 온칩 안테나(102)에 고착할 수 있다. 또, 유기수지(103b), 유기수지(104b)의 유리 전이 온도가 높을수록, 국소적 가압에 대하여 집적회로(101) 및 온칩 안테나(102)가 파괴되기 어려워, 바람직하다.

<33> 유기수지(103b), 유기수지(104b) 또는 섬유의 다발(bundle, 絲束) 내에 고열전도성 충전재(filler)를 분산시켜도 좋다. 고열전도성 충전재로서는, 질화알루미늄, 질화붕소, 질화규소, 알루미늄 등을 들 수 있다. 또한, 고열전도성 충전재로서는 은, 구리 등의 금속입자가 있다. 고열전도성 충전재가 유기수지 또는 섬유 다발내에 포함됨으로써 집적회로(101) 및 온칩 안테나(102)에서의 발열을 외부로 방출하기 쉬워지기 때문에, 반도체 장치의 열 축적을 억제할 수 있고, 반도체 장치의 파괴를 저감할 수 있다.

<34> 섬유체(103a), 섬유체(104a)는 유기화합물 또는 무기화합물의 고강도 섬유를 사용한 직포 또는 부직포이고, 집적회로(101) 및 온칩 안테나(102) 전체면과 겹치도록 배치한다. 고강도 섬유로서는, 구체적으로는 인장 탄성률 또는 영율이 높은 섬유이다. 고강도 섬유의 대표예로서는, 폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌벤조비스옥사졸섬유, 유리섬유, 또는 탄소섬

유를 들 수 있다. 유리섬유로서는, E유리, S유리, D유리, Q유리 등을 사용한 유리섬유를 들 수 있다. 또, 섬유체(103a), 섬유체(104a)는, 1종류의 상기 고강도 섬유로 형성되어도 좋다. 또한, 복수의 상기 고강도 섬유로 형성되어도 좋다.

- <35> 또한, 섬유체(103a), 섬유체(104a)는, 섬유(단사)의 속(束)(이하, 다발이라고 부름)을 날실 및 씨실에 사용하여 제작한 직포, 또는 복수종의 섬유의 다발을 랜덤 또는 일 방향으로 퇴적시킨 부직포이어도 좋다. 직포의 경우, 평직(平織), 능직(綾織), 수자직(satin-woven fabric) 등을 적절하게 사용할 수 있다.
- <36> 다발의 단면은 원형이거나 타원형이어도 좋다. 섬유 다발로서, 고압 수류, 액체를 매체로 한 고주파의 진동, 연속 초음파의 진동, 물에 의한 가압 등에 의해서, 개섬 가공(開纖加工)을 한 섬유 다발을 사용하여도 좋다. 개섬 가공을 한 섬유 다발은 다발 폭이 넓어지고, 두께 방향의 단사수를 삭감할 수 있고, 다발의 단면이 타원형 또는 평판형이 된다. 또한, 섬유 다발로서 저연사(低燃絲)를 사용함으로써, 다발이 평탄화되기 쉽고, 다발의 단면형상이 타원형상 또는 평판형상이 된다. 이와 같이, 단면이 타원형 또는 평판형인 다발을 사용함으로써, 섬유체(103a), 섬유체(104a)를 얇게 할 수 있다. 따라서, 구조체(103), 구조체(104)를 얇게 실시할 수 있고, 박형의 반도체 장치를 제작할 수 있다. 섬유의 다발 직경은 4 μ m 이상 400 μ m 이하, 더욱이 4 μ m 이상 200 μ m 이하에 있어서 본 발명의 효과를 확인하고 있고, 원리상으로는 더욱 얇아도 좋다. 또한, 섬유의 크기는 4 μ m 이상 20 μ m 이하에 있어서 본 발명의 효과를 확인하고 있으며, 원리상으로는 더욱 가늘어도 좋고, 이들은 섬유의 재료에 의존한다.
- <37> 또, 본 명세서의 도면에 있어서는, 섬유체(103a), 섬유체(104a)는, 단면이 타원형의 다발이며 평직한 직포로 도시되어 있다.
- <38> 섬유체(103a), 섬유체(104a)가 섬유 다발을 날실 및 씨실로서 제작한 직포의 상면도를 도 5에 도시한다.
- <39> 도 5a에 도시하는 바와 같이, 섬유체(103a), 섬유체(104a)는, 일정 간격을 둔 날실(150)과, 일정 간격을 둔 씨실(151)로 짜여져 있다. 이러한 날실(150) 및 씨실(151)을 사용하여 제작된 섬유체에는, 날실(150) 및 씨실(151)이 존재하지 않는 영역(바스켓 홀; 152)을 갖는다. 이러한 섬유체(103a), 섬유체(104a)는, 유기수지(103b), 유기수지(104b)가 함침되는 비율이 높아지고, 섬유체(103a), 섬유체(104a)와 집적회로(101) 및 온칩 안테나(102)의 밀착성을 높일 수 있다.
- <40> 또한 섬유체(103a), 섬유체(104a)는, 도 5b에 도시하는 바와 같이, 날실(150) 및 씨실(151)의 밀도가 높고, 바스켓 홀(152)의 비율이 낮은 것이라도 좋다. 대표적으로는, 바스켓 홀(152)의 크기가, 국소적으로 가압되는 면적보다 작은 것이 바람직하다. 대표적으로는 1변이 0.01mm 이상 0.2mm 이하의 직사각형인 것이 바람직하다. 섬유체(103a), 섬유체(104a)의 바스켓 홀(152)의 면적이 이렇게 작으면, 선단이 가는 부재(대표적으로는, 펜이나 연필 등의 필기용구)로써 가압되어도, 상기 압력을 섬유체(103a), 섬유체(104a) 전체에서 흡수할 수 있다.
- <41> 또한, 섬유 다발 내부로의 유기수지의 침투율을 높이기 위해서, 섬유에 표면 처리가 실시되어도 좋다. 예를 들면, 섬유 표면을 활성화시키기 위한 코로나 방전처리, 플라즈마 방전 처리 등이 있다. 또한, 실란 커플링제, 티타네이트 커플링제를 사용한 표면처리가 있다.
- <42> 집적회로(101)의 두께는, 1 μ m 이상 10 μ m 이하, 더욱이 1 μ m 이상 5 μ m 이하가 바람직하다. 이러한 두께로 함으로써, 만족할 수 있는 반도체 장치를 제작할 수 있다.
- <43> 또한, 섬유체(103a), 섬유체(104a)가 날실 및 씨실을 사용한 직포인 경우, 각 섬유체끼리 날실 및 씨실의 방향이 어긋나 있어도 좋다. 섬유체(103a), 섬유체(104a) 사이에서 날실 및 씨실의 방향을 비껴 놓음으로써, 모든 방향의 휘어짐에 대한 반도체 장치의 신뢰성을 확보할 수 있다. 또한, 가압을 가하였을 때에 섬유체의 인장 방향이 구조체(103)와 구조체(104)에서 다르기 때문에, 국소적 가압 시의 연신이 등방성적이게 된다. 따라서, 가압에 의한 반도체 장치의 파괴를 더욱 저감할 수 있다. 섬유체 간의 날실 및 씨실의 방향의 어긋남은, 30도 이상 60도 이하, 특히 40도 이상 50도 이하인 것이 바람직하다. 또, 각 구조체가 섬유체를 복수 적층시키고 있는 경우, 동일 구조체 내에 있어서 섬유체 간의 날실 및 씨실의 방향을 비껴 놓도록 하여도 좋다.
- <44> 본 발명에서 사용되는 구조체(103)와 구조체(104)는 인장 탄성률 또는 영율이 높은 고강도 섬유를 섬유체로서 사용하고 있다. 따라서, 점압(點壓)이나 선압 등의 국소적인 가압이 걸리더라도, 가압된 힘이 섬유체 전체로 분산되고, 집적회로(101)를 구성하는 반도체 소자, 배선 등에 균열이 생기지 않고, 반도체 장치의 파괴를 막을 수 있다. 또한, 박막의 반도체막을 사용하고 있기 때문에, 집적회로(101)를 얇게 할 수 있다. 따라서, 벌크의 반도체 소자를 사용한 경우와 달리, 만족시키더라도 반도체 장치가 파괴되기 어렵다.

- <45> 다음에, 본 발명의 반도체 장치의 동작에 관해서 설명한다. 도 2는 본 발명의 반도체 장치의 구성을 도시하는 블록도의 일례이다. 도 2에 도시하는 반도체 장치(120)는, 부스터 안테나(122)와, 집적회로(123)와, 온칩 안테나(124)를 갖는다. 질문기(121)로부터 전파가 송신되면, 부스터 안테나(122)가 상기 전파를 수신함으로써, 부스터 안테나(122)내에 교류의 전류가 생기고, 부스터 안테나(122)의 주위에 자계가 발생한다. 그리고, 부스터 안테나(122)가 갖는 루프형의 부분과, 루프형의 형상을 갖는 온칩 안테나(124)가 전자기결합함으로써, 온칩 안테나(124)에 유도 기전력이 생긴다. 집적회로(123)는 상기 유도 기전력을 사용함으로써, 신호 또는 전력을 질문기(121)로부터 받아들인다. 반대로 집적회로(123)에 있어서 생성된 신호에 따라서, 온칩 안테나(124)에 전류를 흘려 부스터 안테나(122)에 유도 기전력을 생기게 함으로써, 질문기(121)로부터 송신되는 전파의 반사파에 싣고, 질문기(121)에 신호를 송신할 수 있다.
- <46> 또, 부스터 안테나(122)는, 주로 온칩 안테나(124)와의 사이에서 전자기결합하는 루프형의 부분과, 주로 질문기(121)로부터의 전파를 수신하는 부분으로 나누어진다. 질문기(121)로부터의 전파를 주로 수신하는 부분에 있어서의, 부스터 안테나(122)의 형상은 전파를 수신할 수 있는 형이면 좋다. 예를 들면, 다이폴 안테나, 접힌 다이폴 안테나(folded dipole antenna), 슬롯 안테나, 미앤더 라인 안테나(meander line antenna), 마이크로스트립 안테나(microstrip antenna) 등의 형상을 사용하면 좋다.
- <47> 다음에, 본 발명의 반도체 장치가 갖는 집적회로의 구성에 관해서 설명한다. 도 6은 온칩 안테나(901)에 접속되어 있는 집적회로(902)의 일 형태를 도시하는 블록도이다. 집적회로(902)는, 전원회로(903), 복조회로(904), 변조회로(905), 레귤레이터(906), 제어회로(907), 메모리(909)를 갖는다.
- <48> 부스터 안테나에 교류의 전류가 흐르면, 온칩 안테나(901)에 있어서 유도 기전력에 의해 교류 전압이 생긴다. 전원회로(903)에서는, 온칩 안테나(901)로부터의 교류 전압을 정류하고, 전원용의 전압을 생성한다. 전원회로(903)에 있어서 생성된 전원용의 전압은 제어회로(907)와 레귤레이터(906)에 주어진다. 레귤레이터(906)는 전원회로(903)로부터의 전원용의 전압을 안정화시키거나, 또는 그 높이를 조정한 후, 집적회로(902)내의 복조회로(904), 변조회로(905), 제어회로(907) 또는 메모리(909) 등의 각종 회로에 공급한다.
- <49> 복조회로(904)는, 온칩 안테나(901)가 수신한 교류신호를 복조하고, 후단의 제어회로(907)에 출력한다. 제어회로(907)는 복조회로(904)로부터 입력된 신호에 따라서 연산처리를 하고, 별도의 신호를 생성한다. 상기 연산처리를 할 때에, 메모리(909)는 1차 캐시 메모리 또는 2차 캐시 메모리로서 사용할 수 있다. 또한 제어회로(907)는, 복조회로(904)로부터 입력된 신호를 해석하고, 질문기로부터 보내져 온 명령의 내용에 따라서, 메모리(909)내의 정보의 출력, 또는 메모리(909)내에서의 명령 내용을 보존한다. 제어회로(907)로부터 출력되는 신호는 부호화되고, 변조회로(905)에 보내진다. 변조회로(905)는 상기 신호에 따라서 온칩 안테나(901)에 교류 전압을 인가하고, 그것에 의해서 부스터 안테나가 수신하고 있는 전파를 변조한다. 온칩 안테나(901)에 있어서 변조된 전파는 질문기에서 수취된다. 또, 변조 방식도 규격에 의해 진폭변조, 주파수변조, 위상변조 등 여러 가지 방식이 있지만, 규격에 의거한 변조 방식이면 어떤 변조 방식을 사용하여도 좋다.
- <50> 메모리(909)는 비휘발성 메모리이든 휘발성 메모리이든 어느 것이나 좋다. 메모리(909)로서, 예를 들면 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), FeRAM, 마스크 ROM(Read Only Memory), EPROM(Electrically Programmable Read Only Memory), EEPROM(Electrically Erasable and Programmable Read Only Memory), 플래시 메모리, 유기메모리 등을 사용할 수 있다.
- <51> 본 발명에서는 도 6에 도시한 반도체 장치에, 발진회로 또는 이차전지를 형성하여도 좋다.
- <52> 또한 도 6에서는 온칩 안테나를 1개만 갖는 반도체 장치의 구성에 관해서 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 전력을 수신하기 위한 온칩 안테나와, 신호를 수신하기 위한 온칩 안테나의, 2개의 안테나를 갖고 있어도 좋다. 온칩 안테나가 2개 있으면, 전력을 공급하는 전파의 주파수와, 신호를 보내기 위한 전파의 주파수를 구분하여 사용할 수 있다.
- <53> 본 발명의 반도체 장치에서는, 온칩 안테나를 사용하고 있고, 또한, 부스터 안테나와 온칩 안테나의 사이에서의 신호 또는 전력의 송수신을 비접촉으로 할 수 있기 때문에, 외장의 안테나를 집적회로에 접속하는 경우와는 달리, 외력에 의해서 집적회로와 안테나의 접속이 분단되기 어렵고, 상기 접속에 있어서의 초기 불량률의 발생도 억제할 수 있다. 또한 본 발명에서는 부스터 안테나를 사용하고 있기 때문에, 온칩 안테나만의 경우와는 달리, 안테나의 치수 또는 형상이 집적회로의 면적의 제약을 받기 어렵고, 수신 가능한 전파의 주파수대가 한정되지 않고, 통신거리를 늘릴 수 있다는 외장의 안테나가 갖는 메리트를 가질 수 있다.
- <54> 또한, 본 발명에서는 섬유체에 수지를 함침함으로써 형성되는 한 쌍의 구조체를 사용함으로써, 외력, 특히 가압

에 대한 반도체 장치의 신뢰성을 높일 수 있다. 그리고, 상기 구조체의 적어도 한쪽 면에, 표면 저항 값이 $10^6 \Omega/\text{cm}^2$ 내지 $10^{14} \Omega/\text{cm}^2$ 정도의 도전성을 갖는 대전 방지막을 형성함으로써, 전파의 투과를 허용하면서도, 상기 구조체가 절연성을 갖는 경우에 구조체가 대전하는 것을 막을 수 있다. 또한, 본 발명에서는 부스터 안테나를 집적회로 및 온칩 안테나에 접속시키지 않기 때문에, 집적회로 및 온칩 안테나를 완전히 한 쌍의 구조체로 둘러쌀 수 있다. 따라서, 외력에 대한 반도체 장치의 신뢰성을 높일 뿐만 아니라, Na 등의 알칼리 금속, 알칼리토류 금속, 또는 수분 등의 반도체 소자의 특성에 악영향을 미치는 불순물이 집적회로 내에 들어가는 것을 방지하여, 반도체 장치의 신뢰성을 높일 수 있다.

<55> 본 발명의 반도체 장치는 외력에 대한 신뢰성이 높기 때문에, 반도체 장치가 사용 가능한 환경의 조건을 확대하고, 나아가서는 반도체 장치의 용도 폭을 확대할 수 있다.

<56> (실시 형태 2)

<57> 본 발명자들은 본 발명의 반도체 장치에 ESD 시험기를 사용하여 전압을 인가하였을 때의 동작률에 관해서 조사하였다.

<58> 동작률 시험에 있어서, 모든 샘플은, 1층의 섬유체를 갖는 한 쌍의 구조체로 온칩 안테나 및 집적회로가 끼워진 구조를 갖는다. 그리고, 반도체 장치의 면적은 $10.5\text{mm} \times 12.0\text{mm}$ 이고, 섬유체는 날실 및 씨실에 의해 평직으로 제직되어 있다. 또한, 샘플(A)은 대전 방지막을 형성하지 않는 샘플이다. 샘플(B)은, 도 1c와 같이, 각 구조체의, 온칩 안테나 및 집적회로와는 반대측에 대전 방지막을 형성하고, 또한 대전 방지막으로서 양이온계 계면활성제(상품명 스타티사이드, ACL Staticide Inc. 제조)를 사용한 샘플이다. 샘플(C)은 도 3a와 같이, 각 구조체의, 온칩 안테나 및 집적회로측에 대전 방지막을 형성하고, 또한 대전 방지막으로서 폴리티오오펜계 도전성 폴리머(상품명 코니솔, 인스콘텍 가부시킴이샤 제조)를 사용한 샘플이다.

<59> 시험에 있어서 행하여지는 전압의 인가는 모두 접촉 방전에 의해 구조체를 통하여 집적회로 중앙부에 행한다. 시험 순서는, 우선 +1kV의 전압을 1회째에 인가한 후, 이온나이저로 10초 정도 제전(除電)한다. 다음에 -1kV의 전압을 2회째에 인가한 후, 이온나이저로 10초 정도 제전한다. 그리고 질문기에 의한 데이터의 판독에 의해, 반도체 장치의 동작을 확인한다. 동작을 확인할 수 있었던 샘플에 대해서는, 1회째의 인가전압을 +1kV씩, 2회째의 인가전압을 -1kV씩 늘려 가며, 같은 순서로 동작을 확인한다.

<60> 도 7에, 인가전압에 대한 비동작의 샘플수를 도시한다. 대전 방지막을 형성하고 있지 않는 샘플(A)은, ±2kV의 전압을 인가한 시점에서 모든 샘플이 비동작 상태로 되어 있다. 한편, 대전 방지막을 형성한 샘플(B)과 샘플(C)은 ±2kV보다도 전압을 증가하였을 때에도 동작을 확인할 수 있었다. 특히 샘플(B)은 ±8kV를 인가하여도 동작을 확인할 수 있는 샘플이 존재한다. 따라서, 본 발명의 반도체 장치가, 정전 파괴에 의한 신뢰성 저하를 방지할 수 있음을 알 수 있다.

<61> (실시 형태 3)

<62> 본 발명자들은 본 발명의 반도체 장치에 마찰 처리를 실시하였을 때의 대전량에 관해서 조사하였다.

<63> 대전량의 시험에 있어서, 모든 샘플은 1층의 섬유체를 갖는 한 쌍의 구조체로 온칩 안테나 및 집적회로가 끼워진 구조를 갖는다. 그리고, 구조체가 갖는 섬유체는 날실 및 씨실에 의해 평직으로 제직되어 있다. 샘플(A)은 대전 방지막을 형성하지 않는 샘플이다. 샘플(B)은 도 1c와 같이, 각 구조체의, 온칩 안테나 및 집적회로와는 반대측에 대전 방지막을 형성하고, 또한 대전 방지막으로서 실록산계 울리고머(상품명 콜코트, COLCOAT CO., Ltd 제조)를 사용한 샘플이다. 샘플(C)은, 도 3a와 같이, 각 구조체의, 온칩 안테나 및 집적회로측에 대전 방지막을 형성하고, 또한 대전 방지막으로서 실록산계 울리고머(상품명 콜코트, COLCOAT CO., Ltd 제조)를 사용한 샘플이다. 샘플(D)은 도 3c와 같이, 2층의 대전 방지막으로 구조체를 끼우고, 또한 구조체가 갖는 유기수지중에 대전 방지막에 사용되고 있는 재료를 분산시키고, 또한 대전 방지막으로서 실록산계 울리고머(상품명 콜코트, COLCOAT CO., Ltd 제조)를 사용한 샘플이다.

<64> 마찰 처리는, 셀룰로스 부직포(상품명 벵코트, 제조 발매원 오즈산교가부시킴이샤 소재제공 ASAHI KASEI FIBERS CORPORATION)를 사용하여 반도체 장치의 표면을 문지름으로써 행하였다.

<65> 본 실시 형태에 있어서의 대전량 시험에서는 샘플(A)의 대전량은 -582V, 샘플(B)의 대전량은 -1V, 샘플(C)의 대전량은 -455V, 샘플(D)의 대전량은 -650V이었다. 따라서, 대전 방지막으로서 실록산계 울리고머를 사용한 경우, 샘플(B)과 같이, 각 구조체의, 온칩 안테나 및 집적회로와는 반대측에 대전 방지막을 형성함으로써, 대전

량을 감소시키는 효과를 발견할 수 있었다.

<66> (실시 형태 4)

<67> 본 발명자들은 본 발명의 반도체 장치에 마찰 처리를 실시하였을 때의 대전량에 관해서 조사하였다.

<68> 대전량 시험에 있어서, 모든 샘플은 1층의 섬유체를 갖는 한 쌍의 구조체로 온칩 안테나 및 집적회로가 끼워진 구조를 갖는다. 그리고, 구조체가 갖는 섬유체는 날실 및 씨실에 의해 평직으로 제직되어 있다. 샘플(A)은 대전 방지막을 형성하지 않는 샘플이다. 샘플(B)은 도 1c와 같이, 각 구조체의, 온칩 안테나 및 집적회로와는 반대측에 대전 방지막을 형성하고, 또한 대전 방지막으로서 폴리티오펜계 도전성 폴리머(상품명 코니솔, 인스콘택 가부시키가이샤 제조)를 사용한 샘플이다. 샘플(C)은 도 3a와 같이, 각 구조체의, 온칩 안테나 및 집적회로측에 대전 방지막을 형성하고, 또한 대전 방지막으로서 폴리티오펜계 도전성 폴리머(상품명 코니솔, 인스콘택 가부시키가이샤 제조)를 사용한 샘플이다. 샘플(D)은 도 3c와 같이, 2층의 대전 방지막으로 구조체를 끼우고, 더욱이 구조체가 갖는 유기수지중에 대전 방지막에 사용되고 있는 재료를 분산시키고, 또한 대전 방지막으로서 폴리티오펜계 도전성 폴리머(상품명 코니솔, 인스콘택 가부시키가이샤 제조)를 사용한 샘플이다.

<69> 마찰 처리는 셀룰로스 부직포(상품명 벵코트, 제조 발매원 오즈산교가부시키가이샤 소재제공 ASAHI KASEI FIBERS CORPORATION)를 사용하여 반도체 장치의 표면을 문지름으로써 행하였다.

<70> 본 실시 형태에 있어서의 대전량 시험에서는, 샘플(A)의 대전량은 -685V, 샘플(B)의 대전량은 +259V, 샘플(C)의 대전량은 -32V, 샘플(D)의 대전량은 -40V이었다. 따라서, 대전 방지막으로서 폴리티오펜계 도전성 폴리머를 사용한 경우, 샘플(C)과 같이, 각 구조체의, 온칩 안테나 및 집적회로측에 대전 방지막을 형성함으로써, 대전량을 감소시키는 효과를 발견할 수 있었다. 또한, 대전 방지막으로서 폴리티오펜계 도전성 폴리머를 사용한 경우, 샘플(D)과 같이, 2층의 대전 방지막으로 구조체를 끼우고, 또한 구조체가 갖는 유기수지중에 대전 방지막에 사용되어 있는 재료를 분산시킴으로써, 대전량을 감소시키는 효과를 발견할 수 있었다.

<71> (실시 형태 5)

<72> 본 발명자들은, 본 발명의 반도체 장치에 마찰 처리를 실시하였을 때의 대전량에 관해서 조사하였다.

<73> 대전량 시험에 있어서, 모든 샘플은, 1층의 섬유체를 갖는 한 쌍의 구조체로 온칩 안테나 및 집적회로가 끼워진 구조를 갖는다. 그리고, 구조체가 갖는 섬유체는, 날실 및 씨실에 의해 평직으로 제직되어 있다. 샘플(A)은 대전 방지막을 형성하지 않은 샘플이다. 샘플(B)은, 도 1c와 같이, 각 구조체의, 온칩 안테나 및 집적회로와는 반대측에 대전 방지막을 형성하고, 또한 대전 방지막으로서 양이온계 계면활성제(상품명 스타티사이드, ACL Staticide Inc. 제조)를 사용한 샘플이다. 샘플(C)은, 도 3a와 같이, 각 구조체의, 온칩 안테나 및 집적회로측에 대전 방지막을 형성하고, 게다가 대전 방지막으로서 양이온계 계면활성제(상품명 스타티사이드, ACL Staticide Inc. 제조)를 사용한 샘플이다. 샘플(D)은 도 3c와 같이, 2층의 대전 방지막으로 구조체를 끼우고, 또한 구조체가 갖는 유기수지중에 대전 방지막에 사용되어 있는 재료를 분산시키고, 또한 대전 방지막으로서 양이온계 계면활성제(상품명 스타티사이드, ACL Staticide Inc. 제조)를 사용한 샘플이다.

<74> 마찰 처리는 셀룰로스 부직포(상품명 벵코트, 제조 발매원 오즈산교가부시키가이샤 소재제공 ASAHI KASEI FIBERS CORPORATION)를 사용하여 반도체 장치의 표면을 문지름으로써 행하였다.

<75> 본 실시 형태에 있어서의 대전량 시험에서는, 샘플(A)의 대전량은 -426V, 샘플(B)의 대전량은 -2V, 샘플(C)의 대전량은 +283V, 샘플(D)의 대전량은 -491V이었다. 따라서, 대전 방지막으로서 양이온계 계면활성제를 사용한 경우, 샘플(B)과 같이, 각 구조체의, 온칩 안테나 및 집적회로와는 반대측에 대전 방지막을 형성함으로써, 대전량을 감소시키는 효과를 발견할 수 있었다.

<76> (실시 형태 6)

<77> 본 실시 형태에서는 본 발명의 반도체 장치의 제작 방법에 관해서 설명한다. 또 본 실시 형태에서는 박막 트랜지스터(TFT)를 반도체 소자의 일례로서 제시하지만, 본 발명의 반도체 장치에 사용되는 반도체 소자는 이것에 한정되지 않는다. 예를 들면 TFT 외에, 기억소자, 다이오드, 저항, 용량, 인덕터 등을 사용할 수 있다.

<78> 우선 도 8a에 도시하는 바와 같이, 내열성을 갖는 기판(700) 위에, 절연막(701), 박리층(702), 절연막(703)과, 반도체막(704)을 순차로 형성한다. 절연막(701), 박리층(702), 절연막(703) 및 반도체막(704)은 연속하여 형성할 수 있다.

<79> 기판(700)으로서, 예를 들면 바륨붕규산유리나, 알루미늄붕규산유리 등의 유리기판, 석영기판, 세라믹기판 등을

사용할 수 있다. 또한, 스테인리스 기판을 포함하는 금속기판, 또는 실리콘기판 등의 반도체 기판을 사용하여도 좋다. 플라스틱 등의 가요성을 갖는 합성 수지로 이루어지는 기판은, 상기 기판과 비교하여 내열 온도가 일반적으로 낮은 경향이 있지만, 제작 공정에서의 처리 온도에 견딜 수 있는 것이라면 사용할 수 있다.

- <80> 플라스틱 기판으로서, 폴리에틸렌 테레프탈레이트(PET)로 대표되는 폴리에스테르, 폴리에테르설폰(PES), 폴리에틸렌나프탈레이트(PEN), 폴리카보네이트(PC), 폴리아미드계 합성 섬유, 폴리에테르에테르케톤(PEEK), 폴리설폰(PSF), 폴리에테르이미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌테레프탈레이트(PBT), 폴리이미드, 아크릴로니트릴부타디엔스티렌수지, 폴리염화비닐, 폴리프로필렌, 폴리아세트산비닐, 아크릴수지 등을 들 수 있다.
- <81> 또 본 실시 형태에서는 박리층(702)을 기판(700) 위의 전체면에 형성하고 있지만 본 발명은 이 구성에 한정되지 않는다. 예를 들면 포토리소그래피법 등을 사용하여, 기판(700) 위에 있어서 박리층(702)을 부분적으로 형성하도록 하여도 좋다.
- <82> 절연막(701), 절연막(703)은, CVD 법이나 스퍼터링법 등을 사용하여, 산화규소, 질화규소(SiNx, Si₃N₄ 등), 산화질화규소(SiOxNy)(x>y>0), 질화산화규소(SiNxOy)(x>y>0) 등의 절연성을 갖는 재료를 사용하여 형성한다.
- <83> 절연막(701), 절연막(703)은, 기판(700)중에 포함되는 Na 등의 알칼리 금속이나 알칼리토류 금속이 반도체막(704)중으로 확산하고, TFT 등의 반도체 소자의 특성에 악영향을 미치는 것을 막기 위해서 형성한다. 또한 절연막(703)은 박리층(702)에 포함되는 불순물 원소가 반도체막(704)중으로 확산하는 것을 막고, 또한 후의 반도체 소자를 박리하는 공정에서, 반도체 소자를 보호하는 역할도 갖는다. 더욱이 절연막(703)에 의해, 박리층(702)에 있어서의 박리가 용이해지고, 또는 후의 박리공정에서 반도체 소자나 배선에 균열이나 대미지가 생기는 것을 막을 수 있다.
- <84> 절연막(701), 절연막(703)은, 단수의 절연막을 사용한 것이나, 복수의 절연막을 적층하여 사용한 것이어도 좋다. 본 실시 형태에서는 막 두께 100nm의 산화질화규소막, 막 두께 50nm의 질화산화규소막, 막 두께 100nm의 산화질화규소막을 순차로 적층하여 절연막(703)을 형성하지만, 각 막의 재질, 막 두께, 적층수는 이것에 한정되지 않는다. 예를 들면, 하층의 산화질화규소막 대신에, 막 두께 0.5 내지 3μm의 실록산계 수지를 스프인코팅법, 슬릿코터법, 액적도출법, 인쇄법 등에 의해서 형성하여도 좋다. 또한, 중층의 질화산화규소막 대신에, 질화규소막을 사용하여도 좋다. 또한, 상층의 산화질화규소막 대신에, 산화규소막을 사용하고 있어도 좋다. 또한, 각각의 막 두께는, 0.05 내지 3μm로 하는 것이 바람직하고, 그 범위로부터 자유롭게 선택할 수 있다.
- <85> 또는, 박리층(702)에 가장 가까운, 절연막(703)의 하층을 산화질화규소막 또는 산화규소막으로 형성하고, 중층을 실록산계 수지로 형성하고, 상층을 산화규소막으로 형성하여도 좋다.
- <86> 또 실록산계 수지란 실록산계 재료를 출발재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기에 수소 외에, 불소, 알킬기, 또는 방향족 탄화수소중, 적어도 1종을 갖고 있어도 좋다.
- <87> 산화규소막은 SiH₄/O₂, TEOS(테트라에톡시실란)/O₂ 등의 혼합가스를 사용하여, 열 CVD, 플라즈마 CVD, 기압 CVD(atmospheric pressure CVD), 바이어스 ECRCVD 등의 방법에 의해서 형성할 수 있다. 또한, 질화규소막은, 대표적으로는, SiH₄와 NH₃의 혼합가스를 사용하여, 플라즈마 CVD에 의해서 형성할 수 있다. 또한, 산화질화규소막, 질화산화규소막은, 대표적으로는, SiH₄와 N₂O의 혼합가스를 사용하여, 플라즈마 CVD에 의해서 형성할 수 있다.
- <88> 박리층(702)은, 금속막, 금속산화막, 금속막과 금속산화막을 적층하여 형성되는 막을 사용할 수 있다. 금속막과 금속산화막은, 단층이어도 좋고, 복수의 층이 적층된 적층 구조를 가져도 좋다. 또한, 금속막이나 금속산화막 외에, 금속질화물이나 금속산화질화물을 사용하여도 좋다. 박리층(702)은, 스퍼터링법이나 플라즈마 CVD 법 등의 각종 CVD 법 등을 사용하여 형성할 수 있다.
- <89> 박리층(702)에 사용되는 금속으로서는, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os) 또는 이리듐(Ir) 등을 들 수 있다. 박리층(702)은 상기 금속으로 형성된 막 외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용하여도 좋다.
- <90> 또한 박리층(702)은 규소(Si) 단체로 형성된 막을 사용하여도 좋고, 규소(Si)를 주성분으로 하는 화합물로 형성된 막을 사용하여도 좋다. 또는, 규소(Si)와 상기 금속을 포함하는 합금으로 형성된 막을 사용하여도 좋다. 규소를 포함하는 막은, 비결정, 미결정, 다결정의 어느 것이라도 좋다.

- <91> 박리층(702)은 상술한 막을 단층으로 사용하여도 좋고, 상술한 복수의 막을 적층하여 사용하여도 좋다. 금속막과 금속산화막이 적층된 박리층(702)은, 기초가 되는 금속막을 형성한 후, 상기 금속막의 표면을 산화 또는 질화시킴으로써 형성할 수 있다. 구체적으로는, 산소분위기 중 또는 N₂O 분위기 중에서 기초가 되는 금속막에 플라즈마 처리를 하거나, 산소분위기 중 또는 N₂O 분위기 중에서 금속막에 가열 처리를 하면 좋다. 또한 기초가 되는 금속막 위에 접하도록, 산화규소막 또는 산화질화규소막을 형성하는 것이라도, 금속막의 산화를 할 수 있다. 또한 기초가 되는 금속막 위에 접하도록, 질화산화규소막, 질화규소막을 형성함으로써, 질화를 할 수 있다.
- <92> 금속막의 산화 또는 질화를 하는 플라즈마 처리로서, 플라즈마 밀도가 $1 \times 10^{11} \text{cm}^{-3}$ 이상, 바람직하게는 $1 \times 10^{11} \text{cm}^{-3}$ 으로부터 $9 \times 10^{15} \text{cm}^{-3}$ 이하이고, 마이크로파(예를 들면 주파수 2.45GHz) 등의 고주파를 사용한 고밀도 플라즈마 처리를 하여도 좋다.
- <93> 또 기(基)가 되는 금속막의 표면을 산화함으로써, 금속막과 금속산화막이 적층한 박리층(702)을 형성하도록 하여도 좋지만, 금속막을 형성한 후에 금속산화막을 별도 형성하도록 하여도 좋다. 예를 들면 금속으로서 텅스텐을 사용하는 경우, 스퍼터법이나 CVD 법 등에 의해 기초가 되는 금속막으로서 텅스텐막을 형성한 후, 상기 텅스텐막에 플라즈마 처리를 한다. 이로써, 금속막에 상당하는 텅스텐막과, 상기 금속막에 접하고, 또한 텅스텐의 산화물로 형성된 금속산화막을, 형성할 수 있다.
- <94> 반도체막(704)은 절연막(703)을 형성한 후, 대기에 노출하지 않고 형성하는 것이 바람직하다. 반도체막(704)의 막 두께는 20 내지 200nm(바람직하게는 40 내지 170nm, 바람직하게는 50 내지 150nm)로 한다. 또 반도체막(704)은 비정질 반도체이어도 좋고, 세미아모퍼스 반도체(미결정 반도체)이어도 좋고, 다결정 반도체이어도 좋다. 또한 반도체는 규소뿐만 아니라 실리콘게르마늄도 사용할 수 있다. 실리콘게르마늄을 사용하는 경우, 게르마늄의 농도는 0.01atomic% 내지 4.5atomic% 정도인 것이 바람직하다.
- <95> 또 세미아모퍼스 반도체막이란, 비정질 반도체와 결정 구조를 갖는 반도체(단결정, 다결정을 포함함)의 중간적인 구조의 반도체를 포함하는 막이다. 이 세미아모퍼스 반도체는, 자유에너지적으로 안정된 제 3 상태를 갖는 반도체이고, 단거리질서를 갖고 격자 변형을 갖는 결정질이며, 그 입자직경을 0.5 내지 20nm로 하여 비단결정 반도체중으로 분산시켜 존재시키는 것이 가능하다. 세미아모퍼스 반도체는, 그 라만 스펙트럼이 520cm^{-1} 보다도 저파수측으로 시프트하고 있고, 또한 X선 회절에서는 Si 결정격자에 유래되는 (111), (220)의 회절 피크가 관측된다. 또한, 미결합수(댕글링 본드)를 중단화시키기 위해서 수소 또는 할로젠을 적어도 1atoms% 또는 그 이상 포함시킨다. 여기에서는 편의상, 이러한 반도체를 세미아모퍼스 반도체(SAS)라고 부른다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희소 가스원소를 포함하여 격자 변형을 더욱 조장시킴으로써 안정성이 늘어 양호한 세미아모퍼스 반도체가 얻어진다.
- <96> 또한 SAS는 규소를 포함하는 기체를 글로 방전 분해(glow discharge decomposition)함으로써 얻을 수 있다. 대표적인 규소를 포함하는 기체로서는, SiH₄이고, 그 외에도 Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용할 수 있다. 또한 수소나, 수소에 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 복수종의 희소 가스원소를 더한 가스로, 이 규소를 포함하는 기체를 희석하여 사용함으로써, SAS의 형성을 용이한 것으로 할 수 있다. 희석률은 2배 내지 1000배의 범위에서 규소를 포함하는 기체를 희석하는 것이 바람직하다. 또한, 규소를 포함하는 기체중에, CH₄, C₂H₆ 등의 탄화물 기체, GeH₄, GeF₄ 등의 게르마늄화 기체, F₂ 등을 혼입시키고, 에너지 밴드폭을 1.5 내지 2.4eV, 또는 0.9 내지 1.1eV로 조절하여도 좋다.
- <97> 예를 들면, SiH₄에 H₂를 첨가한 가스를 사용하는 경우, 또는 SiH₄에 F₂를 첨가한 가스를 사용하는 경우, 형성한 세미아모퍼스 반도체를 사용하여 TFT를 제작하면, 상기 TFT의 서브 임계 계수(S 값)를 0.35V/dec 이하, 대표적으로는 0.25 내지 0.09V/dec로 하고, 이동도를 10cm²/Vsec로 할 수 있다.
- <98> 또 반도체막(704)은 공지의 기술에 의해 결정화하여도 좋다. 공지의 결정화 방법으로서, 레이저광을 사용한 레이저 결정화법, 촉매원소를 사용하는 결정화법이 있다. 또는, 촉매원소를 사용하는 결정화법과 레이저 결정화법을 조합하여 사용할 수도 있다. 또한, 기관(700)으로서 석영과 같은 내열성이 우수한 기관을 사용하는 경우, 전열 노(electrically heated furnace)를 사용한 열결정화 방법, 적외광을 사용한 램프어닐 결정화법, 촉매원소를 사용하는 결정화법, 950℃ 정도의 고온 어닐을 조합한 결정법을 사용하여도 좋다.
- <99> 예를 들면 레이저 결정화를 사용하는 경우, 레이저 결정화 전에, 레이저에 대한 반도체막(704)의 내성을 높이기

위해서, 550℃, 4시간의 가열 처리를 상기 반도체막(704)에 대하여 행한다. 그리고 연속 발진이 가능한 고체 레이저를 사용하여, 기본파인 제 2 고조파 내지 제 4 고조파의 레이저광을 조사함으로써, 대입자직경의 결정을 얻을 수 있다. 예를 들면, 대표적으로는, Nd:YVO₄ 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 사용하는 것이 바람직하다. 구체적으로는, 연속 발진의 YVO₄레이저로부터 사출된 레이저광을 비선형 광학소자에 의해 고조파로 변환하고, 출력 10W의 레이저광을 얻는다. 그리고, 바람직하게는 광학계에 의해 조사면에서 직사각형상 또는 타원형상의 레이저광으로 성형하여, 반도체막(704)에 조사한다. 이 때의 파워밀도는 0.01 내지 100MW/cm² 정도(바람직하게는 0.1 내지 10MW/cm²)가 필요하다. 그리고, 주사속도를 10 내지 2000cm/sec 정도로 하여, 조사한다.

- <100> 연속 발진의 기체 레이저로서, Ar 레이저, Kr 레이저 등을 사용할 수 있다. 또한 연속 발진의 고체 레이저로서, YAG 레이저, YVO₄ 레이저, YLF 레이저, YAIO₃ 레이저, 포스테라이트(Mg₂SiO₄) 레이저, GdVO₄ 레이저, Y₂O₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저 등을 사용할 수 있다.
- <101> 또한 펄스 발진의 레이저로서, 예를 들면 Ar 레이저, Kr 레이저, 엑시머 레이저, CO₂ 레이저, YAG 레이저, Y₂O₃ 레이저, YVO₄ 레이저, YLF 레이저, YAIO₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리증기 레이저 또는 금증기 레이저를 사용할 수 있다.
- <102> 또한, 펄스 발진의 레이저광의 발진 주파수를 10MHz 이상으로 하고, 통상 사용되고 있는 수십 Hz 내지 수백 Hz의 주파수대보다도 현저하게 높은 주파수대를 사용하여 레이저 결정화를 하여도 좋다. 펄스 발진으로 레이저광을 반도체막(704)에 조사함으로써 반도체막(704)이 용융하고 나서 반도체막(704)이 완전하게 고화할 때까지의 시간은 수십 nsec 내지 수백 nsec로 일컬어진다. 따라서 상기 주파수를 사용함으로써, 반도체막(704)이 레이저광에 의해서 용융하고 나서 고화할 때까지, 다음의 펄스 레이저광을 조사할 수 있다. 따라서, 반도체막(704)중에 있어서 고액 계면을 연속적으로 이동시킬 수 있기 때문에, 주사방향을 향하여 연속적으로 성장한 결정립을 갖는 반도체막(704)이 형성된다. 구체적으로는, 포함되는 결정립의 주사방향에서의 폭이 10 내지 30μm, 주사방향에 대하여 수직인 방향에서의 폭이 1 내지 5μm 정도의 결정립의 집합을 형성할 수 있다. 상기 주사방향을 따라서 연속적으로 성장한 단결정의 결정립을 형성함으로써, 적어도 TFT의 채널방향으로는 결정립계가 거의 존재하지 않는 반도체막(704)의 형성이 가능해진다.
- <103> 또 레이저 결정화는, 연속 발진의 기본파의 레이저광과 연속 발진의 고조파의 레이저광을 병행하여 조사하도록 하여도 좋고, 연속 발진의 기본파의 레이저광과 펄스 발진의 고조파의 레이저광을 병행하여 조사하도록 하여도 좋다.
- <104> 또, 희소 가스나 질소 등의 불활성 가스 분위기 중에서 레이저광을 조사하도록 하여도 좋다. 이로써, 레이저광 조사에 의한 반도체 표면의 거칠기를 억제할 수 있고, 계면 준위 밀도의 격차에 의해서 생기는 임계치의 격차를 억제할 수 있다.
- <105> 상술한 레이저광의 조사에 의해, 결정성이 더욱 높여진 반도체막(704)이 형성된다. 또, 미리 반도체막(704)에, 스퍼터법, 플라즈마 CVD법, 열 CVD 법 등으로 형성한 다결정 반도체를 사용하도록 하여도 좋다.
- <106> 또한 본 실시 형태에서는 반도체막(704)을 결정화하고 있지만, 결정화하지 않고 비정질 규소막 또는 미결정 반도체막 그대로, 후술하는 프로세스로 진행하여도 좋다. 비정질 반도체, 미결정 반도체를 사용한 TFT는, 다결정 반도체를 사용한 TFT보다도 제작 공정이 적은 만큼, 비용을 억제하여, 수율을 높게 할 수 있다는 메리트를 갖는다.
- <107> 비정질 반도체는, 규소를 포함하는 기체를 글로 방전 분해함으로써 얻을 수 있다. 규소를 포함하는 기체로서는, SiH₄, Si₂H₆을 들 수 있다. 이 규소를 포함하는 기체를, 수소, 수소 및 헬륨으로 희석하여 사용하여도 좋다.
- <108> 다음에 반도체막(704)에 대하여, p형을 부여하는 불순물 원소 또는 n형을 부여하는 불순물 원소를 저농도로 첨가하는 채널도프를 행한다. 채널 도프는 반도체막(704) 전체에 대하여 행하여도 좋고, 반도체막(704)의 일부에 대하여 선택적으로 행하여도 좋다. p형을 부여하는 불순물 원소로서는 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. n형을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. 여기에서는, 불순물 원소로서, 붕소(B)를 사용하여, 상기 붕소가 1×10¹⁶ 내지 5×10¹⁷/cm³의 농도로 포함되도록 첨가한

다.

- <109> 다음에 도 8b에 도시하는 바와 같이, 반도체막(704)을 소정의 형상으로 가공(패터닝)하고, 섬 형상의 반도체막(705, 706)을 형성한다. 그리고 도 8c에 도시하는 바와 같이, 섬 형상의 반도체막(705, 706)을 사용한 반도체 소자와, 온칩 안테나로서 사용되는 도전체(714)를 형성한다. 본 실시 형태에서는 집적회로에 사용되는 반도체 소자로서 TFT(710 내지 711)를 형성한 예를 제시한다. 절연막(703) 위에 형성된 반도체 소자 또는 배선 등으로 구성되는 집적회로가, 소자층(715)에 상당한다. 소자층(715)에 절연막(703)을 포함하여도 좋다. 온칩 안테나로서 사용되는 도전체(714)는, 소자층(715) 위에 형성되어 있다.
- <110> 온칩 안테나로서 사용하는 도전체(714)는, 은(Ag), 금(Au), 구리(Cu), 팔라듐(Pd), 크롬(Cr), 백금(Pt), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 텅스텐(W), 알루미늄(Al), 철(Fe), 코발트(Co), 아연(Zn), 주석(Sn), 니켈(Ni) 등의 금속을 사용하여 형성할 수 있다. 온칩 안테나로서 기능하는 도전체(714)는, 상기 금속으로 형성된 막 외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용하여도 좋다. 온칩 안테나로서 사용하는 도전체(714)는, 상술한 막을 단층으로 사용하여도 좋고, 상술한 복수의 막을 적층하여 사용하여도 좋다.
- <111> 온칩 안테나로서 사용하는 도전체(714)는, CVD법, 스퍼터링법, 스크린 인쇄나 그라비아 인쇄 등의 인쇄법, 액적 토출법, 디스펜서법, 도금법, 포토리소그래피법, 증착법 등, 스퍼터링법 등을 사용하여 형성할 수 있다.
- <112> 스퍼터링법을 사용하는 경우, 타깃과 기판(700)의 사이에 마스크를 배치하여 도전체(714)를 형성하여도 좋고, 도전막을 형성한 후에 상기 도전막을 에칭으로 패터닝함으로써 도전체(714)를 형성하여도 좋다. 에칭할 때는 레지스트 등의 마스크를 사용하여 웨트 에칭이나 드라이 에칭을 한다. 스퍼터링법을 사용함으로써, 도전체(714)의 막 두께를 0.3 μ m 내지 5 μ m, 바람직하게는 0.5 μ m 내지 2 μ m로 할 수 있다.
- <113> 예를 들면 스크린 인쇄법을 사용하는 경우, 입자직경이 수nm에서 수십 μ m의 도전성을 갖는 입자(도전체 입자)를 유기수지로 분산시킨 도전성의 페이스트를, 절연막 위에 선택적으로 인쇄함으로써 온칩 안테나로서 사용하는 도전체(714)를 형성할 수 있다. 도전체 입자는 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 주석(Sn), 납(Pb), 아연(Zn), 크롬(Cr) 또는 티탄(Ti) 등을 사용하여 형성할 수 있다. 도전체 입자는 상기 금속으로 형성된 것 외에, 상기 금속을 주성분으로 하는 합금으로 형성되어 있어도 좋고, 상기 금속을 포함하는 화합물을 사용하여 형성되어 있어도 좋다. 또한 할로겐화은의 미립자 또는 분산성 나노 입자도 사용할 수 있다. 또한, 도전성 페이스트에 포함되는 유기수지로서, 폴리이미드, 실록산계 수지, 에폭시 수지, 실리콘수지 등을 사용할 수 있다.
- <114> 상기 금속의 합금의 일례로서, 은(Ag)과 팔라듐(Pd), 은(Ag)과 백금(Pt), 금(Au)과 백금(Pt), 금(Au)과 팔라듐(Pd), 은(Ag)과 구리(Cu)의 조합을 들 수 있다. 또한 예를 들면, 구리(Cu)를 은(Ag)으로 코팅한 도전체 입자 등도 사용할 수 있다.
- <115> 또 온칩 안테나로서 사용하는 도전체(714)의 형성에 있어서, 인쇄법이나 액적 토출법으로 도전성 페이스트를 압출한 후에 소성하는 것이 바람직하다. 예를 들면, 도전성 페이스트에 은을 주성분으로 하는 도전체 입자(예를 들면 입자직경 1nm 이상 100nm 이하)를 사용하는 경우, 150 내지 300 $^{\circ}$ C의 온도 범위에서 소성함으로써, 안테나로서 기능하는 대전 방지막이 생긴다. 소성은, 적외램프, 크세논램프, 할로겐램프 등을 사용한 램프 어닐로 행하여도 좋고, 전기 노를 사용한 퍼니스 어닐로 행하여도 좋다. 또한 엑시머 레이저나, Nd:YAG 레이저를 사용한 레이저 어닐법으로 행하여도 좋다. 또한, 뿔납이나 납 프리의 뿔납을 주성분으로 하는 미립자를 사용하여도 좋고, 이 경우는 입자직경 20 μ m 이하의 미립자를 사용하는 것이 바람직하다. 뿔납이나 납 프리의 뿔납은 저비용이라는 이점을 갖는다.
- <116> 인쇄법, 액적토출법을 사용함으로써, 노광용의 마스크를 사용하지 않아도 온칩 안테나로서 사용하는 도전체(714)를 형성할 수 있다. 또한, 액적토출법, 인쇄법이면, 포토리소그래피법과 달리, 에칭에 의해 제거되어 버리는 것과 같은 재료의 낭비가 없다. 또한 고가의 노광용 마스크를 사용하지 않아도 되기 때문에, 반도체 장치의 제작에 소비되는 비용을 억제할 수 있다.
- <117> 다음에 도 9a에 도시하는 바와 같이, 소자층(715)의 기판(700)과는 반대 측에, 섬유체(723)에 유기수지(724)가 함침된 구조체(725)를 겹친다. 이러한 구조체(725)는, 프리프레그(prepreg)라고도 불린다. 프리프레그는 구체적으로는 섬유체에 매트릭스 수지를 유기용제로 희석한 바니시를 함침시킨 후, 건조하여 유기용제를 휘발시켜 매트릭스 수지를 반경화시킨 것이다. 구조체(725)의 두께는, 10 μ m 이상 100 μ m 이하, 더욱이 10 μ m 이상 30 μ m이 바람직하다. 이러한 두께의 구조체를 사용함으로써, 박형으로 만곡할 수 있는 반도체 장치를 제작할 수 있다.

- <118> 본 실시 형태에서는 단층의 섬유체에 유기수지가 함침된 구조체(725)를 사용하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 적층된 섬유체에 유기수지를 함침시킨 구조체를 사용하여도 좋다. 또한, 단층의 섬유체에 유기수지가 함침된 구조체를 복수 적층시킬 때, 각 구조체간에 별도의 층을 끼우도록 하여도 좋다.
- <119> 다음에, 구조체(725)를 가열하여 압착하고, 구조체(725)의 유기수지(724)를 가소화 또는 경화한다. 또, 유기수지(724)가 가소성 유기수지인 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기수지를 경화한다. 유기수지(724)는 가열 및 압착에 의해, 소자층(715)에 밀착하도록 균일하게 퍼지고, 경화한다. 상기 구조체(725)를 압착하는 공정은, 대기압하 또는 감압하에서 행한다.
- <120> 다음에 도 9b에 도시하는 바와 같이, 소자층(715)과, 도전체(714)와, 구조체(725)를, 기관(700)으로부터 박리한다. 본 실시 형태에서는 물리적인 힘을 사용하여 기관(700)으로부터 소자층(715)과, 도전체(714)와, 구조체(725)를 박리한다. 박리층(702)은, 모두 제거하지 않고 일부가 잔존한 상태이어도 좋다. 상기 박리는 예를 들면 사람 손이나 그립 툴(grip tool)로 벗겨내는 처리나, 롤러를 회전시키면서 분리하는 처리로 행할 수 있다.
- <121> 본 실시 형태에서는 박리층에 금속산화막을 사용하여, 물리적 수단에 의해 소자층(715)과, 도전체(714)를 박리하는 방법을 사용하고 있지만, 본 발명에서 사용되는 박리방법은 이것에 한정되지 않는다. 예를 들면, 투광성을 갖는 기관(700)을 사용하고, 박리층(702)에 수소를 포함하는 비정질 규소를 사용하고, 기관(700)으로부터 박리층(702)에 레이저 빔을 조사하고, 비정질 규소에 포함되는 수소를 기화시켜, 기관(700)을 소자층(715)으로부터 박리하는 방법을 사용하여도 좋다.
- <122> 또한 상기 박리는, 박리층(702)의 에칭을 사용한 방법으로 행하여도 좋다. 이 경우, 박리층(702)이 일부 노출되도록 홈을 형성한다. 홈은 다이싱, 스크라이빙, UV 광을 포함하는 레이저광을 사용한 가공, 포토리소그래피법 등에 의해, 홈을 형성한다. 홈은, 박리층(702)이 노출될 정도의 깊이를 갖고 있으면 좋다. 그리고 에칭가스로서 플루오르화할로젠을 사용하여, 상기 가스를 홈으로부터 도입한다. 본 실시 형태에서는 예를 들면 ClF_3 (삼플루오르화염소)을 사용하여, 온도: 350°C , 유량: 300sccm, 기압: 800Pa, 시간: 3h의 조건에서 행한다. 또한, ClF_3 가스에 질소를 섞은 가스를 사용하여도 좋다. ClF_3 등의 플루오르화할로젠을 사용함으로써, 박리층(702)이 선택적으로 에칭되고, 기관(700)을 소자층(715)으로부터 박리할 수 있다. 또 플루오르화할로젠은, 기체든 액체든 어느 것이나 좋다.
- <123> 또한, 기관을 기계적으로 연마하여 제거하는 방법이나, 기관을 HF 등의 용액을 사용하여 용해하여 기관을 제거하는 방법을 사용함으로써, 소자층(715)을 기관(700)으로부터 박리할 수 있다. 이 경우, 박리층(702)을 사용할 필요는 없다.
- <124> 다음에 도 10a에 도시하는 바와 같이, 소자층(715)의 상기 박리에 의해 노출된 면측에, 섬유체(720)에 유기수지(721)가 함침된 구조체(722)를 겹친다. 이러한 구조체(722)는, 프리프레그라고도 불린다. 프리프레그는, 구체적으로는 섬유체에 매트릭스 수지를 유기용제로 희석한 바니시를 함침시킨 후, 건조하여 유기용체를 휘발시켜 매트릭스 수지를 반경화시킨 것이다. 구조체(722)의 두께는, $10\mu\text{m}$ 이상 $100\mu\text{m}$ 이하, 더욱이 $10\mu\text{m}$ 이상 $30\mu\text{m}$ 가 바람직하다. 이러한 두께의 구조체를 사용함으로써, 박형으로 만곡할 수 있는 반도체 장치를 제작할 수 있다.
- <125> 또 본 실시 형태에서는 단층의 섬유체에 유기수지가 함침된 구조체(722)를 사용하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 적층된 섬유체에 유기수지를 함침시킨 구조체(722)를 사용하여도 좋다. 또한, 단층의 섬유체에 유기수지가 함침된 구조체를 복수 적층시킬 때, 각 구조체간에 별도의 층을 끼우도록 하여도 좋다.
- <126> 다음에, 구조체(722)를 가열하여 압착하고, 구조체(722)의 유기수지(721)를 가소화 또는 경화한다. 또, 유기수지(721)가 가소성 유기수지의 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기수지를 경화한다. 유기수지(721)는 가열 및 압착에 의해, 소자층(715)에 밀착하도록 균일하게 퍼지고, 경화한다. 상기 구조체(722)를 압착하는 공정은 대기압하 또는 감압하에서 행한다.
- <127> 다음에, 도 10b에 도시하는 바와 같이, 구조체(722) 및 구조체(725)의, 소자층(715)과는 반대측 면에, 대전 방지막(730), 대전 방지막(731)을 각각 형성한다. 대전 방지막(730), 대전 방지막(731)은, 표면 저항 값이 $10^6\Omega$

/cm² 내지 10¹⁴ Ω/cm² 정도의 도전성을 갖는다. 대전 방지막(730), 대전 방지막(731)은, 계면활성제, 도전성 폴리머, 카본블랙이나 은 등의 도전성을 갖는 입자가 분산된 수지, 실록산계 수지 또는 실록산계 재료 등을 사용할 수 있다. 구체적으로 계면활성제로서, 비이온계의 글리세린지방산에스테르, 폴리옥시에틸렌알킬에테르, 폴리옥시에틸렌알킬페닐에테르, N,N-비스(2-하이드록시에틸)알킬아민, N-2-하이드록시에틸-N-2-하이드록시알킬아민, 폴리옥시에틸렌알킬아민, 폴리옥시에틸렌알킬아민 지방산에스테르, 알킬디에탄올아마이드 등, 음이온계의 알킬설포산염, 알킬벤질설포산염, 알킬포스페이트 등, 양이온계의 테트라알킬암모늄염, 트리알킬벤질암모늄염 등, 양성의 알킬베타인, 알킬이미다졸륨베타인을 사용하면 좋다. 그리고 계면활성제를 사용하는 경우, 대전 방지막(730), 대전 방지막(731)의 막 두께는, 각각 0.01 내지 1μm 정도로 하는 것이 좋다. 도전성 폴리머는, 예를 들면 폴리피롤계, 폴리티오펜계의 중합체를 사용할 수 있다.

<128> 실록산계 수지를 사용하는 경우, 대전 방지막(730), 대전 방지막(731)은, 실록산계 재료 또는 실록산계 수지를 이소프로필알콜, 에탄올, 프로판올, 부탄올 등의 알콜에 용해 또는 분산시킴으로써 얻어지는 액체를, 디핑, 스프레이도포, 천으로 닦음(布拭, wiping), 그라비아 코팅, 롤 코팅, 인쇄 등의 방법을 사용하여 구조체(722) 및 구조체(725)에 도포하여, 건조, 또는 건조 후에 소성함으로써, 형성할 수 있다.

<129> 또, 본 실시 형태에서는 구조체(722) 및 구조체(725)의, 소자층(715)과는 반대측 면에, 대전 방지막(730), 대전 방지막(731)을 각각 형성하는 예에 관해서 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 구조체(722) 및 구조체(725)의, 소자층(715)측의 면에, 대전 방지막(730), 대전 방지막(731)을 각각 형성하는 경우, 구조체(722), 구조체(725)를 각각 소자층(715)에 접합하기 전에, 대전 방지막(730), 대전 방지막(731)을 형성하면 좋다. 이 경우에 있어서도, 본 발명에서는, 표면 저항 값이 10⁶ Ω/cm² 내지 10¹⁴ Ω/cm² 정도의 도전성을 갖는 대전 방지막(731)을 사용하기 때문에, 온칩 안테나로서 사용하는 도전체(714)와 대전 방지막(731)이 직접 접촉하였다 고 해도, 온칩 안테나로서의 기능이 손상되는 일이 없다.

<130> 또 구조체(722)와 구조체(725)의 사이에 복수의 반도체 장치에 대응하는 반도체 소자를 형성하고 있는 경우에는, 소자층(715)을 반도체 장치마다 분단한다. 분단은 레이저 조사장치, 다이싱 장치, 스크라이브 장치, 가위나 나이프 등의 날을 갖는 재단장치 등을 사용할 수 있다. 레이저 조사장치를 사용하는 경우, 레이저 발진 기로서는, KrF, ArF, XeCl 등의 엑시머 레이저 발진기, He, He-Cd, Ar, He-Ne, HF, CO₂ 등의 기체 레이저 발진기, YAG, GdVO₄, YVO₄, YLF, YAlO₃ 등의 결정에 Cr, Nd, Er, Ho, Ce, Co, Ti 또는 Tm을 도프한 결정, 유리, 루비 등의 고체 레이저 발진기, GaN, GaAs, GaAlAs, InGaAsP 등의 반도체 레이저 발진기를 사용할 수 있다. 또, 그 고체 레이저 발진기에 있어서는 기본파 내지 제 5 고조파를 적절하게 적용하는 것이 바람직하다.

<131> 다음에 도 11에 도시하는 바와 같이, 구조체(725)를 사이에 끼우고, 온칩 안테나로서 사용하는 도전체(714)의 반대측에, 부스터 안테나(740)를 접합한다. 도 11에서는, 지지기판(750) 위에 형성된 부스터 안테나(740)를, 접착제(751)를 사용하여, 대전 방지막(731)을 사이에 끼워 구조체(725)에 접합하고 있다. 또, 도 11에서는, 지지기판(750)을 사용하고 있지만, 지지기판(750)을 사용하지 않고 부스터 안테나(740)를 구조체(725) 위에 접합하도록 하여도 좋다.

<132> 또한 도 11에서는 구조체(725)를 사이에 끼우고, 온칩 안테나로서 사용하는 도전체(714)의 반대측에, 부스터 안테나(740)를 접합하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 도 12에 도시하는 바와 같이, 구조체(722)를 사이에 끼우고, 온칩 안테나로서 사용하는 도전체(714)의 반대측에, 부스터 안테나(740)를 접합하여도 좋다.

<133> 또 본 실시 형태에서는 박막 트랜지스터를 예로 들어 설명하지만, 본 발명은 이 구성에 한정되지 않는다. 박막 트랜지스터 외에, SOI를 사용하여 형성된 트랜지스터 등도 사용할 수 있다. 또한, 유기반도체를 사용한 트랜지스터이어도 좋고, 카본나노튜브를 사용한 트랜지스터이어도 좋다.

<134> 본 발명에 의해, 외력, 특히 가압이 가해지더라도 파손되기 어렵고, 정전기 파괴를 막을 수 있는, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

<135> 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시할 수 있다.

<136> (실시 형태 7)

<137> 본 실시 형태에서는 반도체 기판(본드 기판)으로부터 지지기판(베이스 기판)으로 전치한 반도체막을 사용하여 반도체 소자를 형성하고, 상기 반도체 소자를 구조체 위에 전치하는, 본 발명의 반도체 장치의 제작 방법에 관

해서 설명한다.

- <138> 우선 도 13a에 도시하는 바와 같이, 본드 기판(200) 위에 절연막(201)을 형성한다. 본드 기판(200)으로서, 실리콘, 게르마늄 등의 단결정 반도체 기판 또는 다결정 반도체 기판을 사용할 수 있다. 그 외에, 갈륨비소, 인듐인 등의 화합물 반도체로 형성된 단결정 반도체 기판 또는 다결정 반도체 기판을, 본드 기판(200)으로서 사용할 수 있다. 또한 본드 기판(200)으로서, 결정격자에 변형을 갖는 실리콘, 실리콘에 대하여 게르마늄이 첨가된 실리콘게르마늄 등의 반도체 기판을 사용하고 있어도 좋다. 변형을 갖는 실리콘은 실리콘보다도 격자정수가 큰 실리콘게르마늄 또는 질화규소 위에 있어서의 성막에 의해, 형성할 수 있다.
- <139> 절연막(201)은 산화규소, 질화산화규소, 산화질화규소, 질화규소 등의 절연성을 갖는 재료를 사용하여 형성한다. 절연막(201)은, 단수의 절연막을 사용한 것이거나, 복수의 절연막을 적층하여 사용한 것이어도 좋다. 예를 들면 본 실시 형태에서는 본드 기판(200)에 가까운 측으로부터, 질소보다도 산소의 함유량이 높은 산화질화규소, 산소보다도 질소의 함유량이 높은 질화산화규소의 순차로 적층된 절연막(201)을 사용한다.
- <140> 예를 들면 산화규소를 절연막(201)으로서 사용하는 경우, 절연막(201)은 실란과 산소, TEOS(테트라에톡시실란)과 산소 등의 혼합가스를 사용하여, 열 CVD, 플라즈마 CVD, 기압 CVD, 바이어스 ECR CVD 등의 기상 성장법에 의해서 형성할 수 있다. 이 경우, 절연막(201)의 표면을 산소 플라즈마 처리로 치밀화하여도 좋다. 또한, 질화규소를 절연막(201)으로서 사용하는 경우, 실란과 암모니아의 혼합가스를 사용하여, 플라즈마 CVD 등의 기상 성장법에 의해서 형성할 수 있다. 또한, 질화산화규소 또는 산화질화규소를 절연막(201)으로서 사용하는 경우, 실란과 암모니아의 혼합가스, 또는 실란과 산화질소의 혼합가스를 사용하여, 플라즈마 CVD 등의 기상 성장법에 의해서 형성할 수 있다.
- <141> 또한 절연막(201)으로서, 유기실란가스를 사용하여 화학 기상 성장법에 의해 제작되는 산화규소를 사용하고 있어도 좋다. 유기실란가스로서는, 규산에틸(TEOS:화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS:화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스티디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.
- <142> 다음에 도 13a에 도시하는 바와 같이, 본드 기판(200)에, 화살표로 나타내는 것처럼 수소 또는 희소 가스, 또는 수소 이온 또는 희소 가스 이온을 첨가하여, 본드 기판(200)의 표면으로부터 일정한 깊이 영역에, 미소 보이드(microvoid)를 갖는 취화층(weakened layer, 脆化層; 202)을 형성한다. 취화층(202)이 형성되는 위치는, 상기 첨가의 가속전압에 의해서 결정된다. 그리고 취화층(202)의 위치에 따라, 본드 기판(200)으로부터 베이스 기판(204)에 전치하는 반도체막(208)의 두께가 결정되기 때문에, 첨가하는 가속전압은 반도체막(208)의 두께를 고려하여 행한다. 상기 반도체막(208)의 두께는 10nm 내지 200nm, 바람직하게는 10nm 내지 50nm의 두께로 한다. 예를 들면 수소를 본드 기판(200)에 첨가하는 경우, 도즈량은 1×10^{16} 내지 $1 \times 10^{17}/\text{cm}^2$ 로 하는 것이 바람직하다.
- <143> 또, 취화층(202)을 형성하는 상기 공정에서, 본드 기판(200)에 높은 농도의 수소 또는 희소 가스, 또는 수소 이온 또는 희소 가스 이온을 첨가하기 때문에, 본드 기판(200)의 표면이 거칠어지고, 베이스 기판(204)과의 사이에서의 접합으로 충분한 강도가 얻어지지 않는 경우가 있다. 절연막(201)을 형성함으로써, 수소 또는 희소 가스, 또는 수소 이온 또는 희소 가스 이온을 첨가할 때에 본드 기판(200)의 표면이 보호되고, 베이스 기판(204)과 본드 기판(200)의 사이에서의 접합을 양호하게 할 수 있다.
- <144> 다음에 도 13b에 도시하는 바와 같이, 절연막(201) 위에 절연막(203)을 형성한다. 절연막(203)은, 절연막(201)과 마찬가지로, 산화규소, 질화산화규소, 산화질화규소, 질화규소 등의 절연성을 갖는 재료를 사용하여 형성한다. 절연막(203)은, 단수의 절연막을 사용한 것이나, 복수의 절연막을 적층하여 사용한 것이어도 좋다. 또한 절연막(203)으로서, 유기실란가스를 사용하여 화학 기상 성장법에 의해 제작되는 산화규소를 사용하고 있어도 좋다. 본 실시 형태에서는 절연막(203)으로서, 유기실란가스를 사용하여 화학 기상 성장법에 의해 제작되는 산화규소를 사용한다.
- <145> 또 절연막(201) 또는 절연막(203)에 질화규소, 질화산화규소 등의 배리어성이 높은 절연막을 사용함으로써, 후에 형성되는 반도체막(209)에 알칼리 금속이나 알칼리토류 금속 등의 불순물이 베이스 기판(204)으로부터 들어가는 것을 막을 수 있다.
- <146> 또 본 실시 형태에서는 취화층(202)을 형성한 후에 절연막(203)을 형성하고 있지만, 절연막(203)은 반드시 형성할 필요는 없다. 단지 절연막(203)은 취화층(202)을 형성한 후에 형성되기 때문에, 취화층(202)을 형성하기 전

에 형성되는 절연막(201)보다도, 그 표면의 평탄성이 높다. 따라서, 절연막(203)을 형성함으로써, 후에 행하여지는 접합 강도를 더욱 높일 수 있다.

- <147> 한편, 도 13c에 도시하는 바와 같이, 베이스 기판(204) 위에 절연막(205), 박리층(206), 절연막(207)을 순차로 형성한다.
- <148> 절연막(205), 절연막(207)은, CVD 법이나 스퍼터링법 등을 사용하여, 산화규소, 질화규소(SiNx, Si₃N₄ 등), 산화질화규소(SiO_xN_y)(x>y>0), 질화산화규소(SiNxOy)(x>y>0) 등의 절연성을 갖는 재료를 사용하여 형성한다.
- <149> 절연막(205), 절연막(207)은, 베이스 기판(204)중에 포함되는 Na 등의 알칼리 금속이나 알칼리토류 금속이, 후에 형성되는 반도체막(209)중으로 확산하고, 반도체 소자의 특성에 악영향을 미치는 것을 막기 위해서 형성한다. 또한 절연막(207)은, 박리층(206)에 포함되는 불순물 원소가 반도체 소자중으로 확산하는 것을 막고, 더욱이 후의 반도체 소자를 박리하는 공정에서, 반도체 소자나 배선에 균열이나 대미지가 생기는 것을 막을 수 있다.
- <150> 절연막(205), 절연막(207)은, 단수의 절연막을 사용한 것이거나, 복수의 절연막을 적층하여 사용한 것이어도 좋다. 본 실시 형태에서는 막 두께 100nm의 산화질화규소막, 막 두께 50nm의 질화산화규소막, 막 두께 100nm의 산화질화규소막을 순차로 적층하여 절연막(207)을 형성하지만, 각 막의 재질, 막 두께, 적층 수는, 이것에 한정되지 않는다. 예를 들면, 하층의 산화질화규소막 대신에, 막 두께 0.5 μ m 내지 3 μ m의 실록산계 수지를 스펀코팅법, 슬릿코터법, 액적토출법, 인쇄법 등에 의해서 형성하여도 좋다. 또한, 중층의 질화산화규소막 대신에, 질화규소막을 사용하여도 좋다. 또한, 상층의 산화질화규소막 대신에, 산화규소막을 사용하고 있어도 좋다. 또한, 각각의 막 두께는, 0.05 μ m 내지 3 μ m로 하는 것이 바람직하고, 그 범위로부터 자유롭게 선택할 수 있다.
- <151> 또는, 박리층(206)에 가장 가까운, 절연막(207)의 하층을 산화질화규소막 또는 산화규소막으로 형성하고, 중층을 실록산계 수지로 형성하고, 상층을 산화규소막으로 형성하여도 좋다.
- <152> 또 실록산계 수지란 실록산계 재료를 출발재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는, 치환기로 수소 외에, 불소, 알킬기, 또는 방향족 탄화수소중, 적어도 1종을 갖고 있어도 좋다.
- <153> 산화규소막은, SiH₄/O₂, TEOS(테트라에톡시실란)/O₂ 등의 혼합가스를 사용하여, 열 CVD, 플라즈마 CVD, 기압 CVD, 바이어스 ECRCVD 등의 방법에 의해서 형성할 수 있다. 또한, 질화규소막은, 대표적으로는, SiH₄과 NH₃의 혼합가스를 사용하여, 플라즈마 CVD에 의해서 형성할 수 있다. 또한, 산화질화규소막, 질화산화규소막은, 대표적으로는, SiH₄와 N₂O의 혼합가스를 사용하여, 플라즈마 CVD에 의해서 형성할 수 있다.
- <154> 박리층(206)은, 금속막, 금속산화막, 금속막과 금속산화막을 적층하여 형성되는 막을 사용할 수 있다. 금속막과 금속산화막은, 단층이어도 좋고, 복수의 층이 적층된 적층 구조를 갖고 있어도 좋다. 또한, 금속막이나 금속산화막 외에, 금속질화물이나 금속산화질화물을 사용하여도 좋다. 박리층(206)은, 스퍼터법이나 플라즈마 CVD 법 등의 각종 CVD 법 등을 사용하여 형성할 수 있다.
- <155> 박리층(206)에 사용되는 금속으로서는, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os) 또는 이리듐(Ir) 등을 들 수 있다. 박리층(206)은, 상기 금속으로 형성된 막 외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용하여도 좋다.
- <156> 또한 박리층(206)은 규소(Si) 단체로 형성된 막을 사용하여도 좋고, 규소(Si)를 주성분으로 하는 화합물로 형성된 막을 사용하여도 좋다. 또는, 규소(Si)와 상기 금속을 포함하는 합금으로 형성된 막을 사용하여도 좋다. 규소를 포함하는 막은, 비정질, 미결정, 다결정의 어느 것이라도 좋다.
- <157> 박리층(206)은, 상술한 막을 단층으로 사용하여도 좋고, 상술한 복수의 막을 적층하여 사용하여도 좋다. 금속막과 금속산화막이 적층된 박리층(206)은, 기초가 되는 금속막을 형성한 후, 상기 금속막의 표면을 산화 또는 질화시킴으로써 형성할 수 있다. 구체적으로는, 산소분위기 중 또는 N₂O 분위기 중에서 기초가 되는 금속막에 플라즈마 처리를 하거나, 산소분위기 중 또는 N₂O 분위기 중에서 금속막에 가열 처리를 하면 좋다. 또한 기초가 되는 금속막 위에 접하도록, 산화규소막 또는 산화질화규소막을 형성하는 것이라도, 금속막의 산화를 할 수 있다. 또한 기초가 되는 금속막 위에 접하도록, 질화산화규소막, 질화규소막을 형성함으로써, 질화를 할 수 있다.

- <158> 금속막의 산화 또는 질화를 하는 플라즈마 처리로서, 플라즈마 밀도가 $1 \times 10^{11} \text{ cm}^{-3}$ 이상, 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 으로부터 $9 \times 10^{15} \text{ cm}^{-3}$ 이하이고, 마이크로파(예를 들면 주파수 2.45GHz) 등의 고주파를 사용한 고밀도 플라즈마 처리를 하여도 좋다.
- <159> 또, 기초가 되는 금속막의 표면을 산화함으로써, 금속막과 금속산화막이 적층한 박리층(206)을 형성하도록 하여도 좋지만, 금속막을 형성한 후에 금속산화막을 별도로 형성하도록 하여도 좋다. 예를 들면 금속으로서 텅스텐을 사용하는 경우, 스퍼터법이나 CVD 법 등에 의해 기초가 되는 금속막으로서 텅스텐막을 형성한 후, 상기 텅스텐막에 플라즈마 처리를 한다. 이로써, 금속막에 상당하는 텅스텐막과, 상기 금속막에 접하고, 더욱이 텅스텐의 산화물로 형성된 금속산화막을, 형성할 수 있다.
- <160> 다음에, 본드 기판(200)과 베이스 기판(204)을 접합에 의해 접합하기 전에, 본드 기판(200)에 수소화처리를 하도록 하여도 좋다. 수소화처리는, 예를 들면, 수소분위기 중에 있어서 350℃, 2시간 정도 행한다.
- <161> 그리고 도 13d에 도시하는 바와 같이, 본드 기판(200)과, 베이스 기판(204)을, 절연막(203), 절연막(207)을 사이에 끼우도록 접합한다. 절연막(203)과 절연막(207)이 접합함으로써, 본드 기판(200)과 베이스 기판(204)을 접합할 수 있다.
- <162> 접합의 형성은 반데르발스력(van der Waals force)을 사용하여 행하여지고 있기 때문에, 실온에서도 강고한 접합이 형성된다. 또, 상기 접합은 저온에서 행할 수 있기 때문에, 베이스 기판(204)은 여러 가지를 사용할 수 있다. 예를 들면 베이스 기판(204)으로서, 알루미늄실리케이트유리, 바륨붕규산유리, 알루미늄붕규산유리 등의 유리기판 외에, 석영기판, 사파이어기판 등의 기판을 사용할 수 있다. 더욱이 베이스 기판(204)으로서, 실리콘, 갈륨비소, 인듐인 등의 반도체 기판 등을 사용할 수 있다. 또는, 스테인리스 기판을 포함하는 금속기판을 베이스 기판(204)으로서 사용하여도 좋다.
- <163> 또 베이스 기판(204)과 본드 기판(200)을 접합한 후에, 가열 처리 또는 가압처리를 하여도 좋다. 가열 처리 또는 가압처리를 함으로써 접합 강도를 향상시킬 수 있다.
- <164> 본드 기판(200)과 베이스 기판(204)의 사이에서, 절연막(203)과 절연막(207)의 접합을 한 후, 열 처리를 함으로써, 취화층(202)에 있어서 인접하는 미소 보이드끼리가 결합하고, 미소 보이드의 체적이 증대한다. 그 결과, 도 14a에 도시하는 바와 같이, 취화층(202)에 있어서 본드 기판(200)이 벽개(劈開), 또는 분리하여, 본드 기판(200)의 일부였던 반도체막(208)이 베이스 기판(204) 위에 형성된다. 열 처리 온도는 베이스 기판(204)의 내열 온도 이하로 하는 것이 바람직하고, 예를 들면 400℃ 내지 600℃의 범위내에서 열 처리를 하면 좋다. 이 박리에 의해, 반도체막(208)이, 절연막(201) 및 절연막(203)과 함께 베이스 기판(204)에 전치된다. 그 후, 절연막(203)과 절연막(207)의 접합을 더욱 강고하게 하기 위해서, 400℃ 내지 600℃의 열 처리를 하는 것이 바람직하다.
- <165> 반도체막(208)의 결정 면 방향은 본드 기판(200)의 면 방향에 의해서 제어할 수 있다. 형성하는 반도체 소자에 적합한 결정 면 방향을 갖는 본드 기판(200)을, 적절하게 선택하여 사용하면 좋다. 또한 트랜지스터의 이동도는 반도체막(208)의 결정 면 방향에 따라서 다르다. 보다 이동도가 높은 트랜지스터를 얻고자 하는 경우, 채널의 방향과 결정 면 방향을 고려하여, 본드 기판(200)의 접합 방향을 정하도록 한다.
- <166> 다음에, 전치된 반도체막(208)의 표면을 평탄화한다. 평탄화는 반드시 필수는 아니지만, 평탄화를 함으로써, 후에 형성되는 트랜지스터에 있어서 반도체막(208)과 게이트 절연막의 계면의 특성을 향상시킬 수 있다. 구체적으로 평탄화는, 화학적 기계적 연마(CMP: Chemical Mechanical Polishing) 또는 액체 제트 연마에 의해, 행할 수 있다. 반도체막(208)의 두께는, 상기 평탄화에 의해 박막화된다.
- <167> 또 본 실시 형태에서는 취화층(202)의 형성에 의해 반도체막(208)을 본드 기판(200)으로부터 박리하는 스마트 절단법을 사용하는 경우에 관해서 제시하지만, ELTRAN(Epitaxial Layer Transfer), 유전체 분리법, PACE(Plasma Assisted Chemical Etching)법 등의, 다른 접합법을 사용하여 반도체막(208)을 베이스 기판(204)에 접합하도록 하여도 좋다.
- <168> 다음에, 도 14b에 도시하는 바와 같이, 반도체막(208)을 소망의 형상으로 가공(패터닝)함으로써, 섬 형상의 반도체막(209)을 형성한다.
- <169> 상기 공정을 거쳐서 형성된 반도체막(209)을 사용하여, 본 발명은 트랜지스터 등의 각종 반도체 소자를 형성할 수 있다. 도 14c에는, 반도체막(209)을 사용하여 형성된 트랜지스터(210)를 예시한다.

- <170> 또한 집적회로에 사용되는 트랜지스터(210) 위에, 온칩 안테나로서 기능하는 도전체(223)를 형성한다.
- <171> 온칩 안테나로서 사용하는 도전체(223)는, 은(Ag), 금(Au), 구리(Cu), 팔라듐(Pd), 크롬(Cr), 백금(Pt), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 텅스텐(W), 알루미늄(Al), 철(Fe), 코발트(Co), 아연(Zn), 주석(Sn), 니켈(Ni) 등의 금속을 사용하여 형성할 수 있다. 온칩 안테나로서 기능하는 도전체(223)는, 상기 금속으로 형성된 막 외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용하여도 좋다. 온칩 안테나로서 사용하는 도전체(223)는, 상술한 막을 단층으로 사용하거나, 상술한 복수의 막을 적층하여 사용하여도 좋다.
- <172> 온칩 안테나로서 사용하는 도전체(223)는, CVD법, 스퍼터링법, 스크린 인쇄나 그라비아인쇄 등의 인쇄법, 액적 토출법, 디스펜서법, 도금법, 포토리소그래피법, 증착법 등을 사용하여 형성할 수 있다.
- <173> 예를 들면 스크린 인쇄법을 사용하는 경우, 입자직경이 수nm에서 수십 μ m의 도전성을 갖는 입자(도전체 입자)를 유기수지로 분산시킨 도전성의 페이스트를, 절연막 위에 선택적으로 인쇄함으로써 온칩 안테나로서 사용하는 도전체(223)를 형성할 수 있다. 도전체 입자는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 주석(Sn), 납(Pb), 아연(Zn), 크롬(Cr) 또는 티탄(Ti) 등을 사용하여 형성할 수 있다. 도전체 입자는 상기 금속으로 형성된 것 외에, 상기 금속을 주성분으로 하는 합금으로 형성되거나, 상기 금속을 포함하는 화합물을 사용하여 형성되어 있어도 좋다. 또한 할로겐화은의 미립자 또는 분산성 나노입자도 사용할 수 있다. 또한, 도전성 페이스트에 포함되는 유기수지로서, 폴리이미드, 실록산계 수지, 에폭시수지, 실리콘수지 등을 사용할 수 있다.
- <174> 상기 금속의 합금의 일례로서, 은(Ag)과 팔라듐(Pd), 은(Ag)과 백금(Pt), 금(Au)과 백금(Pt), 금(Au)과 팔라듐(Pd), 은(Ag)과 구리(Cu)의 조합을 들 수 있다. 또한 예를 들면, 구리(Cu)를 은(Ag)으로 코팅한 도전체 입자 등도 사용할 수 있다.
- <175> 또 온칩 안테나로서 사용하는 도전체(223)의 형성에 있어서, 인쇄법이나 액적토출법으로 도전성의 페이스트를 압출한 후에 소성하는 것이 바람직하다. 예를 들면, 도전성의 페이스트에, 은을 주성분으로 하는 도전성 입자(예를 들면 입자직경 1nm 이상 100nm 이하)를 사용하는 경우, 150 내지 300℃에서의 온도 범위로 소성함으로써, 안테나로서 기능하는 대전 방지막을 형성할 수 있다. 소성은, 적외램프, 크세논램프, 할로겐램프 등을 사용한 램프어닐로 행하여도 좋고, 전기 노를 사용한 퍼니스 어닐로 행하여도 좋다. 또한 엑시머 레이저나, Nd:YAG 레이저를 사용한 레이저어닐법으로 행하여도 좋다. 또한, 땀납이나 납 프리의 땀납을 주성분으로 하는 미립자를 사용하여도 좋고, 이 경우는 입자직경 20 μ m 이하의 미립자를 사용하는 것이 바람직하다. 땀납이나 납 프리의 땀납은, 저비용과 같은 이점을 갖는다.
- <176> 인쇄법, 액적토출법을 사용함으로써, 노광용 마스크를 사용하지 않아도 온칩 안테나로서 사용하는 도전체(223)를 형성할 수 있다. 또한, 액적토출법, 인쇄법이면, 포토리소그래피법과 달리, 에칭에 의해 제거되는 재료의 낭비가 없다. 또한 고가의 노광용의 마스크를 사용하지 않아도 되기 때문에, 반도체 장치의 제작에 소비되는 비용을 억제할 수 있다.
- <177> 다음에 도 15a에 도시하는 바와 같이, 도전체(223) 위에 구조체(212)를 가열 압착한다. 그리고, 소자층(211), 도전체(223) 및 구조체(212)를 베이스 기판(204)으로부터 박리한다.
- <178> 구조체(212)는, 섬유체(213)에 유기수지(214)가 함침된 것을 사용한다. 이러한 구조체(212)는, 프리프레그라고도 불린다. 프리프레그는, 구체적으로는 매트릭스 수지를 유기용제로 희석한 바니시를, 섬유체에 함침시킨 후, 건조하여 유기용제를 휘발시켜 매트릭스 수지를 반경화시킨 것이다. 구조체(212)의 두께는, 10 μ m 이상 100 μ m 이하, 더욱이 10 μ m 이상 30 μ m 이하가 바람직하다. 이러한 두께의 구조체를 사용함으로써, 박형으로 만곡할 수 있는 반도체 장치를 제작할 수 있다.
- <179> 또 본 실시 형태에서는 단층의 섬유체에 유기수지가 함침된 구조체(212)를 사용하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 적층된 섬유체에 유기수지를 함침시킨 구조체를 사용하여도 좋다. 또한, 단층의 섬유체에 유기수지가 함침된 구조체를 복수 적층시킬 때, 각 구조체 간에 별도의 층을 끼우도록 하여도 좋다.
- <180> 구조체(212)는 가열 압착에 의해 유기수지(214)가 가소화 또는 경화한다. 또, 유기수지(214)가 가소성 유기수지의 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기수지를 경화한다. 유기수지(214)는 가열 및 압착에 의해, 소자층(211)에 밀착하도록 균일하게 퍼지고, 경화한다. 상기 구조체(212)를 압착하는 공정은, 대기압하 또

는 감압하에서 행한다.

- <181> 또한 박리는 박리층(206)에 있어서 행하여진다. 박리는, 물리적인 힘에 의한 처리, 예를 들면 사람의 손이나 그립 툴(grip tool)로 벗겨내는 처리나, 롤러를 회전시키면서 분리하는 처리로 할 수 있다. 박리층(206)은, 모두 제거하지 않고 일부가 잔존한 상태이어도 좋다.
- <182> 또 본 실시 형태에서는 박리층에 금속산화막을 사용하여, 물리적 수단에 의해 소자층(211)을 박리하는 방법을 사용하고 있지만, 본 발명에서 사용되는 박리방법은 이것에 한정되지 않는다. 예를 들면, 투광성을 갖는 베이스 기판(204)을 사용하여, 박리층(206)에 수소를 포함하는 비정질 규소를 사용하고, 베이스 기판(204)으로부터 박리층(206)에 레이저 빔을 조사하고, 비정질 규소에 포함되는 수소를 기화시켜, 베이스 기판(204)을 소자층(211)으로부터 박리하는 방법을 사용하여도 좋다.
- <183> 또한 상기 박리는, 박리층(206)의 에칭을 사용한 방법으로 행하여도 좋다. 이 경우, 박리층(206)이 일부 노출되도록 홈을 형성한다. 홈은, 다이싱, 스크라이빙, UV 광을 포함하는 레이저광을 사용한 가공, 포토리소그래피법 등에 의해, 홈을 형성한다. 홈은, 박리층(206)이 노출될 정도의 깊이를 갖고 있으면 좋다. 그리고 에칭 가스로서 플루오르화 할로젠을 사용하여, 상기 가스를 홈으로부터 도입한다. 본 실시 형태에서는 예를 들면 ClF_3 (삼플루오르화염소)을 사용하여, 온도: 350°C , 유량: 300sccm , 기압: 800Pa , 시간: 3h의 조건에서 행한다. 또한, ClF_3 가스에 질소를 섞은 가스를 사용하여도 좋다. ClF_3 등의 플루오르화할로젠을 사용함으로써, 박리층(206)이 선택적으로 에칭되고, 베이스 기판(204)을 소자층(211)으로부터 박리할 수 있다. 또 플루오르화할로젠은, 기체든 액체든 어느 것이나 좋다.
- <184> 또한, 베이스 기판(204)을 기계적으로 연마하여 제거하는 방법이나, 베이스 기판(204)을 HF 등의 용액을 사용하여 용해하여 기판을 제거하는 방법을 사용함으로써, 소자층(211)을 베이스 기판(204)으로부터 박리할 수 있다. 이 경우, 박리층(206)을 사용할 필요는 없다.
- <185> 다음에 도 15b에 도시하는 바와 같이, 소자층(211)의 상기 박리에 의해 노출한 면측에, 섬유체(215)에 유기수지(216)가 함침된 구조체(217)를 겹친다. 구조체(217)의 두께는, $10\mu\text{m}$ 이상 $100\mu\text{m}$ 이하, 더욱이 $10\mu\text{m}$ 이상 $30\mu\text{m}$ 이하가 바람직하다. 이러한 두께의 구조체를 사용함으로써, 박형으로 만곡할 수 있는 반도체 장치를 제작할 수 있다.
- <186> 또 본 실시 형태에서는 단층의 섬유체에 유기수지가 함침된 구조체(217)를 사용하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 적층된 섬유체에 유기수지를 함침시킨 구조체를 사용하여도 좋다. 또한, 단층의 섬유체에 유기수지가 함침된 구조체를 복수 적층시킬 때, 각 구조체 간에 별도의 층을 끼우도록 하여도 좋다.
- <187> 다음에, 구조체(217)를 가열 압착하고, 구조체(217)의 유기수지(216)를 가소화 또는 경화한다. 또, 유기수지(216)가, 이 가소성 유기수지인 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기수지를 경화한다. 유기수지(216)는 가열 및 압착에 의해, 소자층(211)에 밀착하도록 균일하게 퍼지고, 경화한다. 상기 구조체(217)를 압착하는 공정은, 대기압하 또는 감압하에서 행한다.
- <188> 다음에, 구조체(212) 및 구조체(217)의, 소자층(211)과는 반대측 면에, 대전 방지막(220), 대전 방지막(221)을 각각 형성한다. 대전 방지막(220), 대전 방지막(221)은, 표면 저항 값이 $10^6\Omega/\text{cm}^2$ 내지 $10^{14}\Omega/\text{cm}^2$ 정도의 도전성을 갖는다. 대전 방지막(220), 대전 방지막(221)은, 계면활성제, 도전성 폴리머, 카본블랙이나 은 등의 도전성을 갖는 입자가 분산된 수지, 실록산계 수지 또는 실록산계 재료 등을 사용할 수 있다. 구체적으로 계면활성제로서, 비이온계의 글리세린지방산에스테르, 폴리옥시에틸렌알킬에테르, 폴리옥시에틸렌알킬페닐에테르, N,N-비스(2-하이드록시에틸)알킬아민, N-2-하이드록시에틸-N-2-하이드록시알킬아민, 폴리옥시에틸렌알킬아민지방산에스테르, 알킬디에탄올아마이드 등, 음이온계의 알킬설포산염, 알킬벤질설포산염, 알킬포스페이트 등, 양이온계의 테트라알킬암모늄염, 트리알킬벤질암모늄염 등, 양성의 알킬베타인, 알킬이미다졸륨 베타인을 사용하면 좋다. 그리고 계면활성제를 사용하는 경우, 대전 방지막(220), 대전 방지막(221)의 막 두께는, 각각 $0.01\mu\text{m}$ 내지 $1\mu\text{m}$ 정도로 하는 것이 좋다. 도전성 폴리머는, 예를 들면 폴리피롤계, 폴리티오펜계의 중합체를 사용할 수 있다.
- <189> 실록산계 수지를 사용하는 경우, 대전 방지막(220), 대전 방지막(221)은, 실록산계 재료 또는 실록산계 수지를 이소프로필알콜, 에탄올, 프로판올, 부탄올 등의 알콜에 용해 또는 분산시킴으로써 얻어지는 액체를, 디핑, 스프레이도포, 천으로 닦음(布拭), 그라비아 코팅, 롤 코팅, 인쇄 등의 방법을 사용하여 구조체(212) 및 구조체

(217)에 도포하고, 건조, 또는 건조 후에 소성함으로써, 형성할 수 있다.

- <190> 또, 본 실시 형태에서는 구조체(212) 및 구조체(217)의, 소자층(211)과는 반대측 면에, 대전 방지막(220), 대전 방지막(221)을 각각 형성하는 예에 관해서 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 구조체(212) 및 구조체(217)의, 소자층(211)측의 면에, 대전 방지막(220), 대전 방지막(221)을 각각 형성하는 경우, 구조체(212) 및 구조체(217)를 각각 소자층(211)에 접합하기 전에, 대전 방지막(220), 대전 방지막(221)을 형성하면 좋다. 이 경우에 있어서도, 본 발명에서는, 표면 저항 값이 $10^6 \Omega/\text{cm}^2$ 내지 $10^{14} \Omega/\text{cm}^2$ 정도의 도전성을 갖는 대전 방지막(220)을 사용하기 때문에, 온칩 안테나로서 사용하는 도전체(223)와 대전 방지막(220)이 직접 접촉하였다 고 해도, 온칩 안테나로서의 기능이 손상되는 일이 없다.
- <191> 또 구조체(212)와 구조체(217)의 사이에, 복수의 반도체 장치에 대응하는 반도체 소자를 형성하고 있는 경우에는, 소자층(211)을 반도체 장치마다 분단한다. 분단은, 레이저 조사장치, 다이싱 장치, 스크라이브 장치, 가위 나 나이프 등의 날을 갖는 재단장치 등을 사용할 수 있다. 레이저 조사장치를 사용하는 경우, 레이저 발진기로서는, KrF, ArF, XeCl 등의 엑시머 레이저 발진기, He, He-Cd, Ar, He-Ne, HF, CO₂ 등의 기체 레이저 발진기, YAG, GdVO₄, YVO₄, YLF, YAlO₃ 등의 결정에 Cr, Nd, Er, Ho, Ce, Co, Ti 또는 Tm을 도포한 결정, 유리, 루비 등의 고체 레이저 발진기, GaN, GaAs, GaAlAs, InGaAsP 등의 반도체 레이저 발진기를 사용할 수 있다. 또, 그 고체 레이저 발진기에 있어서는 기본파 내지 제 5 고조파를 적절하게 적용하는 것이 바람직하다.
- <192> 본 발명에 의해, 외력, 특히 가압이 가해져도 파손되기 어렵고, 정전 파괴를 막을 수 있는, 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- <193> 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시할 수 있다.
- <194> (실시 형태 8)
- <195> 본 실시 형태에서는 소자층과 겹치도록 섬유체를 배치하고, 상기 섬유체에 유기수지를 함침시킴으로써, 소자층에 고착한 구조체를 형성하는 예에 관해서 설명한다.
- <196> 우선 도 16a에 도시하는 바와 같이, 기관(400) 위에 소자층(401) 및 온칩 안테나로서 기능하는 도전체(407)를 형성한다. 도 16a에서는, 소자층(401)과 기관(400)의 사이에, 후에 소자층(401)을 기관(400)으로부터 박리하기 쉽게 하기 위한 박리층(402)을 형성하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 박리방법에 따라서는, 박리층(402)을 형성하지 않아도 좋고, 적절하게 필요한 층을 추가하여도 좋다.
- <197> 그리고 소자층(401) 및 도전체(407)와 겹치도록, 섬유체(403)를 도전체(407) 위에 적층한다. 섬유체(403)는, 유기화합물 또는 무기화합물의 고강도 섬유를 사용한 직포 또는 부직포이고, 소자층(401) 및 도전체(407) 전측면을 덮는다. 고강도 섬유로서는, 구체적으로는 인장 탄성률이 높은 섬유이다. 또는, 영율이 높은 섬유이다. 고강도 섬유의 대표예로서는, 폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌벤조비스옥사졸섬유, 유리섬유, 또는 탄소섬유이다. 유리섬유로서는, E 유리, S 유리, D 유리, Q 유리 등을 사용한 유리섬유를 사용할 수 있다. 또, 섬유체(403)는, 1종류의 상기 고강도 섬유로 형성되어도 좋다. 또한, 복수의 상기 고강도 섬유로 형성되어도 좋다.
- <198> 또한, 섬유체(403)는, 섬유(단사)의 속(束)(이하, 다발이라고 함.)을 날실 및 씨실에 사용하여 제직한 직포, 또는 복수종의 섬유의 다발을 랜덤 또는 일방향으로 퇴적시킨 부직포로 구성되어도 좋다. 직포의 경우, 평직, 능직, 수자직 등을 적절하게 사용할 수 있다.
- <199> 다발의 단면은, 원형이거나 타원형이어도 좋다. 섬유 다발로서, 고압 수류, 액체를 매체로 한 고주파의 진동, 연속초음파의 진동, 물에 의한 가압 등에 의해서, 개섬 가공을 한 섬유 다발을 사용하여도 좋다. 개섬 가공을 한 섬유 다발은, 다발 폭이 넓어지고, 두께 방향의 단사수를 삭감할 수 있고, 다발의 단면이 타원형 또는 평판형이 된다. 또한, 섬유 다발로서 저연사를 사용함으로써, 다발이 편평화되기 쉽고, 다발의 단면형상이 타원형상 또는 평판형상이 된다. 이와 같이, 단면이 타원형 또는 평판형인 다발을 사용함으로써, 섬유체(403)의 두께를 얇게 할 수 있다. 따라서, 박형의 반도체 장치를 제작할 수 있다. 섬유의 다발 직경은 4 μm 이상 400 μm 이하, 또한 4 μm 이상 200 μm 이하에 있어서 본 발명의 효과를 확인하고 있고, 원리상으로는 더욱 얇아도 좋다. 또한, 섬유의 굵기는, 4 μm 이상 20 μm 이하에 있어서 본 발명의 효과를 확인하고 있고, 원리상으로는 더욱 가늘어도 좋고, 이들은 섬유의 재료에 의존한다.
- <200> 다음에, 도 16b에 도시하는 바와 같이, 섬유체(403)에 유기수지(404)를 함침시킨다. 그리고, 유기수지(404)를

가열하여 가소화 또는 경화함으로써, 소자층(401) 및 도전체(407) 위에 고착된 구조체(405)를 형성한다. 또, 유기수지가 가소성 유기수지의 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기수지를 경화한다.

- <201> 유기수지(404)는 에폭시수지, 불포화폴리에스테르수지, 폴리이미드수지, 비스말레이미드트리아진수지, 또는 시아네이트수지 등의 열경화성 수지를 사용할 수 있다. 또한, 폴리페닐렌옥사이드수지, 폴리에테르이미드수지, 또는 불소수지 등의 열가소성 수지를 사용할 수 있다. 또한, 상기 열가소성 수지 및 상기 열경화성 수지의 복수를 사용하여도 좋다. 상기 유기수지를 사용함으로써, 열 처리에 의해 섬유체를 소자층에 고착할 수 있다. 또, 유기수지(404)는 유리 전이 온도가 높을수록, 국소적 가압에 대하여 파괴되기 어렵기 때문에 바람직하다.
- <202> 유기수지(404)를 함침시키는 방법으로서, 인쇄법, 캐스트법, 액적도출법, 딥 코팅법 등을 사용할 수 있다.
- <203> 유기수지(404) 또는 섬유체(403)의 다발내에 고열전도성 충전재를 분산시켜도 좋다. 고열전도성 충전재로서는, 질화알루미늄, 질화붕소, 질화규소, 알루미늄이 등이 있다. 또한, 고열전도성 충전재로서는, 은, 구리 등의 금속 입자가 있다. 고열전도성 충전재가 유기수지 또는 섬유 다발내에 포함됨으로써 소자층에서의 발열을 외부로 추출하기 쉬워지기 때문에, 반도체 장치의 열 축적을 억제할 수 있고, 반도체 장치의 불량률을 저감할 수 있다.
- <204> 또 본 실시 형태에서는 구조체(405)가 단층의 섬유체(403)를 갖는 예를 제시하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 구조체(405)가 2층 이상의 섬유체(403)를 갖고 있어도 좋다. 또한, 본 실시 형태에서는 구조체(405)와 도전체(407)가 직접 고착되어 있지만, 구조체(405)와 도전체(407)의 사이에, 절연막 등의 별도의 층이 형성되어 있어도 좋다.
- <205> 다음에, 도 16c에 도시하는 바와 같이, 소자층(401)으로부터 기관(400)을 박리한다. 박리는 박리층(402)에 있어서 행할 수 있다. 또 소자층(401)의 박리방법은, 실시 형태 6 또는 실시 형태 7에 기재되어 있는 것과 같은, 물리적인 힘을 사용함으로써 박리층에 있어서 소자층(401)과 기관(400)을 벽개시키는 방법, 박리층(402)에 수소를 포함하는 비정질 규소를 사용하여, 기관(400)으로부터 박리층(402)에 레이저 빔을 조사하고, 비정질 규소에 포함되는 수소를 기화시켜, 기관(400)을 소자층(401)으로부터 박리하는 방법, 박리층(402)의 에칭을 사용한 방법, 기관(400)을 기계적으로 연마하여 제거하는 방법, 기관(400)을 HF 등의 용액을 사용하여 용해하여 제거하는 방법 등을 사용할 수 있다.
- <206> 다음에, 도 17a에 도시하는 바와 같이, 기관(400)의 박리에 의해서 노출한 면에 겹치도록, 섬유체(411)를 겹친 후, 도 17b에 도시하는 바와 같이, 섬유체(411)에 유기수지(412)를 함침시킨다. 그리고, 유기수지(412)를 가열하여 가소화 또는 경화함으로써, 소자층(401)에 고착된 구조체(413)를 형성한다. 구조체(413)는 소자층(401)을 사이에 끼워 구조체(405)와 겹친다. 또, 유기수지가 가소성 유기수지의 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기수지를 경화한다.
- <207> 또 본 실시 형태에서는 구조체(413)가 단층의 섬유체(411)를 갖고 있지만, 본 발명은 이 구성에 한정되지 않는다. 구조체(413)가 2층 이상의 섬유체(411)를 갖고 있어도 좋다.
- <208> 다음에, 도 17c에 도시하는 바와 같이, 구조체(405) 및 구조체(413)의, 소자층(401)과는 반대측 면에, 대전 방지막(430), 대전 방지막(431)을 각각 형성한다. 대전 방지막(430), 대전 방지막(431)은, 표면 저항 값이 $10^6 \Omega / \text{cm}^2$ 내지 $10^{14} \Omega / \text{cm}^2$ 정도의 도전성을 갖는다. 대전 방지막(430), 대전 방지막(431)은, 계면활성제, 도전성 폴리머, 카본블랙이나 은 등의 도전성을 갖는 입자가 분산된 수지, 실록산계수지 또는 실록산계 재료 등을 사용할 수 있다. 구체적으로 계면활성제로서, 비이온계의 글리세린지방산에스테르, 폴리옥시에틸렌알킬에테르, 폴리옥시에틸렌알킬페닐에테르, N,N-비스(2-하이드록시에틸)알킬아민, N-2-하이드록시에틸-N-2-하이드록시알킬아민, 폴리옥시에틸렌알킬아민, 폴리옥시에틸렌알킬아민지방산에스테르, 알킬디에탄올아마이드 등, 음이온계의 알킬설펜산염, 알킬벤설펜산염, 알킬포스페이트 등, 양이온계의 테트라알킬암모늄염, 트리알킬벤질암모늄염 등, 양성의 알킬베타인, 알킬이미다졸륨베타인을 사용하면 좋다. 그리고 계면활성제를 사용하는 경우, 대전 방지막(430), 대전 방지막(431)의 막 두께는, 각각 0.01 μm 내지 1 μm 정도로 하는 것이 좋다. 도전성 폴리머는, 예를 들면 폴리피롤계, 폴리티오펜계의 중합체를 사용할 수 있다.
- <209> 실록산계 수지를 사용하는 경우, 대전 방지막(430), 대전 방지막(431)은, 실록산계 재료 또는 실록산계 수지를 이소프로필알콜, 에탄올, 프로판올, 부탄올 등의 알콜에 용해 또는 분산시킴으로써 얻어지는 액체를, 디핑, 스프레이도포, 천으로 닦음(布拭), 그라비아 코팅, 롤 코팅, 인쇄 등의 방법을 사용하여 구조체(405) 및 구조체(413)에 도포하여, 건조, 또는 건조 후에 소성함으로써, 형성할 수 있다.

- <210> 또, 구조체(405)와, 구조체(413)의 막 두께를 동일 정도로 함으로써, 반도체 장치에 응력을 더하여 휘어지게 하였을 때에, 사이에 형성되는 소자층(401) 및 도전체(407)에 국소적으로 압력이 가해지는 것을 막고, 따라서 반도체 장치의 신뢰성을 높일 수 있다.
- <211> 본 발명에 의해, 외력, 특히 가압이 가해지더라도 파손되기 어렵고, 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- <212> 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시할 수 있다.
- <213> [실시예 1]
- <214> 본 실시예에서는, 본 발명의 반도체 장치가 갖는 부스터 안테나의 형상에 관해서 설명한다.
- <215> 본 발명의 반도체 장치가 갖는 부스터 안테나는, 주로 온칩 안테나와의 사이에서 전자기결합하는 루프형의 부분과, 주로 질문기로부터의 전파를 수신하는 부분으로 나누어진다. 질문기로부터의 전파를 주로 수신하는 부분에 있어서의, 부스터 안테나의 형상은 전파를 수신할 수 있는 형이면 좋다.
- <216> 도 18a는 부스터 안테나중, 전파를 주로 수신하는 부분(1801)이, 접힌 다이폴 안테나를 형성하고 있는 예를 도시한다. 또한 도 18b는 부스터 안테나중, 전파를 주로 수신하는 부분(1802)이, 루프형상을 갖고 있는 예를 제시하고 있다. 또한 도 18c는 부스터 안테나중, 전파를 주로 수신하는 부분(1803)이, 미앤더 라인 안테나를 형성하는 예를 도시한다. 또한 도 18d는 부스터 안테나중, 전파를 주로 수신하는 부분(1804)이, 복수의 패치 소자가 연결된 형상을 갖는 예를 제시한다.
- <217> 또, 본 발명에 있어서, 다이폴 안테나중 주로 질문기로부터의 전파를 수신하는 부분은 상기 형상에 한정되지 않는다.
- <218> 본 실시예는, 상기 실시 형태와 적절하게 조합하여 실시할 수 있다.
- <219> [실시예 2]
- <220> 본 실시예에서는, 온칩 안테나와 부스터 안테나의 위치 관계에 관해서 설명한다.
- <221> 부스터 안테나에 교류의 전류가 흐르면, 부스터 안테나가 갖는 루프형의 부분과 온칩 안테나가 전자기결합함으로써, 온칩 안테나에 유도 기전력이 생긴다. 온칩 안테나와, 부스터 안테나가 갖는 루프형의 부분은, 구조체를 사이에 끼워 그 일부가 겹치고 있어도 좋고, 서로 겹치지 않도록 다른 영역에 배치되어 있어도 좋다. 단, 부스터 안테나가 갖는 루프형의 부분에 있어서 생기는 자속이 가장 커지는 위치에, 온칩 안테나를 배치함으로써, 온칩 안테나에 있어서 생기는 유도 기전력을 크게 할 수 있다.
- <222> 또한, 부스터 안테나와, 온칩 안테나 및 집적회로의 사이에서, 임피던스의 정합을 취함으로써, 반사에 의한 전력의 손실을 억제할 수 있다. 또, 임피던스의 허수부에 상당하는 리액턴스(reactance)는, 부스터 안테나와 온칩 안테나 사이에 생기는 용량치에 따라서 변화하기 때문에, 임피던스의 정합을 취하기 위해서는, 부스터 안테나와 온칩 안테나가 겹치는 면적을, 설계 단계에서 고려할 필요가 있다. 그러나, 구조체를 사이에 끼워 부스터 안테나와 온칩 안테나를 접합할 때, 상기 접합을 정해진 위치에 정밀도 좋게 할 수 없고, 부스터 안테나와 온칩 안테나의 위치가 어긋나버리는 것도 상정된다. 그리고 최악의 경우, 용량치가 변화함으로써, 임피던스의 정합을 취할 수 없게 되어 버린다.
- <223> 그래서 본 실시예에서는, 도 19a에 도시하는 바와 같이, 부스터 안테나가 갖는 루프형의 부분(1901)의 폭을 d_a , 온칩 안테나(1902)의 폭을 d_b 로 하면, $d_a > d_b$ 가 되도록 폭 d_a , 폭 d_b 의 값을 설정한다. 그리고, 온칩 안테나(1902)는 온칩 안테나(1902)의 루프가 도중에서 끊기는 영역 및 부스터 안테나가 갖는 루프형의 부분(1901)의 루프가 도중에서 끊기는 영역을 제외하고, 그 내측 가장자리 및 외측 가장자리가 부스터 안테나가 갖는 루프형의 부분(1901)과 겹친다.
- <224> 상기 구성에 의해, 예를 들면 도 19a에 도시한 부스터 안테나가 갖는 루프형의 부분(1901)과, 온칩 안테나(1902)를, 도 19b에 도시하는 바와 같이, 화살표의 방향으로 비켜 놓고 접합한 경우라도, 부스터 안테나가 갖는 루프형의 부분(1901)과 온칩 안테나(1902)가 겹치는 면적을 거의 일정하게 유지할 수 있다. 따라서, 접합 시에 위치맞춤의 정밀도가 높지 않더라도, 용량 값이 변화하는 것을 막고, 임피던스를 부정합으로 하지 않고 반도체 장치를 제작할 수 있다.
- <225> 본 실시예는 상기 실시 형태 또는 실시예와 적절하게 조합하여 실시할 수 있다.

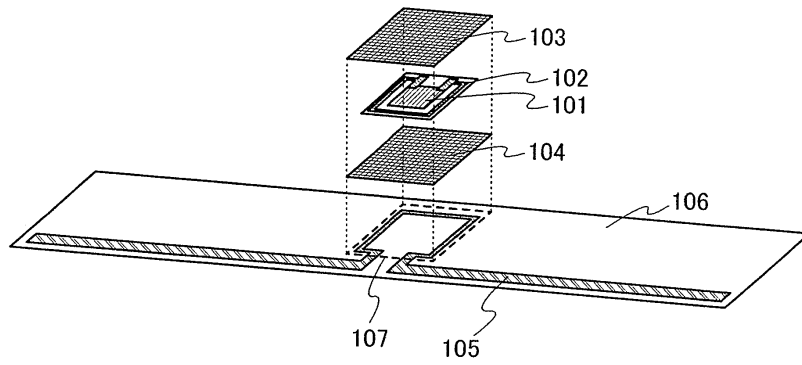
- <226> [실시예 3]
- <227> 본 발명의 반도체 장치는 가요성을 갖고 있기 때문에, 가요성을 갖는 대상물, 또는 곡면을 갖는 대상물에, 접합하는 데 적합하다. 또한 본 발명의 반도체 장치는 진동이나 충격에 강할 뿐만 아니라, 국소적인 가압에 대한 신뢰성도 높기 때문에, 용도의 폭이 넓다.
- <228> 본 발명의 반도체 장치가 갖는 집적회로 속에, 데이터의 재기록을 할 수 없는 ROM 등의 메모리를 형성해 두면, 반도체 장치가 장착된 대상물의 위조를 방지할 수 있다. 또한 예를 들면, 산지, 생산자 등에 의해서 상품 가치가 크게 좌우되는 식료품에, 본 발명의 반도체 장치를 사용하는 것은, 산지, 생산자 등의 위장을 방지하는 데 유용하다.
- <229> 구체적으로 본 발명의 반도체 장치는, 예를 들면, 화물표, 식물표찰, 명찰 등, 대상물의 정보를 갖는 태그에 장착하여 사용할 수 있다. 또는, 본 발명의 반도체 장치 자체를 태그로서 사용하여도 좋다. 또한 예를 들면, 호적등본, 주민등록증, 패스포트, 면허증, 신분증, 회원증, 감정서, 신용카드, 현금카드, 선불카드, 진찰권, 정기승차권 등, 사실을 증명하는 문서에 상당하는 증서에 장착하여도 좋다. 또한 예를 들면, 어음, 수표, 화물교환증, 선박 증권, 창고 증권, 주권, 채권, 상품권, 저당증권 등, 사법상의 재산권을 표시하는 증권에 상당하는 유가 증권에 장착하여도 좋다.
- <230> 또한 예를 들면, 상품의 라벨에 본 발명의 반도체 장치를 부착하고, 상기 반도체 장치를 사용하여 상품의 유통을 관리하는 것과 같은 이용 방법도 가능하다.
- <231> 도 20a에 도시하는 바와 같이, 이면이 점착성을 갖는 상품의 라벨(1301) 등의 지지체에, 본 발명의 반도체 장치(1302)를 장착한다. 그리고, 반도체 장치(1302)가 장착된 라벨(1301)을, 상품(1303)에 장착한다. 상품(1303)에 관한 식별정보는, 라벨(1301)에 접합할 수 있는 반도체 장치(1302)로부터, 무선으로 판독하는 가능하다. 따라서 반도체 장치(1302)에 의해, 유통 과정에서, 상품의 관리가 용이해진다. 본 발명의 반도체 장치는, 가요성을 갖는 라벨(1301)에 장착되어도, 응력에 의해 파괴되기 어려운 메리트를 갖는다. 따라서, 본 발명의 반도체 장치를 사용한 라벨(1301)은 곡면을 갖는 대상물에 접합하는 데 적합하다. 또한, 본 발명의 반도체 장치(1302)는 가압에 대한 신뢰성이 높기 때문에, 유통 과정에서, 가압이나 마찰에 의해서 생기는 정전기에 의해 반도체 장치(1302)가 파괴되기 어렵다.
- <232> 예를 들면, 반도체 장치(1302)내의 집적회로가 갖는 메모리로서, 기입이 가능한 비휘발성 메모리를 사용하는 경우, 상품(1303)의 유통의 프로세스를 기록할 수 있다. 또한 상품의 생산단계에서의 프로세스를 기록해 둬으로써, 도매업자, 소매업자, 소비자가, 산지, 생산자, 제조년월일, 가공방법 등을 파악하는 것이 용이해진다.
- <233> 또한, 서적, DVD, CD 등 내재되어 있는 정보에 가치를 갖는 상품의 경우, 내재하는 정보 모두를 개시할 수 있도록 하면 상품으로서의 가치가 내려가고, 그렇다고 하여 전혀 개시하지 않으면 상품으로서의 가치를 파악하기 어려운 문제를 갖는다. 상기 상품을 본 발명의 반도체 장치를 장착한 포장재로 포장하고, 반도체 장치에 상품이 갖는 정보의 일부를 기억시켜 둬으로써, 상품의 가치를 떨어뜨리지 않고, 상품의 가치를 손님이 파악할 수 있다. 도 20b에, 서적(1311)을, 본 발명의 반도체 장치(1313)를 장착한 포장재(1312)로 포장하고 있는 모양을 도시한다.
- <234> 그리고, 예를 들면 휴대전화와 같은 휴대정보단말에 질문기로서의 기능을 부가해 둬으로써, 손님이 서적(1311)의 내용을 일부 파악할 수 있다.
- <235> 상기 구성에 의해, 상품에 내재되어 있는 정보를 모두 개시하지 않아도, 손님이 상품의 내용을 파악하는 것이 가능해진다.
- <236> 도 20c에, 본 발명의 반도체 장치(1320)를 장착한, 무기명 채권류(1321)의 일례를 도시한다. 무기명 채권류(1321)에는, 우표, 차표, 티켓, 입장권, 상품권, 도서 상품권, 문구 상품권, 맥주 상품권, 쌀 쿠폰, 각종 기프트권, 각종 서비스권 등이 포함되지만, 물론 이들에 한정되지 않는다. 또 반도체 장치(1320)는 무기명채권류(1321)의 내부에 형성하여도 좋고, 무기명 채권류(1321)의 표면에 노출시키도록 형성하여도 좋다. 본 발명의 반도체 장치는, 가요성을 갖는 무기명 채권류(1321)에 장착되어도, 응력에 의해 파괴되기 어렵고, 마찰에 의해서 생기는 정전기에 의해 파괴되기 어려운 메리트를 갖는다.
- <237> 본 실시예는 상기 실시 형태 또는 실시예와 적절하게 조합하여 실시할 수 있다.

도면의 간단한 설명

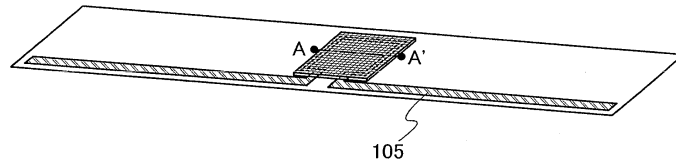
- <238> 도 1은 본 발명의 반도체 장치의 구성을 도시하는 사시도와 단면도.
- <239> 도 2는 본 발명의 반도체 장치의 구성을 도시하는 블록도.
- <240> 도 3은 본 발명의 반도체 장치의 단면도.
- <241> 도 4는 집적회로와 온칩 안테나의 위치 관계를 도시하는 도면.
- <242> 도 5는 섬유체의 상면도.
- <243> 도 6은 집적회로의 구성을 도시하는 블록도.
- <244> 도 7은 인가전압에 대한 비동작의 샘플수를 도시하는 도면.
- <245> 도 8은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <246> 도 9는 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <247> 도 10은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <248> 도 11은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <249> 도 12는 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <250> 도 13은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <251> 도 14는 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <252> 도 15는 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <253> 도 16은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <254> 도 17은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.
- <255> 도 18은 부스터 안테나의 형상을 도시하는 도면.
- <256> 도 19는 부스터 안테나와 온칩 안테나의 위치 관계를 도시하는 도면.
- <257> 도 20은 본 발명의 반도체 장치의 이용 형태를 도시하는 도면.
- <258> <도면의 주요 부호 설명>
- <259> 101: 집적회로, 102: 온칩 안테나, 103: 구조체, 103a: 섬유체, 103b: 유기수지, 104: 구조체, 104a: 섬유체, 104b: 유기수지, 105: 부스터 안테나, 106: 지지기판, 107: 파선, 108: 급전점, 109, 110: 대전 방지막, 120: 반도체 장치, 121: 질문기, 122: 부스터 안테나, 123: 집적회로, 124: 온칩 안테나, 150: 날실, 151: 씨실, 152: 바스켓 홀, 200: 본드 기판, 201: 절연막, 202: 취화층, 203: 절연막, 204: 베이스 기판, 205: 절연막, 206: 박리층, 207: 절연막, 208, 209: 반도체막, 210: 트랜지스터, 211: 소자층, 212: 구조체, 213: 섬유체, 214: 유기수지, 215: 섬유체, 216: 유기수지, 217: 구조체, 220, 221: 대전 방지막, 223: 도전체, 400: 기판, 401: 소자층, 402: 박리층, 403: 섬유체, 404: 유기수지, 405: 구조체, 407: 도전체, 411: 섬유체, 412: 유기수지, 413: 구조체, 430, 431: 대전 방지막, 700: 기판, 701: 절연막, 702: 박리층, 703: 절연층, 704, 705: 반도체막, 710: TFT, 714: 도전체, 715: 소자층, 720: 섬유체, 721: 유기수지, 722: 구조체, 723: 섬유체, 724: 유기수지, 725: 구조체, 730, 731: 대전 방지막, 740: 부스터 안테나, 750: 지지기판, 751: 접촉체, 901: 온칩 안테나, 902: 집적회로, 903: 전원회로, 904: 복조회로, 905: 변조회로, 906: 레귤레이터, 907: 제어회로, 909: 메모리, 1301: 라벨, 1302: 반도체 장치, 1303: 상품, 1311: 서적, 1312: 포장재, 1313, 1320: 반도체 장치, 1321: 무기명 채권류, 1801, 1802, 1803, 1804, 1901: 부분, 1902: 온칩 안테나

도면

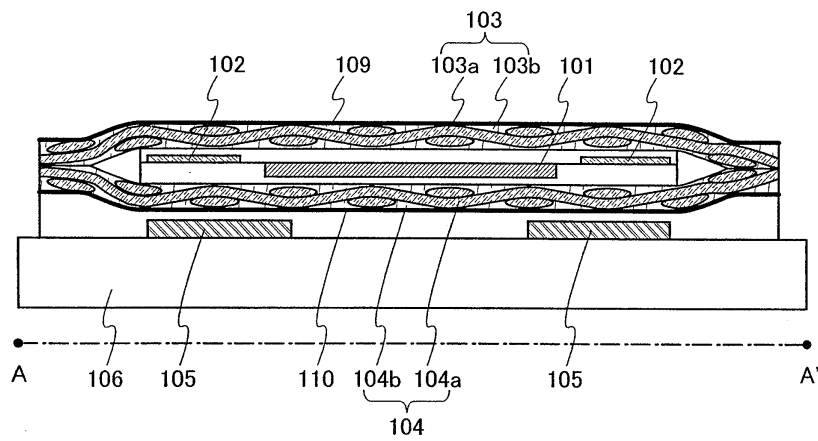
도면1a



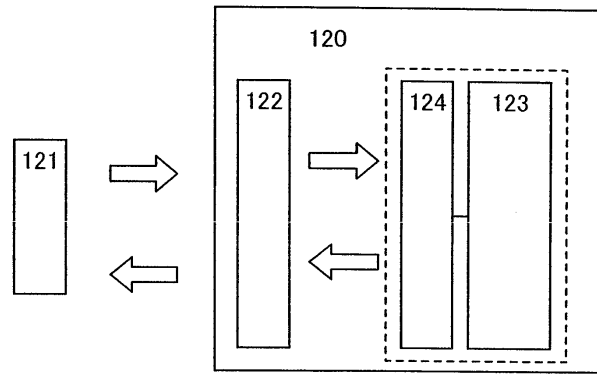
도면1b



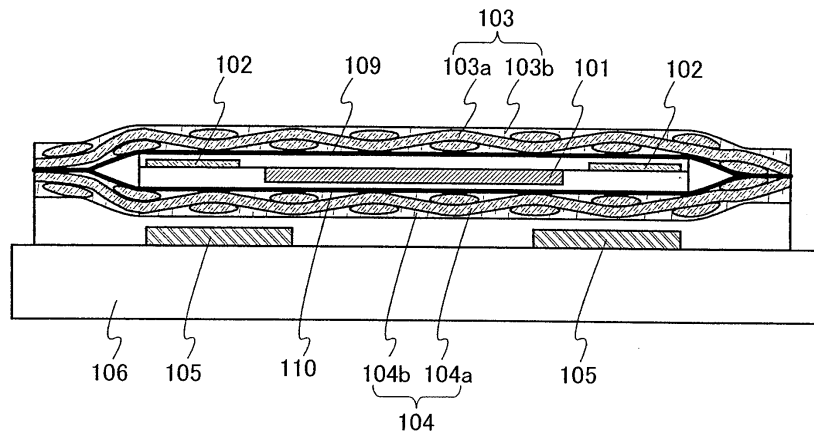
도면1c



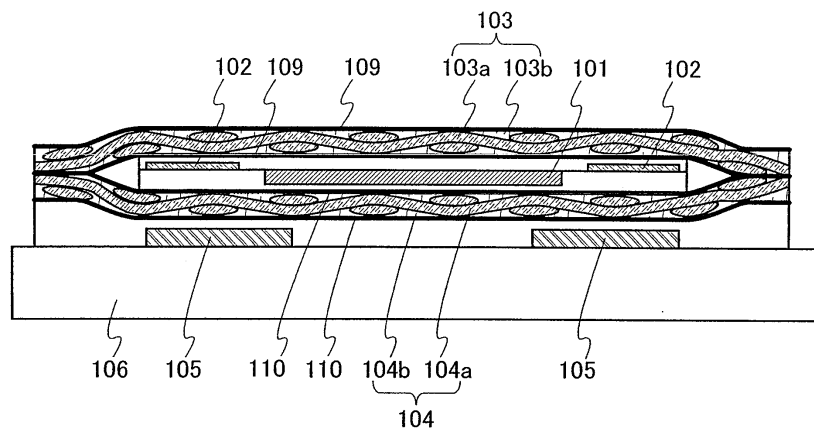
도면2



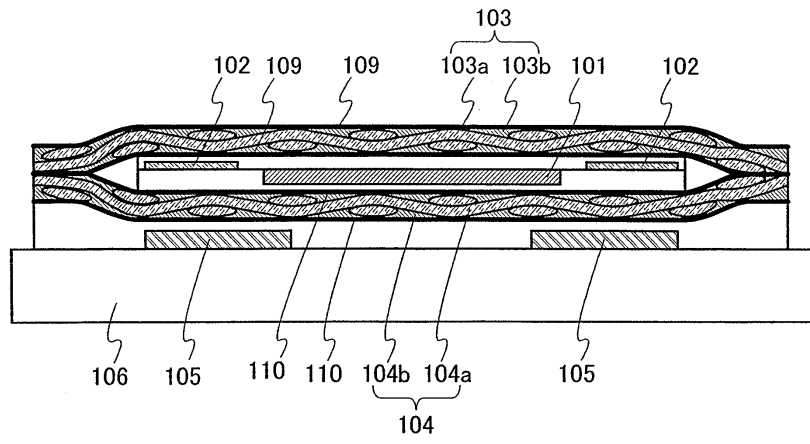
도면3a



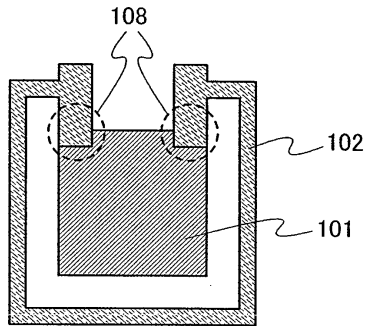
도면3b



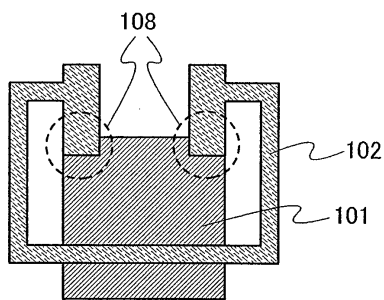
도면3c



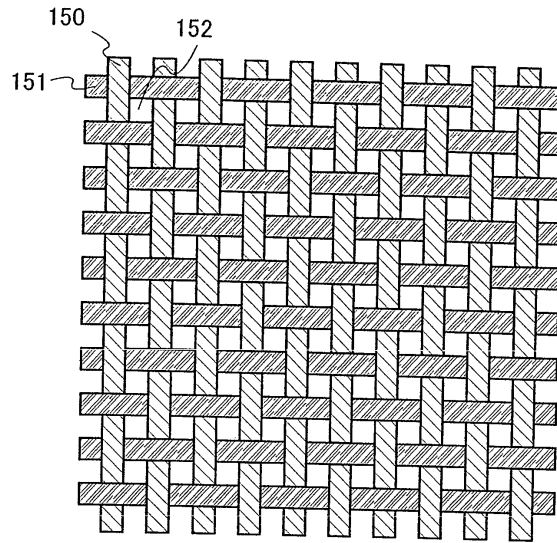
도면4a



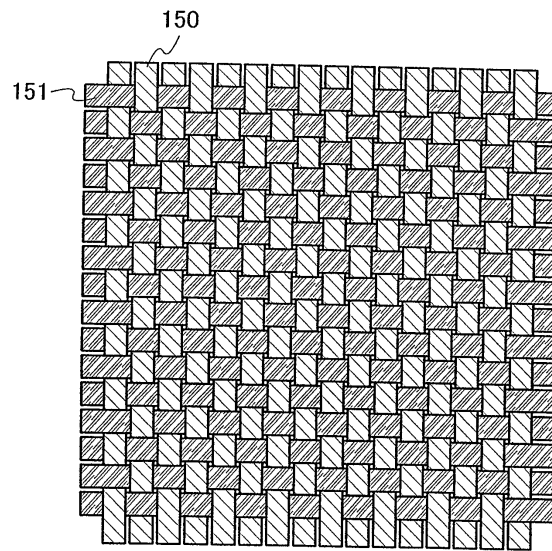
도면4b



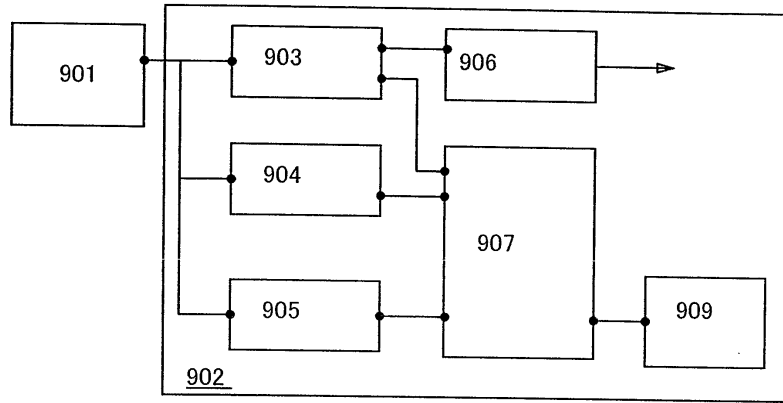
도면5a



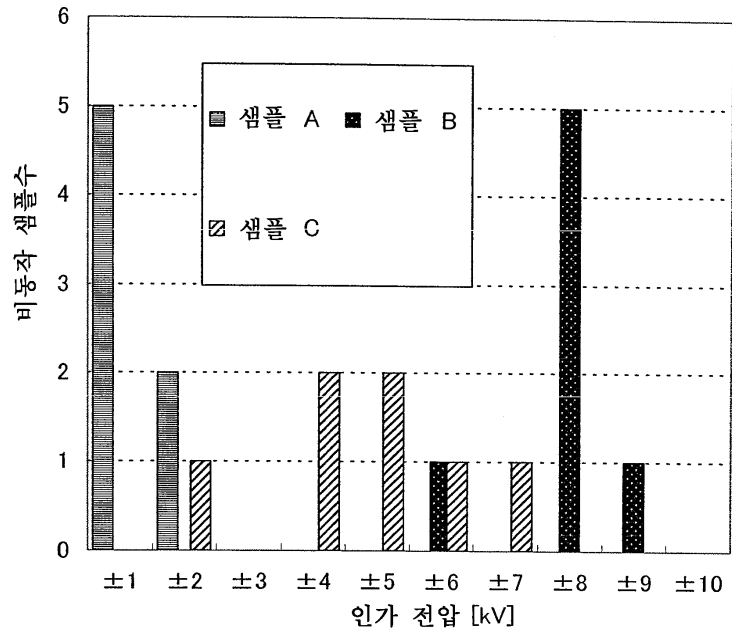
도면5b



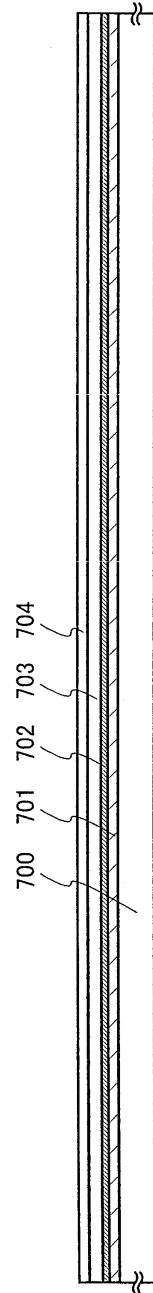
도면6



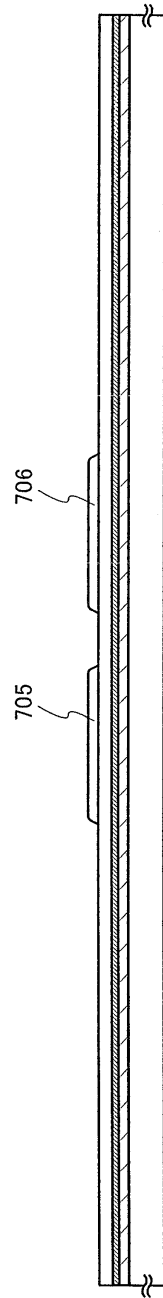
도면7



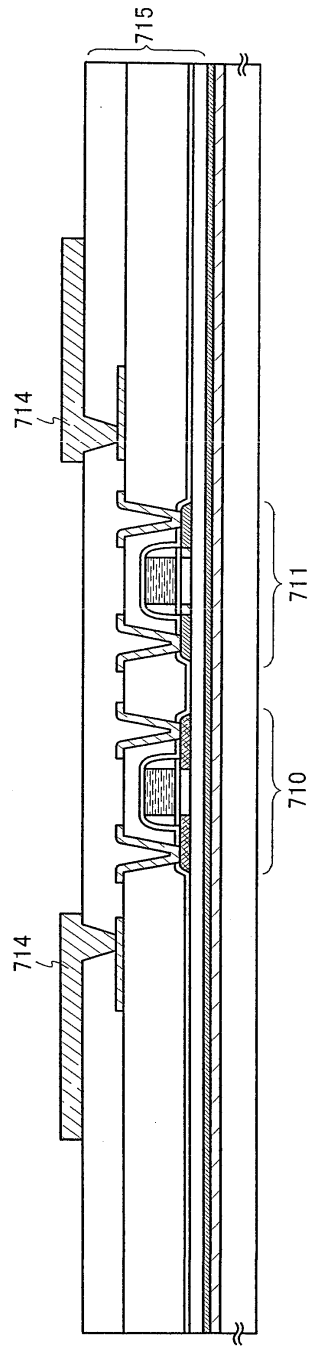
도면8a



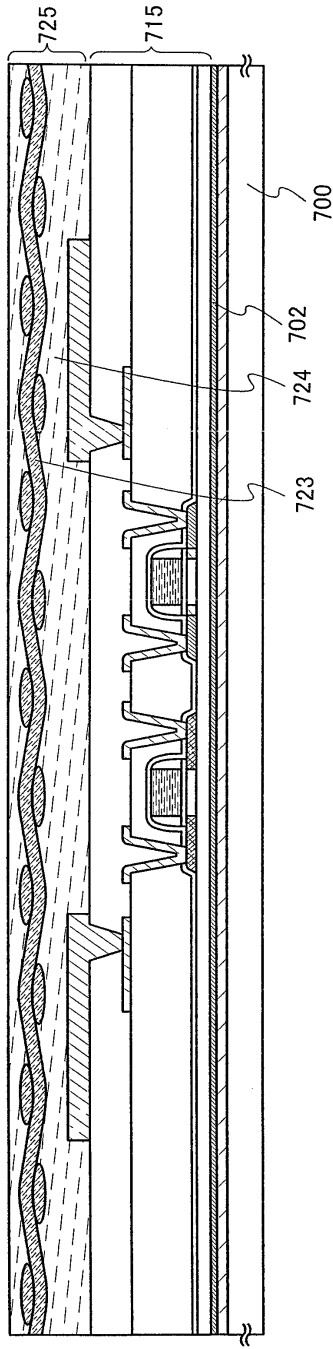
도면8b



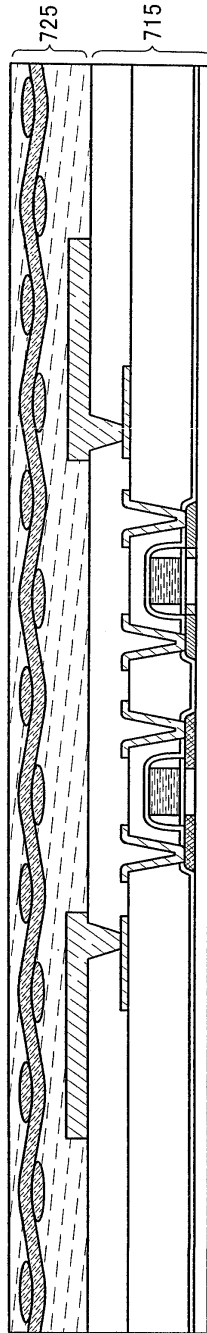
도면8c



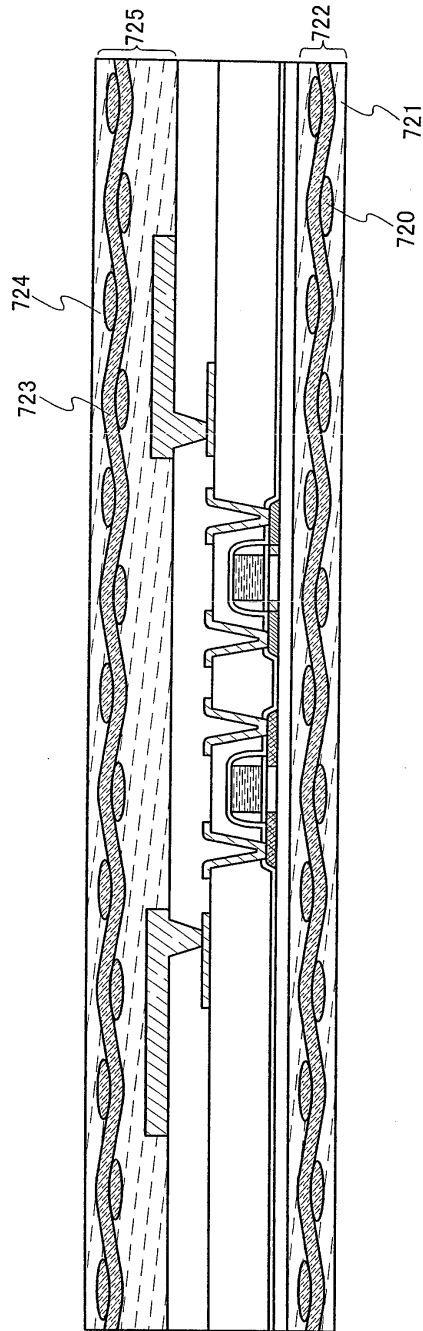
도면9a



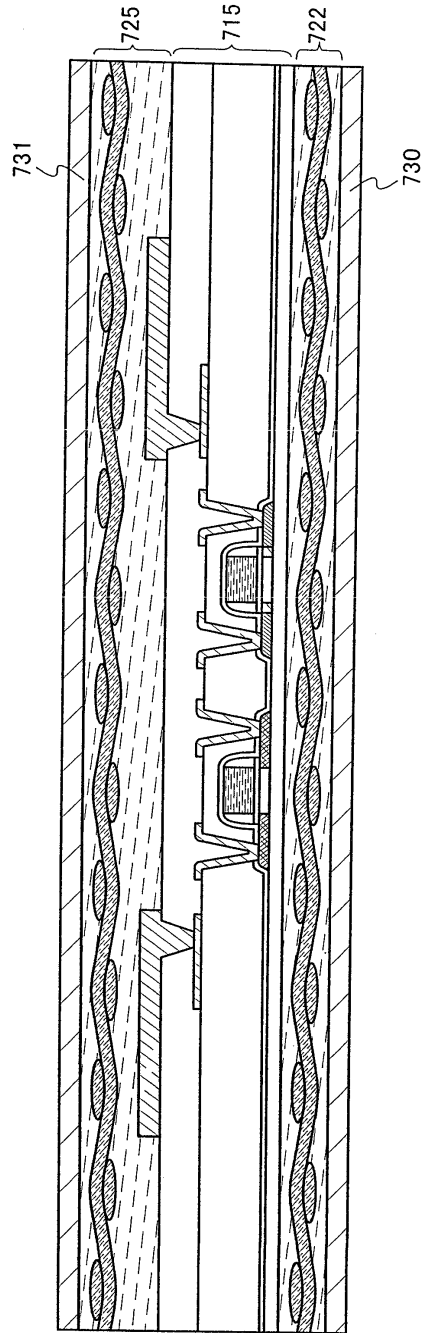
도면9b



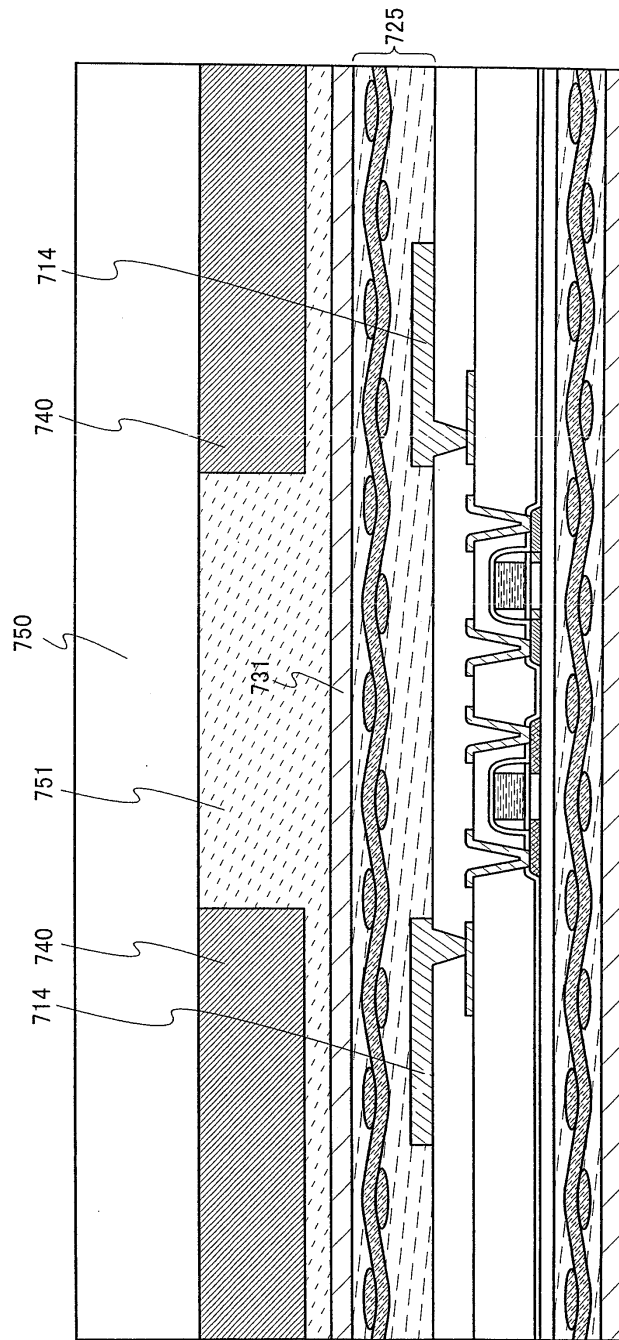
도면10a



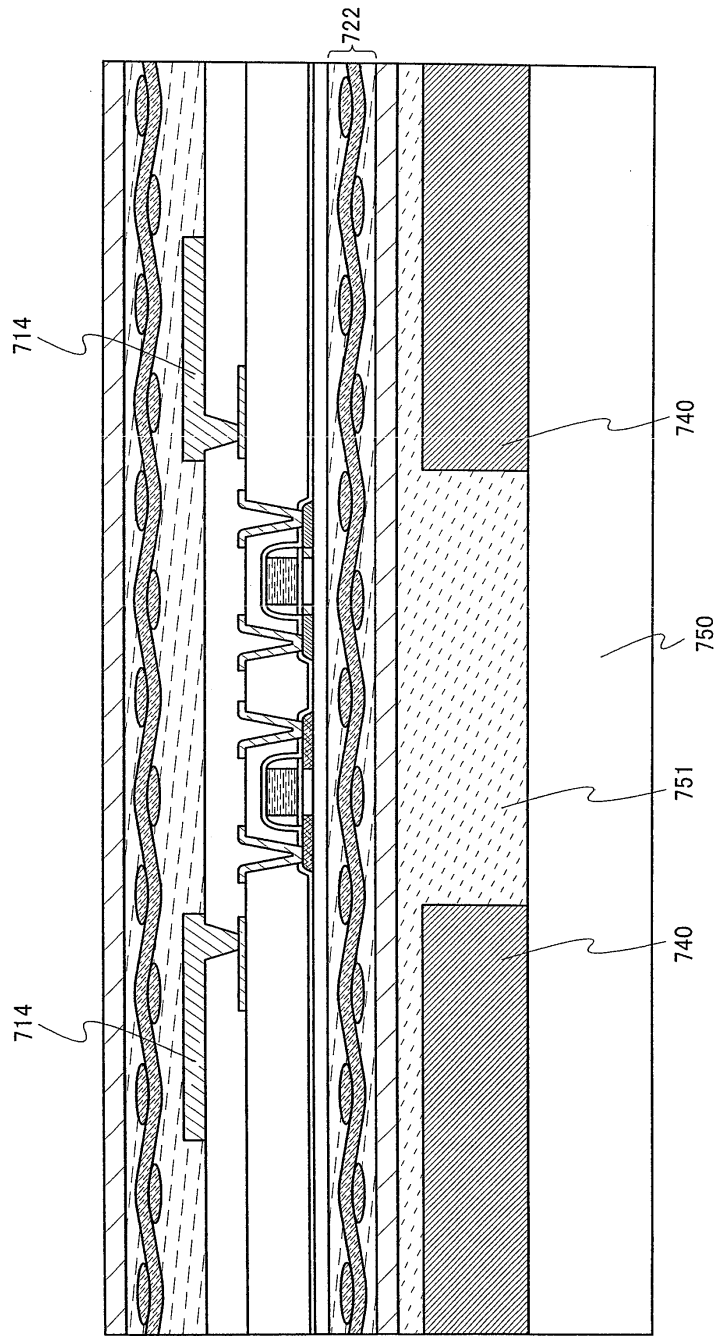
도면10b



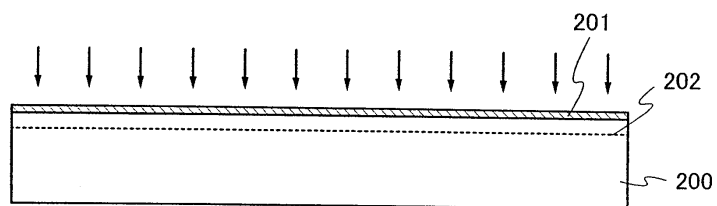
도면11



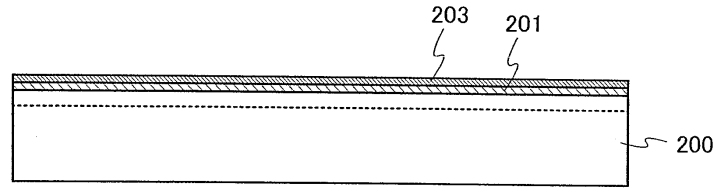
도면12



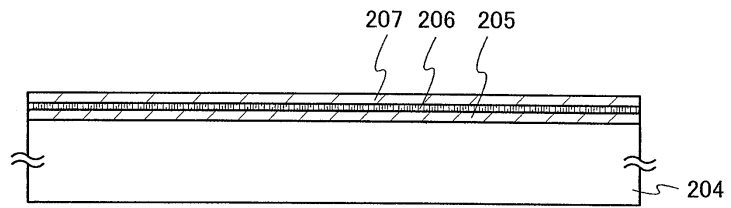
도면13a



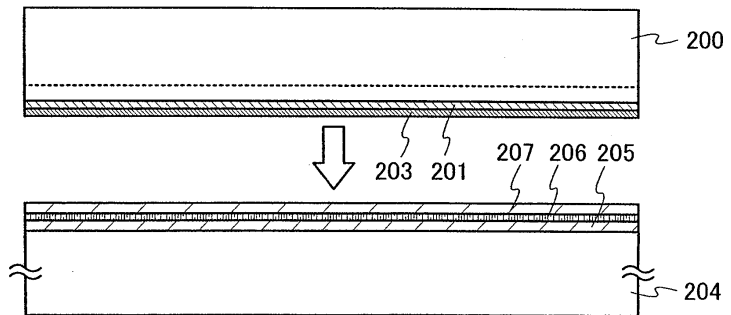
도면13b



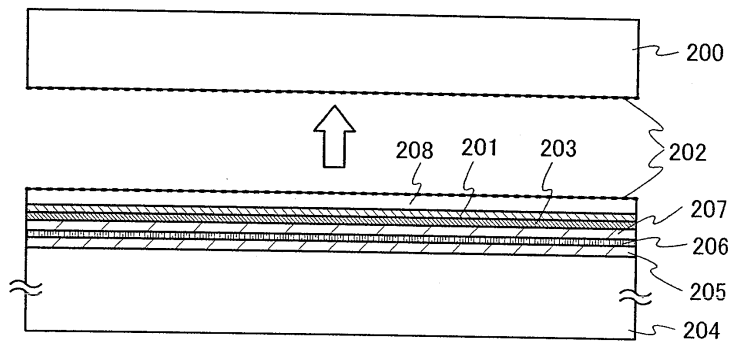
도면13c



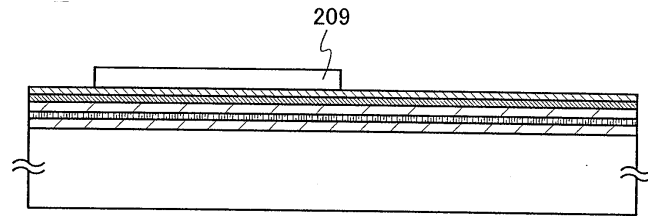
도면13d



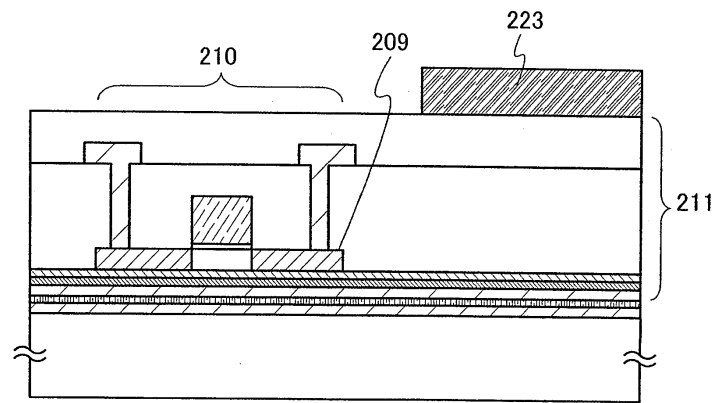
도면14a



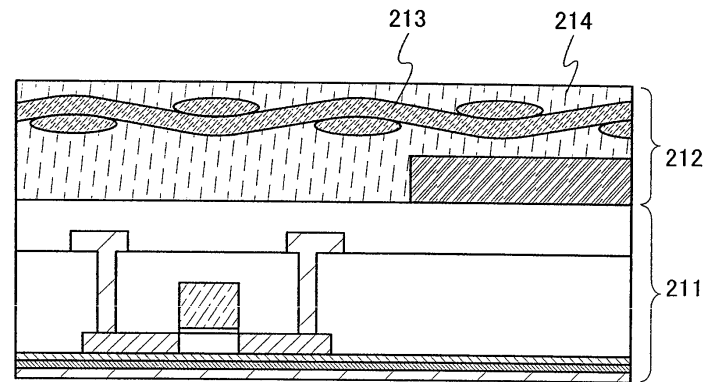
도면14b



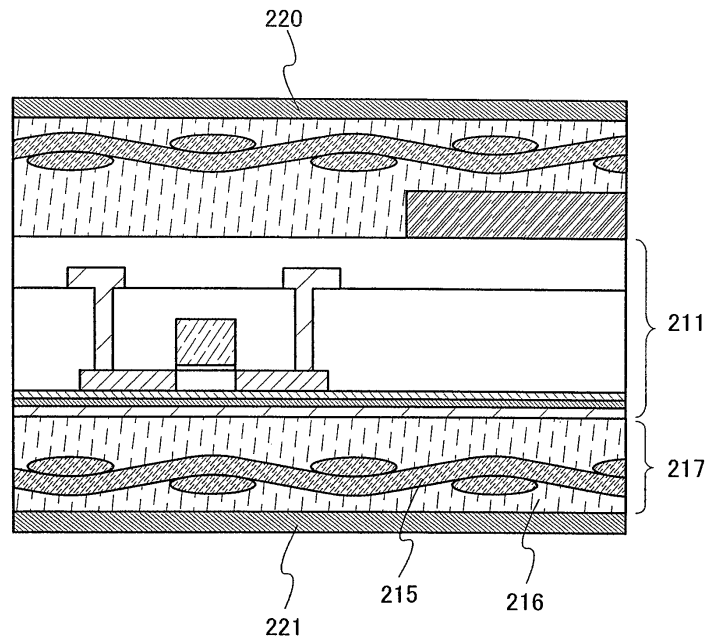
도면14c



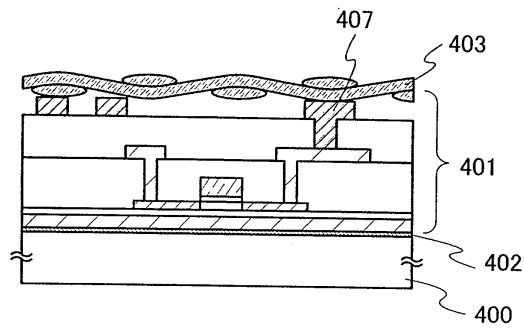
도면15a



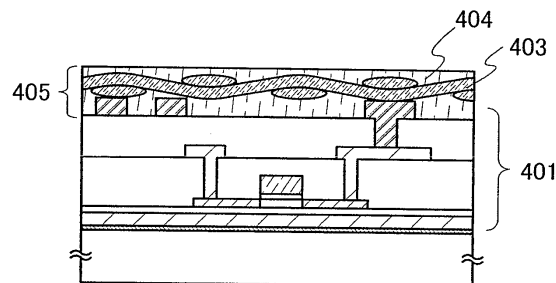
도면15b



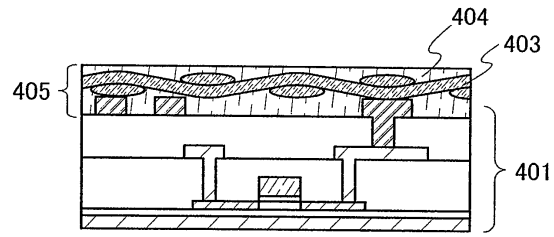
도면16a



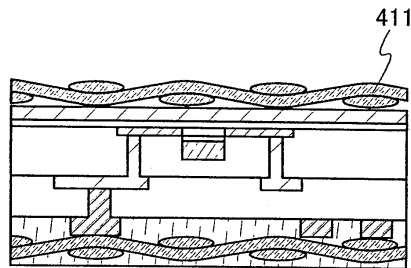
도면16b



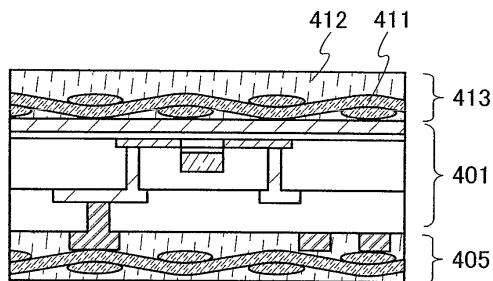
도면16c



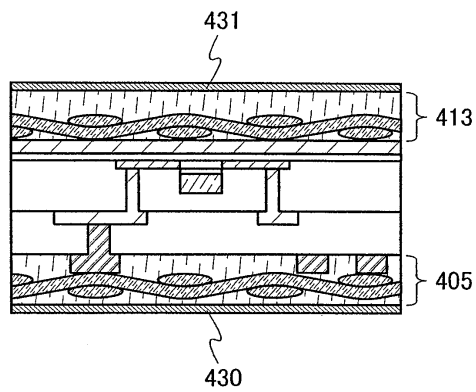
도면17a



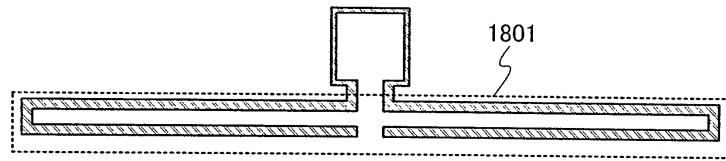
도면17b



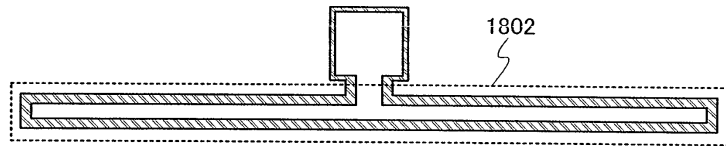
도면17c



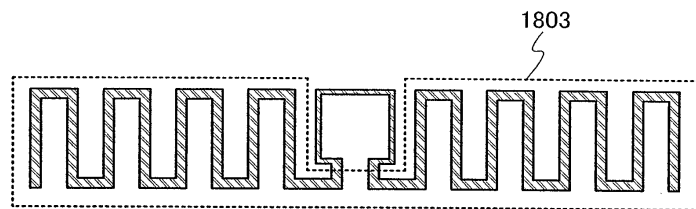
도면18a



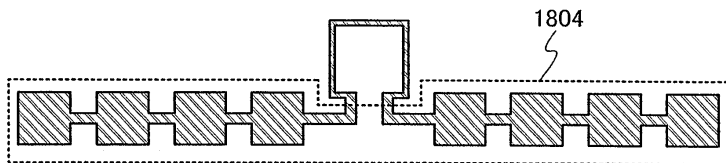
도면18b



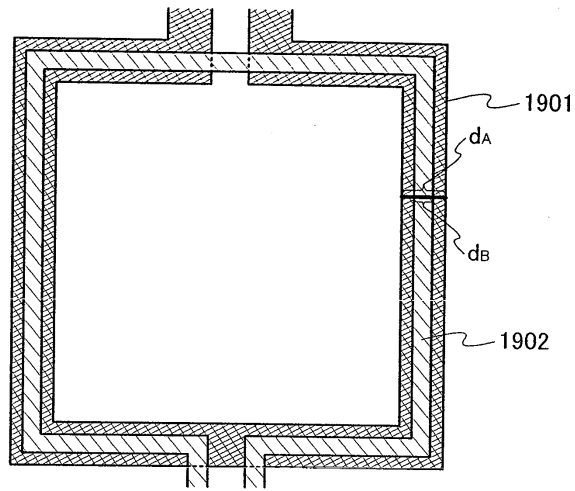
도면18c



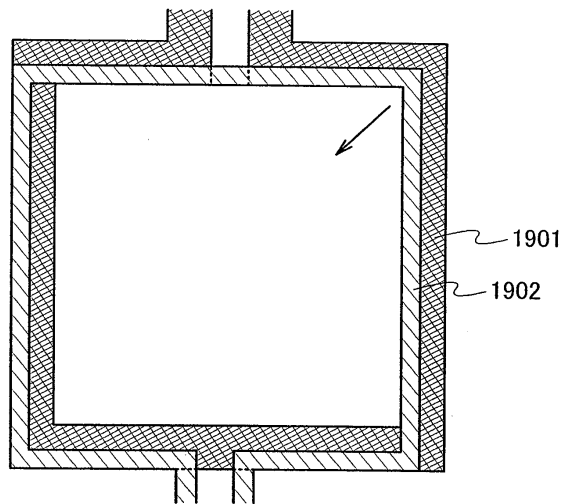
도면18d



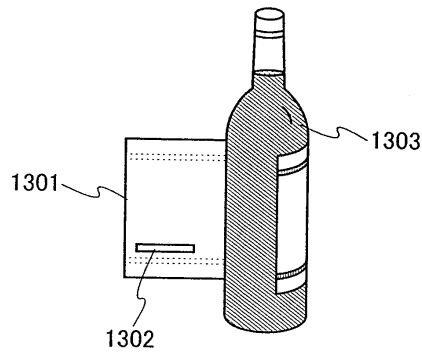
도면19a



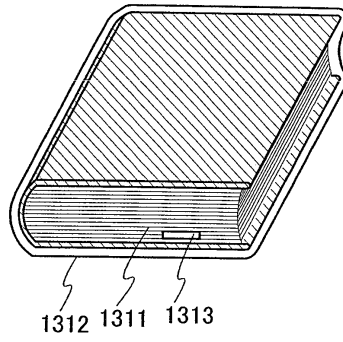
도면19b



도면20a



도면20b



도면20c

