

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2018년 2월 8일 (08.02.2018)



(10) 국제공개번호
WO 2018/026191 A1

(51) 국제특허분류:

H01L 33/02 (2010.01) *H01L 33/14* (2010.01)
H01L 33/00 (2010.01) *H01L 33/10* (2010.01)
H01L 33/62 (2010.01)

(21) 국제출원번호: PCT/KR2017/008337

(22) 국제출원일: 2017년 8월 2일 (02.08.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2016-0099996 2016년 8월 5일 (05.08.2016) KR
10-2017-0097775 2017년 8월 1일 (01.08.2017) KR

(71) 출원인: 서울바이오시스주식회사 (SEOUL VIOSYS CO., LTD.) [KR/KR]; 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).

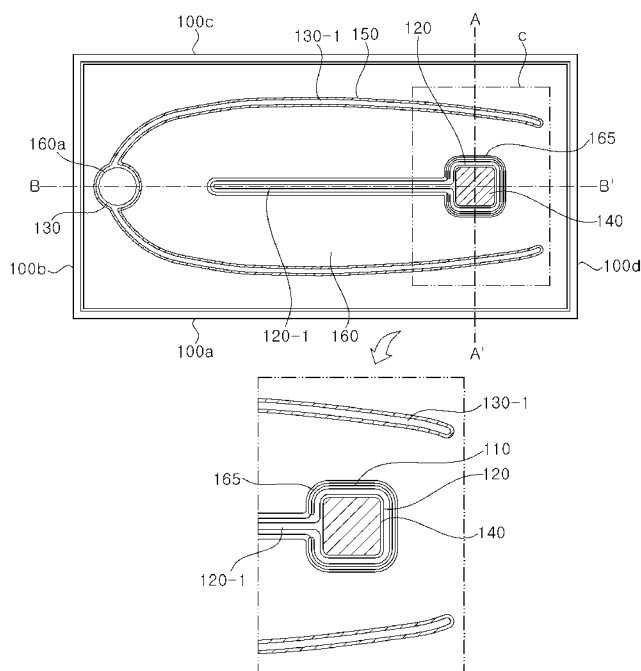
(72) 발명자: 김지혜 (KIM, Ji Hye); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 김경완 (KIM, Kyoung Wan); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 김예슬 (KIM, Ye Seul); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).

(74) 대리인: 특허법인에이아이피 (AIP PATENT & LAW FIRM); 06239 서울시 강남구 테헤란로 14길 30-1, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK,

(54) Title: LIGHT EMITTING DEVICE

(54) 발명의 명칭: 발광소자



(57) Abstract: The present invention relates to a light emitting device and, more particularly, to a light emitting device in which a current blocking layer is disposed between a first connection pad and a first conductivity type semiconductor layer to increase a dispersion efficiency of a current injected into the first conductivity type semiconductor layer, a curved region is included in the connection pad and the current blocking layer to improve reliability and a current flow is induced to a lower extension connected to the connection pad to thereby improve an output.

(57) 요약서: 본 발명은 발광소자에 관한 것으로, 특히 제1 접속 패드와 제1 도전형 반도체층 사이에 전류 차단층을 배치하여 제1 도전형 반도체층에 주입되는 전류의 분산 효율을 높이고, 접속 패드와 전류 차단층이 곡선 영역을 포함하여 신뢰성이 향상되며, 접속 패드에 연결되는 하부 연장부로 전류의 흐름을 유도하여 출력을 향상시킨 발광소자에 관한 것이다.

[다음 쪽 계속]



WO 2018/026191 A1

MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 발광소자

기술분야

- [1] 본 발명은 발광소자에 관한 것으로, 특히 전류 분산 성능을 개선한 발광소자에 관한 것이다.

배경기술

- [2] 발광소자(light-emitting diode; LED)는 반도체의 p-n 접합 구조를 이용하여 주입된 소수 캐리어(전자 또는 정공)를 만들고 이들의 재결합에 의하여 소정의 빛을 발산하는 소자를 지칭하며, GaAs, AlGaAs, GaN, InGaN, AlGaInP 등의 화합물 반도체(compound semiconductor) 재료의 변경을 통해 발광원을 구성함으로써 다양한 색을 구현할 수 있다.
- [3] 이러한 발광소자는 기존의 전구 또는 형광등에 비해 소모 전력이 작고 수명이 길며, 협소한 공간에 설치 가능하고 진동에 강한 특성을 보인다. 이러한 발광소자는 표시 소자 및 백라이트로 이용되고 있으며, 소모 전력의 절감과 내구성 측면에서 우수한 특성을 갖기 때문에 최근 대형 LCD-TV 백라이트, 자동차 헤드라이트, 일반 조명에까지 응용이 점차 확대되고 있으며, 이를 위해서는 발광소자의 발광 효율의 개선이 필요하다.

발명의 상세한 설명

기술적 과제

- [4] 본 발명이 해결하고자 하는 과제는, 접속 패드와 질화물계 반도체 적층이 접하는 영역에서 발생하는 전류 집중 현상을 최소화 할 수 있는 발광소자를 제공하는 것이다.
- [5] 본 발명이 해결하고자 하는 또 다른 과제는 신뢰성이 향상된 발광 소자를 제공하는 것이다.
- [6] 본 발명이 해결하고자 하는 또 다른 과제는 접속 패드와과 질화물계 반도체 적층이 접하는 영역에서, 접속 패드에 의해 광이 흡수되어 손실되는 것을 방지할 수 있는 발광소자를 제공하는 것이다.

과제 해결 수단

- [7] 본 발명의 일 실시예에 의한 발광소자는 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1 및 제2 도전형 반도체층 사이에 위치하는 활성층을 포함하고, 상기 제2 도전형 반도체층 및 활성층을 관통하여 상기 제1 도전형 반도체층을 노출시키는 노출 영역을 포함하는 질화물계 반도체 적층; 상기 노출 영역을 통해 상기 제1 도전형 반도체층에 전기적으로 연결되는 제1 접속 패드; 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이에 개재된 제1 전류 차단층; 상기 제2 도전형 반도체층 상에 배치된 제2 접속 패드; 및 상기 제2 접속 패드로부터 연장된 상부 연장부를 포함하고, 상기 상부 연장부는 2개 이상이며,

상기 제1 접속 패드는 상기 상부 연장부들 사이에 위치하고, 상기 제1 전류 차단층은 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이의 영역에서는, 일부 영역에 한정되어 개재된다.

- [8] 본 발명의 다른 실시예에 따른 발광 소자는 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하되, 상기 제2 도전형 반도체층 및 활성층을 관통하여 상기 제1 도전형 반도체층을 노출시키는 노출 영역을 포함하는 반도체 적층; 상기 노출 영역을 통해 상기 제1 도전형 반도체층에 접속하는 제1 접속 패드 및 상기 제1 접속 패드로부터 연장되는 하부 연장부; 및 상기 제1 접속 패드와 제1 도전형 반도체층 사이에 위치하는 제1 전류 차단층을 포함하고, 상기 제1 접속 패드는 곡률 반경 R_1 값을 갖는 제1 곡선 영역을 포함하되, 상기 제1 전류 차단층은 곡률 반경 R_2 값을 갖는 제2 곡선 영역을 포함하되, 상기 제2 곡선 영역은 상기 제1 곡선 영역의 내측에 인접하여 배치되며, 상기 하부 연장부는 상기 제1 접속 패드와 접하는 연결부 및 상기 연결부에서 연장하는 메인 연장부를 포함하고, 상기 연결부는 곡률 반경 R_3 값을 갖는 제3 곡선 영역을 포함하고, 상기 R_2 는 R_3 보다 크고 R_1 보다 작다.

발명의 효과

- [9] 본 발명의 발광소자에 의하면 접속 패드와 제1 도전형 반도체층 사이에 전류 차단층을 배치함으로써, 제1 도전형 반도체층 내에서 전류를 고르게 분산시킬 수 있다. 또한, 반사율이 높은 전류 차단층을 이용함으로써 발광소자의 광 추출 효율이 향상될 수 있다. 또한, 접속 패드와 전류 차단층이 곡선 영역을 포함하여, 신뢰성이 향상되며, 또한 접속 패드에 연결되는 하부 연장부로 전류의 흐름을 유도하여 발광 소자의 출력을 향상시킬 수 있다.

도면의 간단한 설명

- [10] 도 1은 본 발명의 일 실시예에 따른 발광소자를 설명하기 위한 평면도이다.
 [11] 도 2는 도 1의 평면도의 A-A'선을 따라 취해진 단면도이다.
 [12] 도 3는 도 1의 평면도의 B-B'선을 따라 취해진 단면도이다.
 [13] 도 4는 본 발명의 일 실시예에 따른 제1 전류 차단층의 다양한 형태를 나타낸다.
 [14] 도 5는 본 발명의 다른 실시예에 따른 발광소자를 설명하기 위한 평면도이다.
 [15] 도 6은 도 5의 평면도의 A-A'선을 따라 취해진 단면도이다.
 [16] 도 7는 도 5의 평면도의 B-B'선을 따라 취해진 단면도이다.
 [17] 도 8 내지 10은 본 발명의 또 다른 실시예에 따른 발광 소자를 나타낸다.
 [18] 도 11 및 12는 본 발명의 또 다른 실시예에 따른 발광 소자를 나타낸다.
 [19] 도 13 및 14는 본 발명의 또 다른 실시예에 따른 발광 소자를 나타낸다.
 [20] 도 15 및 16은 본 발명의 또 다른 실시예에 따른 발광 소자를 나타낸다.
 [21] 도 17 및 18은 본 발명의 또 다른 실시예에 따른 발광 소자를 나타낸다.
 [22] 도 19는 본 발명의 일 실시예에 따른 발광소자를 조명 장치에 적용한 예를

설명하기 위한 분해 사시도이다.

[23] 도 20은 본 발명의 일 실시예에 따른 발광소자를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.

[24] 도 21은 본 발명의 일 실시예에 따른 발광소자를 또 다른 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.

[25] 도 22는 본 발명의 일 실시예에 따른 발광소자를 헤드 램프에 적용한 예를 설명하기 위한 단면도이다.

발명의 실시를 위한 최선의 형태

[26] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 본 발명이 속하는 기술분야의 통상의 기술자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분이 다른 부분의 "바로 상부" 또는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 개재된 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[27] 본 발명의 일 실시예에 따르면, 발광소자가 제공된다. 이 발광 소자는 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1 및 제2 도전형 반도체층 사이에 위치하는 활성층을 포함하고, 상기 제2 도전형 반도체층 및 활성층을 관통하여 상기 제1 도전형 반도체층을 노출시키는 노출 영역을 포함하는 질화물계 반도체 적층; 상기 노출 영역을 통해 상기 제1 도전형 반도체층에 전기적으로 연결되는 제1 접속 패드; 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이에 개재된 제1 전류 차단층; 상기 제2 도전형 반도체층 상에 배치된 제2 접속 패드; 및 상기 제2 접속 패드로부터 연장된 상부 연장부를 포함한다. 상기 상부 연장부는 2개 이상이며, 상기 제1 접속 패드는 상기 상부 연장부들 사이에 위치하고, 상기 제1 전류 차단층은 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이의 영역에서는, 일부 영역에 한정되어 개재되어 전류 확산 효율을 높일 수 있다.

[28] 상기 제1 전류 차단층의 영역은 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이 영역의 90%를 초과하지 않을 수 있다.

[29] 또한 상기 제1 전류 차단층은 SiO_2 층 또는 분포 브래그 반사층을 포함할 수 있다.

[30] 여기서, 상기 분포 브래그 반사층은 SiO_2 층과 TiO_2 층 또는 SiO_2 층과 Nb_2O_5 층이 교대로 적층된 구조를 가질 수 있다.

[31] 제1 전류 차단층의 형상은 상기 제1 접속 패드의 형상과 동일할 수 있다.

- [32] 또한 상기 발광소자는 상기 제2 접속 패드의 하부 및 상기 복수의 상부 연장부들 하부에 배치된 제2 전류 차단층을 더 포함할 수 있다.
- [33] 여기서, 상기 제2 전류 차단층은 상기 제1 전류 차단층과 동일한 물질층을 포함할 수 있다.
- [34] 상기 제2 접속 패드 하부에 배치된 전류 차단층의 폭은 상기 제2 접속 패드의 폭보다 크거나 같고, 상기 복수의 상부 연장부들 하부에 배치된 전류 차단층의 폭은 상기 복수의 상부 연장부들의 폭보다 크거나 같을 수 있다.
- [35] 상기 발광소자는 제1 접속 패드로부터 연장되며, 상기 제1 도전형 반도체층에 콘택하는 하부 연장부를 더 포함할 수 있다.
- [36] 상기 발광소자는 상기 제2 도전형 반도체층 상에 위치하며, 상기 제2 도전형 반도체층에 오믹 콘택하는 오믹 전극층을 더 포함할 수 있다.
- [37] 상기 오믹 전극층은 투명 전극층 또는 메탈 전극층을 포함할 수 있다.
- [38] 상기 발광 소자는 상기 노출 영역을 통해 노출되는 질화물계 반도체 적층을 덮는 절연층을 더 포함할 수 있다.
- [39] 상기 절연층은 SiO_2 층 또는 분포 브래그 반사층을 포함할 수 있다.
- [40] 상기 절연층은 상기 제1 전류 차단층과 동일한 공정을 통해 형성될 수 있다.
- [41] 상기 질화물계 반도체 적층은 복수개의 노출 영역을 포함하고,
- [42] 상기 노출 영역은 적어도 하나의 제1 홀 및 적어도 하나의 제2 홀을 포함하는 제1 노출 영역, 적어도 하나의 제3 홀을 포함하는 제2 노출영역을 포함할 수 있다.
- [43] 상기 적어도 하나의 제1 홀 및 적어도 하나의 제2홀은 원형 또는 다각형의 평면 형상이고, 상기 적어도 하나의 제3홀은 상기 적어도 하나의 제2 홀로부터 임의의 방향으로 연장되는 형상일 수 있다.
- [44] 상기 제1 접속 패드는 상기 제1 노출 영역을 통해 상기 제1 도전형 반도체층과 접하고, 상기 하부 연장부는 상기 제2 노출 영역을 통해 상기 제2 도전형 반도체층과 접할 수 있다.
- [45] 상기 제1 전류 차단층은 상기 제1 노출 영역에 한정되어, 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이의 일부 영역에 한정되어 개재될 수 있다.
- [46] 상기 제3홀의 폭은 상기 제1 홀 및 제2 홀의 폭보다 작을 수 있다.
- [47] 상기 발광 소자는 상기 제1 접속 패드와 전기적으로 연결되는 제1 본딩 패드 및 상기 제2 접속 패드와 전기적으로 연결되는 제2 본딩 패드를 더 포함할 수 있다.
- [48] 상기 제1 본딩 패드 및 상기 제2 본딩 패드는 전기적으로 절연될 수 있다.
- [49] 상기 발광소자는 상기 제1 본딩 패드 및 상기 제2 본딩 패드와 상기 질화물계 반도체 적층 사이에 위치하는 절연층을 더 포함할 수 있다.
- [50] 상기 제1 본딩 패드 상기 제2 본딩 패드는 상기 절연층에 형성된 홀들을 통해 각각 제1 접속 패드 및 제2 접속 패드와 전기적으로 연결될 수 있다.
- [51] 본 발명의 다른 실시예에 따르면, 발광소자가 제공된다. 이 발광 소자는 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하되, 상기 제2 도전형

반도체층 및 활성층을 관통하여 상기 제1 도전형 반도체층을 노출시키는 노출 영역을 포함하는 반도체 적층; 상기 노출 영역을 통해 상기 제1 도전형 반도체층에 접속하는 제1 접속 패드 및 상기 제1 접속 패드로부터 연장되는 하부 연장부; 및 상기 제1 접속 패드와 제1 도전형 반도체층 사이에 위치하는 제1 전류 차단층을 포함하고, 상기 제1 접속 패드는 곡률 반경 R_1 값을 갖는 제1 곡선 영역을 포함하되, 상기 제1 전류 차단층은 곡률 반경 R_2 값을 갖는 제2 곡선 영역을 포함하되, 상기 제2 곡선 영역은 상기 제1 곡선 영역의 내측에 인접하여 배치되며, 상기 하부 연장부는 상기 제1 접속 패드와 접하는 연결부 및 상기 연결부에서 연장하는 메인 연장부를 포함하고, 상기 연결부는 곡률 반경 R_3 값을 갖는 제3 곡선 영역을 포함하고, 상기 R_2 는 R_3 보다 크고 R_1 보다 작다.

- [52] 여기서, 제1 곡선 영역과 제2 곡선 영역은 동일한 중심을 공유하고, 제2 곡선 영역은, 제1 곡선 영역과 제1 곡선 영역의 양단과 상기 중심을 연결하는 가상의 직선들에 의해 형성되는 영역 내에 위치한다. 이 때, 제1 곡선 영역 및 제2 곡선 영역 사이의 간격은 균일하게 유지될 수 있다. 이에 따라 제1 접속 패드를 통해 주입되는 전류가 균일하게 분산될 수 있다.
- [53] 여기서, 상기 하부 연장부의 연결부의 폭은 상기 제1 곡선 영역 및 제2 곡선 영역 사이의 간격보다 크고, 상기 제1 접속 패드로부터 멀어질수록 감소할 수 있다. 또한, 상기 메인 연장부의 폭은 상기 제1 곡선 영역 및 제2 곡선 영역 사이의 간격보다 크거나 같을 수 있다.
- [54] 여기서, 제1 전류 차단층은 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이의 영역에서는, 일부 영역에 한정되어 개재될 수 있다. 예를 들어, 상기 제1 전류 차단층의 영역은 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이 영역의 90%를 초과하지 않을 수 있다. 이를 통해 순방향 전압이 상승되지 않으면서도 전류가 원활하게 분산될 수 있다.
- [55] 여기서, 상기 제1 전류 차단층은 단일층 또는 분포 브래그 반사층을 포함하고, 상기 분포 브래그 반사층은 SiO_2 층과 TiO_2 층 또는 SiO_2 층과 Nb_2O_5 층이 교대로 적층된 구조를 가질 수 있다.
- [56] 또한, 발광 소자는 상기 하부 연장부 아래 위치하는 제3 전류 차단층을 더 포함하고, 상기 제3 전류 차단층은 서로 이격된 복수의 도트를 포함할 수 있다.
- [57] 이때, 상기 제3 전류 차단층의 폭은 상기 메인 연장부의 폭보다 크고, 상기 메인 연장부는 상기 복수의 도트들 사이의 영역에서 상기 제1 도전형 반도체층에 접속될 수 있다. 즉, 상기 메인 연장부는 상기 제3 전류 차단층에 의해 불연속적으로 상기 제1 도전형 반도체층에 접속될 수 있다.
- [58] 또한, 발광 소자는 상기 제2 도전형 반도체층 상에 배치되는 제2 접속 패드; 및 상기 제2 접속 패드로부터 연장되는 상부 연장부를 더 포함할 수 있다.
- [59] 또한, 발광 소자는 상기 제2 도전형 반도체층 상에 위치하며, 상기 제2 도전형 반도체층에 오믹 콘택하는 오믹 전극층을 더 포함하고, 상기 제2 접속 패드 및 상기 상부 연장부는 상기 오믹 전극층 상에 위치할 수 있다.

- [60] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예들에 대해 구체적으로 설명한다.
- [61] 도 1 내지 도 3은 본 발명의 일 실시예에 따른 발광소자를 설명하기 위한 평면도 및 단면도들이다. 구체적으로, 도 1은 상기 발광소자의 평면도이고, 도 2는 도 1의 평면도의 A-A'선에 대응하는 부분의 단면을 도시하고, 도 3은 도 1의 평면도의 B-B'선에 대응하는 부분의 단면을 도시한다.
- [62] 도 1 내지 도 3를 참조하면, 상기 발광소자는 질화물계 반도체 적층(110), 제1 접속 패드(120), 제2 접속 패드(130), 제1 전류 차단층(current block layer) (140) 및 제2 전류 차단층(150)을 포함한다. 나아가, 상기 발광소자는 제1 접속 패드(120)로부터 임의의 방향으로 연장된 하부 연장부(120-1) 및 제2 접속 패드(130)로부터 임의의 방향으로 연장된 상부 연장부(130-1)를 더 포함할 수 있다. 하부 연장부(120-1)는 제1 접속 패드(120)로부터 임의의 방향으로 단수 또는 복수 개 형성될 수 있으며, 하부 연장부(120-1)의 폭은 제1 접속 패드(120)의 폭보다 작거나 같을 수 있다. 상부 연장부(130-1) 또한 제2 접속 패드(130)로부터 임의의 방향으로 단수 또는 복수 개 형성될 수 있으며, 상부 연장부(130-1)의 폭은 제2 접속 패드(130)의 폭보다 작거나 같을 수 있다. 특히, 상부 연장부(130-1)는 2개가 형성될 수 있으며, 2개의 상부 연장부(130-1)가 제1 접속 패드(120)를 감싸는 형상으로 형성될 수 있다. 본 실시예에서, 2개의 상부 연장부(130-1)를 도시하지만, 더 많은 상부 연장부가 형성될 수 있다.
- [63] 상기 발광소자는 질화물계 반도체 적층(110) 상에 위치하는 투명 전극층(160) 및 기판(101)을 더 포함할 수 있다. 또한, 상기 발광소자는 반도체 적층 구조의 측면을 덮는 절연층(165)을 더 포함할 수 있다. 또한, 상기 발광소자는 다각형의 평면 형상을 가질 수 있다. 특히, 상기 발광소자는 사각형의 평면 형상을 가질 수 있다. 본 실시예에서, 상기 발광소자는 대체로 정방형의 평면 형상을 가질 수 있으며, 제1 측면(100a), 제2 측면(100b), 제1 측면(100a)에 반대하여 위치하는 제3 측면(100c), 및 제2 측면(100b)에 반대하여 위치하는 제4 측면(100d)을 포함할 수 있다. 도 1을 참조하면, 하부 연장부(120-1)는 제1 접속 패드(120)로부터 연장되되, 제4 측면(100d)으로부터 제2 측면(100b)을 향해 연장되는 형태로 형성될 수 있다. 또한 상부 연장부(130-1)는 제2 접속 패드(130)로부터 연장되되, 제2 측면(100b)으로부터 제4 측면(100d)을 향해 곡선 형태를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [64] 질화물계 반도체 적층(110)은 기판(101) 상에 위치하는 제1 도전형 반도체층(111), 제1 도전형 반도체층(111) 상에 위치하는 활성층(112), 활성층(112) 상에 위치하는 제2 도전형 반도체층(113)을 포함한다. 또한, 질화물계 반도체 적층(110)은 제1 도전형 반도체층(111)을 부분적으로 노출시키는 노출 영역(110a, 110b)을 포함할 수 있다. 노출 영역(110a, 110b)에서, 질화물계 반도체 적층(110)은 메사(mesa) 구조를 이룰 수 있다. 노출 영역(110a, 110b)의 위치, 형태, 및 개수에 따라 전류 분산 효율 및 발광소자의 발광 패턴이

조절될 수 있다. 특히, 도 1 및 도 3을 참조하면 노출 영역(110a, 110b)은 질화물계 반도체층들로 둘러싸일 수 있으며, 질화물계 반도체 적층(110)의 가장자리로부터 이격될 수 있다. 특히, 노출 영역(110a)은 발광소자의 제4 측면(100d)으로부터 이격되어 형성될 수 있다. 나아가, 노출 영역(110a)은 상부 연장부(130-1)들 사이에 위치하고 발광소자의 제4 측면(100d)으로부터 이격되어 형성될 수 있다.

- [65] 도면에는 비록 도시되지 않았지만, 본 발명에 따른 발광 소자는 상부 연장부(130-1)들이 제4 측면(100d)과 노출 영역(100a) 사이까지 연장되는 구조를 포함할 수 있다. 즉 상부 연장부(130-1)들이 노출 영역(110a)을 감싸는 구조를 포함할 수 있다.
- [66] 기판(101)은 Al_2O_3 , SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge 등과 같은 공지의 재료를 선택하여 이용할 수 있다. 도면을 통해 도시되지 않았지만, 상기 기판(101)의 위 및/또는 아래에는 요철 패턴이 형성될 수 있다, 기판(101)의 상기 요철 패턴의 형상은 스트라이프 형상, 렌즈 형상, 기둥 형상, 뿔 형상 등 자유롭게 선택 가능하다.
- [67] 제1 도전형 반도체층(111)은 제1 도전형 도펀트가 도핑된 반도체층이다. 상기 제1 도전형 반도체층(111)은 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn 중 적어도 하나로 형성될 수 있으며, 상기 제1 도전형 반도체층(111)이 n형 반도체층인 경우, 상기 제1 도전형 도펀트는 n형 도펀트인 Si, Ge, Sn, Se, Te 중 1종 이상을 포함할 수 있다.
- [68] 활성층(112)은 단일 양자 우물 또는 다중 양자 우물(MQW) 구조로 형성될 수 있다. 즉, 3족-5족 화합물 반도체 재료를 이용하여 GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn 중 적어도 하나로 형성될 수 있다. 예컨대 활성층(112)은 InGaIn 우물층/GaN 장벽층이 교대로 형성된 구조를 가질 수 있다. 상기 활성층(112)은 제1 도전형 반도체층(111)에서 공급되는 캐리어와 제2 도전형 반도체층(113)에서 공급되는 캐리어가 재결합하면서 광을 발생시킨다. 상기 제1 도전형 반도체층(111)이 n형 반도체층인 경우, 상기 제1 도전형 반도체층(111)에서 공급되는 캐리어는 전자일 수 있고, 제2 도전형 반도체층(113)이 p형 반도체층인 경우, 상기 제2 도전형 반도체층(113)에서 공급되는 캐리어는 정공일 수 있다.
- [69] 제2 도전형 반도체층(113)은 제2 도전형 도펀트가 도핑된 반도체층을 포함하며, 단층 또는 다층으로 형성될 수 있다. 상기 제2 도전형 반도체층(113)은 GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn 중 적어도 하나로 형성될 수 있으며, 제2 도전형 반도체층(113)이 p형 반도체층인 경우, 상기 제2 도전형 도펀트는 p형 도펀트인 Mg, Zn, Ca, Sr, Ba 중 1종 이상을 포함할 수 있다.
- [70] 발명에 따른 발광소자는 제1 도전형 반도체층(111), 활성층(112) 및 제2 도전형 반도체층(113) 이외에도 결정 품질 향상을 위하여 비도핑층이나 기타 버퍼층을 포함할 수 있으며, 제2 도전형 반도체층(113)이 p형 반도체층인 경우,

활성층(112)과 제2 도전형 반도체층(113) 사이에 형성되는
전류차단층(미도시)과 같이 다양한 기능층들이 포함될 수 있다.

- [71] 도 1 내지 도 3을 참조하면, 질화물계 반도체 적층(110)은 노출 영역(110a, 110b)을 포함할 수 있다. 노출 영역(110a, 110b)은 제1 도전형 반도체층(111)을 부분적으로 노출시킬 수 있다. 노출 영역(110a, 110b)은 사진 및 식각 기술을 이용하여 형성될 수 있다. 예를 들어, 포토레지스트를 이용하여 식각 영역을 정의하고, ICP와 같은 건식 식각을 이용하여 제2 도전형 반도체층(113)과 활성층(112)을 식각함으로써 노출 영역(110a, 110b)이 형성될 수 있다. 또는 노출 영역(110a, 110b) 형성 과정에서 제1 도전형 반도체층(111)의 일부가 식각될 수 있다. 노출 영역(110a)은 대체로 원형 또는 다각형의 평면 형상을 가질 수 있다. 노출 영역(110b)은, 노출 영역(110a)으로부터 임의의 방향으로 연장되는 형태로 형성될 수 있다. 이때, 노출 영역(110b)과 노출 영역(110a)은 서로 연결될 수 있다. 또한, 노출 영역(110b)의 폭은 노출 영역(110a)의 폭보다 작거나 같을 수 있다. 노출 영역(110a, 110b) 위치, 형태 및 개수에 따라 전류 분산 효율 및 발광소자의 발광 패턴이 조절될 수 있다. 도 1을 참조하면, 노출 영역(110a)은 발광소자의 제4 측면(100d)으로부터 이격되어 형성될 수 있다. 노출 영역(110a)과 제4 측면(100d) 사이에 질화물계 반도체 적층(110)이 위치할 수 있다. 또한, 노출 영역(110b)은 노출 영역(110ba)으로부터 제4 측면(100d)에서 제2 측면(100b) 방향으로 연장되는 구조를 가질 수 있다. 다만, 노출 영역(110a, 110b)의 위치, 형태 및 개수는 도 1에 도시된 것으로 제한되지 않으며, 본 발명의 목적 범위 내에서 다양하게 변경될 수 있다.

- [72] 제1 접속 패드(120) 및 하부 연장부(120-1)는 제1 도전형 반도체층(111)에 전기적으로 접속될 수 있으며, 특히, 제1 도전형 반도체층(111)에 오믹 콘택할 수 있다. 제1 접속 패드(120) 및 하부 연장부(120-1)는 질화물계 반도체 적층(110)의 일부를 덮을 수 있다. 제1 접속 패드(120) 및 하부 연장부(120-1)는 노출영역(110a, 110b)을 통해서 제1 도전형 반도체층(111)과 전기적으로 접속될 수 있다. 이에 따라, 제1 접속 패드(120) 및 하부 연장부(120-1)를 통해 질화물계 반도체 적층(110)으로 전류가 주입되는 부분은 노출 영역(110a, 110b)의 위치 및 형태 등에 따라 제어될 수 있다. 노출 영역(110b)과 노출 영역(110a)은 서로 연결될 수 있고, 따라서 노출 영역(110a)에 위치하는 제1 접속 패드(120) 및 노출 영역(110b)에 위치하는 하부 연장부(120-1)가 서로 전기적으로 연결될 수 있다. 하부 연장부(120-1)는 제1 접속 패드(120)로부터 임의의 방향으로 연장된 형상을 가질 수 있고, 여기서 하부 연장부(120-1)의 폭은 제1 접속 패드(120)의 폭보다 작거나 같을 수 있다. 특히, 하부 연장부(120-1)는 제1 접속 패드(120)로부터 연장되되, 제4 측면(100d)으로부터 제2 측면(100b)을 향해 연장되는 형태로 형성될 수 있다.

- [73] 제1 접속 패드(120) 및 하부 연장부(120-1)는, 이에 제한되는 것은 아니지만, 금(Au), 은(Ag), 알루미늄(Al), 구리(Cu), 또는 이들을 포함한 합금 중에서 선택된

적어도 하나의 도전성 재료로 이루어질 수 있다. 또한 제1 접속 패드(120) 및 하부 연장부(120-1)는 복수의 층으로 이루어질 수 있다. 제1 접속 패드(120) 및 하부 연장부(120-1)는 크롬(Cr) 층, 알루미늄(Al) 층, 니켈(Ni) 층 및 금(Au) 층 중에서 선택된 적어도 두 층으로 이루어질 수 있다. 예를 들어, 제1 접속 패드(120) 및 하부 연장부(120-1)는 크롬 층, 알루미늄 층, 크롬 층, 니켈 층 및 금 층이 순차적으로 적층된 구조를 가질 수 있다. 여기서 각 층은, 예를 들어, 8.5, 1200, 1600, 900 및 2000 옹스트롬(angstrom)의 두께를 가질 수 있다.

[74] 제1 접속 패드(120) 및 하부 연장부(120-1)는 질화물계 반도체 적층(110) 상에 금속 물질을 증착하고, 이를 패터닝하여 형성될 수 있다. 즉, 이에 한정되는 것은 아니나, 제1 접속 패드(120) 및 하부 연장부(120-1)는 동일한 공정을 통해 형성될 수 있다.

[75] 노출 영역(110a)이 발광소자의 제4 측면(100d)으로부터 이격되는 것에 따라, 노출 영역(110a) 내에서 형성되는 제1 접속 패드(120) 또한 제4 측면(100d)으로부터 이격되어 형성될 수 있다. 노출 영역(110a)과 제4 측면(100d) 사이에 질화물계 반도체 적층(110)이 위치할 수 있다.

[76] 제2 접속 패드(130) 및 상부 연장부(130-1)는 제2 도전형 반도체층(113) 상에 위치하며, 제2 도전형 반도체층(113)과 전기적으로 접속될 수 있다. 제2 접속 패드(130) 및 상부 연장부(130-1)는 제2 도전형 반도체층(113) 상에서 다양한 형태를 가질 수 있으며, 질화물계 반도체 적층(110)으로 전류가 주입되는 부분은 제2 접속 패드(130) 및 상부 연장부(130-1)의 위치 및 형태 등에 따라 제어될 수 있다. 상부 연장부(130-1)는 단수 또는 복수 개일 수 있다. 예를 들어, 도 1을 참조하면, 제2 접속 패드(130)로부터 연장된 두 개의 상부 연장부(130-1)는 제1 접속 패드(120)를 감싸는 형상을 가질 수 있다. 제2 접속 패드(130) 및 상부 연장부(130-1)는, 이에 제한되는 것은 아니지만, 금(Au), 은(Ag), 알루미늄(Al), 구리(Cu), 또는 이들을 포함한 합금 중에서 선택된 적어도 하나의 도전성 재료로 이루어질 수 있다. 또한 제2 접속 패드(130) 및 상부 연장부(130-1)는 복수의 층으로 이루어질 수 있다. 제2 접속 패드(130) 및 상부 연장부(130-1)는, 예를 들어, 크롬 층, 알루미늄 층, 니켈 층 및 금 층 중에서 선택된 적어도 두 층으로 이루어질 수 있다. 예를 들어, 제2 접속 패드(130) 및 상부 연장부(130-1)는 크롬 층, 알루미늄 층, 크롬 층, 니켈 층 및 금 층이 순차적으로 적층된 구조를 가질 수 있다. 여기서 각 층은, 예를 들어, 8.5, 1200, 1600, 900 및 2000 옹스트롬(angstrom)의 두께를 가질 수 있다. 제2 접속 패드(130) 및 상부 연장부(130-1)는 질화물계 반도체 적층(110) 상에 금속 물질을 증착하고, 이를 패터닝하여 형성될 수 있다. 이에 한정되는 것은 아니나, 제2 접속 패드(130) 및 상부 연장부(130-1)는 동일한 공정을 통해 형성될 수 있다. 또한, 제2 접속 패드(130) 및 상부 연장부(130-1)는 제1 접속 패드(120) 및 하부 연장부(120-1)와 동일한 공정을 통해 형성될 수 있다.

[77] 여기서 제1 접속 패드(120) 및 제2 접속 패드(130)는 발광소자의 전기적 연결을

위한 것으로, 예를 들어, 제1 접속 패드(120) 및 제2 접속 패드(130) 각각에 와이어 본딩(bonding)이 이루어 질 수 있다. 제1 접속 패드(120) 및 제2 접속 패드(130) 각각에 이루어진 와이어 본딩을 통해 발광소자는 외부 장치와 전기적으로 연결될 수 있고, 전원을 공급 받을 수 있다.

- [78] 제2 도전형 반도체층(113)이 p형 반도체층인 경우, 그 상부에는 Ni/Au, ITO, TCO(Transparent Conducting Oxide) 또는 NiO, ZnO 등의 금속 또는 금속산화물로 이루어진 투명 전극층(160)이 형성될 수 있다. 상기 투명 전극층(160)은 오믹 전극층으로 지칭될 수 있다. 투명 전극층(160)은 제2 도전형 반도체층(113)에 오믹 컨택을 형성하여 전류 확산 효과를 높일 수 있다, 또한 투명 전극층(160)은 일정 수준 이상의 투과율을 유지하여 발광소자의 효율과 휘도를 높일 수 있다. 여기서, 발광소자가 투명 전극층(160)을 포함하는 경우, 발광소자는 제2 접속 패드(130)와 제2 도전형 반도체층(113) 사이, 그리고 상부 연장부(130-1)와 제2 도전형 반도체층(113) 사이에 투명 전극층(160)이 개재되는 구조를 가질 수 있다.
- [79] 도 1 및 도 3을 참조하면, 투명 전극층(160)은 개구부(160a)를 포함할 수 있다. 개구부(160a)를 통해, 제2 접속 패드(130)는 제2 전류 차단층(150)과 직접 접촉될 수 있다. 개구부(160a)는 제2 접속 패드(130)와 제2 전류 차단층(150) 사이에 형성되어 있으며, 그 폭은 제2 접속 패드(130)의 폭보다 작을 수 있다. 따라서, 제2 접속 패드(130)는 테두리 영역에서 그 일부가 투명 전극층(160)과 접촉되고, 또한 중심 영역에서 그 일부가 개구부(160a)를 통해 제2 전류 차단층(150)과 접촉될 수 있다. 제2 접속 패드(160) 아래에 개구부(160a)에 의해 형성되는 단차로 인하여, 제2 접속 패드(160)의 결합력이 높아 질 수 있고, 그에 따라 발광 소자의 구조적 안정성이 향상될 수 있다.
- [80] 제1 전류 차단층(140)은, 노출 영역(110a) 내에서, 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이에 개재될 수 있다. 제1 도전형 반도체층(111)이 n형 반도체층인 경우, 제1 전류 차단층(140)은 n형 전류 차단층으로 지칭될 수 있다. 제1 전류 차단층(140)은 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이의 일부 영역에 개재될 수 있고, 그에 따라 제1 접속 패드(120)로부터 제1 도전형 반도체층(111)으로 효과적으로 전류가 넓게 분산될 수 있다.
- [81] 특히, 도 1에서와 같이, 제1 접속 패드(120)가 상부 연장부(130-1)들 사이에 위치하는 구조에서, 제1 전류 차단층(140)이 존재하지 않은 경우, 제1 접속 패드(120)를 통해 주입되는 전류의 수평 분산이 원활하게 이루어지지 않은 문제점이 발생될 수 있다. 즉, 도 1에 개시된 것과 같은 구조에서 제1 전류 차단층(140)이 존재 하지 않은 경우, 제1 접속 패드(120)로 주입되는 전류가 제1 접속 패드(120) 주위에 형성된 상부 연장부(130-1)들로 집중되는 문제점이 발생될 수 있다. 또한, 도면에는 도시되지 않았지만, 본 발명에 따른 발광 소자는 제1 접속 패드(120)가 발광소자의 제4 측면(100d)으로부터 이격된 구조에서, 상부 연장부(130-1)들이 제1 접속 패드(120)와 제4 측면(100d) 사이까지 더 연장되어 제1 접속 패드를 감쌀 수 있다. 이러한 구조에서도 마찬가지로 전류의

수평 분산이 원활하게 이루어지지 않은 문제점이 발생될 수 있다.

- [82] 이를 해결하기 위한 목적으로, 제1 전류 차단층(140)이 제1 도전형 반도체층(111)과 제1 접속 패드(120) 사이에 개재될 수 있다. 제1 전류 차단층(140)은 제1 접속 패드(120)로부터 주입되는 전류가 그 아래 위치하는 제1 도전형 반도체층(111)으로 집중되는 것을 방지할 수 있다. 즉, 제1 전류 차단층(140)에 의해, 주입되는 전류가 하부 연장부(120-1)로 분산될 수 있고 그에 따라 특정 위치, 즉 제1 접속 패드(120) 아래의 제1 도전형 반도체층에 전류가 집중되는 것이 방지될 수 있다.
- [83] 구체적으로, 제1 전류 차단층(140)은 노출 영역(110a) 내에서 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이에 개재될 수 있다. 제1 전류 차단층(140)은, 예를 들어, 원형, 사각형, 삼각형 등 임의의 형상을 가질 수 있으며 그 제한은 없다. 특히, 제1 전류 차단층(140)은 노출 영역(110a)의 형상과 유사한 원형 형상을 가질 수 있다. 하지만, 이에 한정되는 것은 아니며, 제1 전류 차단층(140)은, 추후 도 4를 통해 언급되는 것처럼, 다양한 형상 및 크기를 가질 수 있다.
- [84] 다만, 제1 전류 차단층(140)의 면적은 노출 영역(110a) 내에서 일정 수준으로 제한될 수 있다. 즉, 제1 전류 차단층(140)은 노출 영역(110a) 내의 임의의 위치에서 임의의 넓이로 형성될 수 있지만, 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이 영역의 90%를 초과하지 않아야 한다. 이는 제1 전류 차단층(140)의 면적이 증가하는 경우, 전류 분산이 잘 이루어져서 발광소자의 출력(power)이 향상될 수 있지만 일정 수준 이상 그 면적이 증가하는 경우, 발광소자의 순방향 전압(forward voltage, Vf)이 급격하게 증가할 수 있기 때문이다. 따라서, 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 사이에서의 제1 전류 차단층(140)의 면적은 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 사이 면적의 90% 이하로 제한된다. 특히, 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 사이에서 제1 전류 차단층(140)의 면적이 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 사이의 90% 수준인 경우, 발광소자의 최대 효율이 달성될 수 있다. 즉, 순방향 전압 상승 없이 발광소자의 출력이 최대가 될 수 있다. 만약, 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 사이에서 제1 전류 차단층(140)의 면적이 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 사이의 90% 이상이 되는 경우, n-컨택 영역의 부족으로 인하여 순방향 전압이 상승될 수 있다.
- [85] 도 2 및 도 3을 참조하면, 제1 전류 차단층(140)이 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이에 개재되는 경우, 제1 접속 패드(120)의 상면에 단차가 생길 수 있다. 상기 단차로 인하여, 제1 접속 패드(120)의 상면의 면적이 증가하게 된다. 제1 접속 패드(120) 상면의 면적 증가로 BST(ball scribe test)가 상승될 수 있고, 그에 따라 추후 와이어 본딩 시(미도시) 와이어와 제1 접속 패드(120) 사이의 접착력이 증대될 수 있다.

- [86] 나아가, 제1 전류 차단층(140)은 SiO_2 층 또는 저굴절 물질층과 고굴절 물질층이 교대로 적층된 분포 브래그 반사기(DBR)를 포함할 수 있다. 예컨대, 분포 브래그 반사층은 SiO_2 층과 TiO_2 층 또는 SiO_2 층과 Nb_2O_5 층이 교대로 적층된 구조를 가짐으로써, 반사율이 높은 절연 반사층이 될 수 있다. 분포 브래그 반사기는 구조적 특성 및 재질에 따라 특정 파장대의 빛에 대한 반사율이 높은 특성을 가질 수 있다.
- [87] 발광소자는 제2 전류 차단층(150)을 더 포함할 수 있다. 제2 전류 차단층(150)은 제2 접속 패드(130)와 제2 도전형 반도체층(113) 사이, 그리고 상부 연장부(130-1)와 제2 도전형 반도체층(113) 사이에 개재되어 전류 확산 효율을 증대시킬 수 있다. 제2 도전형 반도체층(113)이 p형 반도체층인 경우, 제2 전류 차단층(150)은 p형 전류 차단층으로 지칭될 수 있다. 발광소자가 투명 전극층(160)을 포함하는 경우, 제2 전류 차단층(150)은, 제2 접속 패드(130)와 제2 도전형 반도체층(113) 사이, 그리고 상부 연장부(130-1)와 제2 도전형 반도체층(113) 사이에서, 투명 전극층(160) 아래에 개재될 수 있다. 제2 접속 패드(130)와 제2 도전형 반도체층(113) 사이에 개재된 제2 전류 차단층(150)의 폭은 제2 접속 패드(130) 보다 크거나 같을 수 있다. 또한, 상부 연장부(130-1)들과 제2 도전형 반도체층(113) 사이에 개재된 제2 전류 차단층(150)의 폭은 상부 연장부(130-1)들 보다 크거나 같을 수 있다.
- [88] 제2 전류 차단층(150)은 제1 전류 차단층(140)과 동일한 물질층을 포함할 수 있다. 즉, 제2 전류 차단층(150)은 SiO_2 층 또는 저굴절 물질층과 고굴절 물질층이 교대로 적층된 분포 브래그 반사기(DBR)를 포함할 수 있다. 예컨대, 분포 브래그 반사층은 SiO_2 층과 TiO_2 층 또는 SiO_2 층과 Nb_2O_5 층이 교대로 적층된 구조를 가짐으로써, 반사율이 높은 절연 반사층이 될 수 있다. 제2 전류 차단층(150)은 제1 전류 차단층(140)과 동일할 공정을 통해 형성될 수 있다.
- [89] 또한, 발광 소자는 질화물계 반도체 적층(110) 구조의 측면을 덮는 절연층(165)을 더 포함할 수 있다. 도 2 및 도 3을 참조하면, 노출영역(110a, 110b)에서 질화물계 반도체 적층(110)의 일부 측면이 노출될 수 있다. 구체적으로 노출영역(110a, 110b)에서 활성층(112) 및 제2 도전형 반도체층(113)의 측면이 노출될 수 있다. 또한, 노출영역(110a, 110b)에서 제1 도전형 반도체층(111)의 일부 측면이 노출될 수 있다.
- [90] 절연층(165)은 노출영역(110a)에서 노출된 질화물계 반도체 적층(110)의 측면을 덮을 수 있다. 이는 노출영역(110a)에서 제1 접속 패드(120)에 와이어 본딩이 이루어 지는 경우(미도시), 상기 와이어와 질화물계 반도체 적층(110) 측면의 전기적 연결을 차단하기 위한 것이다. 절연층(165)을 통해 발광소자의 신뢰성이 향상될 수 있다.
- [91] 도 4는 본 발명의 일 실시 예에 따른 제1 전류 차단층(140)의 다양한 형태를 나타낸다. 도 4의(a) 내지 4의(h)는 제1 전류 차단층(140)의 다양한 형태를 설명하기 위한 목적으로 도 1의 일부 영역, 즉 C 영역을 나타내는 것이다.

- [92] 도 4의(a)를 참조하면, 제1 전류 차단층(140)은 노출 영역(110a) 내에서 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이에 한정되어 그 일부 영역에 개재된다. 여기서, 제1 전류 차단층(140)은 노출영역(110a) 내에서 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이의 영역을 넘어 그 이외의 영역에 형성되지 않는다. 또한, 제1 전류 차단층(140)은 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이에서 일부 영역에 개재되고, 그 사이의 나머지 영역에는 개재되지 않아 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 전기적으로 연결될 수 있고 또한 발광소자의 순방향 전압 상승을 방지할 수 있다. 또한 제1 전류 차단층(140)은 노출 영역(110b)에서 하부 연장부(120-1)와 제1 도전형 반도체층(111) 사이의 일부 영역에도 개재될 수 있다.
- [93] 도 4의(b) 내지 도 4의(e)를 참조하면, 제1 전류 차단층(140)은 노출 영역(110a) 내에서 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이 영역뿐 아니라, 노출 영역(110a) 내의 다른 부분에서도 형성되어 있다. 다만, 제1 전류 차단층(140)은 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이에서 도 4의(b)와 같이 하단 부분이 제거 되거나, 도 4의(c) 및 도 4의(d)와 같이 일부 측면들이 패이거나, 도 4의(e)와 같이 가운데 부분이 제거된 형태를 가질 수 있다. 이와 같이 제거되거나 패인 부분들을 통해 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 전기적으로 연결될 수 있고, 또한, 제1 전류 차단층(140)이 차지하는 영역이 제한되어 순방향 전압의 상승이 방지될 수 있다.
- [94] 도 4의(f) 및 도 4의(g)를 참조하면, 제1 전류 차단층(140)은 노출 영역(110a) 내에서 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이 영역뿐 아니라, 노출 영역(110a)의 내의 다른 부분에서 형성되어 있음을 알 수 있다. 또한, 제1 전류 차단층(140)은 두 부분으로 분리될 수 있다. 하지만, 이에 제한 되는 것은 아니며, 제1 전류 차단층(140)은 더 많은 부분으로 분리되어 형성될 수 있다. 이와 같이 분리된 영역을 통해 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 전기적으로 연결될 수 있고, 또한, 제1 전류 차단층(140)이 차지하는 영역이 제한되어 순방향 전압의 상승이 방지될 수 있다.
- [95] 도 4의(h)를 참조하면, 제1 전류 차단층(140)은 예외적으로 노출 영역(110a) 전체에 형성되어 있다. 따라서 노출 영역(110a)에서는 제1 접속 패드(120)와 제1 도전형 반도체층(111)은 전기적으로 연결될 수 없다. 다만, 제1 접속 패드(120)와 전기적으로 연결된 하부 연장부(120-1)가 노출 영역(110b)를 통해 제1 도전형 반도체층(111)과 전기적으로 연결되므로, 결과적으로 제1 접속 패드(120)도 제1 도전형 반도체층(111)과 전기적으로 연결되게 된다.
- [96] 도 5 내지 도 7은 본 발명의 다른 실시예에 따른 발광소자를 설명하기 위한 평면도 및 단면도들이다. 구체적으로, 도 5는 발광소자의 평면도이고, 도 6은 도 5의 평면도의 A-A'선에 대응하는 부분의 단면을 도시하고, 도 7은 도 5의 평면도의 B-B'선에 대응하는 부분의 단면을 도시한다.
- [97] 본 실시예의 발광소자는 도 1 내지 도 3을 참조하여 설명한 실시예들과

비교하여, 노출 영역(110a, 110b), 제1 접속 패드(120), 하부 연장부(120-1), 제2 접속(130) 패드 및 상부 연장부(130-1)들의 형상, 크기 및 개수 등에서 차이가 있다. 또한 본 실시예의 발광소자는 오믹 전극층(160), 절연층(170) 및 본딩패드들(180a, 180b)를 더 포함할 수 있다. 이하 차이점을 중심으로 본 실시예의 발광소자에 관하여 설명하며, 동일한 구성에 대한 상세한 설명은 생략한다.

- [98] 도 5 내지 도 7을 참조하면, 상기 발광소자는 질화물계 반도체 적층(110), 제1 접속 패드(120), 제2 접속 패드(130), 제1 전류 차단층(140) 및 제2 전류 차단층(150)을 포함한다. 나아가, 상기 발광소자는 제1 접속 패드(120)로부터 임의의 방향으로 연장된 하부 연장부(120-1) 및 제2 접속 패드(130)로부터 임의의 방향으로 연장된 상부 연장부(130-1)를 더 포함한다. 또한, 상기 발광소자는 사각형의 평면 형상을 가질 수 있다. 본 실시예에서, 상기 발광소자는 대체로 정방형의 평면 형상을 가질 수 있으며, 제1 측면(100a), 제2 측면(100b), 제1 측면(100a)에 반대하여 위치하는 제3 측면(100c), 및 제2 측면(100b)에 반대하여 위치하는 제4 측면(100d)을 포함할 수 있다. 다만 본 발명이 이에 한정되는 것은 아니다.
- [99] 질화물계 반도체 적층(110)은 제1 도전형 반도체층(111), 제1 도전형 반도체층(111) 상에 위치하는 활성층(112), 활성층(112) 상에 위치하는 제2 도전형 반도체층(113)을 포함한다. 또한, 질화물계 반도체 적층(110)은 제1 도전형 반도체층(111)을 부분적으로 노출시키는 영역(110a, 110b)을 포함할 수 있다. 노출 영역(110a, 110b)의 위치, 형태, 및 개수에 따라 전류 분산 효율 및 발광 장치의 발광 패턴이 조절될 수 있다.
- [100] 도 5를 참조하면, 제1 도전형 반도체층(111)이 부분적으로 노출되는 영역(110a, 110b)은 홀들을 포함할 수 있다. 즉, 노출 영역(110a)은 제1 홀(110a-1, 110a-2) 및 제2 홀(110a-3)을 포함할 수 있다. 노출 영역(110a)은 제1 노출 영역으로 지칭될 수 있다. 제1 홀(110a-1, 110a-2) 및 제2 홀(110a-3)은 각각 복수로 형성될 수 있다. 제1 홀(110a-1, 110b-2) 및 제2 홀(110a-3)은 대체로 원형 또는 다각형의 평면 형상을 가질 수 있다. 노출 영역(110b)은 제2 홀(110a-3)로부터 임의의 방향으로 연장되는 형태로 형성될 수 있다. 노출 영역(110b)은 제2 노출 영역으로 지칭될 수 있다. 또한 노출 영역(110b)은 제3 홀로 지칭될 수 있다. 이 때, 제 3홀(또는 노출 영역)(110b)과 제2 홀(110a-3)은 서로 연결될 수 있다. 또한, 제 3홀(110b)의 폭은 제1 홀(110a-1, 110a-2) 및 제2 홀(110a-3)의 폭보다 작거나 같을 수 있다.
- [101] 예컨대, 도 5에 도시된 바와 같이, 제1 홀(110a-1, 110a-2) 및 제2 홀(110a-3)은 원형의 평면 형상을 가지며, 복수로 형성될 수 있다. 제3 홀(110b)은 제2 홀(110a-3)로부터 연장되되, 제1 측면(100a)으로부터 제3 측면(100c)을 향해 연장되는 형태로 형성될 수 있다.
- [102] 제1 접속 패드(120)는 제1 도전형 반도체층(111)에 전기적으로 접속될 수 있으며, 특히, 제1 도전형 반도체층(111)에 오믹 콘택할 수 있다. 즉, 제1 접속

패드(120)는 제1 홀(110a-1, 110a-2) 및 제2 홀(110a-3)들을 포함하는 노출 영역(110a) 내에 형성되어 제1 도전형 반도체층(111)과 전기적으로 접속될 수 있다. 따라서, 제1 접속 패드(120)를 통해 질화물계 반도체 적층(110)으로 전류가 주입되는 부분은 노출 영역(110a)의 위치 및 형태 등에 따라 제어될 수 있다. 제1 접속 패드(120)는 도 5에 도시된 것과 같이 노출영역(110a)을 기초로 일정한 패턴으로 복수 개가 형성될 수 있으나, 이제 제한되는 것은 아니다.

[103] 하부 연장부(120-1)는 노출 영역(또는 제3 홀)(110b) 내에 형성되어 제1 도전형 반도체층(111)에 전기적으로 접속될 수 있다. 노출 영역(110b)은 제2 홀(110a-3)과 연결되는 구조이며, 따라서 하부 연장부(120-1)는 제2 홀(110a-3) 내에 형성된 제1 접속 패드(120)와 전기적으로 연결될 수 있다. 하부 연장부(120-1)는 도 5에 도시된 것과 같이 노출영역(110b)을 기초로 일정한 패턴으로 복수 개가 형성될 수 있으나, 이제 제한되는 것은 아니다.

[104] 본 실시예에 따른 발광소자는 제2 접속 패드(130)를 포함할 수 있다. 제2 접속 패드(130)는 질화물계 반도체 적층(110) 상에 위치하여, 제2 도전형 반도체층(113)과 오믹 콘택할 수 있다. 제2 접속 패드(130)는 복수로 형성될 수 있다. 또한, 발광소자는 일부 제2 접속 패드(130)로부터 연장된 상부 연장부(130-1)를 포함할 수 있다. 상부 연장부(130-1)는 제3 측면(100c)으로부터 제1 측면(100a)을 향해 연장되는 형태로 형성될 수 있으며, 복수로 형성될 수 있다. 제2 접속 패드(130)는 및 상부 연장부(130-1)는 도 5에 도시된 것과 같이 일정한 패턴으로 복수 개가 형성될 수 있으나, 이에 제한되는 것은 아니다.

[105] 여기서 제1 접속 패드(120) 및 제2 접속 패드(130)는 질화물계 반도체 적층(110)의 전기적 연결을 위한 것으로, 예를 들어, 제1 접속 패드(120) 및 제2 접속 패드(130)는 각각 제1 본딩 패드(180a) 및 제2 본딩 패드(180b)와 전기적으로 연결될 수 있다. 제1 본딩 패드(180a) 및 제2 본딩 패드(180b)를 통해 발광소자는 외부 장치와 전기적으로 연결될 수 있고, 전원을 공급 받을 수 있다.

[106] 제1 전류 차단층(140)은 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이에 개재될 수 있다. 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이의 일부 영역에 제1 전류 차단층(140)이 개재되어, 제1 도전형 반도체층(111)으로 효과적으로 전류가 넓게 분산될 수 있도록 도울 수 있다. 특히, 도 5에서와 같이, 제1 접속 패드(120)들이 상부 연장부(130-1)들 사이에 위치하는 구조의 발광소자의 경우, 제1 접속 패드(120)를 통해 주입되는 전류의 분산이 원활하게 이루어지지 않은 문제점이 발생될 수 있다. 이를 해결하기 위해, 제1 도전형 반도체층(111)과 제1 접속 패드(120) 사이에 제1 전류 차단층(140)이 개재되어 효과적으로 전류가 넓게 분산될 수 있다.

[107] 구체적으로, 제1 전류 차단층(140)은, 노출 영역(110a) 내에서, 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이에 개재될 수 있다. 제1 전류 차단층(140)은, 예를 들어, 원형, 사각형, 삼각형 등 임의의 형상을 가질 수 있으며 그 제한은 없다. 특히, 제1 전류 차단층(140)은 노출 영역(110a)의 형상과 유사한

원형 형상을 가질 수 있다. 하지만, 이에 한정되는 것은 아니다. 또한, 제1 전류 차단층(140)은 도 4에 나타난 제1 전류 차단층(140)의 여러 가지 형상들 중 하나일 수 있다.

- [108] 제1 전류 차단층(140)의 면적은 노출 영역(110a) 내에서 일정 수준으로 제한될 수 있다. 즉, 제1 전류 차단층(140)은 노출 영역(110a)의 임의의 영역에서 임의의 넓이로 형성될 수 있지만, 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이 영역의 90% 이상을 차지하지 않아야 한다. 이는 제1 전류 차단층(140)의 면적이 증가하는 경우, 전류 분산이 잘 이루어져서 발광소자의 출력(power)이 향상되지만 일정 수준 이상 그 면적이 증가하는 경우, 발광소자의 순방향 전압(forward voltage, Vf)이 급격하게 증가할 수 있기 때문이다. 따라서, 제1 전류 차단층(140)의 면적은 노출 영역(110a)에서 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 사이의 90% 이하로 제한될 수 있다. 특히, 제1 전류 차단층(140)의 면적이 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이 영역의 90% 수준인 경우, 발광소자의 최대 효율이 달성될 수 있다. 즉, 순방향 전압 상승 없이 발광소자의 출력이 최대가 될 수 있다. 만약, 제1 전류 차단층(140)의 면적이 제1 접속 패드(120)와 제1 도전형 반도체층(111)이 접하는 면적의 90% 이상이 되는 경우, n-컨택 영역의 부족으로 인하여 순방향 전압이 상승될 수 있다.
- [109] 나아가, 제1 전류 차단층(140)은 SiO₂층 또는 저굴절 물질층과 고굴절 물질층이 교대로 적층된 분포 브래그 반사기(DBR)를 포함할 수 있다. 예컨대, 분포 브래그 반사층은 SiO₂층과 TiO₂층 또는 SiO₂층과 Nb₂O₅층이 교대로 적층된 구조를 가짐으로써, 반사율이 높은 절연 반사층이 될 수 있다.
- [110] 제1 전류 차단층(140)이 제1 접속 패드(120)와 제1 도전형 반도체층(111) 사이에 개재되는 경우, 제1 접속 패드(120)의 상면에 단차(미도시)가 생길 수 있다.
- [111] 발광소자는 제2 전류 차단층(150)을 더 포함할 수 있다. 제2 전류 차단층(150)은 제2 접속 패드(130) 및 상부 연장부(130-1)와 제2 도전형 반도체층(113) 사이에 개재되어 전류 분산 효율을 증대시킬 수 있다. 제2 도전형 반도체층(113)이 p형 반도체층인 경우, 제2 전류 차단층(150)은 p형 전류 차단층으로 지칭될 수 있다. 발광소자가 오믹 전극층(160)을 포함하는 경우, 제2 전류 차단층(150)은 제2 접속 패드(130) 및 상부 연장부(130-1)와 제2 도전형 반도체층(113) 사이에서 오믹 전극층(160) 아래에 개재될 수 있다. 오믹 전극층(160)은 투명 전극층 또는 메탈 전극층일 수 있다. 제2 접속 패드(130)와 제2 도전형 반도체층(113) 사이에 개재된 제2 전류 차단층(150)의 폭은 제2 접속 패드(130) 보다 크거나 같을 수 있다. 또한, 상부 연장부(130-1)와 제2 도전형 반도체층(113) 사이에 개재된 제2 전류 차단층(150)의 폭은 상부 연장부(130-1)들의 폭보다 크거나 같을 수 있다. 제2 전류 차단층(150)은 제1 전류 차단층(140)과 동일한 물질층을 포함할 수 있다. 제2 전류 차단층(150)은 제1 전류 차단층(140)과 동일한 공정을 통해 형성될 수 있다.

- [112] 발광소자는 질화물계 반도체 적층(110) 상에 형성된 절연층(170)을 더 포함할 수 있다. 절연층(170)은 SiO_2 층 또는 저굴절 물질층과 고굴절 물질층이 교대로 적층된 분포 브래그 반사기(DBR)를 포함할 수 있다. 예컨대, 분포 브래그 반사층은 SiO_2 층과 TiO_2 층 또는 SiO_2 층과 Nb_2O_5 층이 교대로 적층된 구조를 가짐으로써, 반사율이 높은 절연 반사층이 될 수 있다. 절연층(170)은 복수의 개구부(190a, 190b)를 포함할 수 있다. 개구부(190a)를 통해 제1 접속 패드(120)와 추후 언급될 제1 본딩 패드(180a)가 전기적으로 접속될 수 있다. 또한 개구부(190b)를 통해 제2 접속 패드(130)와 추후 언급될 제2 본딩 패드(180b)가 전기적으로 연결될 수 있다. 개구부(190a) 및 개구부(190b)는 복수개가 형성될 수 있다.
- [113] 제1 본딩패드(180a) 및 제2 본딩패드(180b)는 각각 제1 접속 패드(120) 및 제2 접속 패드(130)에 전기적으로 연결될 수 있다. 도 5 내지 도 7을 참조하면, 제1 본딩패드(180a)는 개구부(190a)들을 통해 제1 접속 패드(120)와 접촉될 수 있고, 제2 본딩패드(180b)는 개구부(190b)들을 통해 제2 접속 패드(130)와 접촉될 수 있다.
- [114] 도 8 내지 10은 본 발명의 또 다른 실시예에 따른 발광 소자를 설명하기 위한 평면도들 및 단면도를 나타낸다. 구체적으로 도 8은 상기 발광 소자의 평면도이고, 도 9는 도 8의 영역 α 를 확대 도시한 것이고, 도 10은 도 8의 C-C'선에 대응하는 부분의 단면을 도시한다.
- [115] 본 실시예에 따른 발광 소자는 도 1에 개시된 발광 소자와 대부분의 구성이 동일하며, 다만 제1 접속 패드(220), 하부 연장부(220-1), 제1 전류 차단층(240) 및 절연층(265)의 형상에 있어서 다소 차이가 존재한다. 또한 본 실시예에 따른 발광 소자는 제3 전류 차단층(270)을 더 포함한다. 이하 동일한 구성에 대한 설명은 생략되며, 도 9에 확대 도시된 이들의 평면 형상을 참조하여 그 차이점 위주로 기술된다.
- [116] 도 9에서 제1 접속 패드(220)의 평면도가 나타나 있다. 제1 접속 패드(220)는 제1 도전형 반도체층(111)과 접속된다. 도 9를 참조하면, 제1 접속 패드(220)의 테두리는 제1 곡선 영역(221)을 포함한다. 또한 제1 접속 패드(220)의 테두리는 직선 영역들을 포함할 수 있다. 제1 접속 패드(220)의 테두리의 형상은 제1 접속 패드(220)와 제1 도전형 반도체층(111)이 접하는 영역의 최 외각 테두리의 형상과 동일하거나 유사할 수 있다. 이에 따라, 제1 접속 패드(220)의 테두리와 제1 접속 패드(220)와 제1 도전형 반도체층(111)이 접하는 영역의 최 외각 테두리는 동일한 의미로 사용될 수 있다. 제1 곡선 영역(221)은 상기 테두리의 적어도 일부를 의미한다.
- [117] 제1 곡선 영역(221)은 곡률 반경 R_1 값을 가질 수 있다. 즉, 제1 곡선 영역(221)은 $1/R_1$ 의 곡률을 가질 수 있다. 제1 곡선 영역(221)은 직선 영역들을 연결할 수 있다. 도 9를 참조하면, 제1 접속 패드(220)에서 네 개의 제1 곡선 영역(221)들이 네 개의 직선 영역들을 연결하는 것이 개시되어 있다.

- [118] 제1 접속 패드(220)가 제1 곡선 영역(221)들을 포함하고, 제1 곡선 영역(221)들이 직선 영역들을 연결하는 것에 따라, 제1 접속 패드(220)는 각진 부분을 포함하지 않을 수 있다.
- [119] 이는, 먼저 제1 접속 패드(220)의 형성을 위한 공정에 있어서, 유리하게 작용될 수 있다. 예를 들어, 제1 접속 패드(220)는 마스크를 이용한 리프트 오프 방식으로 메탈을 증착하여 형성될 수 있다. 이때, 제1 접속 패드(220)가 각진 부분을 포함하도록 설계된 경우, 제1 접속 패드(220) 형성을 위한 마스크도 마찬가지로 각진 부분을 포함하게 된다. 제1 접속 패드(220) 형성을 위한 메탈을 증착할 때, 상기 마스크의 각진 부분에서 메탈의 증착이 원활하게 이루어지지 않을 수 있다. 이 경우 설계된 형상에 따른 제1 접속 패드(220)를 얻기 어렵다. 반대로, 제1 접속 패드(220)가 제1 곡선 영역(221)들을 포함하는 것에 따라 각진 영역을 포함하지 않도록 설계된 경우, 설계된 형상의 제1 접속 패드(220)를 용이하게 얻을 수 있다.
- [120] 또한, 제1 접속 패드(220)가 각진 부분을 포함하는 경우, 제1 접속 패드(220)에 본딩 된 와이어를 통해 주입되는 전류가 제1 접속 패드(220)의 각진 부분에 집중될 수 있다. 이는 발광 소자에서 전류가 수평 방향으로 고르게 분산되는 것을 방해하여, 결과적으로 발광 소자의 출력을 저하시킬 수 있다. 제1 접속 패드(220)가 제1 곡선 영역(221)을 포함하는 것에 따라 각진 부분을 포함하지 않도록 설계되는 경우, 위와 같은 전류 집중 현상이 발생되지 않으며, 그에 따라 전류가 수평 방향으로 고르게 분산될 수 있다. 이에 따라, 발광 소자의 ESD(electro static discharge), EOS(electro over stress)가 개선될 수 있다.
- [121] 제1 전류 차단층(240)은 제1 접속 패드(220)와 제1 도전형 반도체층(111) 사이에 개재될 수 있다. 제1 전류 차단층(240)은 제1 접속 패드(220)와 제1 도전형 반도체층(111) 사이의 일부 영역에 개재될 수 있고, 그에 따라 제1 접속 패드(220)로부터 제1 도전형 반도체층(111)으로 효과적으로 전류가 넓게 분산될 수 있다.
- [122] 도 9에 확대 도시된 제1 전류 차단층(240)의 평면 형상을 참조하면, 제1 전류 차단층(240)의 평면 형상은 제1 접속 패드(220)의 평면 형상과 매우 유사할 수 있다. 제1 전류 차단층(240)의 테두리는 제2 곡선 영역을 포함할 수 있다. 또한, 제1 전류 차단층(240)의 테두리는 직선 영역들을 포함할 수 있다. 이때, 제2 곡선 영역(241)은 제1 곡선 영역(221)의 내측에 인접하여 배치될 수 있다. 예를 들어, 제1 곡선 영역(221)과 제2 곡선 영역(241)을 동일한 중심(미도시)을 공유할 수 있으며, 이때, 제2 곡선 영역(241)은 제1 곡선 영역(221)과 상기 중심을 통해 형성되는 부채꼴 영역 내에 위치할 수 있다. 즉, 제1 곡선 영역(221)의 양단과 상기 중심을 연결하는 가상의 선 및 제1 곡선 영역(221)에 의해 형성되는 영역 내에서, 제2 곡선 영역(241)은 제1 곡선 영역(221)과 나란히 위치할 수 있다. 또한, 제2 곡선 영역(241)은 곡률 반경 R_2 값을 가질 수 있으며, 여기서 R_2 값은 R_1 값에 비해 더 작을 수 있다. 이에 따라, 제1 곡선 영역(221)과 그 내측에 위치하는 제2 곡선 영역(241)의 간격(G1)이 균일하게 유지될 수 있다.

- [123] 또한, 제1 곡선 영역(221)과 제2 곡선 영역(241)의 간격(G1)은 제1 접속 패드(220)의 직선 영역과 제1 전류 차단층(240)의 직선 영역 사이의 간격과 동일하게 형성될 수 있다. 이에 따라, 제1 전류 차단층(240)에 의해 정의되는, 제1 접속 패드(220)와 제1 도전형 반도체층(111)이 접하는 영역의 폭이 균일하게 형성될 수 있다. 이를 통해, 제1 접속 패드(220)를 통해 주입되는 전류가 모든 방향으로 균일하게 분배될 수 있다.
- [124] 하부 연장부(220-1)는 제1 접속 패드(220)로부터 연장되며, 제1 도전형 반도체층(111)과 접촉될 수 있다. 도 9를 참조하면, 하부 연장부(220-1)는 연결부(220-1a) 및 메인 연장부(220-1b)를 포함할 수 있다. 연결부(220-1a)는 메인 연장부(220-1b)를 제1 접속 패드(220)에 연결할 수 있다.
- [125] 도 9에서, 연결부(220-1a)의 평면 형상이 나타나 있다. 도 9를 참조하면, 연결부(220-1a)의 테두리는 제3 곡선 영역(221-1)을 포함할 수 있다. 연결부(220-1a)는 두 개의 제3 곡선 영역(221-1)을 포함할 수 있으며, 여기서 제3 곡선 영역(221-1)은 곡률 반경 R_3 값을 가질 수 있다. 연결부(220-1a)가 제3 곡선 영역(221-1)을 포함하는 것에 따라, 연결부(220-1a)의 폭(G2)은 제1 접속 패드(220)로부터 멀어질수록 감소할 수 있다. 다만, 연결부(220-1a)의 최소 폭은 제1 곡선 영역(221)과 제2 곡선 영역(241) 사이의 간격(G1)보다 크게 형성될 수 있다. 그에 따라, 제1 접속 패드(220)를 통해 주입되는 전류 중 비교적 큰 비율이, 비교적 큰 넓이를 갖는 연결부(220-1a) 쪽으로 원활하게 주입될 수 있다. 또한, 연결부(220-1a)의 폭(G2)이 상대적으로 넓게 형성되는 경우, 연결부(220-1a)가 제1 접속 패드(220)와 단선될 수 있는 위험이 감소하여, 발광 소자의 신뢰성이 향상될 수 있다.
- [126] 다만, R_3 값은 R_1 값 및 R_2 값에 비해 작게 형성될 수 있다. 즉, 제3 곡선 영역(221-1)은 제1 곡선 영역(221) 및 제2 곡선 영역(241)에 비해 굽은 정도가 더 클 수 있다. 여기서, R_3 값이 R_1 값이나 R_2 값보다 크다면, 제1 접속 패드(220)에 인접하는 연결부(220-1a)의 폭이 상대적으로 매우 커지게 된다. 즉, 연결부(220-1a)의 평면 영역이 상대적으로 매우 넓어지게 될 수 있다. 이는, 더 넓은 노출 영역(110a, 110b)을 요구하게 되며, 그에 따라 발광 영역이 감소하여 발광 소자의 출력이 감소될 수 있다.
- [127] 메인 연장부(220-1b)의 일단은 상기 연결부(220-1a)에 접속된다. 메인 연장부(220-1b)의 폭(G3)은 상기 제1 곡선 영역(221) 및 제2 곡선 영역(241) 사이의 간격(G1)보다 크거나 같을 수 있다. 예를 들어, 메인 연장부(220-1b)의 폭(G3)은 $5\mu\text{m}$ 이고, 상기 제1 곡선 영역(221) 및 제2 곡선 영역(241) 사이의 간격(G1)은 $4\mu\text{m}$ 일 수 있다. 다만, 메인 연장부(220-1b)의 폭(G3) 및 제1 곡선 영역(221) 및 제2 곡선 영역(241) 사이의 간격(G1)은 이에 제한되는 것은 아니며, 본 발명의 목적 범위 내에서 다양하게 변경될 수 있다.
- [128] 앞서 언급된 것처럼, 상기 제1 곡선 영역(221) 및 제2 곡선 영역(241) 사이의 간격(G1)은 상기 제1 접속 패드(220)가 제1 도전형 반도체층(111)에 접속되는

영역과 관련된다. 즉, 제1 곡선 영역(221) 및 제2 곡선 영역(241) 사이의 간격(G1)이 클수록 제1 접속 패드(220)가 제1 도전형 반도체층(111)에 접속되는 면적이 증가하게 된다. 연결부(220-1a)의 폭(G2)을 상기 제1 곡선 영역(221) 및 상기 제2 곡선 영역(241)사이의 간격(G1)보다 크게 하거나, 또는 메인 연장부(220-1b)의 폭(G3)을 상기 제1 곡선 영역(221) 및 제2 곡선 영역(241) 사이의 간격(G1)보다 크게 하여, 제1 접속 패드(220)로 주입되는 전류가 하부 연장부(220-1) 쪽으로 더 원활하게 유도(guide)될 수 있다.

[129] 절연층(265)은 노출 영역(110a)에서 반도체 적층(110)의 측면의 일부를 덮을 수 있다. 구체적으로, 노출 영역(110a)에서 활성층(112) 및 제2 도전형 반도체층(113)의 측면 일부가 노출될 수 있다. 절연층(265)은 활성층(112) 및 제2 도전형 반도체층(113)의 노출된 측면을 덮어, 제1 접속 패드(220)에 본딩(bonding)되는 와이어가 상기 노출된 활성층(112) 및 제2 도전형 반도체층(113)과 접속되는 것을 차단할 수 있다. 이에 따라, 발광 소자의 신뢰성이 높아질 수 있다.

[130] 도 9 및 도 10을 참조하면, 본 실시예에 따른 절연층(265)은 도 1 내지 3에 개시된 절연층(265)과 달리 하부 연장부(220-1) 아래에도 배치될 수 있다. 즉, 본 실시예에 따른 절연층(265)은 단절되지 않은 하나의 띠 형태를 갖고, 그 일부가 하부 연장부(220-1)에 의해 덮이는 구조를 가질 수 있다. 그에 따라, 본 실시예에 따른 절연층(265)은 단절된 형태의 도 1 내지 3의 절연층(265) 보다 더 높은 구조적 안정성을 가질 수 있다. 예를 들어, 본 실시예에 따른 절연층(265)은 그 일부가 하부 연장부(220-1)에 의해 고정되어, 박리 위험이 감소될 수 있다.

[131] 또한, 앞서 언급된 것처럼 연결부(220-1a)의 폭(G2)이 제1 곡선 영역(221) 및 제2 곡선 영역(241)의 간격(G1) 또는 메인 연장부(220-1b)의 폭(G3)보다 상대적으로 클 수 있다. 이에 따라, 연결부(220-1a)가 제1 도전형 반도체층(111)과 접하는 면적이 상대적으로 클 수 있고, 이 경우 메인 연장부(220-1b)쪽으로 전류가 원활하게 주입되지 않을 수 있다. 따라서, 절연층(265)의 일부가 연결부(220-1a) 아래에 배치되어, 연결부(220-1a)와 제1 도전형 반도체층(111)의 접속 영역을 제한하여 메인 연장부(220-1b)쪽으로 전류의 주입량을 더 높일 수 있다.

[132] 제3 전류 차단층(270)은 하부 연장부(220-1) 아래 위치할 수 있다. 도 8 및 도 10을 참조하면, 제3 전류 차단층(270)은 서로 이격된 복수의 도트를 포함할 수 있다. 제3 전류 차단층(270)의 폭은 하부 연장부(220-1), 구체적으로 메인 연장부(220-1b)의 폭보다 클 수 있다. 그에 따라 제3 전류 차단층(270)은 메인 연장부(220-1b)가 제1 도전형 반도체층(111)에 접속되는 것을 제한할 수 있다. 메인 연장부(220-1b)는 제3 전류 차단층(270)에 의해 불연속적으로 상기 제1 도전형 반도체층(111)에 접속될 수 있다. 즉, 메인 연장부(220-1b)는 상기 복수의 도트들 사이의 영역에서만 제1 도전형 반도체층(111)에 접속될 수 있다. 각각의 도트 사이의 이격 거리를 제어하여, 하부 연장부(220-1)가 제1 도전형 반도체층(111)에 접속되는 거리를 제어할 수 있다. 각 도트 사이의 거리는 특별히

제한되지 않으며, 다양하게 설정될 수 있다. 예를 들어, 각 도트 사이의 거리는 동일하게 설정될 수 있다.

[133] 제3 전류 차단층(270)은 제1 접속 패드(220)를 통해 주입되는 전류가 하부 연장부(220-1), 구체적으로 메인 연장부(220-1b)의 말단까지 전달될 수 있게 하여, 넓은 영역으로 전류가 주입되도록 할 수 있다. 다만, 메인 연장부(220-1b)의 말단에는 제3 전류 차단층(270)이 배치되지 않는다. 이는 메인 연장부(220-1b)의 말단이 제1 도전형 반도체층(111)과 접속되어 상부 연장부(130-1) 또는 제2 접속 패드(130)쪽으로 전류가 원활하게 주입되게 하기 위한 것이다.

[134] 도 11 및 12는 본 발명의 또 다른 실시예에 따른 발광 소자를 설명하기 위한 평면도들이다. 구체적으로, 도 11은 본 실시예에 따른 발광 소자의 평면도를 나타내고, 도 12는 도 11의 영역 β 를 확대 도시한 것이다.

[135] 본 실시예에 따른 발광 소자는 도 8 내지 10에 개시된 발광 소자와 대부분의 구성이 동일하며, 반도체 적층(110)의 측면 형상 및 제1 접속 패드(320), 하부 연장부(320-1), 상부 연장부(230-1), 제1 전류 차단층(340)의 형상에 있어서 차이가 존재한다. 이하 동일한 구성에 대한 설명은 생략되며, 그 차이점을 중심으로 기술된다.

[136] 반도체 적층(110)의 측면은 복수의 그루브(groove) (110g)를 포함할 수 있다. 도 11을 참조하면, 발광 소자의 각 측면들(100a 내지 100d) 근처에서, 반도체 적층(110)은 제2 도전형 반도체층(113) 및 활성층(112)을 통해 제1 도전형 반도체층(111)을 노출시키는 노출영역(110c)을 포함할 수 있다.

[137] 노출영역(110c)이 형성됨에 따라, 발광 소자의 측면들(100a 내지 100d)을 따라 활성층(112) 및 제2 도전형 반도체층(113)의 측면이 노출될 수 있다. 또한, 제1 도전형 반도체층(111)의 측면 일부가 노출될 수 있다. 상기 노출된 활성층(112), 제2 도전형 반도체층(113)(및 제1 도전형 반도체층(111))의 측면은 내측으로 함입된 복수의 그루브(110g)들을 포함할 수 있다. 복수의 그루브(110g)들은, 도 11에 도시된 것과 같이, 발광 소자의 각 측면들(100a 내지 100d)을 따라 형성될 수 있다.

[138] 복수의 그루브(110g)들은 상기 노출된 활성층(112) 및 제2 도전형 반도체층(113)의 측면을 통해 방출되는 광의 추출 효율을 향상시킬 수 있다. 즉, 복수의 그루브(110g)를 통해 활성층(112) 및 제2 도전형 반도체층(113)의 측면을 통해 방출되는 광의 내부 전반사가 감소될 수 있고, 그에 따라 발광 소자의 전체적인 광 추출 효율이 향상될 수 있다.

[139] 도 12에서 제1 접속 패드(320) 및 제1 전류 차단층(340)의 평면 형상이 확대 도시되어 있다. 도 12를 참조하면, 제1 접속 패드(320)의 테두리는 제1 곡선 영역을 포함한다. 예를 들어, 제1 접속 패드(320)는 두 개의 하부 연장부(320-1)를 사이에 두고 위치하는 두 개의 제1 곡선 영역들(321, 322)을 포함할 수 있다. 여기서, 두 개의 제1 곡선 영역들(321, 322)은 제1 접속 패드(320)가 원형 형상을 갖는 것에 따라, 동일하게 곡률 반경 R_1 값을 가질 수 있다. 즉, 제1 곡선

영역들(321, 322)은 $1/R_1$ 의 곡률을 가질 수 있다.

- [140] 제1 전류 차단층(340)은 제1 접속 패드(320)와 제1 도전형 반도체층(111) 사이에 개재되며, 제2 곡선 영역(341)을 포함할 수 있다. 도 12에 도시된 것과 같이, 제1 전류 차단층(340)이 제1 접속 패드(320)와 유사하게 원형의 평면 형상을 가지므로, 제2 곡선 영역(341)은 R_2 값의 단일의 곡률 반경을 가질 수 있다. 이때, 상대적으로 외측에 위치하는 제1 곡선 영역(321, 322)의 곡률 반경 R_1 값이 상대적으로 내측에 위치하는 제2 곡선 영역(341)의 곡률 반경 R_2 값보다 클 수 있다.
- [141] 제1 곡선 영역들(321, 322)과 제2 곡선 영역(341) 사이의 간격($G1$)은 균일하게 유지될 수 있다. 이에 따라, 제1 전류 차단층(340)에 의해 정의되는, 제1 접속 패드(320)와 제1 도전형 반도체층(111)이 접하는 영역의 폭($G1$)이 균일하게 형성될 수 있다. 이를 통해, 제1 접속 패드(320)를 통해 주입되는 전류의 균일한 분배가 이루어 질 수 있다.
- [142] 하부 연장부(320-1)는 복수로 형성될 수 있다. 도 11 및 도 12를 참조하면, 두 개의 하부 연장부(320-1)들이 제1 접속 패드(320)로부터 연장되어 발광 소자의 제4 측면(100d)에서 제2 측면(100b)으로 연장되는 것이 개시되어 있다. 다만, 하부 연장부(320-1)들의 형상 및 개수가 도 11 및 도 12에 개시된 것으로 제한되는 것은 아니며, 본 발명의 목적 범위에서 다양하게 변경될 수 있다.
- [143] 각각의 하부 연장부들(320-1)은 연결부(320-1a) 및 메인 연장부(320-1b)를 포함할 수 있다. 연결부(320-1a)는 메인 연장부(320-1b)를 제1 접속 패드(320)에 연결할 수 있다. 도 12에 개시된 연결부(320-1a)의 평면 형상을 참조하면, 연결부(320-1a)의 테두리는 제3 곡선 영역(321-1)을 포함할 수 있다. 이때, 제3 곡선 영역(321-1)은 곡률 반경 R_3 값을 가질 수 있다.
- [144] 연결부(320-1a)가 제3 곡선 영역(321-1)을 포함하는 것에 따라, 연결부(320-1a)의 폭($G2$)은 제1 접속 패드(320)로부터 멀어질수록 감소할 수 있다. 다만, 제1 접속 패드(320)에 인접하는 연결부(320-1a)의 폭($G2$)은 제1 곡선 영역(321, 322)과 제2 곡선 영역(341) 사이의 간격($G1$)보다 크게 형성될 수 있다. 그에 따라, 제1 접속 패드(320)를 통해 주입되는 전류 중 비교적 큰 비율이, 비교적 큰 넓이를 갖는 연결부(320-1a) 쪽으로 주입될 수 있다.
- [145] 여기서, R_3 값은 R_1 값 및 R_2 값에 비해 작게 형성될 수 있다. 즉, 제3 곡선 영역(321-1)은 제1 곡선 영역(321, 322) 및 제2 곡선 영역(341)에 비해 굽은 정도가 더 클 수 있다. 여기서, R_3 값이 R_1 값이나 R_2 값보다 크다면, 제1 접속 패드(320)에 인접하는 연결부(320-1a)의 폭이 상대적으로 매우 커지게 된다. 즉, 연결부(320-1a)의 평면 영역이 상대적으로 매우 넓어지게 될 수 있다. 이는, 더 넓은 노출 영역(100a, 100b)을 요구하게 되며, 그에 따라 발광 영역이 감소하여 발광 소자의 출력을 감소시킬 수 있다.
- [146] 메인 연장부(320-1b)의 일단은 상기 연결부(320-1a)에 접속된다. 메인 연장부(320-1b)는 직선 영역 및 상기 직선 영역과 연결부(320-1a) 사이에

위치하는 곡선 영역을 포함할 수 있다. 메인 연장부(320-1b)의 폭(G3)은 상기 제1 곡선 영역(321, 322) 및 제2 곡선 영역(341) 사이의 간격(G1)보다 크거나 같을 수 있다.

- [147] 상부 연장부(230-1)는 제2 접속 패드(230)로부터 연장되며, 복수로 형성될 수 있다. 도 11을 참조하면, 제2 접속 패드(230)로부터 연장된 세 개의 상부 연장부(230-1)들이 도시되어 있다. 상부 연장부(230-1)들은 대체로 발광 소자의 제2 측면(100b)으로부터 제4 측면(100d) 방향으로 연장될 수 있다. 이때, 두 개의 상부 연장부(230-1)들은 하부 연장부(320-1)들 및 제1 접속 패드(320)를 감싸는 형상을 가질 수 있으며, 다른 하나의 상부 연장부(230-1)는 두 개의 하부 연장부(320-1)들 사이에 위치할 수 있다. 도 11에 개시된 것과 같은 제1 접속 패드(320), 하부 연장부(320-1)들, 제2 접속 패드(230) 및 상부 연장부(230-1)들의 배치를 통해, 전류가 수평 방향으로 원활하게 분산될 수 있다.
- [148] 도 13 및 14는 본 발명의 또 다른 실시예에 따른 발광 소자를 설명하기 위한 평면도들이다. 구체적으로, 도 13은 본 실시예에 따른 발광 소자의 평면도를 나타내고, 도 14는 도 13의 영역 γ 를 확대 도시한 것이다.
- [149] 본 실시예에 따른 발광 소자는 도 8 내지 도 10에 개시된 발광 소자와 대부분의 구성이 동일하며, 다만 노출 영역, 제1 접속 패드(420), 하부 연장부(420-1), 제1 전류 차단층(440) 및 상부 연장부(330-1)의 형상에 있어서 다소 차이가 존재한다. 또한, 본 실시예에 따른 발광 소자는 제3 전류 차단층을 포함하지 않는다. 이하 동일한 구성에 대한 설명은 생략하며, 그 차이점을 중심으로 기술된다.
- [150] 노출 영역(110a, 110b)은 제2 도전형 반도체층(113) 및 활성층(112)을 통해 제1 도전형 반도체층(111)을 노출시킬 수 있다. 도 13을 참조하면, 제1 접속 패드(420)를 위한 노출 영역(110a)은 발광 소자의 제1 측면(100a)과 제4 측면(100d)이 만나는 영역에 인접하여 위치하며, 하부 연장부(420-1)를 위한 노출 영역(110b)은 제1 측면(100a)에 인접하여 위치할 수 있다.
- [151] 제1 접속 패드(420)는 노출 영역(100a)을 통해 제1 도전형 반도체층(111)에 접속될 수 있다. 제1 접속 패드(420)의 테두리는 직선 영역 및 제1 곡선 영역(421)을 포함할 수 있다. 예를 들어, 도 14에 개시된 제1 접속 패드(420)의 평면 형상을 참조하면, 두 개의 제1 곡선 영역(421)들이 노출 영역(110a) 형성과정에서 노출되는 반도체 적층(110)의 측면에 인접하여 위치할 수 있다. 각각의 제1 곡선 영역(421)은 곡률 반경 R_1 값을 가지며, 직선 영역을 연결할 수 있다.
- [152] 제1 전류 차단층(440)은 제1 접속 패드(420)와 제1 도전형 반도체층(111) 사이에 개재되며, 제1 전류 차단층(440)의 테두리는 직선 영역 및 제2 곡선 영역(441)을 포함할 수 있다. 제2 곡선 영역(441)은 곡률 반경 R_2 값을 가지며, 제1 곡선 영역(421) 내측에 위치할 수 있다. 구체적으로, 제1 곡선 영역(421)과 제2 곡선 영역(441)은 동일한 중심을 공유하며, 제1 곡선 영역(421)은 제2 곡선 영역(441)과 제1 곡선 영역(421)을 통해 형성되는 부채꼴의 내부에 위치할 수

있다. 즉, 제2 곡선 영역은, 제1 곡선 영역과 제1 곡선 영역의 양단과 상기 중심을 연결하는 가상의 직선에 의해 형성되는 영역 내에 위치할 수 있다. 여기서, R_2 값은 R_1 값보다 작다. 또한, 제1 곡선 영역(421)과 제2 곡선 영역(441) 사이의 간격(G1)은 균일하게 유지될 수 있다. 또한, 제1 곡선 영역(421)과 제2 곡선 영역(441) 사이의 간격(G1)은 제1 접속 패드(420)의 직선 영역과 제1 전류 차단층(440)의 직선 영역 사이의 간격과 동일할 수 있다. 이에 따라, 제1 전류 차단층(440)에 의해 정의되는, 제1 접속 패드(420)와 제1 도전형 반도체층(111)이 접하는 영역의 폭이 균일하게 형성될 수 있다. 특히, 노출된 반도체 적층(110)과 인접한 부분에서, 제1 접속 패드(420)와 제1 도전형 반도체층(111)이 접하는 영역의 폭이 균일하게 형성될 수 있다. 이를 통해, 제1 접속 패드(420)를 통해 주입되는 전류의 균일한 분배가 이루어 질 수 있다.

- [153] 하부 연장부(420-1)는 발광 소자의 제1 측면(100a)을 따라 형성된 노출 영역(110b)에서, 제1 도전형 반도체층(111)에 접속될 수 있다. 하부 연장부(420-1)는 제1 접속 패드(420)로부터 발광 소자의 제1 측면(100a)을 따라 연장될 수 있다.
- [154] 하부 연장부(420-1)는 연결부(420-1a) 및 메인 연장부(420-1b)를 포함할 수 있다. 연결부(420-1a)는 메인 연장부(420-1b)를 제1 접속 패드(420)와 연결할 수 있다. 도 14에 도시된 연결부(420-1a)의 평면 형상을 참조하면, 연결부(420-1a)의 테두리는 제3 곡선 영역(421-1)을 포함할 수 있다. 제3 곡선 영역(421-1)은 곡률 반경 R_3 값을 가질 수 있다. 다만, 도 8 및 도 12에 개시된 실시예와는 달리, 본 실시예에 따른 연결부(420-1a)는 단일의 제3 곡선 영역(421-1)을 포함하며, 단일의 제3 곡선 영역(421-1)은 노출된 반도체 적층(110)의 측면에 인접하여 배치된다. 따라서, 이에 제한되는 것은 아니지만, 본 실시예에 따른 연결부(420-1a)의 폭(G2) 또는 넓이는 도 8 및 도 12에 개시된 연결부(420-1a)의 폭 또는 넓이와 비교하여 더 작을 수 있다. 따라서, 본 실시예에 따른 발광 소자는 절연층(465)이 비교적 작은 폭 또는 넓이를 갖는 연결부(420-1a) 아래 배치되지 않아, 연결부(420-1a)가 전체적으로 제1 도전형 반도체층(111)에 접속될 수 있다.
- [155] 연결부(420-1a)가 제3 곡선 영역(421-1)을 포함하는 것에 따라, 연결부(420-1a)의 폭(G2)은 제1 접속 패드(420)로부터 멀어질수록 감소할 수 있다. 다만, 제1 접속 패드(420)에 인접하는 연결부(420-1a)의 폭(G2)은 제1 곡선 영역(421)과 제2 곡선 영역(441) 사이의 간격(G1)보다 크게 형성될 수 있다. 그에 따라, 제1 접속 패드(420)를 통해 주입되는 전류 중 비교적 큰 비율이, 비교적 큰 넓이를 갖는 연결부(420-1a) 쪽으로 주입될 수 있다.
- [156] 여기서, R_3 값은 R_1 값 및 R_2 값에 비해 작게 형성될 수 있다. 즉, 제3 곡선 영역(421-1)은 제1 곡선 영역(421) 및 제2 곡선 영역(441)에 비해 굽은 정도가 더 클 수 있다. 여기서, R_3 값이 R_1 값이나 R_2 값보다 크다면, 제1 접속 패드(420)에 인접하는 연결부(420-1a)의 폭(G2)이 상대적으로 매우 커지게 된다. 즉, 연결부(420-1a)의 평면 영역이 상대적으로 매우 넓어지게 될 수 있다. 이는, 더

넓은 노출 영역(100a, 100b)을 요구하게 되며, 그에 따라 발광 영역이 감소하여 발광 소자의 출력을 감소시킬 수 있다.

- [157] 메인 연장부(420-1b)의 일단은 상기 연결부(420-1a)에 접속된다. 메인 연장부(420-1b)의 폭(G3)은 상기 제1 곡선 영역(421) 및 제2 곡선 영역(441) 사이의 간격(G1)보다 크거나 같을 수 있다.
- [158] 상부 연장부(330-1)는 제2 접속 패드(330)로부터 연장될 수 있다. 도 13을 참조하면, 상부 연장부(330-1)는 제2 접속 패드(330)로부터 발광 소자의 제 4측면(100d) 방향으로 연장될 수 있다. 상부 연장부(330-1)와 하부 연장부(420-1)는 서로 대향하여 배치될 수 있으며, 이에 따라 주입되는 전류가 발광 소자의 전 영역으로 넓게 분산될 수 있다.
- [159] 도 15 및 16은 본 발명의 또 다른 실시예에 따른 발광 소자를 설명하기 위한 평면도들이다. 구체적으로, 도 15는 본 실시예에 따른 발광 소자의 평면도를 나타내고, 도 16은 도 15의 영역 λ 를 확대 도시한 것이다.
- [160] 본 실시예에 따른 발광 소자는 도 8 내지 도 10에 개시된 발광 소자와 대부분의 구성이 동일하며, 다만, 서로 직 간접적으로 연결되는 복수의 발광셀들을 포함하는 것과, 제1 접속 패드(520), 하부 연장부(520-1), 제1 전류 차단층(540), 제2 접속 패드(430), 상부 연장부(430-1)의 형상에 있어서 다소 차이가 존재한다. 이하 동일한 구성에 대한 설명은 생략하며, 그 차이점을 중심으로 기술 된다.
- [161] 도 15를 참조하면, 본 실시예에 따른 발광 소자는 제1 내지 제3 발광셀(C1, C2, C3), 제4 내지 제6 발광셀(D1, D2, D3) 및 제7 내지 제9 발광셀(E1, E2, E3)을 포함할 수 있다. 또한, 발광 소자는 제1 접속 패드(520) 및 제2 접속 패드(430)를 포함하며, 상부 연장부(430-1a, 430-1b)들과 하부 연장부(520-1)들을 포함할 수 있다. 상부 연장부(430-1)는 보조 상부 연장부(430-1a) 및 주 상부 연장부(430-1b)로 구분될 수 있다.
- [162] 제1 내지 제3 발광셀(C1, C2, C3)은 분리 홈(115)에 의해 제4 내지 제6 발광셀(D1, D2, D3)로부터 분리될 수 있다. 또한, 제4 내지 제6 발광셀(D1, D2, D3)은 분리 홈(117)에 의해 제7 내지 제9 발광셀(E1, E2, E3)로부터 분리될 수 있다. 이에 따라, 제1 발광셀(C1), 제2 발광셀(C2)과 제3 발광셀(C3)은 제1 도전형 반도체층(111a)을 공유하며, 제4 발광셀(D1), 제5 발광셀(D2)과 제6 발광셀(D3)은 제1 도전형 반도체층(111b)을 공유할 수 있다. 또한, 제7 발광셀(E1), 제8 발광셀(E2)과 제9 발광셀(E3)은 제1 도전형 반도체층(111c)을 공유할 수 있다. 분리 홈(115, 117)은 아이솔레이션 공정에 의해 형성되며, 분리 홈(115, 117)에서 기판(101)이 노출될 수 있다.
- [163] 이와 달리, 제1 발광셀(C1)과 제2 발광셀(C2), 제4 발광셀(D1)과 제5 발광셀(D2), 그리고 제7 발광셀(E1)과 제8 발광셀(E2)은 제1 도전형 반도체층(111a, 111b, 111c)을 노출시키는 메사 홈(113a)을 형성하는 메사 식각 공정에 의해 각각 분리될 수 있다. 또한, 제2 발광셀(C2)과 제3 발광셀(C3), 제5 발광셀(D2)과 제6 발광셀(D3), 그리고 제8 발광셀(E2)과 제9 발광셀(E3)은 제1

도전형 반도체층(111a, 111b, 111c)을 노출시키는 메사 홈(113b)을 형성하는 메사 식각 공정에 의해 각각 분리될 수 있다.

- [164] 즉, 제1 도전형 반도체층(111a, 111b, 111c), 활성층(112) 및 제2 도전형 반도체층(113)을 포함하는 반도체 적층(110)은 메사 홈(113a, 113b) 및 분리 홈(115, 117)에 의해 제1 내지 제9 발광셀들(C1, C2, C3, D1, D2, D3, E1, E2, E3)로 분리될 수 있다.
- [165] 제1 발광셀(C1)과 제3 발광셀(C3)은 제1 접속 패드(520)와 제2 접속 패드(430)를 연결한 가상선을 기준으로 대칭되는 형상을 가질 수 있다. 제4 내지 제6 발광셀들(D1, D2, D3) 각각의 형상은 서로 동일할 수 있다. 또한, 제7 발광셀(E1)과 제9 발광셀(E3)은 제1 접속 패드(520)와 제2 접속 패드(430)를 연결한 가상선을 기준으로 서로 대칭되는 형상을 가질 수 있다.
- [166] 여기서, 제2 접속 패드(430)가 형성된 제2 발광셀(C2) 및 제1 접속 패드(520)의 형성과 관련된 제8 발광셀(E2)은 다른 발광셀들과 그 형상에 있어서 비교적 큰 차이를 갖는다. 제1 접속 패드(520)는 발광 소자의 제 4측면(100d)에 인접하여 배치되고, 제2 접속 패드(430)는 제1 접속 패드(520)에 대향하여 제2 측면(100b) 근처에 배치될 수 있다.
- [167] 제1 접속 패드(520)는 메사 홈(113c) 상에 배치될 수 있다. 즉, 제1 접속 패드(520) 형성을 위해 발광 소자의 제4 측면(100d) 근처의 제8 발광셀(E2)의 하단 일부가 메사 식각되어, 메사 홈(113c)이 형성될 수 있다. 여기서 메사 홈(113c)은 앞서 개시된 실시예들에서 노출 영역(100a)에 대응될 수 있다. 메사 홈(113c)을 통해 반도체 적층(110)의 측면이 노출될 수 있다. 제1 접속 패드(520)는 메사 홈(113c) 내에 배치되어 제1 도전형 반도체층(111c)에 전기적으로 접속될 수 있다.
- [168] 상기 제1 접속 패드(520) 하부에 제1 전류 차단층(540)이 배치될 수 있다. 제1 전류 차단층(540)은 제1 접속 패드(520)와 제1 도전형 반도체층(111c) 사이에 배치되어, 제1 도전형 반도체층(111c)으로 주입되는 전류의 수평 분산을 원활하게 할 수 있다. 제1 전류 차단층(540)(111c)의 넓이는 제1 접속 패드(520)보다 작을 수 있다. 즉, 제1 전류 차단층(540)의 가로 및 세로 폭은 제1 접속 패드(520)의 그것보다 작으며, 따라서 제1 접속 패드(520)의 일부 영역에 위치할 수 있다. 예를 들어, 제1 전류 차단층(540)의 넓이는 제1 접속 패드(520)의 넓이의 90% 이하로 제한될 수 있다.
- [169] 절연층(565)이 제1 접속 패드(520)가 배치된 메사 홈(113c)의 측면을 덮을 수 있다. 도 15 및 16에 도시된 바와 같이, 절연층(565)은 메사 홈(113c)의 측면을 덮고, 또한 하부 연장부(520-1)가 지나는 부분에도 형성되어 전체적으로 연결된 하나의 곡선 형상을 가질 수 있다. 하부 연장부(520-1)가 지나는 부분에서, 절연층(565)이 먼저 형성되고, 그 위에 하부 연장부(520-1)가 형성될 수 있다.
- [170] 제1 내지 제6 발광셀들(C1, C2, C3, D1, D2, D3)에서, 하부 연장부(520-1)들의 일단은 분리 홈(115, 117) 내에 배치되는 연결 유닛(520-2)과 전기적으로

연결되고, 타단은 주 상부 연장부(430-1b)와 이격되되, 주 상부 연장부(430-1b)로 둘러 싸여 질 수 있다. 다만, 연결 유닛(520-2) 아래에는 제2 전류 차단층(150)으로부터 연장된 절연층(151)이 위치할 수 있다. 상기 절연층(151)은 분리 홈(115, 117)에서 노출될 수 있는 반도체 적층(110)의 측면을 덮을 수 있고, 그에 따라 연결 유닛(520-2)이 반도체 적층(110)의 측면과 접촉되는 것을 방지하여, 발광 소자의 신뢰성을 높일 수 있다.

- [171] 제7 및 제9 발광셀들(E1, E3)에서, 하부 연장부(520-1)들은 제1 접속 패드(520)에 접속되며 상호 연결된 두 개의 직선 영역을 포함한다. 두 개의 직선 영역은 발광 소자의 가로 방향과 세로 방향에 평행하고, 서로 직교할 수 있다. 가로 방향의 직선 영역이 세로 방향의 직선 영역과 제1 접속 패드(520)를 연결한다. 도 15에 도시된 것처럼, 하부 연장부(520-1)(특히 가로 방향의 직선 영역)의 형성을 위해, 발광 소자의 제 4 측면(100d) 근처의 제 7 내지 제9 발광셀(E1, E2, E3)의 일부 영역이 메사 식각될 수 있다.
- [172] 제 8 발광셀(E2)에서, 하부 연장부(520-1)의 일단은 제1 접속 패드(520)에 연결되고, 타단은 주 상부 연장부(430-1b)와 이격되되 주 상부 연장부(430-1b)로 둘러 싸여 질 수 있다.
- [173] 제2 접속 패드(430)는 제2 발광셀(C2) 상에 형성될 수 있다. 제2 접속 패드(430) 하부에 제2 전류 차단층(150)이 위치할 수 있다. 구체적으로, 제2 전류 차단층(150)은 제2 접속 패드(430) 하부에서 투명 전극층(160)과 제2 도전형 반도체층(113) 사이에 개재될 수 있다. 제2 전류 차단층(150)의 폭은 제2 접속 패드(430)의 폭보다 더 클 수 있다. 투명 전극층(160)의 일부는 제2 접속 패드(430) 하부에 위치하며, 제2 전류 차단층(150)을 노출시키는 개구부(160a)를 포함할 수 있다. 개구부(160a)는 원형 형상을 가질 수 있다. 투명 전극층(160)에 개구부(160a)를 형성함으로써, 제2 접속 패드(430)의 접착력이 증대될 수 있다.
- [174] 한편, 투명 전극층(160) 상에 보조 상부 연장부(430-1a)들 및 주 상부 연장부(430-1b)들이 배치될 수 있다. 보조 상부 연장부(430-1a)는 제1 내지 제3 발광셀(C1, C2, C3) 상에서 주 상부 연장부(430-1b)들 사이를 전기적으로 연결할 수 있다. 예를 들어, 도 15를 참조하면, 보조 상부 연장부(430-1a)는 제1 발광셀(C1) 상의 주 상부 연장부(430-1b)와 제2 발광셀(C2) 상의 주 상부 연장부(430-1b)를 연결할 수 있다. 이에 따라, 제1 발광셀(C1)과 제2 발광셀(C2)이 전기적으로 연결될 수 있다.
- [175] 제4 내지 제9 발광셀(D1, D2, D3, E1, E2, E3)에서, 보조 상부 연장부(430-1a)는 주 상부 연장부(430-1b)를 1 내지 제3 발광셀(C1, C2, C3)의 하부 연장부(520-1)와 연결할 수 있다. 보조 상부 연장부(430-1a)는 직선 형상일 수 있으며, 하부 연장부(520-1)와 동일 축 상에 위치할 수 있다. 보조 상부 연장부(430-1a)의 일단은 주 상부 연장부(430-1a)에 연결되고, 타단은 연결 유닛(520-2)에 연결될 수 있다.
- [176] 주 상부 연장부(430-1b)는 하부 연장부(520-1)의 단부 및 측면 일부를 감싸도록

배치될 수 있다. 따라서, 주 상부 연장부(430-1b)의 일부는 하부 연장부(520-1)의 일측에 배치되고, 또 다른 일부는 하부 연장부(520-1)의 일측에 대향하는 타측에 배치될 수 있다. 주 상부 연장부(430-1b)는 하부 연장부(520-1)를 지나는 직선에 대해 대칭 구조를 가질 수 있다.

- [177] 도 15에서, 제1, 4 및 7 발광셀(C1, D1, E1)을 제1 그룹, 제2, 5 및 8 발광셀(C2, D2, E2)을 제2 그룹, 그리고 제3, 6 및 9 발광셀(C3, D3, E3)을 제3 그룹으로 정의할 수 있다. 각 그룹 내에서 각각의 발광셀들은 보조 상부 연장부(430-1a) 및 연결 유닛(520-2)를 통해 전기적으로 직렬 연결될 수 있다. 또한 제1 그룹, 제2 그룹 및 제3 그룹은 보조 상부 연장부(430-1a) 및 하부 연장부(520-1)의 가로 방향의 직선 영역을 통해 전기적으로 병렬 연결될 수 있다.
- [178] 도 16을 통해, 제1 접속 패드(520), 제1 전류 차단층(540) 및 하부 연장부(520-1)에 대한 평면도가 확대 도시되어 있다. 도 16을 참조하면 이들의 평면 형상에 대해 검토한다.
- [179] 먼저, 제1 접속 패드(520)의 테두리는 직선 영역 및 제1 곡선 영역(541)을 포함할 수 있다. 예를 들어, 도 16에 개시된 제1 접속 패드(520)의 평면 형상을 참조하면, 두 개의 제1 곡선 영역(541)들이 하부 연장부(520-1)를 중심에 두고 서로 대칭되도록 배치되어 있다. 제1 곡선 영역(541)들은 메사 홈(113c) 형성과정에서 노출되는 반도체 적층(110)의 측면에 인접하여 위치할 수 있다. 각각의 제1 곡선 영역(541)은 곡률 반경 R_1 값을 가지며, 직선 영역에 연결될 수 있다.
- [180] 제1 전류 차단층(540)은 제1 접속 패드(520)와 제1 도전형 반도체층(111c) 사이에 개재되며, 제1 전류 차단층(540)의 테두리는 직선 영역 및 제2 곡선 영역(521)을 포함할 수 있다. 제2 곡선 영역(521)은 곡률 반경 R_2 값을 가지며, 제1 곡선 영역(541) 내측에 위치할 수 있다. 여기서, R_2 값은 R_1 값보다 작다. 또한, 제1 곡선 영역(541)과 제2 곡선 영역(521) 사이의 간격(G1)은 균일하게 유지될 수 있다. 또한, 제1 곡선 영역(541)과 제2 곡선 영역(521) 사이의 간격(G1)은 제1 접속 패드(520)의 직선 영역과 제1 전류 차단층(540)의 직선 영역 사이의 간격과 동일할 수 있다. 이에 따라, 제1 전류 차단층(540)에 의해 정의되는, 제1 접속 패드(520)와 제1 도전형 반도체층(111c)이 접하는 영역의 폭이 균일하게 형성될 수 있다. 특히, 노출된 반도체 적층(110)과 인접한 부분에서, 제1 접속 패드(520)와 제1 도전형 반도체층(111c)이 접하는 영역의 폭이 균일하게 형성될 수 있다. 이를 통해, 제1 접속 패드(520)를 통해 주입되는 전류의 균일한 분배가 이루어 질 수 있다.
- [181] 각각의 하부 연장부(520-1)들은 연결부(520-1a) 및 메인 연장부(520-1b)를 포함할 수 있다. 연결부(520-1a)는 메인 연장부(520-1b)를 제1 접속 패드(520)에 연결할 수 있다. 도 16에 개시된 연결부(520-1a)의 평면 형상을 참조하면, 연결부(520-1a)의 테두리는 제3 곡선 영역(521-1)을 포함할 수 있다. 이때, 제3 곡선 영역(521-1)은 곡률 반경 R_3 값을 가질 수 있다.

- [182] 연결부(520-1a)가 제3 곡선 영역(521-1)을 포함하는 것에 따라, 연결부(520-1a)의 폭(G2)은 제1 접속 패드(520)로부터 멀어질수록 감소할 수 있다. 다만, 제1 접속 패드(520)에 인접하는 연결부(520-1a)의 폭(G2)은 제1 곡선 영역(541)과 제2 곡선 영역(521) 사이의 간격(G1)보다 크게 형성될 수 있다. 그에 따라, 제1 접속 패드(520)를 통해 주입되는 전류 중 비교적 큰 비율이, 비교적 큰 넓이를 갖는 연결부(520-1a) 쪽으로 주입될 수 있다. 여기서, R3 값은 R1 값 및 R2 값에 비해 작게 형성될 수 있다.
- [183] 메인 연장부(520-1b)의 일단은 상기 연결부(520-1a)에 접속된다. 메인 연장부(520-1b)의 폭(G3)은 상기 제1 곡선 영역(541) 및 제2 곡선 영역(521) 사이의 간격(G1)보다 크거나 같을 수 있다.
- [184] 도 17 및 18은 본 발명의 또 다른 실시예에 따른 발광 소자를 설명하기 위한 평면도들이다. 구체적으로, 도 17는 본 실시예에 따른 발광 소자의 평면도를 나타내고, 도 18은 도 17의 영역 X를 확대 도시한 것이다.
- [185] 본 실시예에 따른 발광 소자는 도 8 내지 도 10에 개시된 발광 소자와 대부분의 구성이 동일하며, 다만, 서로 연결되는 복수의 발광셀들을 포함하는 것과, 제1 접속 패드(620), 하부 연장부(620-1), 제1 전류 차단층(640), 제2 접속 패드(530), 상부 연장부(530-1)의 형상에 있어서 다소 차이가 존재한다. 이하 동일한 구성에 대한 설명은 생략하며, 그 차이점을 중심으로 기술 된다.
- [186] 도 17을 참조하면, 본 실시예에 따른 발광 소자는 제1 내지 제4 발광셀(C1, C2, D1, D2)를 포함할 수 있다. 또한, 발광 소자는 제1 접속 패드(620) 및 제2 접속 패드(530)를 포함하며, 상부 연장부(530-1)들과 하부 연장부(620-1)들을 포함할 수 있다. 상부 연장부(530-1)는 보조 상부 연장부(530-1) 및 주 상부 연장부(530-1)로 구분될 수 있다.
- [187] 제1 내지 제4 발광셀들(C1, C2, D1, D2)은 제1 도전형 반도체층(111a, 111b)을 노출시키는 메사 홈(113a, 113b)을 통해 분리될 수 있다. 제1 발광셀(C1)과 제2 발광셀(C2), 그리고 제3 발광셀(D1)과 제4 발광셀(D2)은 제1 접속 패드(620)와 제2 접속 패드(530)를 연결한 가상선을 기준으로 대칭되는 형상을 가질 수 있다.
- [188] 한편, 제1 접속 패드(620)는 발광 소자의 제4 측면(100d) 근처에 배치되고, 제2 접속 패드(530)는 발광 소자의 제2 측면(100b) 근처에 배치될 수 있다. 도 17에 도시된 것처럼, 제1 접속 패드(620)와 제2 접속 패드(530)는 서로 대향하여 배치될 수 있다.
- [189] 제1 접속 패드(620)는 메사 홈(113c) 상에 배치될 수 있다. 즉, 제1 접속 패드(620) 형성을 위해, 발광 소자의 제4 측면(100d) 근처에서, 제3 발광셀(D1) 및 제4 발광셀(D2)의 하단 일부가 메사 식각되어, 메사 홈(113c)이 형성될 수 있다. 메사 홈(113c)을 통해 반도체 적층(110)의 측면이 노출될 수 있다. 제1 접속 패드(620)는 메사 홈(113c) 내에 배치되어 제1 도전형 반도체층(111c)에 전기적으로 접속될 수 있다. 제1 전류 차단층(640)은 제1 접속 패드(620)와 제1 도전형 반도체층(111b) 사이의 일부 영역에 개재되어, 전류의 수평 분산을

원활하게 할 수 있다.

- [190] 절연층(665)이 제1 접속 패드(620)가 배치된 메사 홈(113c)의 측면을 덮을 수 있다. 도 15 및 16에 도시된 바와 같이, 절연층(665)은 메사 홈(113c)의 측면을 덮고, 또한 하부 연장부(620-1)가 지나는 부분에도 형성되어 전체적으로 연결된 하나의 곡선 형상을 가질 수 있다.
- [191] 제1 및 제2 발광셀들(C1, C2)에서, 하부 연장부(620-1)들의 일단은 메사 홈(113b) 내에 배치되는 연결 유닛(620-2)과 전기적으로 연결되고, 타단은 주 상부 연장부(530-1b)와 이격되되, 주 상부 연장부(530-1b)로 둘러 싸여 질 수 있다. 다만, 연결 유닛(620-2) 아래에는 제2 전류 차단층(150)(150)으로부터 연장된 절연층(151)이 위치할 수 있다. 상기 절연층(151)은 메사 홈(113b)에서 노출될 수 있는 반도체 적층(110)의 측면을 덮을 수 있고, 그에 따라 연결 유닛(620-2)이 반도체 적층(110)의 측면과 접촉되는 것을 방지하여, 발광 소자의 신뢰성을 높일 수 있다.
- [192] 제3 및 제4 발광셀들(D1, D2)에서, 하부 연장부(620-1)들은 제1 접속 패드(620)에 접속되며 직선 영역 및 곡선 영역을 포함한다. 곡선 영역은 직선 영역을 제1 접속 패드(620)에 연결할 수 있다. 제3 및 제4 발광셀들(D1, D2)에서, 하부 연장부(620-1)의 형상은 제1 접속 패드(620) 및 제2 접속 패드(530)를 연결하는 가상의 선을 기준으로 서로 대칭될 수 있다.
- [193] 제2 접속 패드(530)는 메사 홈(113a) 상에 배치되되, 제1 발광셀(C1) 및 제2 발광셀(C2)에 걸쳐서 배치될 수 있다. 제2 접속 패드(530) 아래에는 제2 접속 패드(530)보다 폭이 넓은 제2 전류 차단층(150)이 배치된다. 따라서, 제2 접속 패드(530)는 메사 홈(113a)에서 제2 전류 차단층(150)에 의해 제1 도전형 반도체층(111a)과 접속이 차단될 수 있다. 제2 접속 패드(530)와 제2 전류 차단층(150) 사이에는 투명 전극층(160)이 개재될 수 있고, 제2 접속 패드(530)는 투명 전극층(160)을 통해 제2 도전형 반도체층(113)에 접속될 수 있다.
- [194] 한편, 투명 전극층(160) 상에 보조 상부 연장부(530-1a)들 및 주 상부 연장부(530-1b)들이 배치될 수 있다.
- [195] 보조 상부 연장부(530-1a)는 제1 및 제2 발광셀(C1, C2) 상에서, 주 상부 연장부(530-1b)를 제2 접속 패드(530)에 연결할 수 있다. 이에 따라, 제1 발광셀(C1)과 제2 발광셀(C2)이 전기적으로 연결될 수 있다.
- [196] 또한, 제3 및 제4 발광셀들(D1, D2)에서, 보조 상부 연장부(530-1a)는 주 상부 연장부(530-1b)를 제1 및 제2 발광셀(C1, C2)의 하부 연장부(620-1)와 연결할 수 있다. 제3 및 제4 발광셀들(D1, D2)에서 보조 상부 연장부(530-1a)의 일단은 주 상부 연장부(530-1b)에 연결되고, 타단은 연결 유닛(620-2)에 연결될 수 있다.
- [197] 주 상부 연장부(530-1b)는 하부 연장부(620-1)의 단부 및 측면 일부를 감싸도록 배치될 수 있다. 따라서, 주 상부 연장부(530-1b)의 일부는 하부 연장부(620-1)의 일측에 배치되고, 또 다른 일부는 하부 연장부(620-1)의 일측에 대향하는 타측에 배치될 수 있다.

- [198] 도 18을 통해, 제1 접속 패드(620), 제1 전류 차단층(640) 및 하부 연장부(620-1)에 대한 평면도가 확대 도시되어 있다. 도 18을 참조하면 이들의 평면 형상에 대해 검토한다.
- [199] 먼저, 도 18에 개시된 제1 접속 패드(620)의 평면 형상을 참조하면, 제1 접속 패드(620)의 테두리는 직선 영역 및 제1 곡선 영역(621)을 포함할 수 있다. 제1 곡선 영역(621)은 메사 홈(113c) 형성과정에서 노출되는 반도체 적층(110)의 측면에 인접하여 위치할 수 있다. 제1 곡선 영역(621)은 곡률 반경 R_1 값을 갖는다.
- [200] 제1 전류 차단층(640)은 제1 접속 패드(620)와 제1 도전형 반도체층(111b) 사이에 개재되며, 제1 전류 차단층(640)의 테두리는 직선 영역 및 제2 곡선 영역(641)을 포함할 수 있다. 제2 곡선 영역(641)은 곡률 반경 R_2 값을 가지며, 제1 곡선 영역(621) 내측에 위치할 수 있다. 즉, 제2 곡선 영역(641)은 제1 곡선 영역(621)과 동일한 중심을 공유하며, 제1 곡선 영역(621)과 상기 중심을 통해 형성되는 부채꼴 내에 위치할 수 있다. 여기서, R_2 값은 R_1 값보다 작다. 또한, 제1 곡선 영역(621)과 제2 곡선 영역(641) 사이의 간격(G1)은 균일하게 유지될 수 있다. 또한, 제1 곡선 영역(621)과 제2 곡선 영역(641) 사이의 간격(G1)은 제1 접속 패드(620)의 직선 영역과 제1 전류 차단층(640)의 직선 영역 사이의 간격과 동일할 수 있다.
- [201] 각각의 하부 연장부(620-1)들은 연결부(620-1a) 및 메인 연장부(620-1b)를 포함할 수 있다. 연결부(620-1a)는 메인 연장부(620-1b)를 제1 접속 패드(620)에 연결할 수 있다. 연결부(620-1a) 아래에는 절연층(665)이 배치될 수 있다. 도 18에 개시된 연결부(620-1a)의 평면 형상을 참조하면, 연결부(620-1a)의 테두리는 제3 곡선 영역(621-1)을 포함할 수 있다. 이때, 제3 곡선 영역(621-1)은 곡률 반경 R_3 값을 가질 수 있다.
- [202] 연결부(620-1a)가 제3 곡선 영역(621-1)을 포함하는 것에 따라, 연결부(620-1a)의 폭(G2)은 제1 접속 패드(620)로부터 멀어질수록 감소할 수 있다. 다만, 제1 접속 패드(620)에 인접하는 연결부(620-1a)의 폭(G2)은 제1 곡선 영역(621)과 제2 곡선 영역(641) 사이의 간격(G1)보다 크게 형성될 수 있다. 그에 따라, 제1 접속 패드(620)를 통해 주입되는 전류 중 비교적 큰 비율이, 비교적 큰 넓이를 갖는 연결부(620-1a) 쪽으로 주입될 수 있다. 여기서, R_3 값은 R_1 값 및 R_2 값에 비해 작게 형성될 수 있다.
- [203] 메인 연장부(620-1b)의 일단은 상기 연결부(620-1a)에 접속된다. 메인 연장부(620-1b)의 폭(G3)은 상기 제1 곡선 영역(621) 및 제2 곡선 영역(641) 사이의 간격(G1)보다 크거나 같을 수 있다.
- [204] 도 19은 본 발명의 일 실시예에 따른 발광소자를 조명 장치에 적용한 예를 설명하기 위한 분해 사시도이다.
- [205] 도 19을 참조하면, 본 실시예에 따른 조명 장치는, 확산 커버(1010), 발광소자 모듈(1020) 및 바디부(1030)를 포함한다. 바디부(1030)는 발광소자 모듈(1020)을

수용할 수 있고, 확산 커버(1010)는 발광소자 모듈(1020)의 상부를 커버할 수 있도록 바디부(1030) 상에 배치될 수 있다.

[206] 바디부(1030)는 발광소자 모듈(1020)을 수용 및 지지하여, 발광소자 모듈(1020)에 전기적 전원을 공급할 수 있는 형태이면 제한되지 않는다. 예를 들어, 도시된 바와 같이, 바디부(1030)는 바디 케이스(1031), 전원 공급 장치(1033), 전원 케이스(1035), 및 전원 접속부(1037)를 포함할 수 있다.

[207] 전원 공급 장치(1033)는 전원 케이스(1035) 내에 수용되어 발광소자 모듈(1020)과 전기적으로 연결되며, 적어도 하나의 IC칩을 포함할 수 있다. 상기 IC칩은 발광소자 모듈(1020)로 공급되는 전원의 특성을 조절, 변환 또는 제어할 수 있다. 전원 케이스(1035)는 전원 공급 장치(1033)를 수용하여 지지할 수 있고, 전원 공급 장치(1033)가 그 내부에 고정된 전원 케이스(1035)는 바디 케이스(1031)의 내부에 위치할 수 있다. 전원 접속부(115)는 전원 케이스(1035)의 하단에 배치되어, 전원 케이스(1035)와 접속될 수 있다. 이에 따라, 전원 접속부(1037)는 전원 케이스(1035) 내부의 전원 공급 장치(1033)와 전기적으로 연결되어, 외부 전원이 전원 공급 장치(1033)에 공급될 수 있는 통로 역할을 할 수 있다.

[208] 발광소자 모듈(1020)은 기관(1023) 및 기관(1023) 상에 배치된 발광소자(1021)를 포함한다. 발광소자 모듈(1020)은 바디 케이스(1031) 상부에 마련되어 전원 공급 장치(1033)에 전기적으로 연결될 수 있다.

[209] 기관(1023)은 발광소자(1021)를 지지할 수 있는 기관이면 제한되지 않으며, 예를 들어, 배선을 포함하는 인쇄회로기판일 수 있다. 기관(1023)은 바디 케이스(1031)에 안정적으로 고정될 수 있도록, 바디 케이스(1031) 상부의 고정부에 대응하는 형태를 가질 수 있다. 발광소자(1021)는 상술한 본 발명의 실시예들에 따른 발광소자들 중 적어도 하나를 포함할 수 있다.

[210] 확산 커버(1010)는 발광소자(1021) 상에 배치되며, 바디 케이스(1031)에 고정되어 발광소자(1021)를 커버할 수 있다. 확산 커버(1010)는 투광성 재질을 가질 수 있으며, 확산 커버(1010)의 형태 및 광 투과성을 조절하여 조명 장치의 지향 특성을 조절할 수 있다. 따라서 확산 커버(1010)는 조명 장치의 이용 목적 및 적용 태양에 따라 다양한 형태로 변형될 수 있다.

[211] 도 20은 본 발명의 일 실시예에 따른 발광소자를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.

[212] 본 실시예의 디스플레이 장치는 표시패널(2110), 표시패널(2110)에 광을 제공하는 백라이트 유닛 및, 상기 표시패널(2110)의 하부 가장자리를 지지하는 패널 가이드를 포함한다.

[213] 표시패널(2110)은 특별히 한정되지 않고, 예컨대, 액정층을 포함하는 액정표시패널일 수 있다. 표시패널(2110)의 가장자리에는 상기 게이트 라인으로 구동신호를 공급하는 게이트 구동 PCB가 더 위치할 수 있다. 여기서, 게이트 구동 PCB는 별도의 PCB에 구성되지 않고, 박막 트랜지스터 기판상에 형성될

수도 있다.

- [214] 백라이트 유닛은 적어도 하나의 기관 및 복수의 발광소자(2160)를 포함하는 광원 모듈을 포함한다. 나아가, 백라이트 유닛은 바텀커버(2180), 반사 시트(2170), 확산 플레이트(2131) 및 광학 시트들(2130)을 더 포함할 수 있다.
- [215] 바텀커버(2180)는 상부로 개구되어, 기관, 발광소자(2160), 반사 시트(2170), 확산 플레이트(2131) 및 광학 시트들(2130)을 수납할 수 있다. 또한, 바텀커버(2180)는 패널 가이드와 결합될 수 있다. 기관은 반사 시트(2170)의 하부에 위치하여, 반사 시트(2170)에 둘러싸인 형태로 배치될 수 있다. 다만, 이에 한정되지 않고, 반사 물질이 표면에 코팅된 경우에는 반사 시트(2170) 상에 위치할 수도 있다. 또한, 기관은 복수로 형성되어, 복수의 기관들이 나란히 배치된 형태로 배치될 수 있으나, 이에 한정되지 않고, 단일의 기관으로 형성될 수도 있다.
- [216] 발광소자(2160)는 상술한 본 발명의 실시예들에 따른 발광소자들 중 적어도 하나를 포함할 수 있다. 발광소자(2160)들은 기관 상에 일정한 패턴으로 규칙적으로 배열될 수 있다. 또한, 각각의 발광소자(2160) 상에는 렌즈(2210)가 배치되어, 복수의 발광소자(2160)들로부터 방출되는 광을 균일성을 향상시킬 수 있다.
- [217] 확산 플레이트(2131) 및 광학 시트들(2130)은 발광소자(2160) 상에 위치한다. 발광소자(2160)로부터 방출된 광은 확산 플레이트(2131) 및 광학 시트들(2130)을 거쳐 면 광원 형태로 표시패널(2110)로 공급될 수 있다.
- [218] 이와 같이, 본 발명의 실시예들에 따른 발광소자는 본 실시예와 같은 직하형 디스플레이 장치에 적용될 수 있다.
- [219] 도 21은 일 실시예에 따른 발광소자를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.
- [220] 본 실시예에 따른 백라이트 유닛이 구비된 디스플레이 장치는 영상이 디스플레이되는 표시패널(3210), 표시패널(3210)의 배면에 배치되어 광을 조사하는 백라이트 유닛을 포함한다. 나아가, 상기 디스플레이 장치는, 표시패널(3210)을 지지하고 백라이트 유닛이 수납되는 프레임(240) 및 상기 표시패널(3210)을 감싸는 커버(3240, 3280)를 포함한다.
- [221] 표시패널(3210)은 특별히 한정되지 않고, 예컨대, 액정층을 포함하는 액정표시패널일 수 있다. 표시패널(3210)의 가장자리에는 상기 게이트 라인으로 구동신호를 공급하는 게이트 구동 PCB가 더 위치할 수 있다. 여기서, 게이트 구동 PCB는 별도의 PCB에 구성되지 않고, 박막 트랜지스터 기관상에 형성될 수도 있다. 표시패널(3210)은 그 상하부에 위치하는 커버(3240, 3280)에 의해 고정되며, 하부에 위치하는 커버(3280)는 백라이트 유닛과 결속될 수 있다.
- [222] 표시패널(3210)에 광을 제공하는 백라이트 유닛은 상면의 일부가 개구된 하부 커버(3270), 하부 커버(3270)의 내부 일 측에 배치된 광원 모듈 및 상기 광원 모듈과 나란하게 위치되어 점광을 면광으로 변환하는 도광판(3250)을 포함한다.

또한, 본 실시예의 백라이트 유닛은 도광판(3250) 상에 위치되어 광을 확산 및 집광시키는 광학 시트들(3230), 도광판(3250)의 하부에 배치되어 도광판(3250)의 하부방향으로 진행하는 광을 표시패널(3210) 방향으로 반사시키는 반사시트(3260)를 더 포함할 수 있다.

- [223] 광원 모듈은 기관(3220) 및 상기 기관(3220)의 일면에 일정 간격으로 이격되어 배치된 복수의 발광소자(3110)를 포함한다. 기관(3220)은 발광소자(3110)를 지지하고 발광소자(3110)에 전기적으로 연결된 것이면 제한되지 않으며, 예컨대, 인쇄회로기판일 수 있다. 발광소자(3110)는 상술한 본 발명의 실시예들에 따른 발광소자를 적어도 하나 포함할 수 있다. 광원 모듈로부터 방출된 광은 도광판(3250)으로 입사되어 광학 시트들(3230)을 통해 표시패널(3210)로 공급된다. 도광판(3250) 및 광학 시트들(3230)을 통해, 발광소자(3110)들로부터 방출된 점 광원이면 광원으로 변형될 수 있다.
- [224] 이와 같이, 본 발명의 실시예들에 따른 발광소자는 본 실시예와 같은 예지형 디스플레이 장치에 적용될 수 있다.
- [225] 도 22는 본 발명의 일 실시예에 따른 발광소자를 헤드 램프에 적용한 예를 설명하기 위한 단면도이다.
- [226] 도 22를 참조하면, 상기 헤드 램프는, 램프 바디(4070), 기관(4020), 발광소자(4010) 및 커버 렌즈(4050)를 포함한다. 나아가, 상기 헤드 램프는, 방열부(4030), 지지랙(4060) 및 연결 부재(4040)를 더 포함할 수 있다.
- [227] 기관(4020)은 지지랙(4060)에 의해 고정되어 램프 바디(4070) 상에 이격 배치된다. 기관(4020)은 발광소자(4010)를 지지할 수 있는 기관이면 제한되지 않으며, 예컨대, 인쇄회로기판과 같은 도전 패턴을 갖는 기관일 수 있다. 발광소자(4010)는 기관(4020) 상에 위치하며, 기관(4020)에 의해 지지 및 고정될 수 있다. 또한, 기관(4020)의 도전 패턴을 통해 발광소자(4010)는 외부의 전원과 전기적으로 연결될 수 있다. 또한, 발광소자(4010)는 상술한 본 발명의 실시예들에 따른 발광소자를 적어도 하나 포함할 수 있다.
- [228] 커버 렌즈(4050)는 발광소자(4010)로부터 방출되는 광이 이동하는 경로 상에 위치한다. 예컨대, 도시된 바와 같이, 커버 렌즈(4050)는 연결 부재(4040)에 의해 발광소자(4010)로부터 이격되어 배치될 수 있고, 발광소자(4010)로부터 방출된 광을 제공하고자하는 방향에 배치될 수 있다. 커버 렌즈(4050)에 의해 헤드 램프로부터 외부로 방출되는 광의 지향각 및/또는 색상이 조절될 수 있다. 한편, 연결 부재(4040)는 커버 렌즈(4050)를 기관(4020)과 고정시킴과 아울러, 발광소자(4010)를 둘러싸도록 배치되어 발광 경로(4045)를 제공하는 광 가이드 역할을 할 수도 있다. 이때, 연결 부재(4040)는 광 반사성 물질로 형성되거나, 광 반사성 물질로 코팅될 수 있다. 한편, 방열부(4030)는 방열핀(4031) 및/또는 방열팬(4033)을 포함할 수 있고, 발광소자(4010) 구동 시 발생하는 열을 외부로 방출시킨다.
- [229] 이와 같이, 본 발명의 실시예들에 따른 발광소자는 본 실시예와 같은 헤드 램프,

특히, 차량용 헤드 램프에 적용될 수 있다.

- [230] 이상에서는 본 발명의 실시예를 중심으로 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 기술자의 수준에서 다양한 변경이나 변형을 가할 수 있다. 이러한 변경과 변형은 본 발명이 제공하는 기술 사상의 범위를 벗어나지 않는 한 본 발명에 속한다고 할 수 있다. 따라서 본 발명의 권리범위는 이하에 기재되는 청구범위에 의해 판단되어야 할 것이다.

[231]

[232]

청구범위

- [청구항 1] 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1 및 제2 도전형 반도체층 사이에 위치하는 활성층을 포함하고, 상기 제2 도전형 반도체층 및 활성층을 관통하여 상기 제1 도전형 반도체층을 노출시키는 노출 영역을 포함하는 질화물계 반도체 적층;
상기 노출 영역을 통해 상기 제1 도전형 반도체층에 전기적으로 연결되는 제1 접속 패드;
상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이에 개재된 제1 전류 차단층;
상기 제2 도전형 반도체층 상에 배치된 제2 접속 패드; 및
상기 제2 접속 패드로부터 연장된 상부 연장부를 포함하고,
상기 상부 연장부는 2개 이상이며, 상기 제1 접속 패드는 상기 상부 연장부들 사이에 위치하고,
상기 제1 전류 차단층은 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이의 영역에서는, 일부 영역에 한정되어 개재되는 발광소자.
- [청구항 2] 청구항 1에 있어서,
상기 제1 전류 차단층의 영역은 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이 영역의 90%를 초과하지 않는 발광소자.
- [청구항 3] 청구항 1에 있어서,
상기 제1 전류 차단층은 SiO_2 층 또는 분포 브래그 반사층을 포함하는 발광소자.
- [청구항 4] 청구항 3에 있어서,
상기 분포 브래그 반사층은 SiO_2 층과 TiO_2 층 또는 SiO_2 층과 Nb_2O_5 층이 교대로 적층된 구조를 가지는 발광소자.
- [청구항 5] 청구항 1에 있어서,
상기 제1 전류 차단층의 형상은 상기 제1 접속 패드의 형상과 동일한 발광소자.
- [청구항 6] 청구항 1에 있어서,
상기 제2 접속 패드의 하부 및 상기 복수의 상부 연장부들 하부에 배치된 제2 전류 차단층을 더 포함하는 발광소자.
- [청구항 7] 청구항 1에 있어서,
상기 제1 접속 패드로부터 연장되며, 상기 제1 도전형 반도체층에 콘택하는 하부 연장부를 더 포함하는 발광소자.
- [청구항 8] 청구항 1에 있어서,
상기 제2 도전형 반도체층 상에 위치하며, 상기 제2 도전형 반도체층에 오믹 콘택하는 오믹 전극층을 더 포함하는 발광소자.
- [청구항 9] 청구항 1에 있어서,

상기 노출 영역을 통해 노출되는 질화물계 반도체 적층을 덮는 절연층을 더 포함하는 발광소자.

- [청구항 10] 청구항 1에 있어서,
상기 발광 소자는 복수개의 측면을 포함하는 다각형의 평면 형상이고,
상기 제1 접속 패드는 상기 발광 소자의 일 측면으로부터 이격되어
위치하는 발광 소자.
- [청구항 11] 청구항 10에 있어서,
상기 상부 연장부는 상기 발광 소자의 일 측면과 상기 제1 접속 패드
사이의 영역까지 연장되는 위치하는 발광 소자.
- [청구항 12] 청구항 1에 있어서,
상기 질화물계 반도체 적층은 복수개의 노출 영역을 포함하고,
상기 노출 영역은 적어도 하나의 제1 홀 및 적어도 하나의 제2 홀을
포함하는 제1 노출 영역, 적어도 하나의 제3 홀을 포함하는 제2
노출영역을 포함하는 발광소자.
- [청구항 13] 청구항 12에 있어서,
상기 적어도 하나의 제1 홀 및 적어도 하나의 제2홀은 원형 또는 다각형의
평면 형상이고, 상기 적어도 하나의 제3홀은 상기 적어도 하나의 제2
홀로부터 임의의 방향으로 연장되는 형상인 발광소자.
- [청구항 14] 청구항 13에 있어서,
상기 제1 접속 패드는 상기 제1 노출 영역을 통해 상기 제1 도전형
반도체층과 접하고, 상기 하부 연장부는 상기 제2 노출 영역을 통해 상기
제2 도전형 반도체층과 접하는 발광소자.
- [청구항 15] 청구항 14에 있어서,
상기 제1 전류 차단층은 상기 제1 노출 영역에 한정되어, 상기 제1 도전형
반도체층과 상기 제1 접속 패드 사이의 일부 영역에 한정되어 개재되는
발광소자.
- [청구항 16] 청구항 13에 있어서,
상기 제3 홀의 폭은 상기 제1 홀 및 제2 홀의 폭보다 작은 발광소자.
- [청구항 17] 청구항 12에 있어서,
상기 제1 접속 패드와 전기적으로 연결되는 제1 본딩 패드 및 상기 제2
접속 패드와 전기적으로 연결되는 제2 본딩 패드를 더 포함하는
발광소자.
- [청구항 18] 청구항 17에 있어서,
상기 제1 본딩 패드 및 상기 제2 본딩 패드와 상기 질화물계 반도체 적층
사이에 위치하는 절연층을 더 포함하는 발광소자.
- [청구항 19] 청구항 18에 있어서,
상기 제1 본딩 패드 상기 제2 본딩 패드는 상기 절연층에 형성된 홀들을
통해 각각 제1 접속 패드 및 제2 접속 패드와 전기적으로 연결되는

발광소자.

[청구항 20] 청구항 19에 있어서,

상기 절연층은 SiO_2 층 또는 분포 브래그 반사층을 포함하는 발광소자.

[청구항 21]

제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하되, 상기 제1 도전형 반도체층을 노출시키는 노출 영역을 포함하는 반도체 적층; 상기 노출 영역을 통해 상기 제1 도전형 반도체층에 접속하는 제1 접속 패드 및 상기 제1 접속 패드로부터 연장되는 하부 연장부; 및

상기 제1 접속 패드와 제1 도전형 반도체층 사이에 위치하는 제1 전류 차단층을 포함하고,

상기 제1 접속 패드는 곡률 반경 R_1 값을 갖는 제1 곡선 영역을 포함하되, 상기 제1 전류 차단층은 곡률 반경 R_2 값을 갖는 제2 곡선 영역을 포함하되, 상기 제2 곡선 영역은 상기 제1 곡선 영역의 내측에 인접하여 배치되며,

상기 하부 연장부는 상기 제1 접속 패드와 접하는 연결부 및 상기 연결부에서 연장하는 메인 연장부를 포함하고, 상기 연결부는 곡률 반경 R_3 값을 갖는 제3 곡선 영역을 포함하는 발광 소자.

[청구항 22]

청구항 21에 있어서,

상기 곡률 반경 R_1 , R_2 및 R_3 는 아래와 같은 수학식을 만족하는 발광 소자.

$$R_3 < R_2 < R_1$$

[청구항 23]

청구항 21에 있어서,

제1 곡선 영역 및 제2 곡선 영역 사이의 간격은 균일하게 유지되는 발광 소자.

[청구항 24]

청구항 21에 있어서,

상기 제1 곡선 영역 및 제2 곡선 영역은 동일한 중심을 공유하고, 상기 제2 곡선 영역은, 상기 제1 곡선 영역과 상기 제1 곡선 영역의 양단과 상기 중심을 연결하는 가상의 직선에 의해 형성되는 영역 내에 위치하는 발광 소자.

[청구항 25]

청구항 21에 있어서,

상기 하부 연장부의 연결부의 폭은 상기 제1 곡선 영역 및 제2 곡선 영역 사이의 간격보다 크고, 상기 제1 접속 패드로부터 멀어질수록 감소하는 발광 소자.

[청구항 26]

청구항 25에 있어서,

상기 메인 연장부의 폭은 상기 제1 곡선 영역 및 제2 곡선 영역 사이의 간격보다 크거나 같은 발광 소자.

[청구항 27]

청구항 21에 있어서,

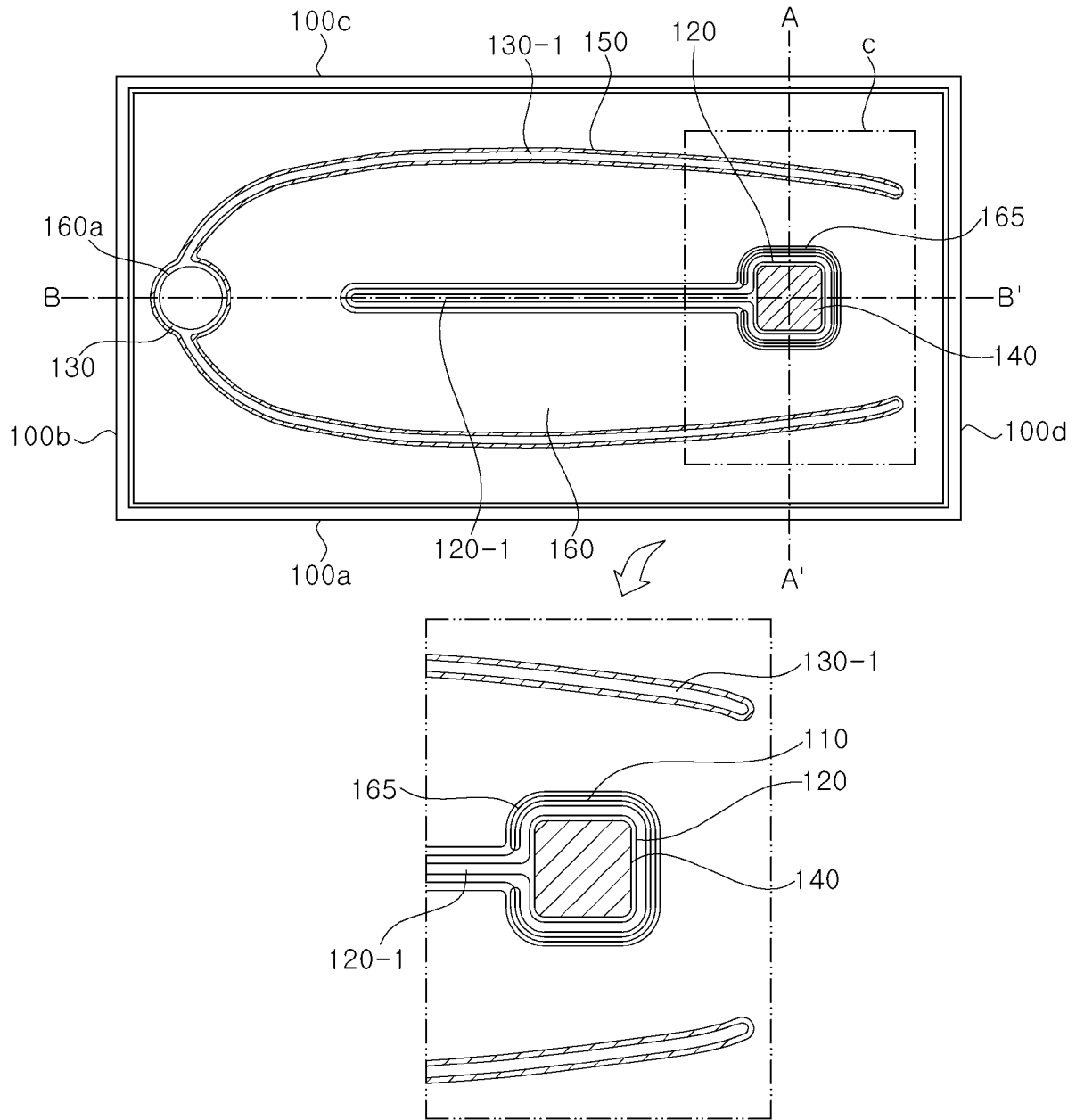
상기 제1 전류 차단층은 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이의 영역에서는, 일부 영역에 한정되어 개재되는 발광소자.

[청구항 28]

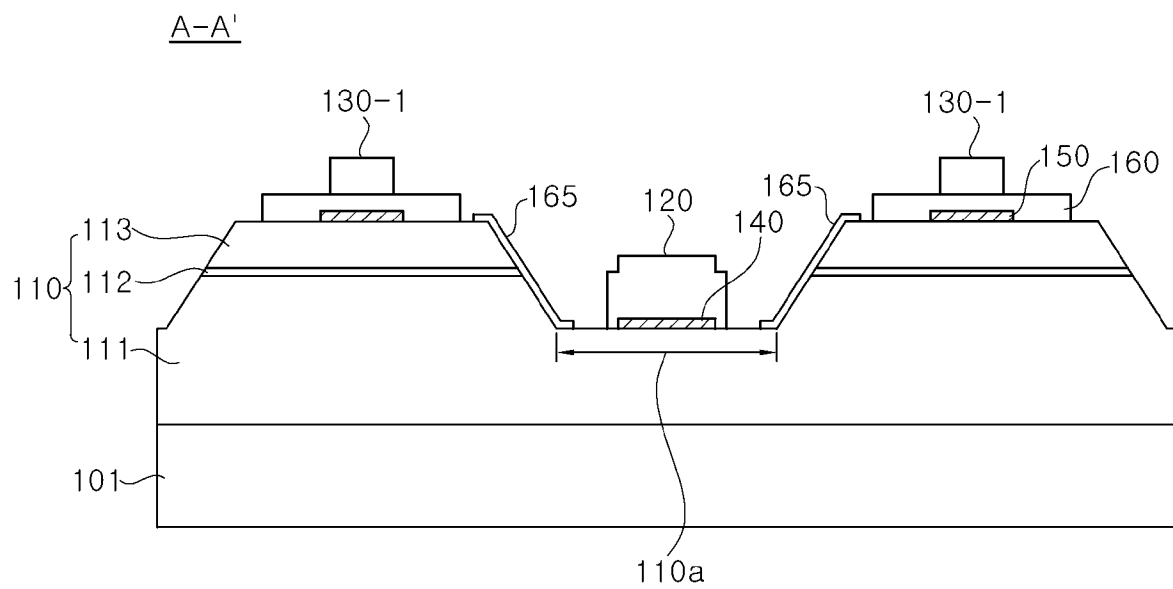
청구항 27에 있어서,

- 상기 제1 전류 차단층의 영역은 상기 제1 도전형 반도체층과 상기 제1 접속 패드 사이 영역의 90%를 초과하지 않는 발광소자.
- [청구항 29] 청구항 28에 있어서,
상기 제1 전류 차단층은 단일층 또는 다층인 분포 브래그 반사층을 포함하고,
상기 분포 브래그 반사층은 SiO_2 층과 TiO_2 층 또는 SiO_2 층과 Nb_2O_5 층이 교대로 적층된 구조를 가지는 발광소자.
- [청구항 30] 청구항 21에 있어서,
상기 하부 연장부 아래 위치하는 제3 전류 차단층을 더 포함하고,
상기 제3 전류 차단층은 서로 이격된 복수의 도트를 포함하는 발광 소자.
- [청구항 31] 청구항 30에 있어서,
상기 제3 전류 차단층의 폭은 상기 메인 연장부의 폭보다 크고,
상기 메인 연장부는 상기 복수의 도트들 사이의 영역에서 상기 제1 도전형 반도체층에 접속되는 발광 소자.
- [청구항 32] 청구항 31에 있어서,
상기 메인 연장부는 상기 제3 전류 차단층에 의해 불연속적으로 상기 제1 도전형 반도체층에 접속되는 발광 소자.
- [청구항 33] 청구항 21에 있어서,
상기 제2 도전형 반도체층 상에 배치되는 제2 접속 패드; 및
상기 제2 접속 패드로부터 연장되는 상부 연장부를 더 포함하는 발광 소자.
- [청구항 34] 청구항 33에 있어서,
상기 제2 도전형 반도체층 상에 위치하며, 상기 제2 도전형 반도체층에 오믹 콘택하는 오믹 전극층을 더 포함하고,
상기 제2 접속 패드 및 상기 상부 연장부는 상기 오믹 전극층 상에 위치하는 발광 소자.

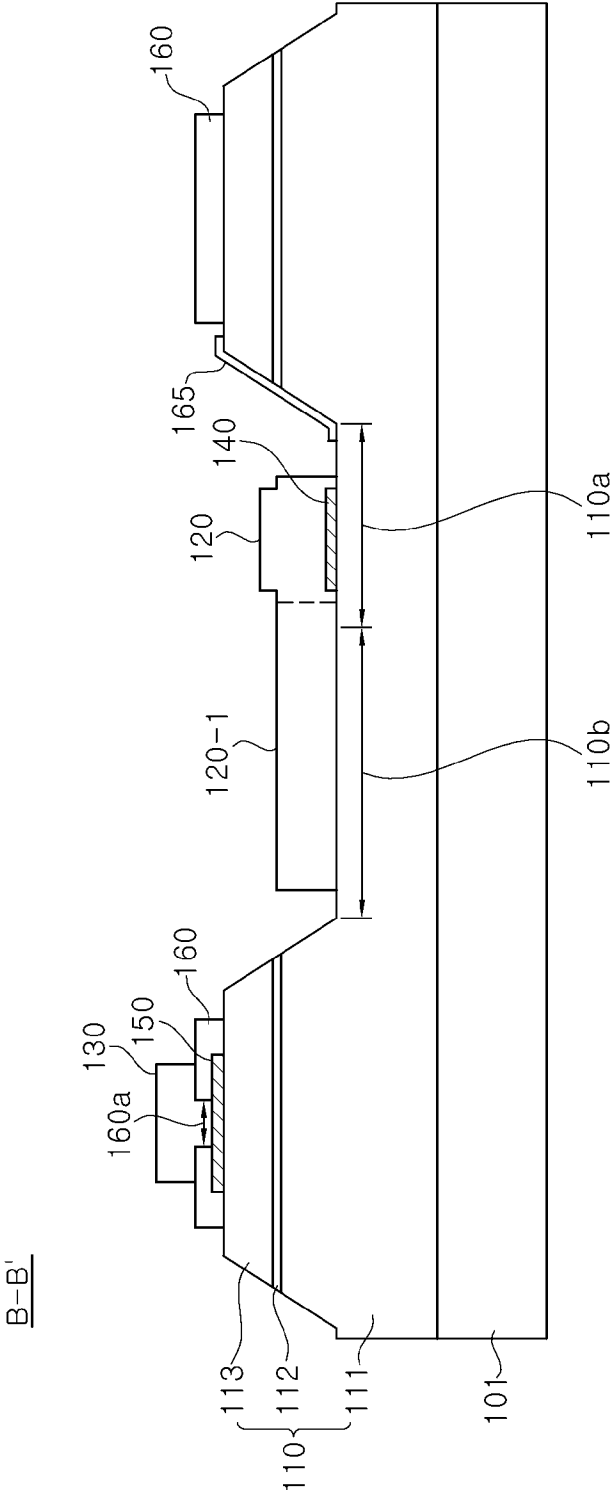
[도1]



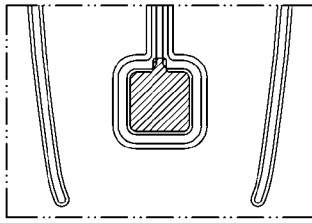
[도2]



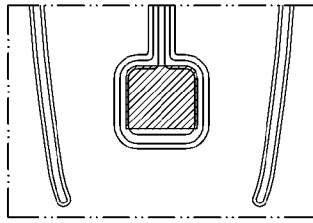
[도3]



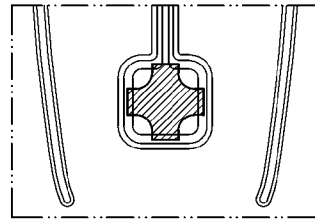
[도4]



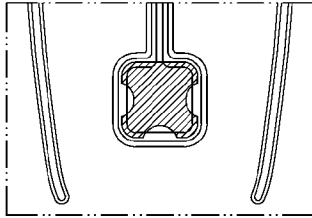
(a)



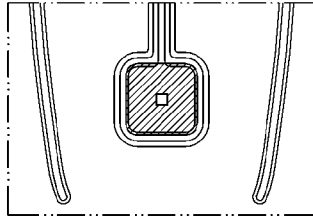
(b)



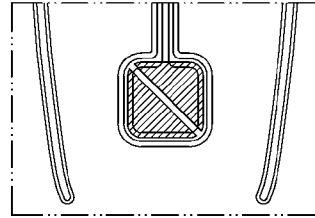
(c)



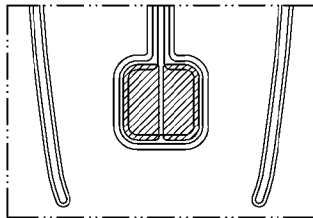
(d)



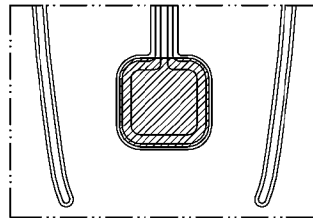
(e)



(f)

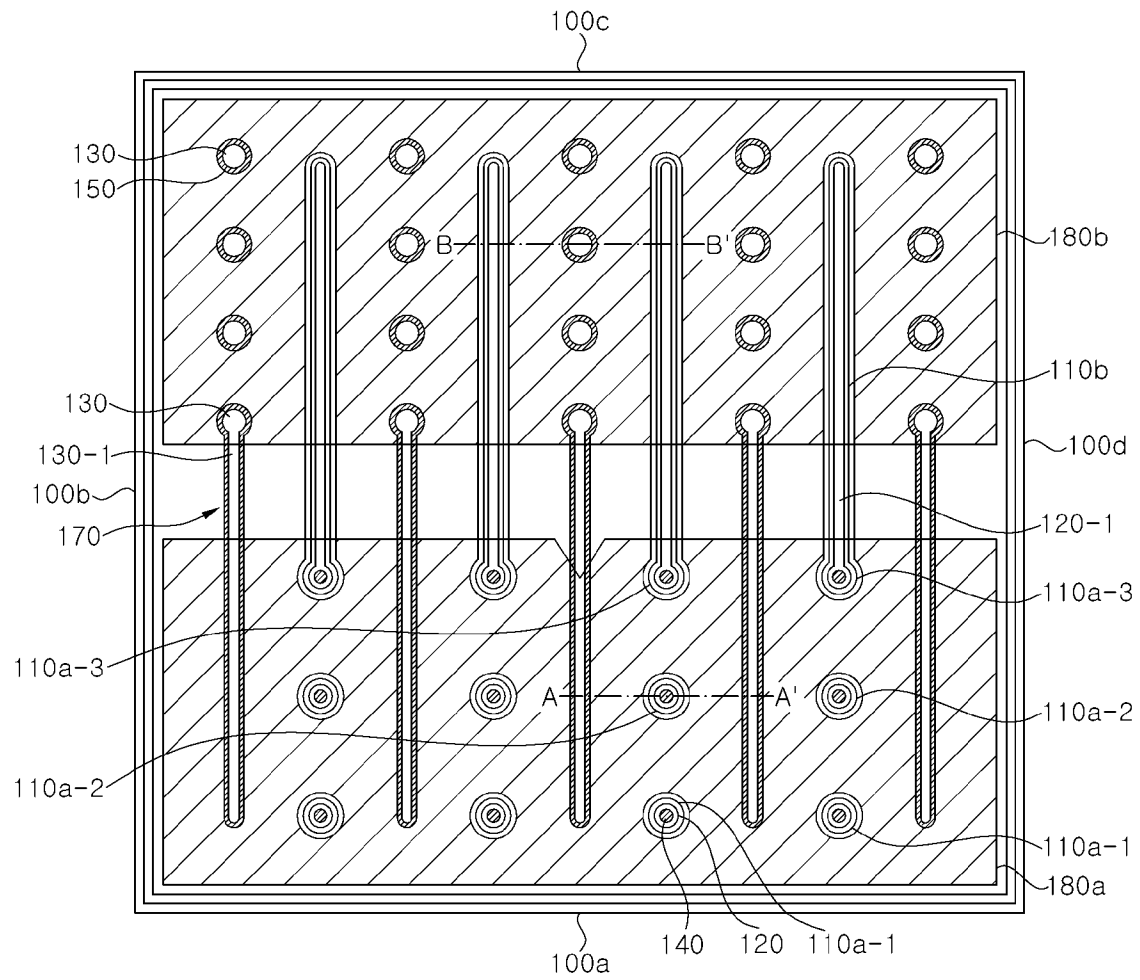


(g)



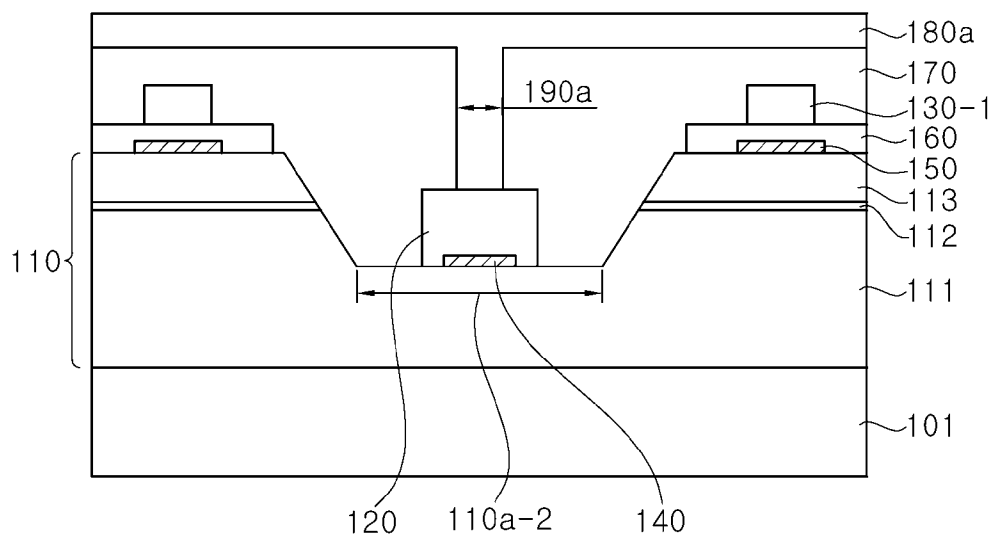
(h)

[도5]

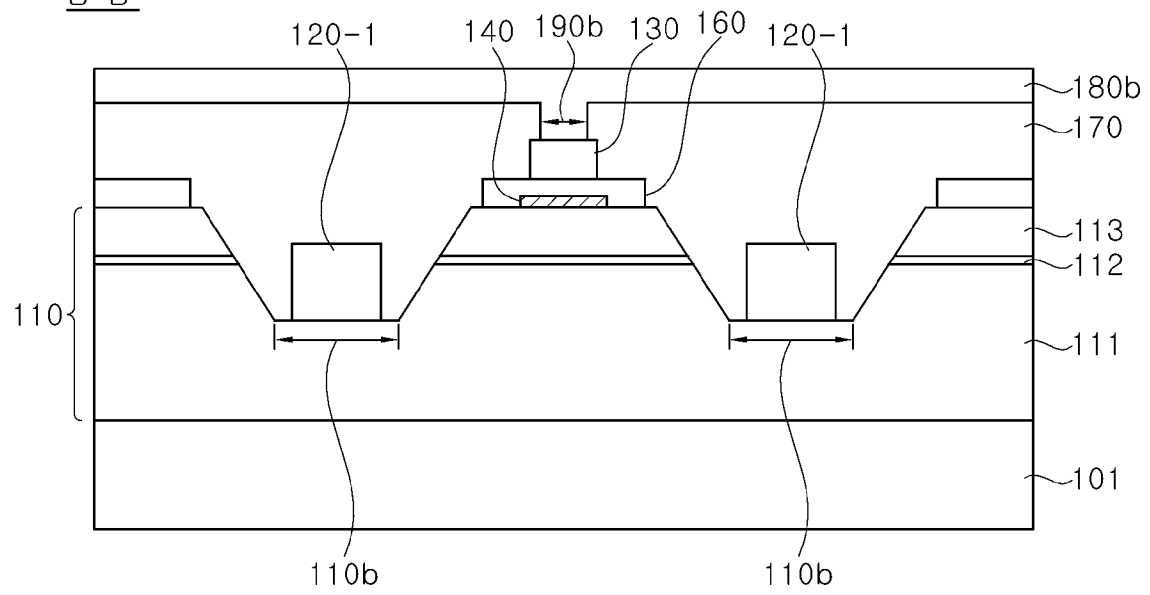


[도6]

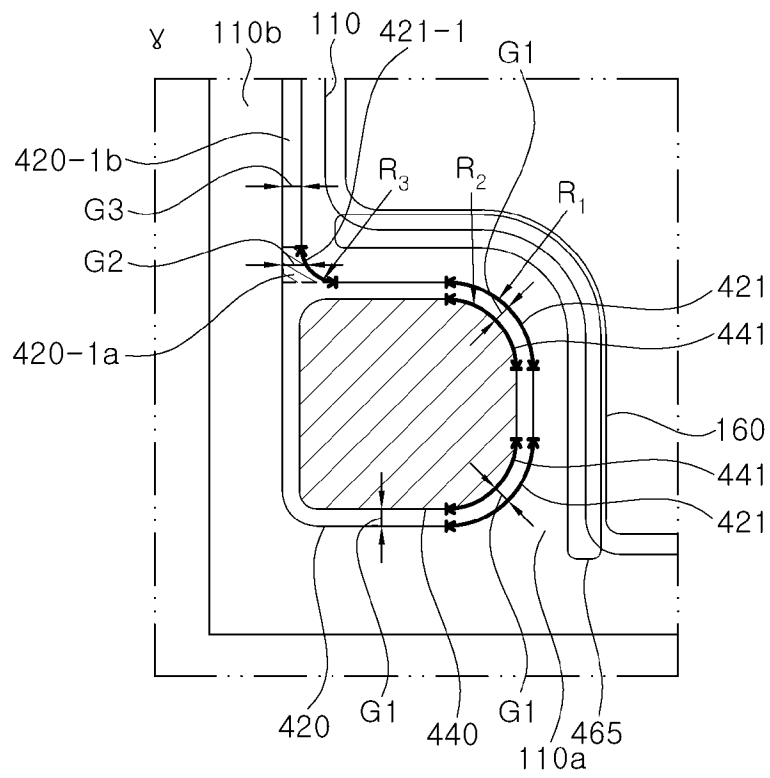
A-A'



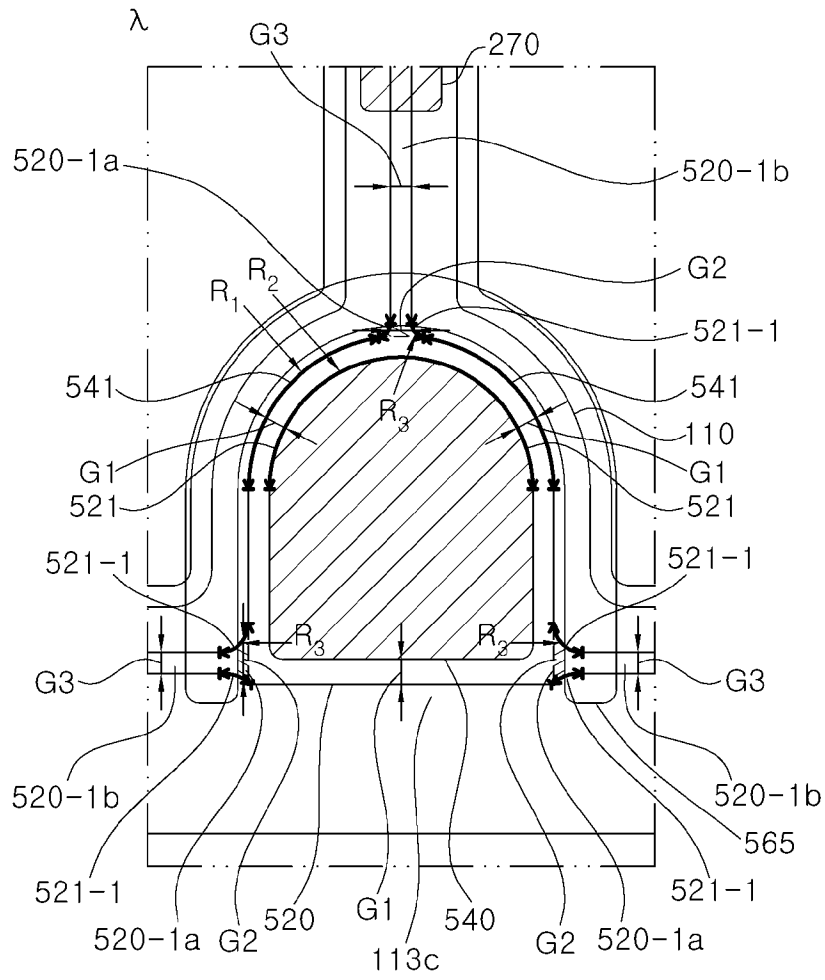
[도7]

B-B'

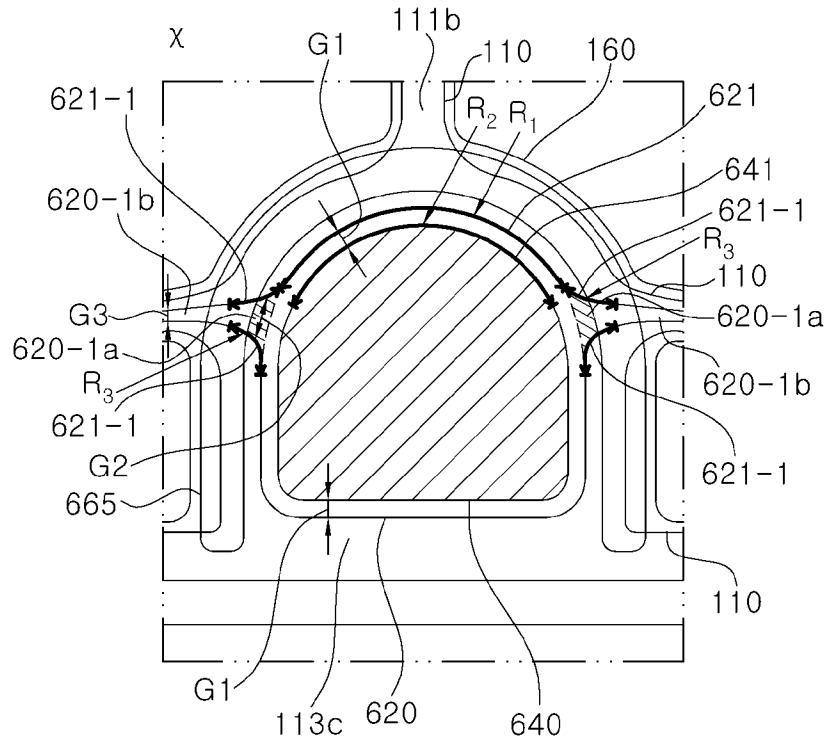
[도14]



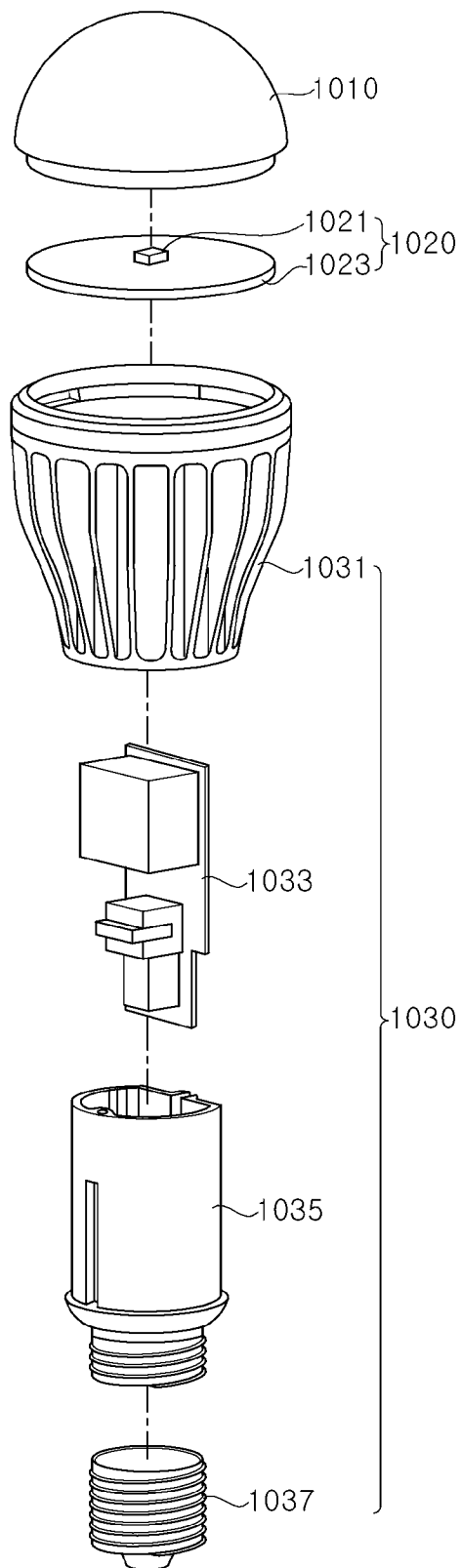
[도16]



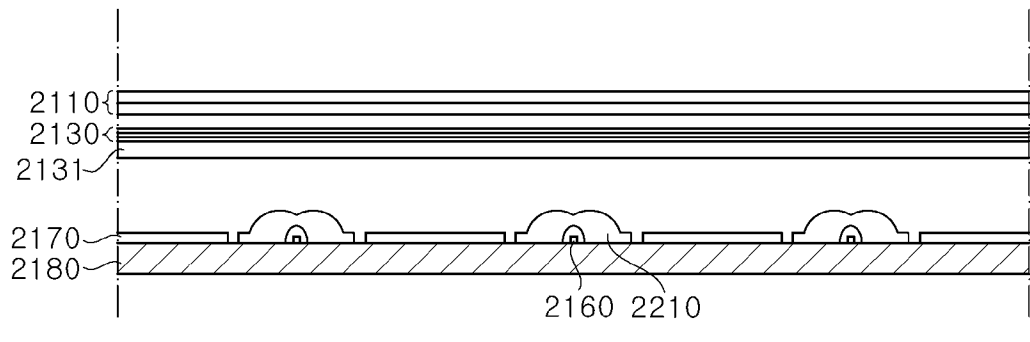
[도18]



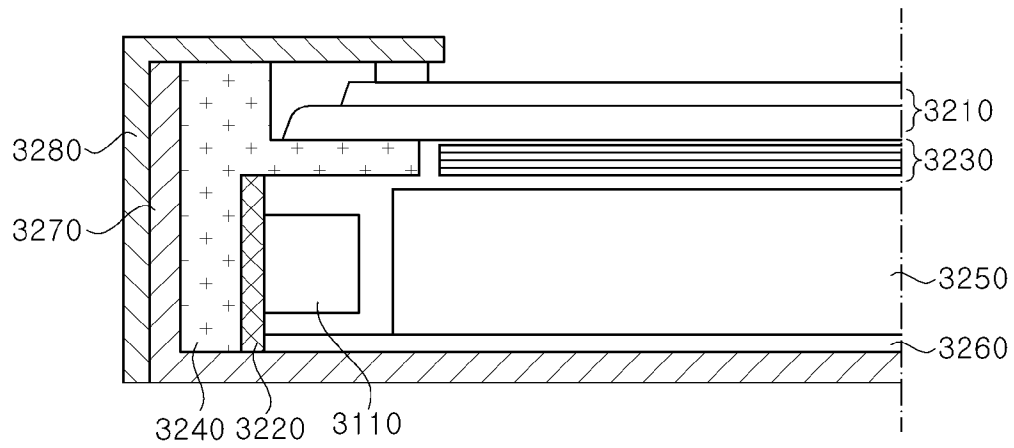
[도19]



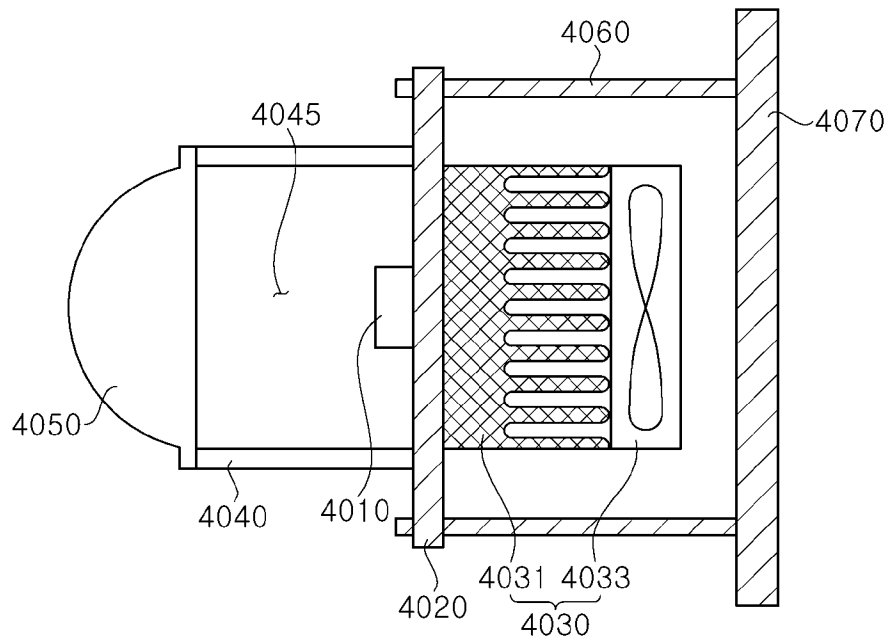
[도20]



[도21]



[도22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/008337

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/02(2010.01)i, H01L 33/00(2010.01)i, H01L 33/62(2010.01)i, H01L 33/14(2010.01)i, H01L 33/10(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/02; H01L 33/46; H01L 33/10; H01L 33/36; H01L 33/00; H01L 33/14; H01L 33/62

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: current blocking layer, extension part, curvature, opening, DBR

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2015-0097990 A (LG INNOTEK CO., LTD.) 27 August 2015 See paragraphs 15-50, claim 1 and figures 1-7.	1-20
A		21-34
Y	KR 10-2016-0081392 A (SEOUL VIOSYS CO., LTD.) 08 July 2016 See paragraphs 25-31, claim 1 and figures 1-5.	1-20
Y	JP 2016-100510 A (TEKCORE CO., LTD.) 30 May 2016 See paragraphs 11-16, claim 1 and figures 1-3.	3-4
Y	KR 10-2016-0041142 A (SEMICON LIGHT CO., LTD.) 18 April 2016 See paragraphs 15-32, claim 1 and figures 4-7.	12-20
A	JP 2008-210900 A (NICHIA CHEM. IND., LTD.) 11 September 2008 See paragraphs 41-44, claim 1 and figures 2-3.	1-34



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

08 NOVEMBER 2017 (08.11.2017)

Date of mailing of the international search report

08 NOVEMBER 2017 (08.11.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/008337

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2015-0097990 A	27/08/2015	NONE	
KR 10-2016-0081392 A	08/07/2016	CN 103222074 A	24/07/2013
		CN 103222074 B	01/06/2016
		CN 105742447 A	06/07/2016
		JP 2014-500624 A	09/01/2014
		JP 2016-026392 A	12/02/2016
		JP 2017-073559 A	13/04/2017
		JP 6141931 B2	07/06/2017
		KR 10-1364721 B1	20/02/2014
		KR 10-1769078 B1	18/08/2017
		KR 10-2012-0053571 A	29/05/2012
		KR 10-2017-0092513 A	11/08/2017
		US 2013-0234192 A1	12/09/2013
		US 2015-0236210 A1	20/08/2015
		US 2016-0118564 A1	28/04/2016
		US 2017-0047483 A1	16/02/2017
		US 8987772 B2	24/03/2015
		US 9397264 B2	19/07/2016
		US 9520536 B2	13/12/2016
		WO 2012-067311 A1	24/05/2012
JP 2016-100510 A	30/05/2016	NONE	
KR 10-2016-0041142 A	18/04/2016	CN 106415859 A	15/02/2017
		KR 10-1588825 B1	27/01/2016
		KR 10-1609763 B1	07/04/2016
		KR 10-1697961 B1	20/01/2017
		KR 10-2016-0046009 A	28/04/2016
		KR 10-2016-0046010 A	28/04/2016
		KR 10-2016-0082946 A	11/07/2016
		KR 10-2016-0126943 A	02/11/2016
		KR 10-2016-0126944 A	02/11/2016
		US 2017-0125641 A1	04/05/2017
		WO 2015-186972 A1	10/12/2015
		WO 2016-056823 A1	14/04/2016
JP 2008-210900 A	11/09/2008	JP 5040355 B2	03/10/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/02(2010.01)i, H01L 33/00(2010.01)i, H01L 33/62(2010.01)i, H01L 33/14(2010.01)i, H01L 33/10(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/02; H01L 33/46; H01L 33/10; H01L 33/36; H01L 33/00; H01L 33/14; H01L 33/62

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 전류차단층, 연장부, 곡률, 개구, DBR

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2015-0097990 A (엘지이노텍 주식회사) 2015.08.27 단락 15-50, 청구항 1 및 도면 1-7 참조.	1-20
A		21-34
Y	KR 10-2016-0081392 A (서울바이오시스 주식회사) 2016.07.08 단락 25-31, 청구항 1 및 도면 1-5 참조.	1-20
Y	JP 2016-100510 A (TEKCORE CO., LTD.) 2016.05.30 단락 11-16, 청구항 1 및 도면 1-3 참조.	3-4
Y	KR 10-2016-0041142 A (주식회사 세미콘라이트) 2016.04.18 단락 15-32, 청구항 1 및 도면 4-7 참조.	12-20
A	JP 2008-210900 A (NICHIA CHEM. IND., LTD.) 2008.09.11 단락 41-44, 청구항 1 및 도면 2-3 참조.	1-34

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 11월 08일 (08.11.2017)

국제조사보고서 발송일

2017년 11월 08일 (08.11.2017)

ISA/KR의 명칭 및 우편주소



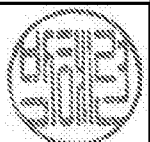
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0097990 A	2015/08/27	없음	
KR 10-2016-0081392 A	2016/07/08	CN 103222074 A CN 103222074 B CN 105742447 A JP 2014-500624 A JP 2016-026392 A JP 2017-073559 A JP 6141931 B2 KR 10-1364721 B1 KR 10-1769078 B1 KR 10-2012-0053571 A KR 10-2017-0092513 A US 2013-0234192 A1 US 2015-0236210 A1 US 2016-0118564 A1 US 2017-0047483 A1 US 8987772 B2 US 9397264 B2 US 9520536 B2 WO 2012-067311 A1	2013/07/24 2016/06/01 2016/07/06 2014/01/09 2016/02/12 2017/04/13 2017/06/07 2014/02/20 2017/08/18 2012/05/29 2017/08/11 2013/09/12 2015/08/20 2016/04/28 2017/02/16 2015/03/24 2016/07/19 2016/12/13 2012/05/24
JP 2016-100510 A	2016/05/30	없음	
KR 10-2016-0041142 A	2016/04/18	CN 106415859 A KR 10-1588825 B1 KR 10-1609763 B1 KR 10-1697961 B1 KR 10-2016-0046009 A KR 10-2016-0046010 A KR 10-2016-0082946 A KR 10-2016-0126943 A KR 10-2016-0126944 A US 2017-0125641 A1 WO 2015-186972 A1 WO 2016-056823 A1	2017/02/15 2016/01/27 2016/04/07 2017/01/20 2016/04/28 2016/04/28 2016/07/11 2016/11/02 2016/11/02 2017/05/04 2015/12/10 2016/04/14
JP 2008-210900 A	2008/09/11	JP 5040355 B2	2012/10/03