



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I474458 B

(45) 公告日：中華民國 104 (2015) 年 02 月 21 日

(21) 申請案號：101110029

(22) 申請日：中華民國 101 (2012) 年 03 月 23 日

(51) Int. Cl. : **H01L23/498 (2006.01)**

(71) 申請人：南茂科技股份有限公司 (中華民國) CHIPMOS TECHNOLOGIES INC. (TW)

新竹縣新竹科學工業園區研發一路 1 號

(72) 發明人：賴奎佑 LAI, KUEI YU (TW)

(74) 代理人：林育雅

(56) 參考文獻：

JP 10-223702A

JP 2008-244069A

US 5892277

US 2010/0224874A1

審查人員：董柏昌

申請專利範圍項數：4 項 圖式數：3 共 19 頁

(54) 名稱

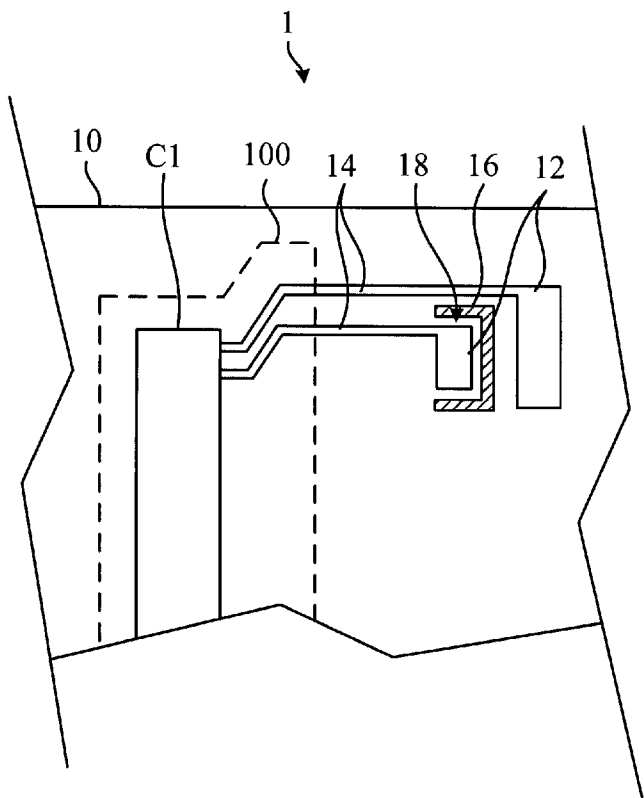
半導體封裝基板

CHIP PACKAGING SUBSTRATE

(57) 摘要

本發明揭露一種半導體封裝基板，其包含用來承載晶片之可撓性基材與設置於可撓性基材上的測試墊、引腳以及阻擋層。引腳之一端電性連接晶片，另一端則連接測試墊。阻擋層可設置於測試墊之周圍，並與測試墊間形成凹陷部。當一探針接觸測試墊以測試晶片之電性功能時，阻擋層可阻擋探針避免其滑出測試墊。

A chip packaging substrate comprises a flexible base substrate for carrying a chip, and a plurality of test pads, a plurality of leads, and a blocking layer formed on the flexible base substrate. Each of the leads connects to the chip with one end and to one of the test pads with the other end. The blocking layer can be formed around the test pad so that a hollow area is formed therebetween. When a probe contacts the test pad for testing the electrical performance of the chip, the blocking layer can blocks the probe to prevent the probe from sliding off the testing pad.



- 1 . . . 半導體封裝基板
- 10 . . . 可撓性基材
- 12 . . . 測試墊
- 14 . . . 引腳
- 16 . . . 阻擋層
- 18 . . . 凹陷部
- 100 . . . 使用區
- C1 . . . 晶片

圖一A

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101110029

※申請日：101.3.23

※IPC 分類：H01L 23/498 (2006.01)

一、發明名稱：(中文/英文)

半導體封裝基板/ CHIP PACKAGING SUBSTRATE

二、中文發明摘要：

本發明揭露一種半導體封裝基板，其包含用來承載晶片之可撓性基材與設置於可撓性基材上的測試墊、引腳以及阻擋層。引腳之一端電性連接晶片，另一端則連接測試墊。阻擋層可設置於測試墊之周圍，並與測試墊間形成凹陷部。當一探針接觸測試墊以測試晶片之電性功能時，阻擋層可阻擋探針避免其滑出測試墊。

三、英文發明摘要：

A chip packaging substrate comprises a flexible base substrate for carrying a chip, and a plurality of test pads, a plurality of leads, and a blocking layer formed on the flexible base substrate. Each of the leads connects to the chip with one end and to one of the test pads with the other end. The blocking layer can be formed around the test pad so that a hollow area is formed therebetween. When a probe contacts the test pad for testing the electrical performance of the chip, the blocking layer can blocks the probe to prevent the probe from sliding off the testing pad.

四、指定代表圖：

(一)本案指定代表圖為：第（ 一 A ）圖。

(二)本代表圖之元件符號簡單說明：

1：半導體封裝基板

10：可撓性基材

12：測試墊

14：引腳

16：阻擋層

18：凹陷部

100：使用區

C1：晶片

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體封裝基板，並且特別地，關於一種可使探針確實接觸測試墊以避免測試失敗的半導體封裝基板。

【先前技術】

由於光電產業的快速發展，並基於目前電子裝置薄型化的潮流，現今的電子裝置所使用的顯示器均具有厚度薄、大面積及高解析度等優點，如液晶顯示器(Liquid Crystal Display, LCD)或電漿顯示器(Plasma Display Panel, PDP)等。上述的薄型顯示器驅動晶片，一般以捲帶承載封裝(Tape Carrier Package, TCP)或薄膜覆晶封裝(Chip on Film, COF)方式對其進行封裝。

於目前的 TCP/COF 封裝製程中，晶片係設置於佈有引腳的捲帶或可撓性基材上，藉由引腳使晶片與電子裝置電性連接，以驅動電子裝置(如液晶顯示器)。於封裝後，晶片封裝結構需經過測試以確認其功能是否正常，並於測試後才將晶片封裝結構自捲帶或可撓性基材裁切出來。捲帶或可撓性基材上進一步設置有多個測試墊，這些測試墊同樣透過引腳連接到晶片，使得測試儀器(例如：探針卡)可透過接觸這些測試墊來測試晶片的電性功能。

在 TCP/COF 之晶片封裝結構測試方面，通常是以懸臂式探針卡來進行測試。懸臂式探針卡的探針一般呈斜向配

置，當探針卡向下加壓使探針接觸測試墊時，由於探針斜向接觸測試墊，可能會有滑針的情況發生，亦即，探針的針尖因壓力而於測試墊上滑移並偏離原本預定接觸之位置。若滑針情況嚴重時，探針可能滑出測試墊的範圍而不接觸測試墊，進而導致測試結果錯誤而影響測試的效率。

【發明內容】

因此，本發明之一範疇在於提供一種半導體封裝基板，以解決先前技術之問題。

根據一具體實施例，本發明之半導體封裝基板包含可撓性基材、測試墊、引腳以及阻擋層，其中，測試墊、引腳及阻擋層係設置於可撓性基材上。於本具體實施例中，可撓性基材係用以承載晶片，引腳則電性連接晶片以及測試墊。阻擋層設置於測試墊周圍，並且與測試墊間形成凹陷部。阻擋層可於探針接觸測試墊時阻擋探針繼續滑動，換言之，當探針因壓力而在測試墊上滑移至凹陷區時，其針尖可在凹陷區中被阻擋層所阻擋，而不會完全滑出測試墊範圍，因此探針可確實接觸測試墊。

根據另一具體實施例，本發明之半導體封裝基板包含可撓性基材、測試墊、引腳以及阻擋層，其中，測試墊及引腳係設置於可撓性基材上。於本具體實施例中，可撓性基材係用以承載晶片，引腳則電性連接晶片以及測試墊。阻擋層設置於測試墊之上，並且阻擋層在測試墊上定義出一測試區。阻擋層可於探針接觸測試墊時，將探針的針尖限制於測試區內，使得探針可確實接觸測試墊。

關於本發明之優點與精神可以藉由以下的發明詳述及所附圖式得到進一步的瞭解。

【實施方式】

請參閱圖一 A，圖一 A 係繪示根據本發明之一具體實施例之半導體封裝基板 1 的部分放大示意圖。如圖一 A 所示，半導體封裝基板 1 包含可撓性基材 10、複數個測試墊 12 以及複數個引腳 14，其中測試墊 12 及引腳 14 均設置於可撓性基材 10 之上。於實務中，可撓性基材係以可彎曲的材質所構成，例如，聚亞醞胺(polyimide, PI)。此外，為了圖面簡潔起見，圖一 A 中僅繪示出二個測試墊 12，但於實務中，測試墊的數量係根據晶片之 I/O 數量而有所不同，故本具體實施例之測試墊 12 的數量並不限於二個。

可撓性基材 10 上定義有使用區 100，用來承載晶片 C1 於其上，引腳 14 自晶片 C1 延伸經過使用區 100 而電性連接到相應之測試墊 12，換言之，引腳 14 電性連接晶片 C1 及測試墊 12，因此可透過探針卡接觸測試墊 12 來測試晶片 C1 的電性。於實務中，為了在有限空間的測試墊區中設置高密度之測試墊，部分測試墊 12 的尺寸必須縮小，探針卡加壓接觸測試墊 12 時，探針極可能滑移出縮小尺寸之測試墊 12 的範圍，而影響測試的準確性。舉例而言，圖一 A 中的兩個測試墊 12 中，距離晶片 C1 較近的一者的面積比另一者的面積小。

請參閱圖一 A 以及圖一 B，圖一 B 係繪示探針 P1 接觸圖一 A 之測試墊 12 的剖面圖。如圖一 A 以及圖一 B 所

示，半導體封裝基板 1 進一步包含阻擋層 16，其係設置於可撓性基材 10 之上，並位於左側尺寸較小的測試墊 12 之周圍。阻擋層 16 與測試墊 12 之間形成了凹陷部 18。於另一具體實施例中，圖一 A 之右側尺寸較大的測試墊 12 周圍也可設置阻擋層 16。

於本具體實施例中，當使用一探針 P1 接觸測試墊 12 以對晶片 C1 進行測試時，由於一般用來測試的懸臂式探針卡設備，其探針 P1 係斜向設置，因此對探針 P1 加壓使其向下移動而接觸測試墊 12 時，探針 P1 可能因壓力而在測試墊 12 上產生滑針狀況，進一步偏移原本探針 P1 預計接觸測試墊 12 之位置。阻擋層 16 可用來阻擋產生滑針狀況之探針 P1，使探針 P1 的針尖局限於凹陷部 18 之中而部分之針身仍可確實接觸到測試墊 12，以使探針 P1 即使發生滑針狀況亦不會滑出測試墊 12 之範圍，換言之，阻擋層 16 可令探針 P1 於測試時確實電性接觸測試墊 12，而避免測試失敗的情況發生。如上所述，於尺寸較小的測試墊 12 之周圍可設置阻擋層 16 避免探針 P1 滑出接觸範圍，然而本發明並不限制阻擋層 16 僅設置於這些較小尺寸的測試墊 12 周圍，而是可設置於任何尺寸的測試墊 12(例如，圖一 A 中右側的測試墊 12)周圍，以確保探針 P1 不會滑出各測試墊 12。

請參閱圖一 C，圖一 C 係繪示根據本發明之另一具體實施例的探針 P1 接觸測試墊 12 的剖面圖。本具體實施例與上一具體實施例不同處在於，本具體實施例之測試墊 12 與阻擋層 16 間所形成凹陷區 18' 的底層並未貫穿，換言

之，凹陷區 18' 為未貫穿之溝槽，且阻擋層 16 與測試墊 12 間仍有部分相互連接。舉例而言，若以蝕刻方式將導電金屬層蝕刻成阻擋層 16 與測試墊 12，依蝕刻的時間長短可形成貫穿至可撓性基材 10 的凹陷區 18 以及並未貫穿至可撓性基材 10 的凹陷區 18'。

請參閱圖二 A 及 B，圖二 A 及 B 分別繪示根據本發明之不同具體實施例之半導體封裝基板的部分放大示意圖。如圖二 A 所示，半導體封裝基板 2 上的阻擋層 26 形成於測試墊 22 之相對兩側邊旁，更詳細地說，阻擋層 26 所鄰近之測試墊 22 的兩相對側邊係平行於連接此測試墊 22 之引腳 24 的延伸方向，因此阻擋層 26 及凹陷區 28 能有效阻擋探針橫向之滑移，使其不致滑出測試墊 22 的範圍。另一方面，阻擋層 36 也可環繞測試墊 32 之四周而設置，如此可阻擋探針任何方向之滑移，如同圖二 B 所示。於實務中，阻擋層的形狀以及是否包圍環繞測試墊端看使用者或設計者需求而定，其設計的原則僅在於阻擋層是否能阻擋測試時探針的滑針狀況使得探針能確實電性接觸測試墊。請注意，圖二 A 與圖二 B 之半導體封裝基板 2、3 的其他單元，係與圖一 A、B、C 所繪示之具體實施例相對應的單元大體上相同，故於此不再贅述。

上述各具體實施例中，各阻擋層可為金屬材料或是絕緣材料所構成，視使用者或設計者需求而定。例如，阻擋層的材質可為與測試墊和引腳相同的金屬材料，當測試墊和引腳經過蝕刻導電金屬層的製程而形成時，凹陷部與阻擋層一併形成於測試墊之周圍。相對地，阻擋層亦可在形

成測試墊和引腳之後，以不同的金屬材料再設置於測試墊周圍。另一方面，阻擋層也可由聚亞醞胺(polyimide, PI)、防焊漆(solder resist/mask)或苯環丁烯(benzocyclobutene, BCB)等絕緣材料，於測試墊和引腳形成後再設置於測試墊之周圍。

請參閱圖三 A，圖三 A 係繪示根據本發明另一具體實施例之半導體封裝基板 4 的部分放大示意圖。如圖三 A 所示，半導體封裝基板 4 包含可撓性基材 40、複數個測試墊 42、複數個引腳 44 以及阻擋層 46，其中，測試墊 42 與引腳 44 設置於可撓性基材 40 之上。同樣地，可撓性基材 40 上可定義使用區 400 以於其上承載晶片 C2。各引腳 44 電性連接晶片 C2 及相應之測試墊 42，令使用者可透過測試墊 42 及引腳 44 測試晶片 C2 之電性。阻擋層 46 係設置於左側尺寸較小的測試墊 42 之上，並在測試墊 42 上定義出測試區 48。同樣地，於本具體實施例中雖然只在左側尺寸較小的測試墊 42 上設置阻擋層 46，然而本發明並不限制阻擋層 46 僅設置於這些較小尺寸的測試墊 42 之上，而可設置於任何尺寸的測試墊 42(例如，右側尺寸較大的測試墊 42)之上。

請參閱圖三 B，圖三 B 係繪示探針 P2 接觸圖三 A 之測試墊 42 的剖面圖。如圖三 B 所示，探針 P2 被加壓向下接觸測試墊 42 上的測試區 48，當探針 P2 在測試墊 42 上產生滑針狀況時，阻擋層 46 會阻擋並局限探針 P2 於測試區 48 之內，以確保探針 P2 能確實電性接觸測試墊 42 而避免測試失敗的狀況發生。

阻擋層 46 於實務中可與測試墊 42 及引腳 44 於同一製程中形成，例如，當測試墊 42 和引腳 44 經過蝕刻導電金屬層的製程而形成時，阻擋層 46 與測試區 48 亦一併形成於測試墊 42 上，並且，依此種製程形成的阻擋層 46 其材質係為與測試墊 42 和引腳 44 的金屬材料相同。另外，阻擋層 46 也可於測試墊 42 和引腳 44 形成之後，再進一步形成於測試墊 42 之上，於此，阻擋層 46 可為與測試墊 42 和引腳 44 不同的金屬材質，或是聚亞醯胺、防焊漆或苯環丁烯等絕緣材料。

請參閱圖三 C，圖三 C 係根據本發明之另一具體實施例之半導體封裝基板 5 的部分放大示意圖。如圖三 C 所示，本具體實施例與上一具體實施例不同處，在於本具體實施例之阻擋層 56 係設置於測試墊 52 的兩相對側邊上，並且，此兩相對側邊係大體上平行於與測試墊 52 連接之引腳 54 的延伸方向。於實務中，阻擋層的形狀以及設置位置看使用者或設計者需求而定，其設計的原則僅在於阻擋層是否可在測試時阻擋並將探針局限於測試區內，使得探針能確實接觸測試墊。本具體實施例之半導體封裝基板 5 的其他單元係與上述具體實施例相對應的單元大體上相同，故於此不再贅述。

如上所述，本發明之半導體封裝基板係於測試墊之周圍設置阻擋層，或於測試墊上設置阻擋層。阻擋層可在測試墊周邊與其上形成凹陷區域，當使用者利用測試機台上斜向配置的探針接觸測試墊以對晶片進行測試時，探針會被阻擋層局限於凹陷區域中，令其確實接觸測試墊，以避

免探針滑出測試墊導致測試失敗的狀況產生。相較於先前技術，本發明之半導體封裝基板上之測試墊，尤其是尺寸較小的測試墊，可避免測試結果錯誤進而提升測試效率。

藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。因此，本發明所申請之專利範圍的範疇應該根據上述的說明作最寬廣的解釋，以致使其涵蓋所有可能的改變以及具相等性的安排。

【圖式簡單說明】

圖一 A 係繪示根據本發明之一具體實施例之半導體封裝基板的部分放大示意圖。

圖一 B 係繪示探針接觸圖一 A 之測試墊的剖面圖。

圖一 C 係繪示根據本發明之另一具體實施例之探針接觸測試墊的剖面圖。

圖二 A 係繪示根據本發明之另一具體實施例之半導體封裝基板的部分放大示意圖。

圖二 B 係繪示根據本發明之另一具體實施例之半導體封裝基板的部分放大示意圖。

圖三 A 係繪示根據本發明另一具體實施例之半導體封裝基板的部分放大示意圖。

圖三 B 係繪示探針接觸圖三 A 之測試墊的剖面圖。

圖三 C 係根據本發明之另一具體實施例之半導體封裝基板的部分放大示意圖。

【主要元件符號說明】

1、2、3、4、5：半導體封裝基板

10、20、30、40、50：可撓性基材

12、22、32、42、52：測試墊

14、24、34、44、54：引腳

16、26、36、46、56：阻擋層

18、18'、28、38：凹陷部

48、58：測試區

100、200、300、400、500：使用區

C1、C2：晶片

P1、P2：探針

七、申請專利範圍：

1、一種半導體封裝基板，包含：

一可撓性基材，用以承載一晶片；

複數個測試墊，設置於該可撓性基材上，該些測試墊係用以供一測試探針接觸；

複數個引腳，設置於該可撓性基材上，各該些引腳之一端電性連接該晶片，另一端連接該些測試墊之其中之一；以及

一阻擋層，設置於該可撓性基材上並位於該些測試墊中之至少一者之周圍，該阻擋層與該些測試墊之該至少一者間形成一凹陷部；

其中該阻擋層與該些測試墊及該些引腳係由相同金屬材料所形成。

2、如申請專利範圍第1項所述之半導體封裝基板，其中該阻擋層至少設置於該些測試墊之該至少一者的二相對側邊，該二相對側邊係平行於該引腳延伸方向。

3、一種半導體封裝基板，包含：

一可撓性基材，用以承載一晶片；

複數個測試墊，設置於該可撓性基材上，該些測試墊係用以供一測試探針接觸；

複數個引腳，設置於該可撓性基材上，各該些引腳之一端電性連接該晶片，另一端連接該些測試墊之其中之一；以及

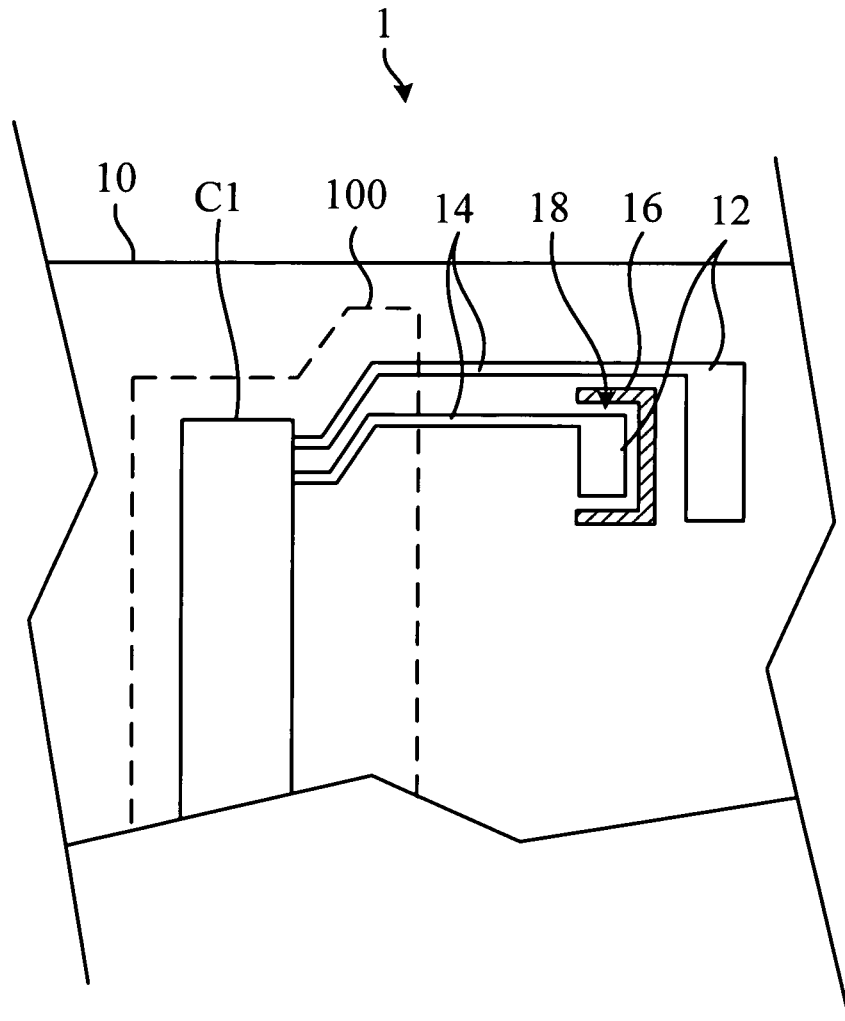
一阻擋層，設置於該些測試墊中之至少一者上，並將

該些測試墊之該至少一者定義出一測試區；

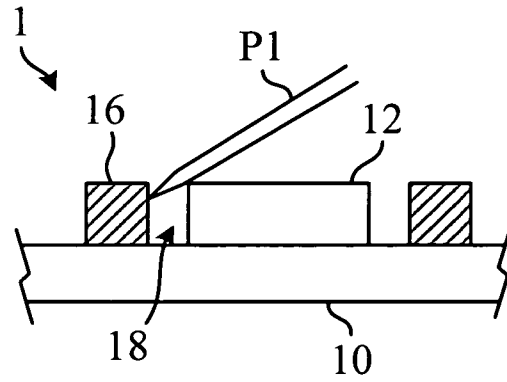
其中該阻擋層與該些測試墊及該些引腳係由相同金屬材料所形成。

- 4、如申請專利範圍第3項所述之半導體封裝基板，其中該阻擋層至少設置於該些測試墊之該至少一者的二相對側邊上，該二相對側邊係平行於該引腳延伸方向。

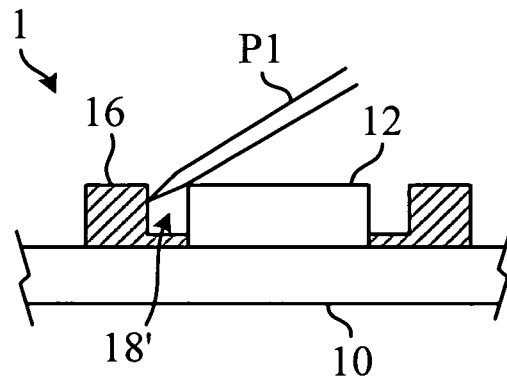
八、圖式：



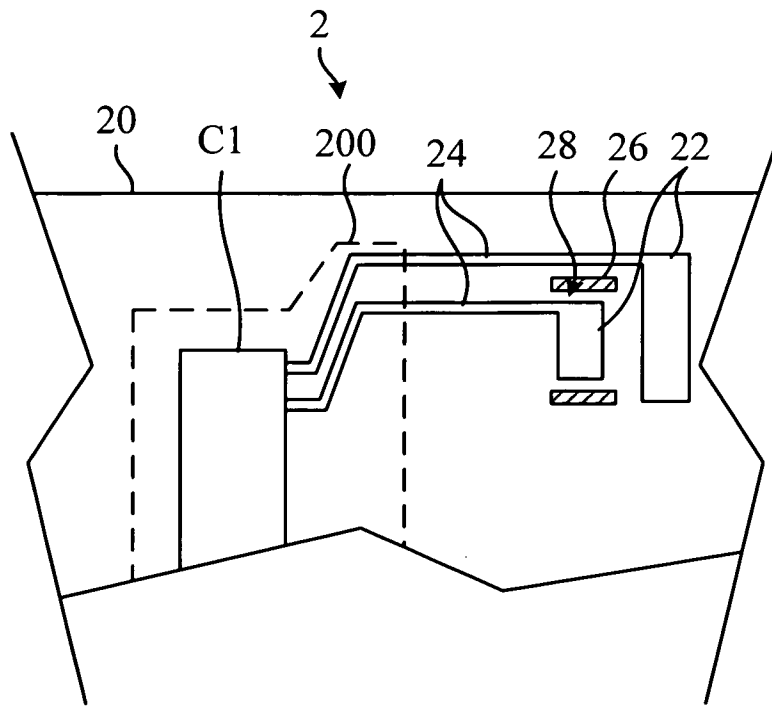
圖一A



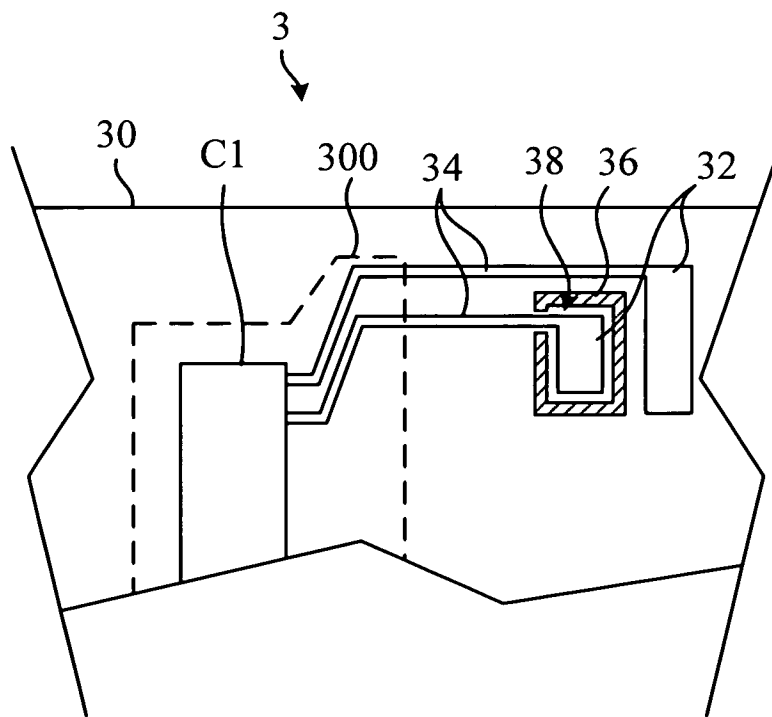
圖一B



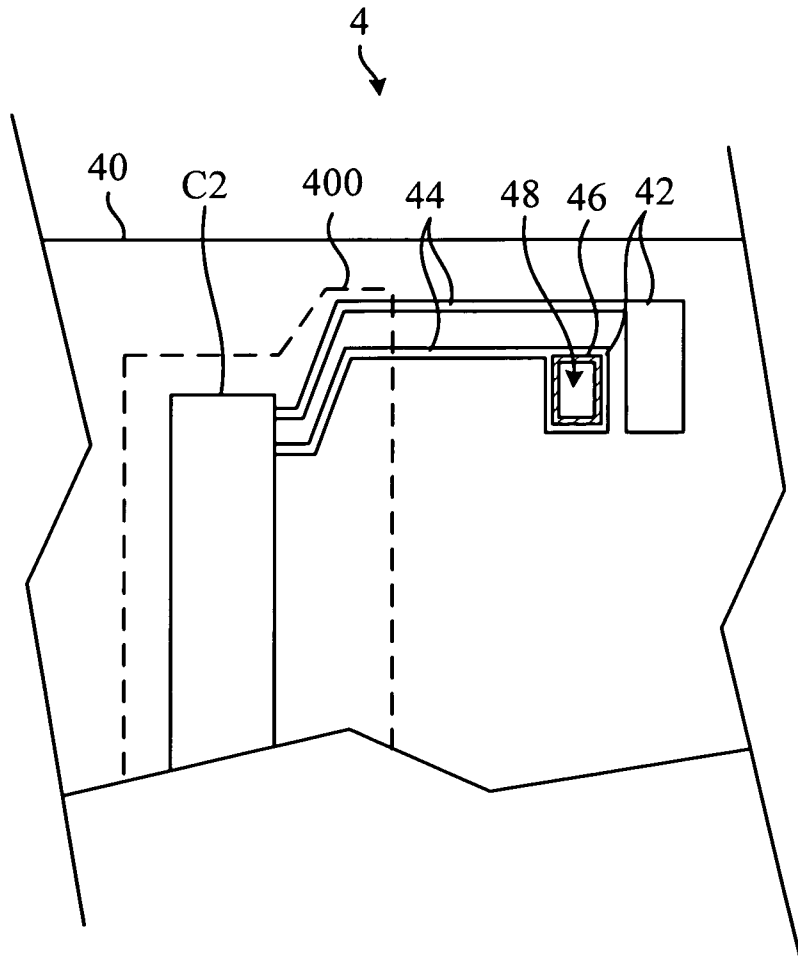
圖一C



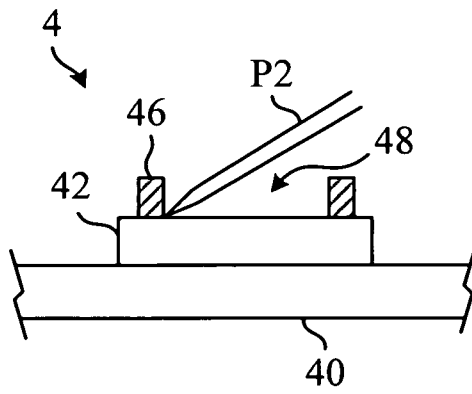
圖二A



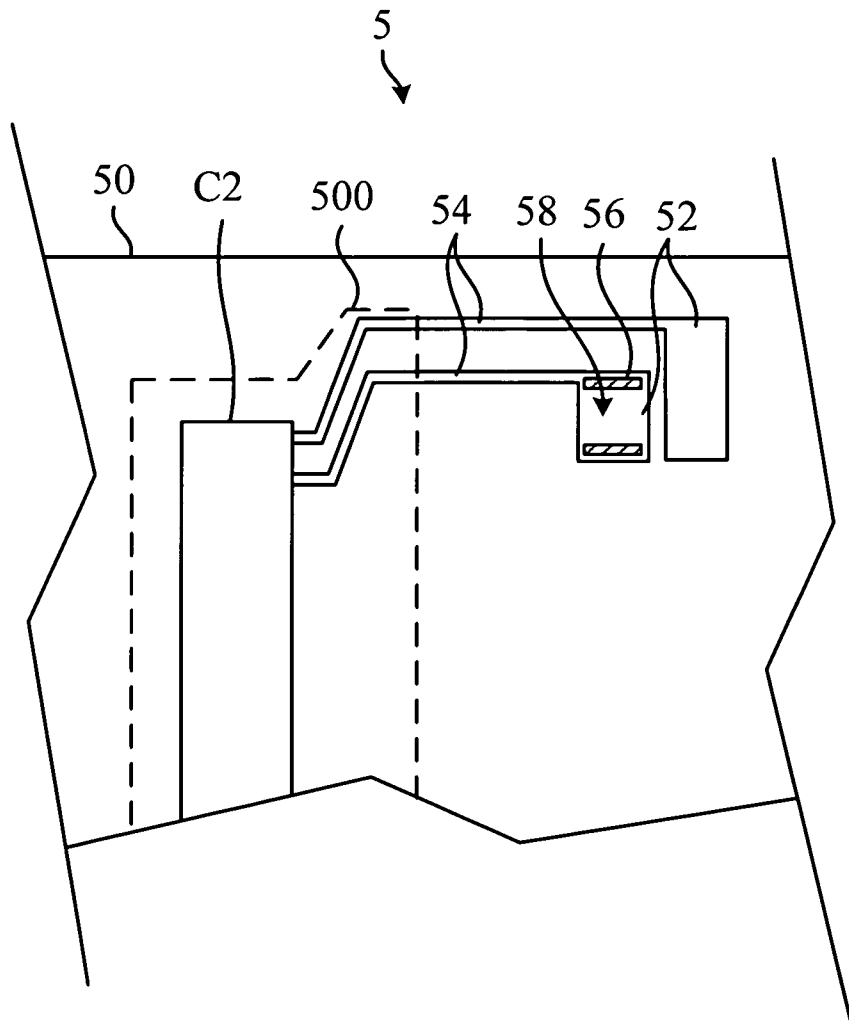
圖二B



圖三A



圖三B



圖三C