

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5980468号  
(P5980468)

(45) 発行日 平成28年8月31日(2016.8.31)

(24) 登録日 平成28年8月5日(2016.8.5)

(51) Int.CI.

C23F 1/00 (2006.01)

F 1

C23F 1/00 102

請求項の数 30 (全 18 頁)

(21) 出願番号 特願2009-553652 (P2009-553652)  
 (86) (22) 出願日 平成20年3月13日 (2008.3.13)  
 (65) 公表番号 特表2010-521587 (P2010-521587A)  
 (43) 公表日 平成22年6月24日 (2010.6.24)  
 (86) 國際出願番号 PCT/US2008/003473  
 (87) 國際公開番号 WO2008/112318  
 (87) 國際公開日 平成20年9月18日 (2008.9.18)  
 審査請求日 平成23年3月14日 (2011.3.14)  
 審判番号 不服2013-25126 (P2013-25126/J1)  
 審判請求日 平成25年12月20日 (2013.12.20)  
 (31) 優先権主張番号 11/717,587  
 (32) 優先日 平成19年3月13日 (2007.3.13)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 504142411  
 テッセラ、インコーポレイテッド  
 アメリカ合衆国 カリフォルニア州 95  
 134, サン・ノゼ, オーチャード・  
 パークウェイ 3025  
 (74) 代理人 100099623  
 弁理士 奥山 尚一  
 (74) 代理人 100096769  
 弁理士 有原 幸一  
 (74) 代理人 100107319  
 弁理士 松島 鉄男  
 (74) 代理人 100114591  
 弁理士 河村 英文

最終頁に続く

(54) 【発明の名称】微細ピッチのマイクロ接点及びその成形方法

## (57) 【特許請求の範囲】

## 【請求項 1】

超小型電子ユニットを形成する方法であって、

(a) 基板の上面の選択された位置に第1の耐エッチング性材料を形成するステップであって、該基板は、該上面に露出した第1金属層と、該基板の底面に露出した第2金属層と、該第1金属層と該第2金属層との間にある第3金属層とを含み、該第3金属層は該第1金属層及び該第2金属層とは異なる金属を含むものである、ステップと、

(b) 前記第1の耐エッチング性材料によってカバーされない位置で、前記上面の上方の位置から前記基板に処理を適用することによって、前記基板の上面において前記第1金属層をエッチングするステップであって、これにより、前記基板の選択された位置から上方に突出する前記第1金属層からなる第1のマイクロ接点部分を形成する、ステップと、

(c) 前記第1のマイクロ接点部分上に第2の耐エッチング性材料を形成するステップと、

(d) 前記第1のマイクロ接点部分の下に第2のマイクロ接点部分を形成するために前記基板の前記上面において前記第1金属層をさらにエッチングするステップであって、前記第2の耐エッチング性材料によって、このさらにエッチングするステップの間に、前記第1のマイクロ接点部分が少なくとも部分的にエッチングされないようにすることによって、前記第3金属層に関して選択的に前記第1金属層をパターニングする、ステップと、

(e) 前記基板の前記底面より下方の位置から前記基板に処理を適用することによって、前記第2金属層をエッチングしてトレースを形成するステップと、

(f) 前記トレースを形成する前に、前記第1のマイクロ接点部分を残すように、前記第3金属層の一部を除去し、前記第3金属層の一部を除去して露出した前記第2金属層の上面の選択された位置に誘電体層をパターニングするステップであって、前記マイクロ接点は前記第2金属層から前記第3金属層を介して垂直に突出している、ステップと、

(g) はんだ接合、共晶接合又は拡散接合のうちの少なくとも1つのものによって、超小型電子部品の面上の対応する接点に前記マイクロ接点を結合するステップと

を含んでなり、

前記マイクロ接点は、前記マイクロ接点が前記超小型電子部品の対応する接点に接続された状態で、前記超小型電子ユニットを介して回路パネルに接続された前記超小型電子部品と前記回路パネルとの熱膨張差及び熱収縮差に適応するように、前記マイクロ接点の十分な湾曲及び傾斜を可能にする、直径及び高さを備えるように形成されている方法。

【請求項2】

前記上面において前記第1金属層をエッティングするステップは、前記第1の耐エッティング性材料が前記第1のマイクロ接点部分から横方向に突き出るように実行される、ことを特徴とする請求項1に記載の方法。

【請求項3】

前記第2の耐エッティング性材料を形成するステップが、前記第2の耐エッティング性材料がフォトトレジストであって、前記第2の耐エッティング性材料を堆積するステップと、前記第2の耐エッティング性材料を露光及び現像するステップとを含む、ことを特徴とする請求項2に記載の方法。

10

【請求項4】

前記堆積された第2の耐エッティング性材料を露光及び現像するステップの間に、横方向に突出した第1の耐エッティング性材料は、前記堆積された第2の耐エッティング性材料の部分を保護する、ことを特徴とする請求項3に記載の方法。

【請求項5】

前記第1及び第2の耐エッティング性材料を取り除くステップをさらに含む、ことを特徴とする請求項1に記載の方法。

【請求項6】

前記第1の耐エッティング性材料を形成するステップが、前記第1の耐エッティング材料がフォトトレジストであって、前記第1の耐エッティング性材料を堆積するステップと、前記第1の耐エッティング性材料の上にマスクを配置するステップと、前記マスクを介して前記第1の耐エッティング材料を露光及び現像するステップとを含む、ことを特徴とする請求項1に記載の方法。

20

【請求項7】

前記第1のマイクロ接点部分上及び前記第2のマイクロ接点部分上に第3の耐エッティング性材料を形成するステップと、

前記基板の前記上面において前記第1金属層をさらにエッティングするステップであって、前記第2の耐エッティング性材料によって、このさらにエッティングするステップの間に、前記第1のマイクロ接点部分及び前記第2のマイクロ接点部分が少なくとも部分的にエッティングされないようにすることによって、前記第3金属層に関して選択的に前記第1金属層をパターニングする、ステップと

30

をさらに実行して、前記第2のマイクロ接点部分の下に第3のマイクロ接点部分を形成するステップをさらに含む、ことを特徴とする請求項1に記載の方法。

40

【請求項8】

前記第1及び第2の耐エッティング性材料が金である、ことを特徴とする請求項1に記載の方法。

【請求項9】

前記第1及び第2の耐エッティング性材料がフォトトレジストである、ことを特徴とする請求項1に記載の方法。

【請求項10】

50

前記ステップ( d )は前記第3金属層に到達したときに前記第1金属層のパターニングを停止するステップを含む、ことを特徴とする請求項1に記載の方法。

【請求項11】

前記ステップ( e )は、前記ステップ( d )の後に実行される、ことを特徴とする請求項1に記載の方法。

【請求項12】

超小型電子ユニットを形成する方法であって、

基板の上面の選択された位置に第1の耐エッティング性材料を形成するステップであって、該基板は、該上面に露出した第1金属層と、該基板の底面に露出した第2金属層と、該第1金属層と該第2金属層との間にある第3金属層とを含み、該第3金属層は該第1金属層及び該第2金属層とは異なる金属を含むものである、ステップと、

前記第1の耐エッティング性材料によってカバーされない位置で、前記上面の上方の位置から前記基板に処理を適用することによって、前記基板の上面において前記第1金属層をエッティングするステップであって、これにより、前記基板の選択された位置から上方に突出する前記第1金属層からなる第1のマイクロ接点部分を形成する、ステップと、

( a )第2の耐エッティング性材料が、基板と一体化され前記基板の表面から上方に突出している前記第1のマイクロ接点部分を少なくとも部分的にカバーするように、前記第2の耐エッティング性材料を製造過程中的基板の上面に露出している第1金属層に加えるステップと、

( b )前記第1のマイクロ接点部分の下側において前記第1のマイクロ接点部分と一体化された第2のマイクロ接点部分を残すように、前記上面の上方の位置から前記基板に処理を適用することによって、前記基板の前記上面において前記第1金属層をエッティングするステップであって、前記第2の耐エッティング性材料は、このエッティングするステップの間に、前記第1のマイクロ接点部分がエッティングされないように少なくとも部分的に保護することによって、前記第3金属層に関して選択的に前記第1金属層をパターニングする、ステップと、

( c )前記基板の前記底面より下方の位置から前記基板に処理を適用することによって、前記第2金属層をエッティングしてトレースを形成するステップと、

( d )前記トレースを形成する前に、前記第1のマイクロ接点部分を残すように、前記第3金属層の一部を除去し、前記第3金属層の一部を除去して露出した前記第2金属層の上面の選択された位置に誘電体層をパターニングするステップであって、前記マイクロ接点は前記第2金属層から前記第3金属層を介して垂直に突出している、ステップと、

( e )はんだ接合、共晶接合又は拡散接合のうちの少なくとも1つのものによって、超小型電子部品の面上の対応する接点に前記マイクロ接点を結合するステップと

を含んでなり、

前記マイクロ接点は、前記マイクロ接点が前記超小型電子部品の対応する接点に接続された状態で、前記超小型電子ユニットを介して回路パネルに接続された前記超小型電子部品と前記回路パネルとの熱膨張差及び熱収縮差に適応するように、前記マイクロ接点の十分な湾曲及び傾斜を可能にする、直径及び高さを備えるように形成されている方法。

【請求項13】

前記第1の耐エッティング性材料を選択された位置に形成するステップが、前記第1の耐エッティング性材料を前記第1のマイクロ接点部分の全体に形成するステップと、前記第1の耐エッティング性材料の上にマスクを形成するステップとを含む、ことを特徴とする請求項12に記載の方法。

【請求項14】

前記第1の及び前記第2の耐エッティング性材料を取り除くステップをさらに含む、ことを特徴とする請求項12に記載の方法。

【請求項15】

前記ステップ( c )は、前記ステップ( b )の後に実行される、ことを特徴とする請求項12に記載の方法。

10

20

30

40

50

## 【請求項 16】

第2金属層からなるトレースと、前記トレースの上面から、第3金属層からなるエッチトップ層を介して垂直方向に突出し、超小型電子部品の複数の接点にそれぞれ接続される、第1金属層からなる複数のマイクロ接点と、前記トレースの上面に選択的に設けられた第2の誘電体層とを有する超小型電子ユニットであって、

前記各マイクロ接点は、前記エッチトップ層に隣接するベース領域と、前記エッチトップ層から離れた先端部領域とを含み、中心軸についての回転体の形状を有し、前記ベース領域の垂直位置の第1の関数であると共に前記先端部領域の垂直位置の第2の関数である横方向の寸法を有してあり、前記複数のマイクロ接点は、アレイ状に配置されており

10

前記超小型電子部品の複数の接点は、はんだ接合、共晶接合又は拡散接合のうちの少なくとも1つによって、前記複数のマイクロ接点にそれぞれ接続されており、前記各マイクロ接点は、前記トレースの底面に接続された回路パネルと、前記超小型電子部品との熱膨張差及び熱収縮差に適応するように、前記マイクロ接点の十分な湾曲及び傾斜を可能にする、直径及び高さを備えている、超小型電子ユニット。

## 【請求項 17】

前記第1及び第2の関数が実質的に異なっている、ことを特徴とする請求項16に記載の超小型電子ユニット。

## 【請求項 18】

前記各マイクロ接点における前記横方向の寸法の傾斜は、前記ベース領域と先端部領域との間の境界で急激に変化する、ことを特徴とする請求項16に記載の超小型電子ユニット。

20

## 【請求項 19】

隣接するマイクロ接点間のピッチが、200ミクロン未満である、ことを特徴とする請求項16に記載の超小型電子ユニット。

## 【請求項 20】

前記ピッチが150ミクロン未満である、ことを特徴とする請求項19に記載の超小型電子ユニット。

## 【請求項 21】

前記ベース領域と前記先端部領域との間に別の領域が存在する、ことを特徴とする請求項16に記載の超小型電子ユニット。

30

## 【請求項 22】

前記各マイクロ接点の高さが少なくとも50ミクロンであり、前記各マイクロ接点の先端部の直径が少なくとも20ミクロンである、ことを特徴とする請求項16に記載の超小型電子ユニット。

## 【請求項 23】

前記先端部領域の上面はほぼ平坦で水平な面を有する、ことを特徴とする請求項16に記載の超小型電子ユニット。

## 【請求項 24】

第2金属層からなるトレースと、前記トレースの上面から、第3金属層からなるエッチトップ層を介して垂直方向に突出し、超小型電子部品の複数の接点にそれぞれ接続される、第1金属層からなる複数のマイクロ接点と、前記トレースの上面に選択的に設けられた第2の誘電体層とを有する超小型電子ユニットであって、

40

前記各マイクロ接点は、前記エッチトップ層に隣接するベース領域と、前記エッチトップ層から離れた先端部領域とを含み、中心軸についての回転体の形状を有し、該中心軸の軸線と該軸線に沿って垂直方向に該軸線に向かって又は該軸線から離れるように傾斜する円周方向の面とを有し、円周方向の面の傾斜が前記先端部領域と前記ベース領域との間の境界において急に変化しており、前記複数のマイクロ接点は、アレイ状に配置されており、

前記超小型電子部品の複数の接点は、はんだ接合、共晶接合又は拡散接合のうちの少な

50

くとも 1 つによって、前記複数のマイクロ接点にそれぞれ接続されており、前記各マイクロ接点は、前記トレースの底面に接続された回路パネルと、前記超小型電子部品との熱膨張差及び熱収縮差に適応するように、前記マイクロ接点の十分な湾曲及び傾斜を可能にする、直径及び高さを備えている、超小型電子ユニット。

【請求項 2 5】

隣接するマイクロ接点間のピッチが 150 ミクロン未満であり、前記各マイクロ接点の高さが 60 ミクロンから 150 ミクロンである、ことを特徴とする請求項 2 4 に記載の超小型電子ユニット。

【請求項 2 6】

前記各マイクロ接点の先端部領域の上面における直径が少なくとも 20 ミクロンである 10 、ことを特徴とする請求項 2 5 に記載の超小型電子ユニット。

【請求項 2 7】

前記ピッチが  $h + d$  よりも小さく、 $h$  が前記各マイクロ接点の垂直方向の高さであり、 $d$  が前記先端部領域の上面における直径である、ことを特徴とする請求項 2 5 に記載の超小型電子ユニット。

【請求項 2 8】

第 2 金属層からなるトレースと、前記トレースの上面から、第 3 金属層からなるエッチストップ層を介して垂直方向に突出し、超小型電子部品の複数の接点にそれぞれ接続される、第 1 金属層からなる複数のマイクロ接点と、前記トレースの上面に選択的に設けられた第 2 の誘電体層とを有する超小型電子ユニットであって、 20

前記各マイクロ接点は、前記エッチストップ層に隣接するベース領域と、前記エッチストップ層から離れた先端部領域とを含み、中心軸についての回転体の形状を有し、前記マイクロ接点の幅が、前記ベース領域と前記先端部領域との境界で最大になっており、前記複数のマイクロ接点は、アレイ状に配置されており、

前記超小型電子部品の複数の接点は、はんだ接合、共晶接合又は拡散接合のうちの少なくとも 1 つによって、前記複数のマイクロ接点にそれぞれ接続されており、前記各マイクロ接点は、前記トレースの底面に接続された回路パネルと、前記超小型電子部品との熱膨張差及び熱収縮差に適応するように、前記マイクロ接点の十分な湾曲及び傾斜を可能にする、直径及び高さを備えている、超小型電子ユニット。

【請求項 2 9】

前記トレース底面に設けられた第 1 の誘電体層をさらに有する、ことを特徴とする請求項 1 6 、 2 4 又は 2 8 に記載の超小型電子ユニット。

【請求項 3 0】

前記第 1 の誘電体層は、開口を有し、該開口によって露出した前記トレースは端子となる、ことを特徴とする請求項 2 9 に記載の超小型電子ユニット。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

【関連出願の相互参照】

本願は、2007年3月13日に出願された米国特許出願第 11/717,587 号に対する優先権を主張する。この特許出願は、2005年6月24日に出願された米国特許出願第 11/166,982 号の一部継続出願であり、2004年6月25日に出願された米国仮特許出願第 60/583,109 号の出願日に関する利点を請求する。特許出願第 11/166,982 号はまた、2004年10月6日に出願された米国特許出願第 10/959,465 号も、2003年10月6日に出願された米国仮特許出願第 60/508,970 号、2003年12月30日に出願された 60/533,393 号、及び 2003年12月30日に出願された 60/533,437 号の出願日に関する利点を請求する。前述された特許出願の全開示内容は、参照することによって本願に組み込まれる。

10

20

30

40

50

**【0002】****【発明の分野】**

本発明は、超小型電子パッケージ、超小型電子パッケージを製造する場合に使用する部品、及びこのパッケージや部品を製作する方法に関する。

**【背景技術】****【0003】**

細長いポスト又はピン形状のマイクロ接点用部品は、超小型電子パッケージングの中で超小型電子パッケージを回路基板や他の接続体に接続するために使用することができる。ある場合には、マイクロ接点は、1つ以上の金属層を含む金属構造体をマイクロ接点を形成するようにエッチングすることによって形成されてきた。このエッチング処理によって、マイクロ接点の寸法が制限される。従来のエッチング処理は一般的に、本願では「アスペクト比」と呼ばれる、最大幅に対する高さの比率が大きいマイクロ接点を形成することはできない。高さが大きく隣接するマイクロ接点間のピッチすなわち間隔が極めて小さいマイクロ接点のアレイを形成することは困難又は不可能であった。さらに、従来のエッチング処理によって形成されたマイクロ接点の構成は限定されている。

10

**【0004】**

これら及び他の理由に対して、さらに改良を行うことが望ましい。

**【発明の概要】****【0005】**

1つの実施形態では、マイクロ接点を形成する方法には、(a)基板の上面の選択された位置に第1の耐エッチング性材料を設けるステップと、(b)第1の耐エッチング性材料でカバーされていない位置の基板の上面をエッチングして、これにより選択された位置の基板から上方に突出する第1のマイクロ接点部分を形成するステップと、(c)第1のマイクロ接点部分に第2の耐エッチング性材料を設けるステップと、(d)第1のマイクロ接点部分の下に第2のマイクロ接点部分を形成するように基板をさらにエッチングするステップと、が含まれ、第2の耐エッチング性材料がさらにエッチングを行うステップの間に第1のマイクロ接点部分がエッチングされないように少なくとも部分的に保護する。別の実施形態では、マイクロ接点を形成する方法には、(a)最後の耐エッチング性材料が少なくとも部分的に、基板と一体で基板の表面から上方に突出する第1のマイクロ接点部分をカバーするために、最後の耐エッチング性材料を処理中の基板に加えるステップと、(b)第2のマイクロ接点部分を第1のマイクロ接点部分の下でそれと一体の部分に残すように、基板の表面をエッチングするステップとが含まれ、この最後の耐エッチング性材料が、さらにエッチングを行うステップの間に第1のマイクロ接点部分がエッチングされないように少なくとも部分的に保護する。

20

**【0006】**

さらに別の実施形態では、超小型電子ユニットが、(a)基板と、(b)基板から垂直方向に突出する複数のマイクロ接点と、を備えて、それぞれのマイクロ接点が基板に隣接したベース領域と基板から離れた先端部領域を含み、それぞれのマイクロ接点がベース領域の垂直方向の位置の第1の関数であると共に先端部領域の垂直方向の位置の第2の関数である横方向の寸法を有している。

30

**【0007】**

さらに別の実施形態では、超小型電子ユニットは、基板と、基板から垂直方向に突出する複数のマイクロ接点とを備えて、2つの隣接するマイクロ接点間のピッチが150ミクロン未満である。

40

**【0008】**

さらに別の実施形態では、超小型電子ユニットは、(a)基板と、(b)基板から垂直方向に突出する複数の細長いマイクロ接点を備えて、それぞれのマイクロ接点が基板に隣接したベース領域と基板から離れた先端部領域を含み、それぞれのマイクロ接点が軸線と、軸線に沿って垂直方向に軸線に向かって又は軸線から離れるように傾斜する円周方向の面を有して、円周方向の壁の傾斜が先端部領域とベース領域との間の境界において急に変

50

化する。

【0009】

別の実施形態では、超小型電子ユニットは、(a)基板と、(b)基板から垂直方向に突出する複数のマイクロ接点とを備えて、それぞれのマイクロ接点が基板に隣接した近位部分と、基板から離れる垂直方向に近位部分から延びる細長い遠位部分とを有し、ポストの幅が近位部分と遠位部分との間の接続部において段階的に増加する。

【図面の簡単な説明】

【0010】

【図1】基板の略図である。

【図2】フォトレジスト層が付いた図1の基板の略図である。

10

【図3】フォトレジスト層とマスク層が付いた図1の基板の斜視図の略図である。

【図4】エッチングされた図1の基板の略図である。

【図5】第2のフォトレジストが付いた図1の基板の略図である。

【図6】現像された第2のフォトレジストを有する図1の基板の略図である。

【図7】二度目にエッチングされた図1の基板の略図である。

【図8A-8D】マイクロ接点の側面図の実例である。

【図9】第1の実施形態を表すフローチャートである。

【図10】第2の実施形態を表すフローチャートである。

【図11】アプリケーションの中の多層基板の略図である。

【図12】超小型電子ユニットの略図である。

20

【図13】2つの隣接する超小型電子ユニットの略図である。

【図14】超小型電子構体の略図である。

【図15】本発明の別の実施形態による超小型電子構体の略図である。

【図16】追加のポスト部分が付いた図15の構体の略図である。

【発明を実施するための形態】

【0011】

第1の方法すなわち実施形態が説明される。図1は、3層金属基板(tri-metal substrate)10の略図である。この3層金属基板10は、トレース層12、エッチストップ層14、厚い層16、及び上面18を有する。トレース層12及び厚い層16は、銅などの容易にエッチング可能な第1の金属から形成され、一方向エッチストップ層14は、ニッケルなどの金属から形成される。ニッケルは、銅をエッチングするために使用される工程では、エッチングに対して強い耐性がある。なお、銅とニッケルを挙げたが、基板10は要望どおりの任意の適當な材料から形成することができる。

30

【0012】

図2は、第1のフォトレジスト層20が付いた図1の3層金属基板10の略図である。この第1のフォトレジスト20は、上面18に堆積される。第1のフォトレジスト20は、光などの照射を受けたときの化学反応に耐性があるすなわち耐える任意の種類の材料とすることができる。従って、任意の耐エッチング性材料を使用できる。正及び負のフォトレジストも使用することができ、このことは技術的に周知である。「上部」、「下部」及び他の方向を示す用語が本願で使用される場合、それらの用語は重力に基づいた方向ではなく、超小型電子部品に関連するとみなされる。

40

【0013】

図3は、第1のフォトレジスト層20とマスク層22が付いた図1の3層金属基板の斜視図の略図である。マスク22は、多くの場合、フォトマスク又はシャドーマスクと呼ばれるマスク上にプリントされた不透明な領域を有する透明なプレートであり、参照番号26で示されたマスク22によってカバーされた領域と、参照番号28で示されたマスク22によってカバーされない領域を有するパターン24をマスク22の上に作る。カバーされた領域及びカバーされない領域、それぞれ26及び28、を有するパターン24により、第1のフォトレジスト20の部分を放射に対して選択的に露光することができる。

【0014】

50

マスク 22 が第 1 のフォトレジスト 20 の上に置かれると、放射が行われる。ほとんどの場合、この放射には、紫外光が使用される。この放射が第 1 のフォトレジスト 20 のカバーされない領域 28 を露光すると、結果としてカバーされない領域 28 が不溶性にされる。負のフォトレジストが使用される場合、逆の場合も真である、すなわちカバーされた領域 26 が不溶性になる。第 1 のフォトレジスト 20 を露光した後で、マスク 22 が除かれる。次に、第 1 のフォトレジスト 20 が不溶性になつてない場所の第 1 のフォトレジストを取り除く溶液を用いて洗浄することによって、第 1 のフォトレジスト 20 が現像される。これにより、フォトレジストの露光と現像によって、基板 10 の表面 18 の上部にある不溶性材料のパターンが残される。この不溶性材料のパターンは、マスク 22 のパターン 24 を描写する。

10

#### 【0015】

フォトレジストを露光及び現像した後で、基板は図 4 に示されているようにエッチングされる。エッチングが一定の深さに達すると、エッチング工程が中止される。例えば、このエッチング工程は、所定の時間の後で終了することができる。エッチング工程は、厚い層 16 において基板 10 から上方に突出する第 1 のマイクロ接点部分 32 を残している。エッチング液が厚い層 16 を腐食するため、第 1 のフォトレジスト 20 のエッジの下の材料が除かれて、この第 1 のフォトレジストが、オーバーハング 30 として示されるよう、第 1 のマイクロ接点部分 32 の上部から横方向に突き出るようにされる。第 1 のフォトレジスト 20 は、マスク 22 によって確定される特定の位置に残される。

20

#### 【0016】

厚い層 16 が望ましい深さまでエッチングされると、フォトレジスト 34 の第 2 の層(図 5)が、3 層金属基板 10 上に堆積される。この場合、第 2 のフォトレジスト 34 が、厚い層 16 が前にエッチングされた位置の厚い層 16 上に堆積される。このため、この第 2 のフォトレジスト 34 も、第 1 のマイクロ接点部分 32 をカバーすることになる。電気泳動のフォトレジストを用いる場合、この第 2 のフォトレジスト 34 は、その固有の化学的特性のために、第 1 のフォトレジスト 20 上には堆積しない。

20

#### 【0017】

次のステップで、第 1 のフォトレジスト 20 及び第 2 のフォトレジスト 34 が付いた基板が放射に露光されて、ここで第 2 のフォトレジストが作られる。図 6 に示されているように、第 1 のフォトレジスト 20 が厚い層 16 の部分の上に横方向に突き出て、オーバーハング 30 で示されている。このオーバーハング 30 により、第 2 のフォトレジスト 34 が放射に露光されないようにされ、これにより、それが現像されて除かれないようにされて、第 2 のフォトレジスト 34 の部分が第 1 のダイのマイクロ接点部分 32 に付着される。これにより、第 1 のフォトレジスト 20 は、第 2 のフォトレジスト 34 に対するマスクとして動作する。第 2 のフォトレジスト 34 は、放射露光された第 2 のフォトレジスト 34 を取り除くために洗浄することによって作られる。これにより、第 2 のフォトレジスト 34 の未露光の部分が、第 1 のマイクロ接点部分 32 の上に残される。

30

#### 【0018】

第 2 のフォトレジスト 34 の部分が露光及び現像されると、第 2 のエッチング工程が行われて、3 層金属基板 10 の厚い層 16 の別の部分が除かれて、図 7 に示されているように、第 1 のマイクロ接点部分 32 の下に第 2 のマイクロ接点部分 36 が形成される。このステップの間に、第 2 のフォトレジスト 34 が第 1 のマイクロ接点部分 32 になおも付着していて、この第 1 のマイクロ接点部分 32 が再度エッチングされるのを防止する。

40

#### 【0019】

これらのステップは、第 3、第 4 又は第 n 番目のマイクロ接点部分を形成して好ましいアスペクト比やピッチを作るために、望ましい回数繰り返すことができる。エッチストップ層 14 に達したときに、この工程を停止することができる。最終ステップとして、第 1 及び第 2 のフォトレジスト 20 及び 34 は、それぞれ、完全にストリップされる(striped)。

#### 【0020】

50

これらの工程の結果として、図 8 A ~ 図 8 D に示されているマイクロ接点 3 8 が作られる。これらの図面はまた、本願で説明された工程を用いて実現することができる様々なプロフィールを例示している。図 8 A ~ 図 8 D を参照すると、このマイクロ接点 3 8 は、上部領域として周知の第 1 の部分 3 2 と、ベース領域とも呼ばれる第 2 の部分 3 6 を有している。前述されたステップで使用された第 1 のフォトレジストのスポットが円形の場合、各マイクロ接点は一般に、中心軸 5 1 (図 8 A) を中心にした回転体の形状になる。この中心軸 5 1 は、基板の残りの部分から上方の垂直すなわち Z 方向に延び、かつ全体的にエッチング層 1 4 の面に対して直立している。第 1 及び第 2 の部分の幅すなわち直径 X は、各部分内の Z すなわち高さ方向の位置と共に変化する。別の言い方をすれば、第 1 の部分内では、 $X = F_1(Z)$  であり、また第 2 の部分では、 $X = F_2(Z)$  である。傾斜すなわち  $dX/dZ$  は、第 1 と第 2 の部分の間の境界において急速に変化する。マイクロ接点の特定の機能と形状は、第 1 及び第 2 のエッチング工程で使用されるエッチング条件によって決定される。例えば、エッチング液とエッチング温度の組合せを変えて、エッチング液が金属層を腐食する速度を変化させることができる。また、エッチング液が金属層と接触する仕組みを変えることもできる。エッチング液を基板に向けて強く吹き付けたり、基板をエッチング液の中に浸漬することができる。エッチング条件は、第 1 及び第 2 の部分をエッチングする間において同じにするか又は変えることができる。

#### 【0021】

図 8 A に示されているマイクロ接点では、見た目には下方向に膨らむ円周方向の面 4 4 を有するため、傾斜の大きさすなわち  $dX/dZ$  は下向き方向に増加する。第 2 の部分 3 6 も外面向に膨らむ円周方向の面 4 6 を有し、この第 2 の部分の傾斜の大きさすなわち  $dX/dZ$  は境界 5 2 で最小になり、ポストのベースに向かう方向に次第に増加する。境界 5 2 では、傾斜に著しい変化が存在する。マイクロ接点が層 1 4 と接合するマイクロ接点のベースにおける、第 2 の部分の最大の幅すなわち直径 X は、第 1 の部分の最大の幅すなわち直径よりも相当大きい。図 8 B では、第 2 の部分 3 6 の最大幅は、第 1 の部分 3 2 の最大幅よりもわずかに大きいだけである。また、第 2 の部分は、ポストのベースと境界 5 2 との間の位置で幅が最大になるため、幅は上向き方向に最小になるまで徐々に減少し、次に上向き方向に最小位置から境界 5 2 まで次第に増加するそのような形状は一般に「冷却塔(cooling tower)」形と呼ばれる。図 8 B のマイクロ接点では、傾斜すなわち  $dX/dZ$  は、部分間の境界 5 2 で符号を変化させる。図 8 C では、第 2 の部分 3 6 の幅は、マイクロ接点のベース近くで最小になる。

#### 【0022】

最後に、図 8 D は、3 つ以上の部分を有するマイクロ接点 3 8 のプロフィールを例示している。この種のプロフィールは、本願で説明された工程のステップが複数回実行された結果生じる。従って、この特定のマイクロ接点 3 8 は 4 つの部分、すなわち第 1 及び第 2 の部分それぞれ 3 2 及び 3 6、並びに第 3 及び第 4 の部分それぞれ 4 0 及び 4 2 を有することができる。これら 4 つの部分は、どのような寸法であっても良く、説明された別の部分よりも広く又は狭くすることができる。この場合、1 つの境界よりも大きくすることができます。図 8 A ~ 図 8 D は、単に代表的なプロフィールであり、種々のプロフィールを実現することができる。2 つのマイクロ接点しか含まないアレイが図 8 A ~ 図 8 D のそれぞれで説明されたが、実際には、多数のポストを含むポストのアレイを形成することができる。図 8 A ~ 図 8 D のそれぞれに示された実施形態では、全てのマイクロ接点すなわちアレイ内のポストが、1 つの金属層 1 6 (図 1) から形成される。各マイクロ接点は、マイクロ接点が金属層 1 2 に接触しているマイクロ接点のベースにおいて、エッチング層 1 4 の上にある。以下に説明されるように、エッチング層 1 4 は一般に、マイクロ接点間の領域では取り除かれ、また金属層 1 2 は一般的に、マイクロ接点に接続されたトレース又は他の導電性の構造体に変換するためにエッチングされるか又は別の方法で処理される。しかしながら、各マイクロ接点のボディは、そのベースから先端部まで、溶性部などの継ぎ目がない単一のボディであり、全体を通してほぼ均一の構成物である。また、層 1 2 及び 1 4 から離れたマイクロ接点の端部にある、マイクロ接点の先端面 1 8' が金属

10

20

30

40

50

層16(図1)の本来の上面18の部分であるため、これらの先端面はほぼ平坦で水平であり、マイクロ接点の全ての先端面は互いにほぼ同一平面上にある。

#### 【0023】

別の実施形態では、第1のエッチング工程の後で選択された位置のみにおいて第1のフォトレジスト20を取り除くのではなく、第1のフォトレジスト20の全体が取り除かれる。この場合、第2のフォトレジスト34が基板10の全面に堆積される。次に、マスク22が第2のフォトレジスト34上に配置される。このマスク22は適切に位置合わせされて、第1のマイクロ接点部分32上の前に露光された位置のみが露光される必要がある。次に、第2のフォトレジスト34が現像され、そしてさらに別のエッチングが基板10上で実行される。

10

#### 【0024】

図9は、第1の実施形態を示すフローチャートである。ステップ100が開始すると、基板が提供される。次に、ステップ102において、フォトレジストnがこの基板に堆積される。次に、ステップ104で、マスクがフォトレジストnの上に配置される。ステップ106で、フォトレジストnが放射に露光される。その後、ステップ108で、マスクが取り除かれ、次にステップ110で、フォトレジストnの選択された位置が現像され、そして基板がエッチングされる。

#### 【0025】

次に、ステップ112でn+1として周知の別のフォトレジストが堆積される。次に、ステップ114で、このn+1フォトレジストは放射に露光される。その後、ステップ116において、選択された位置のフォトレジストn+1が取り除かれ、そして基板が再度エッチングされる。次に、望ましいマイクロ接点の高さが得られたかどうかが、ステップ118で評価される。望ましいマイクロ接点の高さが得られていない場合、ステップ120において、処理はステップ112に戻り、別のフォトレジストが基板上に堆積される。望ましい高さがステップ122で得られると、残りのフォトレジストがステップ124で取り除かれて、処理は終了する。

20

#### 【0026】

図10は、第2の実施形態を示すフローチャートである。この第2の実施形態のステップ200～210は、第1の実施形態のステップ100～110と酷似している。しかしながら、ステップ212では、フォトレジストnの全体が取り除かれる。次に、ステップ214において、フォトレジストn+1の別の層が基板上に堆積される。次に、マスクがステップ216において基板上に配置される。このステップの間に、マスクを位置合わせして、そのパターンをマークがフォトレジストn上に配置されたときとほぼ同じ位置に置く必要がある。その後、ステップ218で、フォトレジストn+1が放射に露光され、そしてマスクが除かれる。

30

#### 【0027】

次に、ステップ220で、フォトレジストn+1が選択的に除かれて、基板が再度エッチングされる。この工程はまた、望ましいマイクロ接点の高さが得られるまで繰り返される。このため、ステップ222において、望ましいマイクロ接点の高さが得られたかどうかが評価される。好ましい高さがステップ224で得られていない場合、工程はステップ212に戻る。このステップ212では、フォトレジストが完全に取り除かれ、別のフォトレジストn+1が堆積されて、工程が進められる。しかしながら、望ましい高さがステップ226で得られた場合、残りのフォトレジストがステップ228で除かれて、この工程は終了する。

40

#### 【0028】

エッチング層14と薄い層12は誘電体層と結合され、次に薄い層12はエッチングされてトレースを形成し、トレースに接続され誘電体層から突出しているマイクロ接点に部品を提供する。そのような構造体は、例えば、半導体チップのパッケージ用部品として使用することができる。例えば、2005年12月27日に出願された米国特許出願第11/318,822号を使用することができる。この特許出願の開示内容は、参照する

50

ことによって本願に組み込まれる。

#### 【0029】

本願で説明された構造体は、多層基板、例えば、図11で示されているような多層基板10の上部の層の一体部分とすることができます。マイクロ接点38は、ダイ54にはんだ付けされる。はんだ56は、マイクロ接点38の周囲の部分に吸い上げられる。この吸い上げ動作により、マイクロ接点38とダイ54との間に極めて良好な接触が行われる。はんだ56に加えて他の結合方法も、使用することができる。マイクロ接点38の周囲には、ダイ54をマイクロ接点38や基板10に付着するために使用されるアンダーフィル(underfill)58がある。どんな種類のアンダーフィルも要望どおりに使用できる、又はアンダーフィルを省略することができる。マイクロ接点38の下には、トレース60と誘電体層62がある。端子64が、基板10の底部に配置されている。

#### 【0030】

ある種のパッケージは、スタックされた超小型電子チップを含んでいる。これにより、パッケージは、スタック内のチップの全表面積よりも小さい、基板上の表面積を占有することができる。本願で列挙された工程を用いて製造されたマイクロ接点を含むパッケージは、積み重ねることができる。同時係属の2005年5月27日に出願された米国特許出願第11/140,312号、及び米国特許第6,782,610号を参照されたい。それらの開示内容は、参照することによって本願に組み込まれる。これらの開示内容の中で教示されたマイクロ接点のエッチング工程は、本願で説明された工程により置き換えられることができる。

#### 【0031】

3層金属基板が前に説明されたが、例えば、1つの金属などの任意の数の層を有する適当な基板を使用できる。さらに、フォトレジストを使用するのではなく、厚い金属層をエッチングするために使用されるエッチング液に相当耐性がある金又は他の金属などの耐エッチング性金属を使用することができる。例えば、前述された第1のフォトレジスト20の代わりに、耐エッチング性金属を使用できる。耐エッチング性金属のスポットを、これらのスポット用の望ましい位置に穴が空いたフォトレジストなどのマスクを加えた後で、厚い層16の上部に配置することができる。厚い層の上部にある耐エッチング性金属をめつきした後で、厚い層がエッチングされて、上記のようにマイクロ接点が形成される。耐エッチング性金属は、マイクロ接点の先端部の所定の位置に残される。(前述された第2のフォトレジスト34の代わりに)耐エッチング性金属が使用される場合、マイクロ接点の第1の部分のみに対して、第2の耐エッチング性金属が堆積するのを制限するためにマスクを使用して、マイクロ接点間の領域が耐エッチング性金属がない状態に残される。別の方法では、耐エッチング性金属の第1の層の全体が、第1のマイクロ接点部分32をエッチングすることにより取り除かれて、耐エッチング性金属の第2の層が堆積され、第1のマイクロ接点部分32が保護される。

#### 【0032】

図12を参照すると、マイクロ接点72を有する超小型電子ユニット70が示されている。マイクロ接点72は、エッチストップ層74を有している。マイクロ接点72は、トレース76に形成されている金属層から垂直に突き出ている。トレース76の間には、ギャップすなわちスペース78が存在する。誘電体80の第1の層が、トレース76に隣接したユニット70の底側に付着されている。誘電体80の第1の層内の開口82により、トレース76が電子接点を形成することができる。誘電体の第2の層84が、ユニット70の上側に形成される。

#### 【0033】

これらの工程から形成されたマイクロ接点は一般に、約40ミクロンから約200ミクロンの範囲の高さを有する。さらに、マイクロ接点間の典型的なピッチは、約200ミクロン未満であり、好ましくは150ミクロン未満である。特に、図13を参照すると、先端部の直径がdで、マイクロ接点の高さがhの2つのマイクロ接点が示されている。ピッチpは、2つのマイクロ接点の縦軸間の距離として定義される。多くのアプリケーション

では、特に、例えば図14を参照して以下に説明される構造体の中で半導体チップの接点に接続されたマイクロ接点が使用されるアプリケーションでは、小さいピッチが提供されることが望ましい。しかしながら、マイクロ接点が1つのエッティング工程によって1つの金属層から形成される工程では、特定の最小ピッチ $P_0$ よりも小さいピッチ $P$ を作ることは一般に実際的ではない。この特定の最小ピッチ $P_0$ は、直径 $d$ に高さ $h$ を加えた合計の長さに等しい。これにより、 $P_0 = d + h$ である。理論上は、この最小ピッチは、先端部の直径 $d$ を減らすことによって縮小することができる。しかしながら、先端部の直径をゼロよりも小さくすることは不可能である。さらに、多くの場合、先端部の直径を約20又は30ミクロンよりも小さくすることは望ましくない。例えば、ピンの先端部とエッティングの間に先端部を保護するために使用されるフォトレジストのスポットとの間の接着力は、先端部の面積、このため先端部の直径の2乗に比例する。従って、先端部の直径が極めて小さい場合、フォトレジストのスポットは処理の間に取り外される可能性がある。このため、従来の処理を用いて、極めて小さいピッチのマイクロ接点を形成することは困難であった。

#### 【0034】

しかしながら、本願で列挙された工程を用いるマイクロ接点間のピッチは、 $P_0$ 未満、( $P < P_0$ )、例えば、 $P = (0.9)P_0$ 未満とすることができます。例として、先端部の直径 $d$ が30ミクロンで、高さ $h$ が60ミクロンの場合、従来の工程ではピッチ $P_0$ は90ミクロンになるであろう。しかしながら、本願で説明された工程では、少なくとも2回のエッティングを行う場合、約80ミクロン未満のピッチ $P$ を実現できる。別の言い方をすれば、多段階のエッティング工程により、従来のエッティング工程では実現できないピッチ、先端部の直径及び高さを組み合わせた、単一金属のマイクロ接点又はポストを1つの金属層から形成することが可能にされる。エッティング工程の数が増加するにつれて、所定の先端部の直径と高さに対する最小の実現可能なピッチは小さくなる。

#### 【0035】

ここで、図14を参照すると、前述されたようなマイクロ接点38を有するパッケージ素子又はチップ・キャリアを用いる超小型電子パッケージ90が示されている。このチップ・キャリアは、第1の誘電体層62を備えている。この第1の誘電体層62は、ポリイミド、BT樹脂又はチップ・キャリア用に一般に使用される種類の他の誘電体材料から形成することができる。このチップ・キャリアは、マイクロ接点38の幾つか又は全てに接続されたトレース60も備えている。トレースは、端子61を内蔵している。マイクロ接点は、図14に示されているように、誘電体層62の第1の側から上向きに突出している。誘電体層62は開口82を有し、第1の誘電体層62の第2のすなわち下向きの面において、端子61が開口82を通って露出される。このキャリアは、随意的な第2の誘電体層84をさらに備えている。

#### 【0036】

マイクロ接点38の先端部は、半導体チップ又はダイ54などの超小型電子部品の接点55に結合されている。例えば、マイクロ接点の先端部は、超小型電子部品の接点55にはんだ接続される。共晶接合又は拡散接合などの他の接続方法も採用できる。結果として得られるパッケージ化された超小型電子部品は、マイクロ接点とトレースによって端子61に接続された超小型電子部品上の接点55の幾つか又は全てを有する。このパッケージ化された超小型電子部品は、端子61を回路基板上のパッド94に結合することによって、プリント回路基板などの回路パネル92に装着される。例えば、回路パネル92上のパッド94は、はんだボール(solder ball)96を用いて開口82において端子61にはんだ接続される。

#### 【0037】

マイクロ接点38と超小型電子部品の接点55との間の接続は、接点55の間隔が狭い場合でも、信頼できる接続を行うことができる。前述されたように、マイクロ接点38は妥当な先端部の直径と高さで形成することができる。先端部の直径をかなり大きくすることにより、各マイクロ接点の先端部と超小型電子部品の接点との間の結合領域を相当大き

10

20

30

40

50

くすることができる。使用する場合、マイクロ接点 38 を湾曲及び傾斜することによって、回路パネル 92 に対するチップ 54 の熱膨張差及び熱収縮差に適応することができる。この動作は、マイクロ接点の高さによって高められる。さらに、このマイクロ接点は共通の金属層から形成されるため、マイクロ接点の高さは極めて精密な許容差内で均一である。このため、マイクロ接点の先端部とチップ又は他の超小型電子部品の接点との間の強固な結合を形成することが容易にされる。

【0038】

チップ・キャリアの構造は変えることができる。例えば、チップ・キャリアは、ただ1つの誘電体層を含むことができる。トレースは、誘電体層のどちらかの側に配置される。あるいはまた、チップ・キャリアは多層の誘電体を含むことができ、また複数のトレースの層や、導電性の接地面などの他の構造体を含むことができる。

10

【0039】

本発明のさらに別の実施形態に関する処理は、誘電体層 502 の表面などの表面 526 から突出するポスト部分 550 (図 15) を有する構造体を使用する。これらのポスト部分 550 は任意の工程で形成することができるが、前述された工程に類似したエッティング処理によって形成することが望ましい。部分 550 を形成した後、金属層又は他の導電層 502 が、ポスト部分 550 の先端部 533 の上に加えられる。例えば、層 502 は部分 550 を内蔵する構造体の上にラミネートされ、そしてポスト部分 550 の先端部に金属結合される。層 502 は選択的に処理されて、ポスト部分 550 から離れた層の材料が取り除かれるが、少なくともポスト部分 550 の上にある層の厚さの部分が残されるため、ポスト部分 550 と整列した付加的なポスト部分 504 (図 16) が形成される。このようにして、複合マイクロ接点が形成され、それぞれが基板に近い近位のポスト部分 550 と基板から離れた遠位のポスト部分 504 を備えており、遠位の部分は近位の部分から垂直すなわち z 方向に突出している。層 502 に加えられる処理には、前述されたような、ポスト部分 550 と一直線に並べられた耐エッティング性材料のスポットを用いるエッティング処理が含まれる。誘電体の封入剤 508 などの保護層が、層 502 をエッティングする前に、ポスト部分 550 をカバーするために利用される。別の方では、又は追加として、ポスト部分 550 はめっきされるか、又は別の方では、層 502 をエッティングする前に、ニッケル又は金などの耐エッティング性の導電性材料でカバーされる。

20

【0040】

30

連続的にポスト部分を増加する処理が繰り返されて、部分 504 上に付加的な部分が形成され、基本的には任意の長さのマイクロ接点を形成することができる。マイクロ接点が長いことにより、ポスト先端部の柔軟性や動きが増加される。図 15 及び図 16 の層 508 のように、1つ以上の誘電体の封入剤層がすでに形成されたポスト部分の周りの位置に残される場合、この封入剤は柔軟で、ポストが湾曲するのをほとんど制限しないことが望ましい。別の実施形態では、封入剤は部品が使用される前に除かれる。マイクロ接点が、前述されたものと類似した誘電体基板 522 及びトレース 528 と関連して例示されているが、この工程は基本的に任意の構造のマイクロ接点を製造するために使用することができる。

【0041】

40

図 16 に示されているように、各マイクロ接点は、近位のポスト部分 550 の垂直方向すなわち z 方向の長さに対して変化し、かつ近位のポスト部分 550 と遠位の部分 504 との間の接合部でほぼ段階的に急激に増加し、また遠位の部分の垂直方向の長さに沿って変化する横方向の寸法すなわち幅寸法 x を有する。垂直方向の位置において幅が変化する傾斜は、またポスト部分間の接合部で急に変化する。各ポスト部分内の横方向すなわち幅の寸法が変化するパターンは、エッティング又はそのようなポスト部分を形成するために使用される処理に依存する。例えば、さらに別の実施形態では、遠位のポスト部分 504 は、前述されたように、多段のエッティング処理によって形成されるため、各遠位のポスト部分は、垂直すなわち z 方向の幅 x の変動を定義する種々の機能を有する種々の下位部分 (sub-portion) を含んでいる。

50

## 【0042】

下記の2004年11月10日に出願された米国特許出願第10/985,126号、2005年12月27日に出願された11/318,822号、2005年12月23日に出願された11/318,164号、2005年6月24日に出願された11/166,982号、2005年5月27日に出願された11/140,312号、及び米国特許第7,176,043号に対する参照が行われる。参照することによって、これらの特許は本願に組み込まれる。

## 【0043】

本願の発明を特定の実施形態を参照して説明してきたが、これらの実施形態は本発明の原理及び用途を単に例証するものであることは理解されよう。このため、これらの例証となる実施形態に対して多数の変形例を作ることができ、また添付のクレームによって定義された本発明の精神及び範囲から逸脱することなく、別の装置を考案できることは理解されよう。

10

【図1】

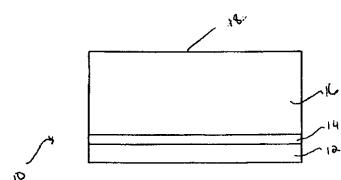


Fig. 1

【図2】

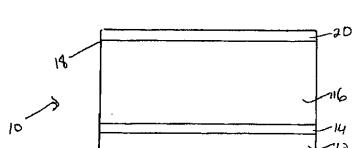


Fig. 2.

【図3】

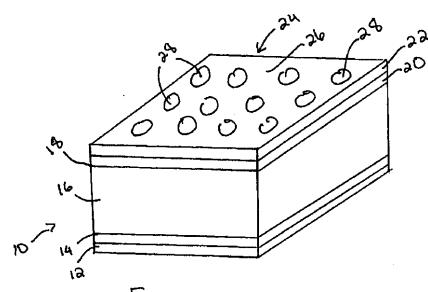


Fig. 3

【図4】

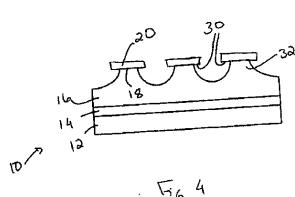


Fig. 4

【図5】

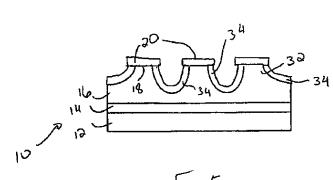
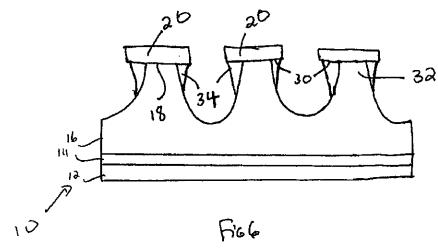
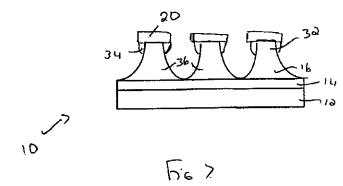


Fig. 5

【図6】



【図7】



【図8 A】

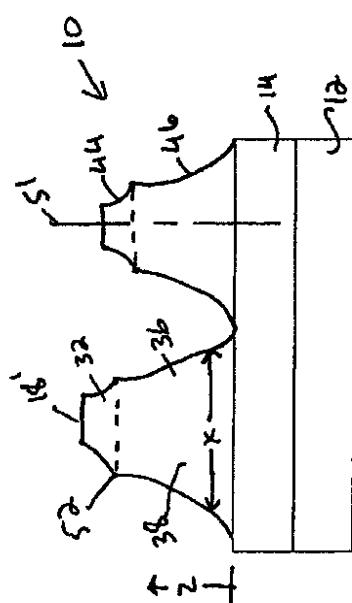
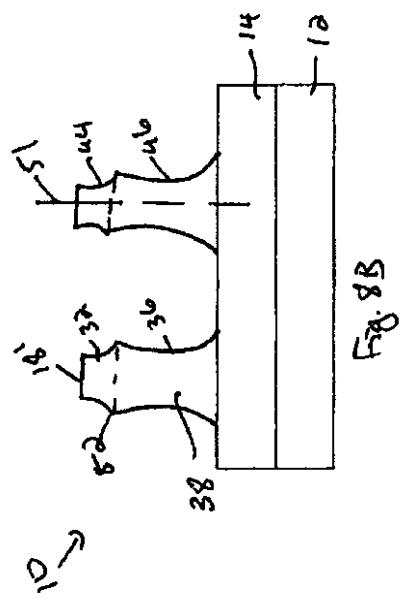


Fig. 8A

【図8 B】



【図8 C】

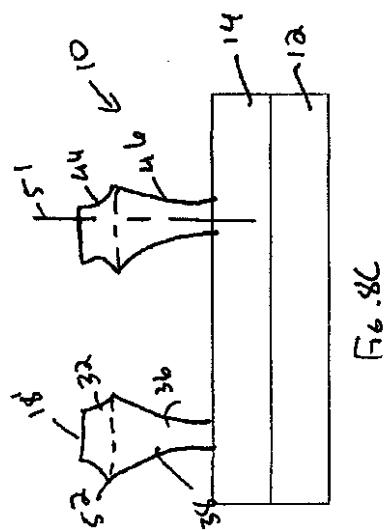


Fig. 8C

【図 8 D】

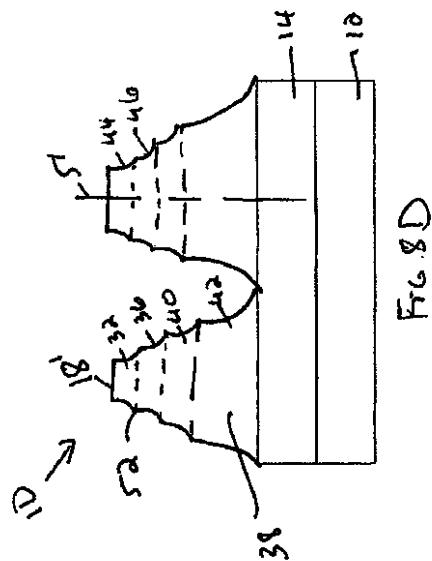
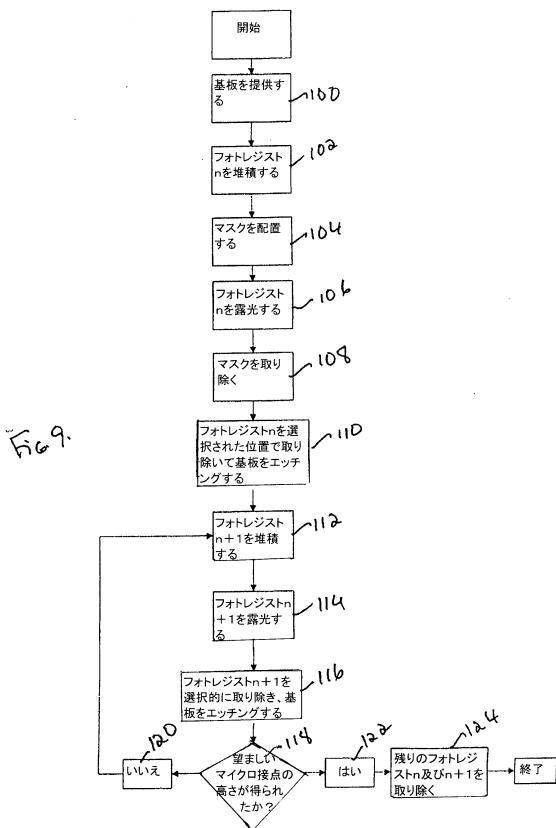
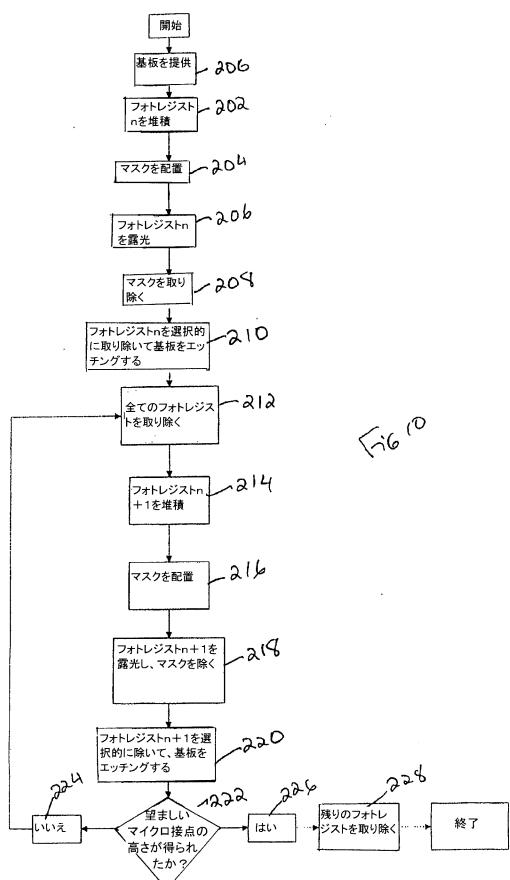


Fig. 8 D

【図 9】



【図 10】



【図 11】

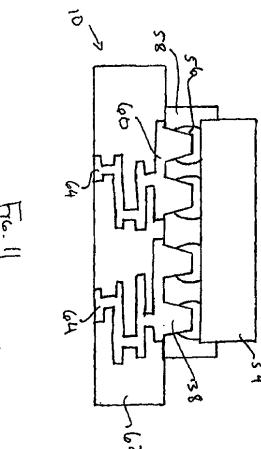
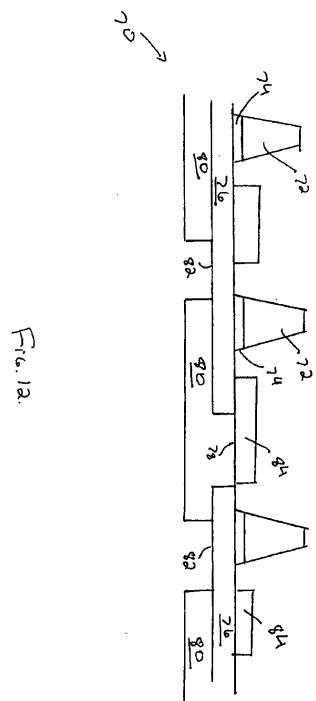
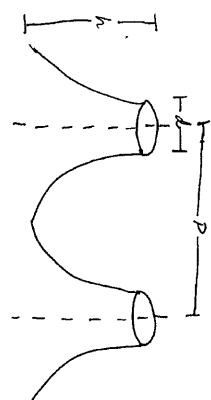


Fig. 11

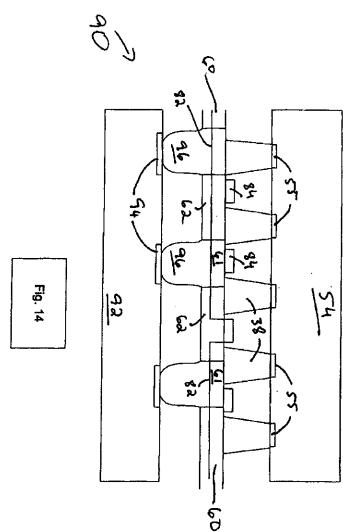
## 【図12】



【図13】



【図14】



【図15-16】

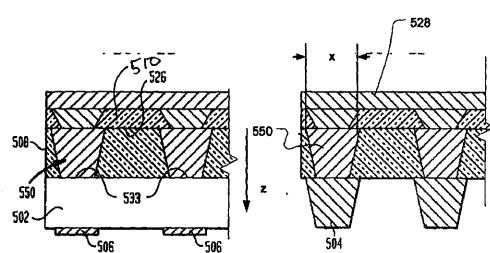


FIG. 15

---

フロントページの続き

(72)発明者 ハーバ , ベルガセム

アメリカ合衆国カリフォルニア州 95134 , サン・ノゼ , オーチャード・パークウェイ 302  
5 , テッセラ , インコーポレイテッド気付

(72)発明者 久保田 陽一

アメリカ合衆国カリフォルニア州 95134 , サン・ノゼ , オーチャード・パークウェイ 302  
5 , テッセラ , インコーポレイテッド気付

(72)発明者 カン , テッキュ

アメリカ合衆国カリフォルニア州 95134 , サン・ノゼ , オーチャード・パークウェイ 302  
5 , テッセラ , インコーポレイテッド気付

(72)発明者 パク , ジェ・エム

アメリカ合衆国カリフォルニア州 95134 , サン・ノゼ , オーチャード・パークウェイ 302  
5 , テッセラ , インコーポレイテッド気付

合議体

審判長 池淵 立

審判官 河本 充雄

審判官 小川 進

(56)参考文献 特開2005-32964 (JP, A)

特開2005-26645 (JP, A)

特開2007-23338 (JP, A)

特開2004-221450 (JP, A)

特開2005-216696 (JP, A)

特開2004-128230 (JP, A)

特開昭63-153889 (JP, A)

特開昭54-148484 (JP, A)

特開2006-294665 (JP, A)

特開2006-324700 (JP, A)

特開2002-176234 (JP, A)

特開2005-45191 (JP, A)

特開平11-87556 (JP, A)

特開平11-111886 (JP, A)

特開昭64-86527 (JP, A)

特開平10-13003 (JP, A)

国際公開第2006/04672 (WO, A1)

特開2005-285986 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

C23F 1/00

H01L23/32

H05K 1/11

H05K 3/06

H05K 3/46