



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0097352
(43) 공개일자 2018년08월31일

(51) 국제특허분류(Int. Cl.)
G11C 5/06 (2006.01) G11C 5/04 (2006.01)
(52) CPC특허분류
G11C 5/063 (2013.01)
G11C 5/04 (2018.05)
(21) 출원번호 10-2017-0024233
(22) 출원일자 2017년02월23일
심사청구일자 2017년02월23일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
경북대학교 산학협력단
대구광역시 북구 대학로 80 (산격동, 경북대학교)
(72) 발명자
정성우
서울특별시 강남구 도곡로28길 8, 104동 1802호(도곡동,도곡1차아이파크아파트)
공영호
서울특별시 동대문구 무학로49길 25, 206호(용문동,대명빌딩)
공준호
대구광역시 수성구 동원로 123, 205동 1001호(만촌동,메트로팔레스)
(74) 대리인
송인호, 윤형근, 최영중, 최관락

전체 청구항 수 : 총 5 항

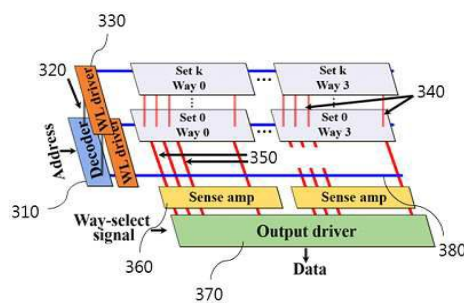
(54) 발명의 명칭 모놀리식 3D 집적 기술 기반 캐시 메모리

(57) 요약

본 발명은 모놀리식 3D 집적 기술 기반 수직 비트라인 캐시 메모리에 관한 것이다.

본 발명의 일실시예에 의한 모놀리식 3D 집적 기술 기반 캐시 메모리는 복수 개의 레이어가 적층된 모놀리식 3D 집적 기술 기반 캐시 메모리에 있어서, 제1워드라인이 형성된 제1레이어; 상기 제1레이어 위에 적층되고 제2워드라인이 형성된 제2레이어; 및 상기 제1워드라인과 상기 제2워드라인을 수직으로 연결하는 수직 비트라인을 포함할 수 있다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 2016916602

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 선행공정플랫폼기술연구개발사업

연구과제명 초절전 IoT 소자 결합 3차원 플랫폼 집적 공정과 최적 아키텍처 개발, 검증

기 여 율 1/1

주관기관 인하대학교 산학협력단

연구기간 2016.07.01 ~ 2017.06.30

명세서

청구범위

청구항 1

복수 개의 레이어가 적층된 모놀리식 3D 집적 기술 기반 캐시 메모리에 있어서,

제1워드라인이 형성된 제1레이어;

상기 제1레이어 위에 적층되고 제2워드라인이 형성된 제2레이어; 및

상기 제1워드라인과 상기 제2워드라인을 수직으로 연결하는 수직 비트라인을 포함하는 것을 특징으로 하는 캐시 메모리.

청구항 2

제1항에 있어서, 상기 캐시 메모리는

상기 복수 개의 레이어 중 최하단 레이어에 수평으로 형성된 글로벌 비트라인을 더 포함하는 것을 특징으로 하는 캐시 메모리.

청구항 3

제2항에 있어서, 상기 캐시 메모리는

상기 복수 개의 레이어마다 각각 대응되게 연결되어 있는 워드라인 드라이버를 더 포함하는 것을 특징으로 하는 캐시 메모리.

청구항 4

제2항에 있어서,

상기 수직 비트라인과 상기 글로벌 비트라인은 수직으로 연결되어 있는 것을 특징으로 하는 캐시 메모리.

청구항 5

제2항에 있어서, 상기 수직 비트라인은

모놀로식 인터티어 비아(Monolithic Inter-tier Via, MIV)로 구성된 것을 특징으로 하는 캐시 메모리.

발명의 설명

기술 분야

[0001] 본 발명은 캐시 메모리에 관한 것으로, 보다 상세하게는 모놀리식 3D 집적 기술 기반 수직 비트라인 캐시 메모리에 관한 것이다.

배경 기술

[0002] 캐시 메모리는 현대 컴퓨터 시스템에서 프로세서와 메인 메모리의 성능 차이를 극복하기 위해, 프로세서가 최근 자주 사용한 데이터의 일부를 저장하는 역할을 담당하고 있다. 기존의 2D구조 기반의 캐시 메모리는 캐시 메모리의 크기가 증가하게 되면, 물리적인 크기의 증가로 인해, wire의 길이가 길어지게 된다. 캐시 메모리에 사용되는 wire 는 주로 접근할 물리적 주소 및 데이터를 전달하기 위한 라우팅 wire, 그리고 캐시 메모리에서 데이터를 접근할 때 사용되는 워드라인(wordline)과 비트라인(bitline)이 있다. 관련된 선행문헌으로 대한민국 공개특허 제10-2010-0063910호가 있다.

[0003] 워드라인의 경우, 접근할 주소가 들어오면 주소에 해당하는 열(row)의 메모리 셀들에 전력을 공급해 주어야 하는 역할을 하여, 워드라인 접근 시 지연시간과 전력소모가 전체 캐시 메모리의 접근시간, 전력소모의 상당 부분을 차지할 수 있다. 특히 큰 용량의 캐시의 경우, 워드라인의 길이가 길어져서, 접근시간과 전력소모에 큰 손실

이 발생하게 된다.

[0004] 또한, 비트라인의 경우, 접근할 주소에 해당하는 열(row)의 메모리 셀들이 워드라인에 의해서 전압이 인가되면, 해당 셀들에 저장된 데이터를 출력하기 위해서 사용되는 wire 이다. 비트라인은 캐시 메모리의 성능 및 전력소모에 상당 부분을 차지한다. 특히, 큰 용량의 캐시의 경우, 비트라인의 길이가 길어지고, 한번에 사용해야 하는 비트라인의 개수도 많아져서, 접근시간과 전력소모에 큰 손실이 발생하게 된다.

[0005] 기존에 많이 사용되고 있는 3D 기술은 TSV(Through-Silicon-Via) 기반의 3D 집적은, TSV의 크기와 pitch가 너무 크기 때문에, 워드라인과 같은 와이어나 캐시 메모리의 비트라인을 대체할 수 없었다.

[0006] 따라서 접근시간과 전력소모에 발생하는 손실을 줄이면서 워드라인과 같은 와이어나 캐시 메모리의 비트라인을 대체할 수 있는 기술에 대한 연구가 필요한 실정이다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 크기와 pitch가 매우 작은 MIV(Monolithic Inter-tier Via)를 사용하여 구성된 수직 워드라인을 통해 캐시 메모리의 성능/전력 효율이 향상된 캐시 메모리를 제공하는 데 있다.

[0008] 본 발명의 목적은 크기와 pitch가 매우 작은 MIV(Monolithic Inter-tier Via)를 사용하여 구성된 수직 비트라인을 통해 캐시 메모리의 성능 및 전력 효율이 향상된 캐시 메모리를 제공하는 데 있다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위해 본 발명의 일실시예에 의하면, 복수 개의 레이어가 적층된 모놀리식 3D 집적 기술 기반 캐시 메모리에 있어서, 제1비트라인이 형성된 제1레이어; 상기 제1레이어 위에 적층되고 제2비트라인이 형성된 제2레이어; 및 상기 제1비트라인과 상기 제2비트라인을 수직으로 연결하는 수직 워드라인을 포함하는 캐시 메모리가 개시된다.

[0010] 상기 목적을 달성하기 위해 본 발명의 일실시예에 의하면, 복수 개의 레이어가 적층된 모놀리식 3D 집적 기술 기반 캐시 메모리에 있어서, 제1워드라인이 형성된 제1레이어; 상기 제1레이어 위에 적층되고 제2워드라인이 형성된 제2레이어; 및 상기 제1워드라인과 상기 제2워드라인을 수직으로 연결하는 수직 비트라인을 포함하는 캐시 메모리가 개시된다.

발명의 효과

[0011] 본 발명의 일실시예에 의한 캐시 메모리는 Monolithic Inter-tier Via(MIV)를 워드라인으로 사용함으로써, 여러 개의 MIV로 수직 워드라인을 구성할 수 있다. 예에 따라, 캐시 메모리의 접근 시간 및 전력소모를 대폭 절감시킬 수 있다.

[0012] 본 발명의 일실시예에 의한 캐시 메모리는 Monolithic Inter-tier Via (MIV)를 수직 비트라인으로 사용함으로써, 기존의 wire 보다 훨씬 짧은 MIV로 수직 비트라인을 구성할 수 있다. 예에 따라, 캐시 메모리의 접근 시간 및 전력소모를 대폭 절감시킬 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일실시예와 관련된 모놀리식 3D 집적 기술 기반 캐시 메모리를 나타낸다.

도 2는 도 1에 도시된 캐시 메모리의 접근 과정을 나타내는 순서도이다.

도 3은 본 발명의 또 다른 일실시예와 관련된 모놀리식 3D 집적 기술 기반 캐시 메모리를 나타낸다.

도 4는 도 3에 도시된 캐시 메모리의 접근 과정을 나타내는 순서도이다.

도 5는 본 발명의 일실시예와 관련된 모놀리식 3D 집적 기술 기반 캐시 메모리와 기존의 캐시 메모리와의 접근 시간을 비교한 그래프이다.

도 6은 본 발명의 일실시예와 관련된 모놀리식 3D 집적 기술 기반 캐시 메모리와 기존의 캐시 메모리와의 성능을 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명의 일실시예와 관련된 캐시 메모리 및 캐시 메모리의 접근 방법에 대해 도면을 참조하여 설명하도록 하겠다.
- [0015] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다.
- [0016] 이하, MIV(Monolithic Inter-tier Via)를 수직 워드라인으로 사용하는 캐시 메모리 구조를 M3D 수직 워드라인 캐시메모리(M3D Vertical Wordline Cache)로 지칭하기로 한다. 또한, MIV를 수직 비트라인으로 사용하는 캐시 메모리 구조를 M3D 수직 비트라인 캐시메모리(M3D Vertical Bitline Cache)로 지칭하기로 한다.
- [0017] 도 1은 본 발명의 일실시예와 관련된 모놀리식 3D 집적 기술 기반 캐시 메모리를 나타내고, 도 2는 도 1에 도시된 캐시 메모리의 접근 과정을 나타내는 순서도이다.
- [0018] 도시된 바와 같이, 캐시 메모리(100)는 디코더(110), 워드라인 드라이버(120), 수직 워드라인(130), 비트라인(140), 모놀로식 인터티어 비아(Monolithic Inter-tier Via, MIV)(150), 신호증폭기(sense amp)(160), 아웃풋 드라이버(170) 및 글로벌 워드라인(180)을 포함할 수 있다. 상기 캐시 메모리(100)는 복수 개의 레이어(layer)가 적층된 구조의 M3D 수직 워드라인 캐시 메모리이다. 상기 캐시 메모리(100)는 각 layer에는 비트라인(140)이 형성되어 있다. 상기 캐시 메모리(100)는 MIV로 수직 워드라인(130)을 구성하고, 최하단 레이어(layer)에서 글로벌 워드라인(180)을 통해 수직 워드라인(130)과 연결된 메모리 셀을 접근할 수 있다.
- [0019] 이하, 상기 캐시 메모리(100)에 접근 과정에 대해 도 2를 통해 설명하도록 하겠다.
- [0020] 디코더(110)는 입력된 주소를 수신하여 해석할 수 있다(S210).
- [0021] 상기 워드라인 드라이버(120)는 해석된 주소에 해당하는 글로벌 워드라인(180)에 전압을 인가한다(S220). 상기 글로벌 워드라인(180)은 최하단 레이어에 위치하여, 수직 워드라인(130)과는 수직하게 연결되어 있다.
- [0022] 상기 글로벌 워드라인(180)에 전압이 인가되면, 상기 전압이 인가된 글로벌 워드라인(180)에 연결된 수직 워드라인(130)들에게 전압이 인가되어, 이와 연결된 메모리 셀들은 접근이 가능하다(S230).
- [0023] 각 레이어에서 wire로 구성된 비트라인(140)을 통해서 해당 수직 워드라인(130)에 연결된 셀에서 데이터가 신호 증폭기(sense amp)(160)로 전달된다(S240).
- [0024] 각 레이어의 신호증폭기(160)에 도착한 데이터는 MIV(150)를 통해 맨 아래 레이어의 아웃풋(output) 드라이버(170)로 데이터를 전달한다(S250). 이 경우, 데이터를 전달하기 위한 MIV(150)는 공유되지 않고, 각 레이어의 신호증폭기(160)가 전용의 MIV를 사용한다.
- [0025] 아웃풋 드라이버(170)는 태그 매치의 결과로 나온 way-select signal을 받아, 각 레이어에서 받은 데이터들 중 way-select signal에 일치하는 데이터를 선택하여, 캐시 메모리(100) 밖으로 내보낼 수 있다(S260).
- [0026] 도 3은 본 발명의 또 다른 일실시예와 관련된 모놀리식 3D 집적 기술 기반 캐시 메모리를 나타내고, 도 4는 도 3에 도시된 캐시 메모리의 접근 과정을 나타내는 순서도이다.
- [0027] 도시된 바와 같이, 캐시 메모리(300)는 디코더(310), 모놀로식 인터티어 비아(Monolithic Inter-tier Via, MIV)(320), 워드라인 드라이버(330), 수직 비트라인(340), 글로벌 비트라인(350), 신호증폭기(sense amp)(360), 아웃풋 드라이버(370) 및 워드라인(380)을 포함할 수 있다. 상기 캐시 메모리(300)는 복수 개의 레이어(layer)가 적층된 구조의 M3D 수직 비트라인 캐시 메모리이다. 상기 캐시 메모리(300)는 각 layer에는 워드라인(380)이 형성되어 있다. 상기 캐시 메모리(100)는 MIV로 수직 비트라인(340)을 구성하고, 최하단 레이어(layer)에서 글로벌 비트라인(350)을 통해 데이터를 아웃풋 드라이버(output driver)(370)로 전달할 수 있는 구조로 이루어져 있다.
- [0028] 이하, 상기 캐시 메모리(300)에 접근 과정에 대해 도 2를 통해 설명하도록 하겠다.
- [0029] 디코더(110)는 입력된 주소를 수신하여 해석할 수 있다(S410).
- [0030] 워드라인 드라이버(330)가 해석된 주소에 해당하는 워드라인에 전압을 인가할 수 있다(S420). 기존의 2D구조에

서는 맨 아래층에만 워드라인이 있으므로 워드라인 드라이버가 맨 아래층에만 존재하지만, 상기 캐시 메모리(300)는 각 레이어에 있는 워드라인(380) 중 하나에 전압을 인가해주기 위해서 각 레이어마다 워드라인 드라이버(330)를 필요로 한다. 따라서, 디코더(310)에서 해석된 주소에 따라서, 맨 아래 레이어가 아닌 다른 레이어에 존재하는 워드라인 드라이버로 주소를 전달해야 하는 경우, MIV(320)를 통해서 주소를 전달한다. 이 때, 각 워드라인 드라이버에 연결된 워드라인의 개수는 기존의 2D 캐시 구조의 워드라인 드라이버에 연결된 워드라인 개수보다 적기 때문에, 워드라인 드라이버를 각 레이어에 배치하는 것에 대한 오버헤드는 크지 않다.

- [0031] 워드라인 드라이버(330)에 의해서 해석된 주소에 해당하는 열 (row)의 워드라인(180)에 전압이 인가되어, 이와 연결된 메모리 셀들의 접근이 가능하다(S430).
- [0032] MIV로 구성된 수직 비트라인(340)을 통해서 해당 워드라인에 연결된 셀에서 데이터가 맨 아래 레이어에 있는 글로벌 비트라인(350)으로 전달된다(S440).
- [0033] 글로벌 비트라인(350)을 통해, 데이터가 신호증폭기(sense amp)(360) 및 아웃풋 드라이버(370)에 전달된다(S450).
- [0034] 아웃풋 드라이버(370)는 태그 매치의 결과로 나온 way-select signal을 받아, 글로벌 비트라인(350)을 통해 전달받은 데이터들 중 way-select signal에 일치하는 데이터를 선택하여, 캐시 메모리(100) 밖으로 내보낼 수 있다(S460).
- [0035] 도 5는 본 발명의 일실시예와 관련된 모놀리식 3D 집적 기술 기반 캐시 메모리와 기존의 캐시 메모리와의 접근 시간을 비교한 그래프이다.
- [0036] 도시된 그래프에서 2D는 기존의 2D 구조의 캐시 메모리이고, TSV-3D는 TSV(Through-Silicon-Via) 기반의 3D 직접 접 기술에 의해 제작된 캐시 메모리이고, M3D Vertical Routing은 뱅크만 3D로 연결된 캐시 메모리이다. 그리고 M3D-VWL은 본 발명의 일실시예 의한 M3D 수직 워드라인 캐시메모리이고, M3D-VBL은 본 발명의 일실시예 의한 M3D 수직 비트라인 캐시메모리이다. 도면을 통해 본 발명의 일실시예의 의한 M3D-VWL이나 M3D-VBL이 기존의 캐시 메모리에 비해 현저하게 Access latency가 감소되었음을 확인할 수 있다.
- [0037] 도 6은 본 발명의 일실시예와 관련된 모놀리식 3D 집적 기술 기반 캐시 메모리와 기존의 캐시 메모리와의 성능을 비교한 그래프이다.
- [0038] 도시된 그래프는 M3D-VWL의 성능과 기존 기술인 2D와 TSV-3D의 성능을 비교한 그래프이다. 도면을 통해, 본 발명의 일실시예의 의한 M3D-VWL의 성능이 기존의 캐시 메모리에 비해 우수함을 확인할 수 있다.
- [0039] 전술한 바와 같이, 본 발명의 일실시예에 의한 M3D 수직 워드라인 캐시 메모리는, 캐시 메모리 셀들을 3차원으로 적층함에 따라, 캐시 면적이 감소하여, 맨 아래 레이어에서 주소 및 데이터를 routing 하는데 소모되는 wire의 길이를 대폭 줄일 수 있다. 또한, 기존에 워드라인은 wire로 구성되어서, 이로 인한 성능/전력 오버헤드가 매우 크지만, MIV로 수직 워드라인을 구성함에 따라 성능/전력을 대폭 향상시킬 수 있다. 왜냐하면 wire 길이보다 MIV의 길이가 현저히 짧기 때문이다.
- [0040] 또한, 본 발명의 일실시예에 의한 M3D 수직 비트라인 캐시는, 캐시 메모리 셀들을 3차원으로 적층함에 따라, 캐시 면적이 감소하여, 맨 아래층에서 주소 및 데이터를 routing 하는데 소모되는 wire의 길이를 대폭 줄일 수 있다. 또한, 기존에 비트라인은 wire로 구성되어서 이로 인한 성능/전력 오버헤드가 매우 크지만, MIV로 수직 비트라인을 구성함에 따라 성능/전력을 대폭 향상시킬 수 있다. 왜냐하면 wire 길이보다 MIV의 길이가 현저히 짧기 때문이다.
- [0041] 상술한 캐시 메모리의 접근 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터로 판독 가능한 기록 매체에 기록될 수 있다. 이때, 컴퓨터로 판독 가능한 기록매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 한편, 기록매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지된 것일 수도 있다.
- [0042] 컴퓨터로 판독 가능한 기록매체에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(Magnetic Media), CD-ROM, DVD와 같은 광기록 매체(Optical Media), 플롭티컬 디스크(Floptical Disk)와 같은 자기-광 매체(Magneto-Optical Media), 및 롬(ROM), 램(RAM), 플래시 메모리, SSD (Solid State Drive)와 같은 메모리 저장장치 등 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다.

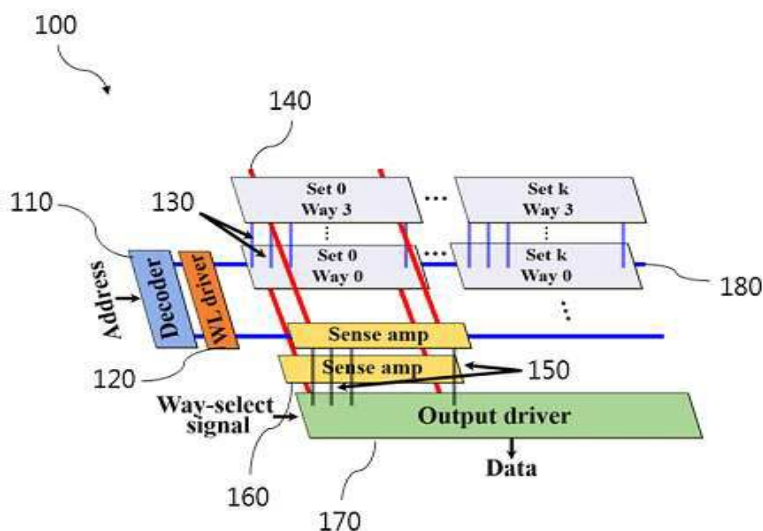
- [0043] 한편, 이러한 기록매체는 프로그램 명령, 데이터 구조 등을 지정하는 신호를 전송하는 반송파를 포함하는 광 또는 금속선, 도파관 등의 전송 매체일 수도 있다.
- [0044] 또한, 프로그램 명령에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상술한 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0045] 상기와 같이 설명된 캐시 메모리 및 캐시 메모리의 접근 방법은 상기 설명된 실시예들의 구성과 방법이 한정되게 적용될 수 있는 것이 아니라, 상기 실시예들은 다양한 변형이 이루어질 수 있도록 각 실시예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수도 있다.

부호의 설명

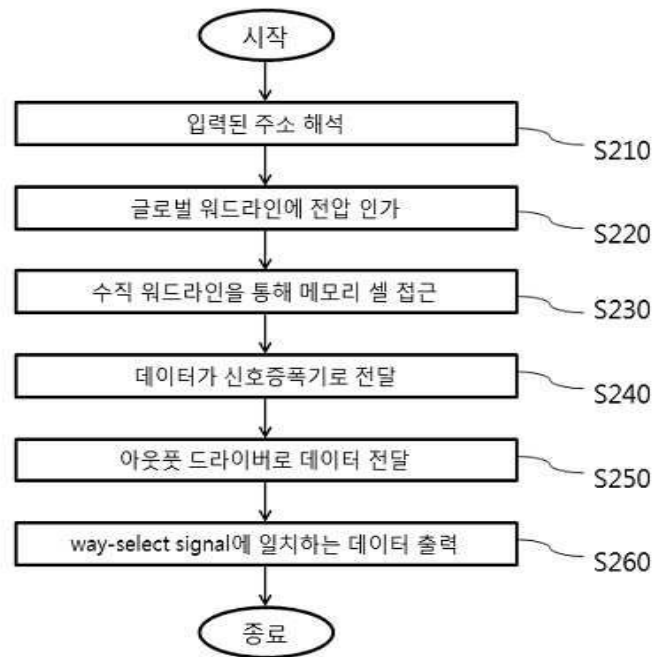
- [0046] 100, 300: 캐시 메모리
- 110, 310: 디코더
- 120, 330: 워드라인 드라이버
- 130: 수직 워드라인
- 140: 비트라인
- 150, 320: 모놀리식 인터티어 비아(Monolithic Inter-tier Via, MIV)
- 160, 360: 신호증폭기
- 170, 370: 아웃풋 드라이버
- 180: 글로벌 워드라인
- 380: 워드라인

도면

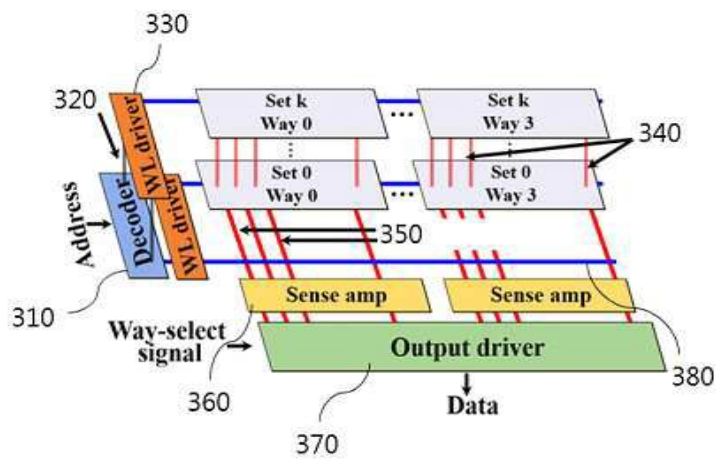
도면1



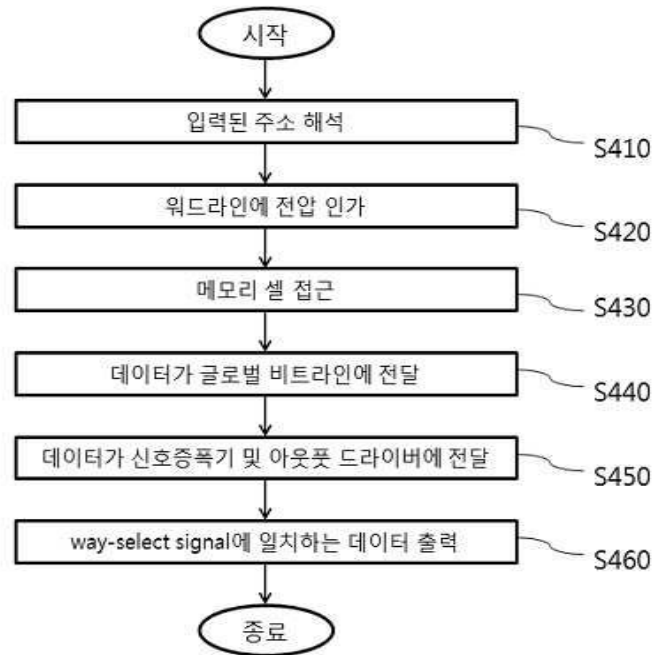
도면2



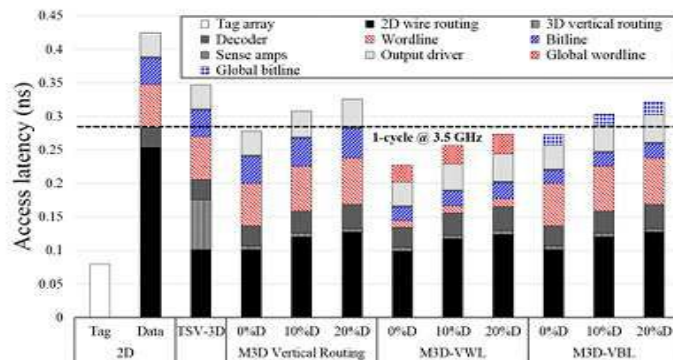
도면3



도면4



도면5



도면6

