



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2023년02월06일

(11) 등록번호 10-2493803

(24) 등록일자 2023년01월26일

(51) 국제특허분류(Int. Cl.)
G01R 31/319 (2006.01) **G01R 31/317** (2006.01)
G01R 31/3177 (2006.01)

(52) CPC특허분류
G01R 31/31901 (2013.01)
G01R 31/31701 (2013.01)

(21) 출원번호 10-2022-7024435(분할)

(22) 출원일자(국제) 2017년08월31일
 심사청구일자 2022년08월12일

(85) 번역문제출일자 2022년07월14일

(65) 공개번호 10-2022-0104293

(43) 공개일자 2022년07월26일

(62) 원출원 특허 10-2019-7005786
 원출원일자(국제) 2017년08월31일
 심사청구일자 2020년08월28일

(86) 국제출원번호 PCT/US2017/049720

(87) 국제공개번호 WO 2018/045227
 국제공개일자 2018년03월08일

(30) 우선권주장
 15/255,044 2016년09월01일 미국(US)

(56) 선행기술조사문헌
 US20140232422 A1
 (뒷면에 계속)

전체 청구항 수 : 총 16 항

(73) 특허권자
 텍사스 인스트루먼트 인코포레이티드
 미국 75243 텍사스주 달라스 메일 스테이션 3999
 노스 센트럴 익스프레스웨이 13588

(72) 발명자
 른가차리, 순데라잔
 인도 620006 타밀나두 트리치 스리란감 사우스 우
 스라 스트리트 6
 자란, 사케트
 인도 560043 카르나타카 방갈로르 카스투리 나가
 르 아리스투크레트 아파트먼트 비-413

(74) 대리인
 양영준

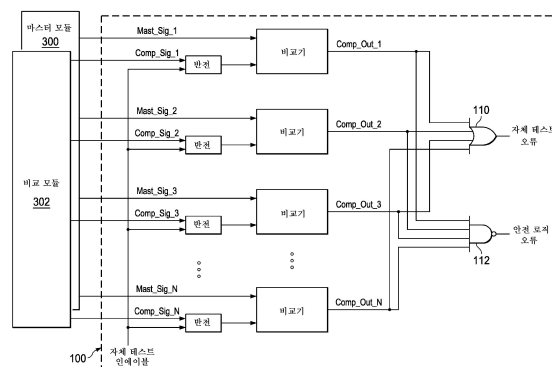
심사관 : 오경환

(54) 발명의 명칭 안전 로직을 위한 자체 테스트

(57) 요약

안전 중요 디바이스들에서의 안전 로직(100)에 대한 자체 테스트 로직의 설명된 예시들에서, 안전 로직(100)은 안전 중요 디바이스에서 마스터 모듈(300) 및 비교 모듈(302)에 결합된 비교기 로직을 포함하고, 자체 테스트 로직은 비교기 로직을 테스트하도록 구성된다. 자체 테스트 로직은 단일 사이클 병렬 비트 반전 접근법, 멀티-사이클 직렬 비트 반전 접근법, 또는 단일 사이클 테스트 패턴 주입 접근법으로 구현될 수 있다.

대표도



(52) CPC특허분류

G01R 31/31703 (2013.01)

G01R 31/31724 (2013.01)

G01R 31/31727 (2013.01)

G01R 31/3177 (2013.01)

(56) 선행기술조사문헌

US20120169361 A1

US20100237890 A1

US20060078076 A1

US20040101040 A1

US20030056134 A1

US05732209 A

US04271515 A

KR1020140008260 A

KR1020090035631 A

KR1020040035848 A

KR1020010101990 A

KR1019990047439 A

JP2016080364 A

JP2013131274 A

JP2008267999 A

JP2002196047 A

JP09288150 A

EP00909957 A2

명세서

청구범위

청구항 1

시스템으로서,

제1 출력 및 제2 출력을 갖는 마스터 모듈;

제1 출력 및 제2 출력을 갖는 비교 모듈;

제1 입력, 제2 입력, 및 출력을 갖는 제1 비교기 - 상기 제1 비교기의 상기 제1 입력은 상기 마스터 모듈의 상기 제1 출력에 결합되고, 상기 제1 비교기의 상기 제2 입력은 상기 비교 모듈의 상기 제1 출력에 결합됨 -;

제1 입력, 제2 입력, 및 출력을 갖는 제2 비교기 - 상기 제2 비교기의 상기 제1 입력은 상기 마스터 모듈의 상기 제2 출력에 결합되고, 상기 제2 비교기의 상기 제2 입력은 상기 비교 모듈의 상기 제2 출력에 결합됨 -; 및

제1 입력, 제2 입력, 및 자체 테스트 오류 출력을 갖는 OR 게이트 - 상기 OR 게이트의 상기 제1 입력은 상기 제1 비교기의 상기 출력에 결합되고, 상기 OR 게이트의 상기 제2 입력은 상기 제2 비교기의 상기 출력에 결합됨 -

를 포함하는, 시스템.

청구항 2

제1항에 있어서, 상기 제1 비교기의 상기 제2 입력은 반전 입력인, 시스템.

청구항 3

제2항에 있어서, 상기 제2 비교기의 상기 제2 입력은 제2 반전 입력인, 시스템.

청구항 4

제1항에 있어서, 제1 입력, 제2 입력, 및 안전 로직 오류 출력을 갖는 NAND 게이트를 더 포함하고, 상기 NAND 게이트의 상기 제1 입력은 상기 제1 비교기의 상기 출력에 결합되고, 상기 NAND 게이트의 상기 제2 입력은 상기 제2 비교기의 상기 출력에 결합되는, 시스템.

청구항 5

제1항에 있어서, 자체 테스트 인에이블 라인을 더 포함하고, 상기 자체 테스트 인에이블 라인이 인에이블된 후에, 상기 제1 비교기의 상기 제2 입력은 반전 입력인, 시스템.

청구항 6

제5항에 있어서, 상기 자체 테스트 인에이블 라인이 인에이블된 후에, 상기 제2 비교기의 상기 제2 입력은 제2 반전 입력인, 시스템.

청구항 7

제1항에 있어서, 클록을 더 포함하고, 상기 클록의 상이한 사이클들 동안, 상기 제1 비교기의 상기 제2 입력은 제2 반전 입력이고, 상기 제2 비교기의 상기 제2 입력은 제2 반전 입력인, 시스템.

청구항 8

안전 로직 시스템으로서,

제2 비트 값을 출력하도록 구성된 복수의 비교기들 중의 비교기 - 상기 복수의 비교기들 중의 각각의 비교기는 테스트 중인 회로(CUT)에 의해 생성된 복수의 신호 쌍들 중의 각각의 신호 쌍에 결합되고, 상기 각각의 비교기는:

상기 각각의 신호 쌍의 제1 신호의 제1 신호 비트 값과 상기 각각의 신호 쌍의 제2 신호의 각각의 제2

신호 비트 값이 동일할 때 제1 비트 값을 출력하고;

상기 제1 및 제2 신호 비트 값들이 상이할 때 상기 제2 비트 값을 출력하도록 구성됨 -; 및
결합기 회로

를 포함하고, 상기 결합기 회로는:

상기 복수의 비교기들의 출력들을 결합하고;

상기 안전 로직 시스템에 고장이 있는지를 나타내는 비트 값을 출력하도록 구성되는, 안전 로직 시스템.

청구항 9

제8항에 있어서, 상기 비교기는 상기 제1 신호 비트 값 및 상기 각각의 제2 신호 비트 값 중 하나를 반전시키도록 추가로 구성되는, 안전 로직 시스템.

청구항 10

제9항에 있어서, 상기 결합기 회로는, 상기 복수의 비교기들의 출력 비트 값들을 결합하도록 구성되어, 상기 출력 비트 값들이 모두 상기 제2 비트 값일 때 상기 제1 비트 값이 출력되고, 상기 출력 비트 값들 중 적어도 하나가 상기 제1 비트 값일 때 상기 제2 비트 값이 출력되게 하는, 안전 로직 시스템.

청구항 11

제8항에 있어서, 상기 비교기는 하나의 클록 사이클에서 상기 제2 비트 값을 출력하도록 구성되는, 안전 로직 시스템.

청구항 12

제8항에 있어서,

상기 비교기는 단일 클록 사이클에서 테스트 패턴으로부터의 각각의 2개의 테스트 비트 값을 상기 복수의 비교기 중의 각각의 비교기로 전송하도록 추가로 구성되고,

상기 각각의 2개의 테스트 비트 값 중 하나의 테스트 비트 값은 상기 제1 비트 값이고, 다른 하나의 테스트 비트 값은 상기 제2 비트 값인, 안전 로직 시스템.

청구항 13

제8항에 있어서, 상기 CUT는 이중 록스텝 안전 중요 모듈들을 포함하는, 안전 로직 시스템.

청구항 14

제13항에 있어서, 상기 이중 록스텝 안전 중요 모듈들은 레이다 시스템에서의 복제된 타이밍 엔진들인, 안전 로직 시스템.

청구항 15

제8항에 있어서,

상기 CUT는 복수의 조합 로직을 포함하고,

각각의 조합 로직에 결합된 패리티 로직은 상기 복수의 신호 쌍들 중의 각각의 신호 쌍을 생성하는, 안전 로직 시스템.

청구항 16

제15항에 있어서, 상기 복수의 조합 로직은 레이다 시스템의 데시메이션 필터 체인에 포함되는, 안전 로직 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 안전 중요 디바이스들(safety critical devices)에 관한 것으로, 보다 구체적으로는 안전 중요 디바이스들에서의 안전 로직(safety logic)의 자체 테스트(self test)에 관한 것이다.

배경 기술

[0002] 자동차 레이더 시스템들 및 산업 제어들과 같은 안전 중요 시스템들은 임베디드 시스템들로 구현될 수 있다. 예를 들어, 하나 이상의 시스템-온-어-칩(SOC) 및/또는 마이크로컨트롤러들(MCU)과 같은 그러한 임베디드 시스템들의 하드웨어, 및 소프트웨어는 통상적으로 하드웨어 로직에서의 결함들을 식별하기 위해, 내장된 자체 테스트 메카니즘들, 즉, 안전 로직을 갖는 것을 포함하는 기능 안전 요건들을 충족시킬 필요가 있다. 또한, 안전 로직에서의 결함들을 식별하기 위한 테스트 메카니즘들이 필요하다.

발명의 내용

[0003] 설명된 예시들에서, 장치는 신호 쌍들을 생성하도록 구성된 테스트 중인 회로(circuit under test)(CUT) - 각각의 신호 쌍에 대해, 신호 쌍의 제1 신호는 신호 쌍의 제2 신호와 동일할 것으로 예상됨 -, CUT을 테스트하기 위해 CUT에 결합된 안전 로직 - 안전 로직은 비교기들을 포함하고, 각각의 비교기가 각각의 신호 쌍에 결합되고 각각의 신호 쌍의 제1 신호의 제1 신호 비트 값 및 제2 신호의 각각의 제2 신호 비트 값이 동일할 때 제1 비트 값을 출력하고 제1 및 제2 신호 비트 값들이 서로 다를 때 제2 비트 값을 출력하도록 구성되며, 제2 비트 값은 CUT에서의 결함을 나타냄 -, 및 안전 로직을 테스트하기 위해 안전 로직에 결합된 자체 테스트 로직 - 자체 테스트 로직은 비교기들 중 적어도 하나가 자체 테스트 로직이 인에이블될 때 제2 비트 값을 출력하게 하도록 구성됨 - 을 포함한다.

[0004] 테스트 중인 회로(CUT)에 결합된 안전 로직의 자체 테스트 방법에 대한 설명된 예시들에서, 방법은 안전 로직 내의 복수의 비교기들 중 적어도 하나가 제2 비트 값을 출력하게 하는 단계 - 각각의 비교기는 CUT에 의해 생성된 복수의 신호 쌍들의 각각의 신호 쌍에 결합되고 각각의 신호 쌍의 제1 신호의 제1 신호 비트 값 및 각각의 신호 쌍의 제2 신호의 각각의 제2 신호 비트 값이 동일할 때 제1 비트 값을 출력하고 제1 및 제2 신호 비트 값들이 서로 다를 때 제2 비트 값을 출력하도록 구성되고, 적어도 하나의 비교기가 출력하게 하는 단계는 안전 로직에 결합된 자체 테스트 로직에 의해 수행됨 -, 및 집중기에서 비교기들의 출력들을 조합하는 단계 - 집중기에 의한 비트 값 출력은 안전 로직에서의 결함이 존재하는지 여부를 나타냄 - 를 포함한다.

도면의 간단한 설명

[0005] 도 1은 단일 사이클 병렬 비트 반전 자체 테스트 로직의 실시예를 포함하는 예시적인 안전 로직의 블록도이다.
 도 2는 멀티-사이클 직렬 비트 반전 자체 테스트 로직의 실시예를 포함하는 예시적인 안전 로직의 블록도이다.
 도 3은 도 1의 안전 로직에 결합된 록스텝(lockstep) 안전 중요 모듈들의 블록도이다.
 도 4는 도 2의 안전 로직에 결합된 록스텝 안전 중요 모듈들의 블록도이다.
 도 5는 도 1의 안전 로직에 결합된 패리티 로직(parity logic)의 블록도이다.
 도 6은 도 1 및 도 2의 자체 테스트 로직의 실시예들이 사용될 수 있는 예시적인 주파수 변조 연속파(FMCW) 레이더 시스템의 블록도이다.
 도 7은 도 6의 FMCW 레이더 시스템에 포함된 예시적인 레이더 시스템-온-어-칩(SOC)의 블록도이다.
 도 8은 도 7의 레이더 SOC의 디지털 프런트엔드의 데시메이션 필터 체인(decimation filter chain)에 대한 예시적인 아키텍처의 블록도이다.
 도 9 및 도 10은 안전 로직의 자체 테스트에 대한 방법들의 흐름도들이다.
 도 11은 자체 테스트 로직을 포함하는 예시적인 안전 로직의 블록도이다.
 도 12는 안전 로직의 자체 테스트에 대한 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0006] 도면들에서, 유사한 구성 요소들은 일관성을 위해 유사한 참조 번호들로 표시된다.
- [0007] 전술한 바와 같이, 시스템-온-어-칩(SOC) 또는 마이크로컨트롤러(MCU)와 같은 임베디드 안전 중요 디바이스들은 하드웨어 로직에서의 결합들을 식별하기 위한 내장된 안전 로직 및 안전 로직 자체에서의 결합들을 식별하기 위한 내장된 테스트 메카니즘들을 갖추어야 한다. 예시적인 실시예들은 록스텝 이중 모듈 비교기 안전 로직 및 패리티 비교 안전 로직과 같은, 안전 로직의 특정 유형들의 내장된 자체 테스트를 제공한다. 일부 실시예들에서, 자체 테스트 로직은 안전 로직의 약 75%를 커버하는 단일 사이클 병렬 비트 반전 접근법으로서 구현된다. 이 접근법에서는, 커버된 안전 로직에서의 결합이 단일 사이클에서 식별된다. 일부 실시예들에서, 자체 테스트 로직은 안전 로직의 100%를 커버하는 멀티-사이클 직렬 비트 반전 접근법으로서 구현된다. 이러한 실시예들에서, 테스트 시간은 입력 비트들의 수에 기초하여 선형적으로 증가하고, 직렬 비트 반전을 구현하기 위해 사용되는 시프트 레지스터를 구현하기 위해 영역 오버헤드가 증가된다. 일부 실시예들에서, 자체 테스트 로직은 안전 로직의 약 75%를 커버하는 단일 사이클 테스트 패턴 주입 접근법으로서 구현된다.
- [0008] 도 1은 단일 사이클 병렬 비트 반전 자체 테스트 로직의 실시예를 포함하는 예시적인 안전 로직(100)의 블록도이다. 안전 로직(100)은 구체적으로 도시되지 않은 테스트 중인 회로(CUT)에 결합된다. 안전 로직(100)은 CUT로부터 각각의 마스터 신호 및 비교 신호를 수신하기 위해 결합된 2개의 입력들 및 논리적 OR 트리 집중기(logical OR tree concentrator)(110)에 결합된 단일 출력을 각각 갖는 N개의 비교기(102, 104, 106, 108)들을 포함한다. 비교기들의 수 N은 CUT을 위해 테스트될 신호들의 수에 따라 달라진다. 각각의 비교기(102, 104, 106, 108)는 각각의 마스터의 대응되는 비트 값들을 비교하고 단일 클럭 사이클에서의 신호들을 비교하고 마스터 비트 및 비교 비트가 동일한지 여부를 나타내는 비트 값을 출력하도록 구성된다. 더 구체적으로, 각각의 비교기(102, 104, 106, 108)는 2개의 입력 비트 값들이 서로 다를 때 1의 비트 값을 출력하고 2개의 입력 비트 값들이 동일할 때 0의 비트 값을 출력하는 배타적 논리합(XOR) 게이트이다. 만약 2개의 입력 비트 값들이 서로 다르다면, CUT에서 결합이 발생한 것이다.
- [0009] 논리적 OR 트리 집중기(110)는 OR 게이트들의 트리를 사용하여, 비교기들(102, 104, 106, 108)의 다수의 출력 비트 값들을 단일 비트 값 출력, 즉, 자체 테스트 오류 표시자로 조합한다. 결합이 없는 경우, 비교기들(102, 104, 106, 108)의 출력 비트 값들은 0이 될 것으로 예상되고, 논리적 OR 트리 집중기(110)의 출력 비트 값은 0이 될 것으로 예상된다.
- [0010] 안전 로직(100)은 또한 안전 로직(100)을 결합들에 대해 테스트하기 위한 단일 사이클 병렬 비트 반전 자체 테스트 로직을 포함한다. 자체 테스트 로직은 논리적 AND 트리 집중기(112), 및 자체 테스트 인에이블 라인(122)에 결합된 N개의 인버터들(114, 116, 118, 120)을 포함한다. N개의 인버터들(114, 116, 118, 120) 각각은 CUT로부터의 각각의 비교 신호와 각각의 비교기(102, 104, 106, 108)의 비교 신호 입력 사이에 결합된다. 자체 테스트 인에이블 라인(122)은 안전 로직의 자체 테스트를 위해 인에이블된다. 각각의 인버터들(114, 116, 118, 120)은 자체 테스트 인에이블 라인(122)이 인에이블될 때 비교 비트 값을 반전시키도록, 즉, 비교 비트 값이 0인 경우에는 비트 값이 1로 변경되고, 비교 비트 값이 1인 경우에는 비트 값이 0으로 변경되도록 구성된다. 또한, 각각의 인버터(114, 116, 118, 120)는 자체 테스트 인에이블 라인(122)이 인에이블되지 않았을 때 비트 값들을 변경하지 않고 각각의 비교기(102, 104, 106, 108)의 비교 신호 입력에 비교 비트 값들을 전달하도록 구성된다.
- [0011] 비교기들(102, 104, 106, 108)의 출력들은 또한 논리적 AND 트리 집중기(112)에 결합된다. 논리적 AND 트리 집중기(112)는 AND 게이트들의 트리를 사용하여, 비교기들(102, 104, 106, 108)의 다수의 출력 비트 값들을 단일 비트 값 출력, 즉, 안전 로직 오류 표시자로 조합한다. 자체 테스트 인에이블 라인(122)이 활성화될 때, 비교기들(102, 104, 106, 108)의 출력 비트 값들은 비교기들에 결합이 없는 경우 1이 될 것으로 예상되고, AND 트리 집중기(112)의 출력 비트 값은 최종 반전 후 0이 될 것으로 예상된다.
- [0012] 도 2는 멀티-사이클 직렬 비트 반전 자체 테스트 로직의 실시예를 포함하는 예시적인 안전 로직(200)의 블록도이다. 안전 로직(200)은 구체적으로 도시되지 않은 테스트 중인 회로(CUT)에 결합된다. 안전 로직(200)은 N개의 비교기들(202, 204, 206, 208)을 포함하고, 비교기들은 CUT로부터 각각의 마스터 신호 및 비교 신호를 수신하도록 결합된 2개의 입력들, 및 논리적 OR 트리 집중기(210)에 결합된 단일 출력을 각각 갖는다. 비교기들의 수 N은 CUT을 위해 테스트될 신호들의 수에 따라 달라진다. 각각의 비교기(202, 204, 206, 208)는 단일 클럭 사이클에서의 각각의 마스터 및 비교 신호들의 대응하는 비트 값들을 비교하고 마스터 비트 값과 비교 비트 값이 동일한지 여부를 나타내는 비트 값을 출력하도록 구성된다. 보다 구체적으로, 각각의 비교기(202, 204, 206, 208)는, 2개의 입력 비트 값들이 서로 다를 때 1의 비트 값을 출력하고 2개의 입력 비트 값들이 서로 같을

때 0의 비트 값을 출력하는 배타적 논리합(XOR) 게이트이다. 2개의 입력 비트 값들이 서로 다른 경우, CUT에서 결합이 발생한 것이다.

[0013] 논리적 OR 트리 집중기(210)는 OR 게이트들의 트리를 사용하여, 비교기들(202, 204, 206, 208)의 다수의 출력 비트 값들을 단일 비트 값 출력, 즉, 자체 테스트 오류 표시자로 조합한다. 결합이 없는 경우 및 안전 로직의 자체 테스트가 인에이블되지 않았을 때, 비교기들(202, 204, 206, 208)의 출력 비트 값들은 0이 될 것으로 예상되고, 논리적 OR 트리 집중기(210)의 출력 비트 값은 0이 될 것으로 예상된다.

[0014] 안전 로직(200)은 또한 안전 로직(200)을 결합들에 대해 테스트하기 위한 멀티-사이클 직렬 비트 반전 자체 테스트 로직을 포함한다. 자체 테스트 로직은 시프트 레지스터(212)의 각각의 비트 출력들에 결합된 N개의 인버터들(214, 216, 218, 220), 및 시프트 레지스터(212)에 결합된 자체 테스트 인에이블 라인(222)을 포함한다. N개의 인버터(214, 216, 218, 220) 각각은 또한 CUT로부터의 각각의 비교 신호와 각각의 비교기(202, 204, 206, 208)의 비교 신호 입력 사이에 결합된다. 인버터들(214, 216, 218, 220) 각각은 시프트 레지스터(212)에 의해 인에이블될 때 비교 비트 값을 반전하도록, 즉, 만약 비교 비트 값이 0이면 비트 값은 1로 변경되고, 만약 비교 비트 값이 1이면 비트 값은 0으로 변경되도록 구성된다. 또한, 각각의 인버터(214, 216, 218, 220)는 자체 테스트 인에이블 라인(220)이 인에이블되지 않았고 시프트 레지스터(212)가 활성화되지 않았을 때 값을 변경하지 않고 각각의 비교기(202, 204, 206, 208)의 비교 신호 입력에 비교 비트 값들을 전달하도록 구성된다.

[0015] 자체 테스트 인에이블 라인(220)은 시프트 레지스터(212)를 활성화시키는 안전 로직의 자체 테스트를 개시하는데 사용된다. 활성화된 후, 시프트 레지스터(212)는 각각의 인버터를 후속 클럭 사이클들에 차례차례 인에이블하는데, 즉, 매 클럭 사이클마다 오직 하나의 비교 비트 값만이 반전되도록 한다. 오직 하나의 비교기의 출력이 각각의 자체 테스트 클럭 사이클에서 1이 될 것으로 예상되기 때문에, 논리적 OR 트리 집중기(210)의 출력은 각각의 자체 테스트 클럭 사이클 동안 1이 될 것으로 예상된다. 비교기 출력들 또는 OR 트리 집중기(210) 출력 중 어느 하나가 계속 0이면, OR 트리 집중기(210)의 출력 비트 값은 0이 될 것이고, 이는 안전 로직에서의 결합을 나타낸다.

[0016] 도 1 및 도 2의 자체 테스트 로직은 록스텝 안전 중요 모듈들을 위한 안전 로직 및 안전 중요 모듈에서의 패리티 비교를 위한 안전 로직과 같은 OR 트리 집중기를 포함하는 안전 로직을 테스트하기 위해 사용될 수 있다. 록스텝 아키텍처에서, 마스터 모듈 및 록스텝 또는 비교 모듈로 지칭될 수 있는 2개의 동일한 하드웨어 모듈들은 동일한 입력들에 기초하여 동일한 동작들을 수행하고, 각각의 출력 신호는 매 클럭 사이클에서 일관성을 위해 검사된다. 모듈들의 각각의 출력 간의 임의의 불일치는 모듈들 중 하나에서의 결합을 나타낸다.

[0017] 도 3은 도 1의 안전 로직(100)에 결합된 록스텝 안전 중요 모듈들의 블록도이고, 도 4는 도 2의 안전 로직에 결합된 록스텝 안전 중요 모듈들의 블록도이다. 전술한 바와 같이, 안전 로직(100)은 단일 사이클 병렬 비트 반전 자체 테스트 로직을 포함하고, 안전 로직(200)은 멀티-사이클 직렬 비트 반전 자체 테스트 로직을 포함한다. 마스터 모듈(300) 및 비교 모듈(302)의 대응하는 출력 신호들은 안전 로직(100)에 결합되고, 마스터 모듈(400) 및 비교 모듈(402)의 대응하는 출력 신호들은 안전 로직(200)에 결합된다. 마스터 및 비교 모듈들은 예를 들어, 이중 코어 프로세서의 코어들 또는 안전 중요 응용에 배치된 레이더 시스템의 복제된 모듈들과 같은 록스텝에서 동작하는 임의의 복제된 안전 모듈일 수 있다. 또한, 마스터들과 비교 모듈들 간에 비교될 특정 신호들은 전체적인 안전과 관련된 임의의 신호들일 수 있다.

[0018] 도 5는 도 1의 안전 로직(100)에 결합된 패리티 로직의 블록도이다. 간략화를 위해, 도 5는 2개의 구성요소들, 조합 로직(combinational logic)(500) 및 조합 로직(502)에 대한 패리티 로직의 출력들에 안전 로직(100)을 결합하는 것을 도시한다. 이 예시 및 도 1의 전술한 설명에 따라, 패리티 로직을 갖는 N개의 구성요소들은 안전 로직(100)에 결합될 수 있다.

[0019] 각각의 조합 로직(500, 502)은 다수의 비트들을 출력하고, 각각에 의해 출력된 비트들의 수는 다를 수 있다. 각각의 조합 로직(500, 502)의 출력은 출력 비트들을 저장하는 각각의 레지스터(504, 506)에 결합된다. 또한, 각각의 조합 로직(500, 502)의 출력은 단일 패리티 비트를 생성하기 위해 출력 비트들의 논리적 XOR을 수행하도록 구성된 각각의 패리티 XOR 로직(512, 514)의 입력에 결합된다. 패리티 XOR 로직(512, 514)의 출력들은 단일 패리티 비트를 저장하는 각각의 패리티 데이터 플립플롭(516, 518)에 결합된다. 각각의 패리티 데이터 플립플롭(516, 518)은 안전 로직(100) 내의 각각의 비교기의 입력에 결합되는데, 즉, 각각의 패리티 데이터 플립플롭(516, 518)은 안전 로직(100) 내의 각각의 비교기에 마스터 신호를 제공한다.

[0020] 레지스터들(504, 506)의 출력들은 단일 패리티 비트를 생성하기 위해 각각의 레지스터(504, 506)에 저장된 비트

들의 로직 XOR을 수행하도록 구성된 각각의 패리티 XOR 로직(508, 510)의 입력에 결합된다. 패리티 XOR 로직(512, 514)의 출력들은 안전 로직(100) 내의 각각의 인버터에 결합되는데, 즉, 각각의 패리티 XOR 로직(512, 514)은 안전 로직(100) 내의 각각의 인버터에 비교 비트를 제공한다.

[0021] FMCW 레이더 시스템의 맥락에서, 이하의 예시들은 자동차 안전 시스템 응용들에 사용되도록 구성된다. 예시적인 실시예들은 FMCW 레이더 시스템 또는 자동차 안전 시스템 응용들에 제한되지 않는다. FMCW 레이더는 하나 이상의 송신 안테나를 통해, 처프(chirp)라고 지칭되는 무선 주파수(RF) 주파수 램프(frequency ramp)를 송신한다. 또한, 다수의 처프들이 프레임으로 지칭되는 단위로 송신될 수 있다. 송신된 처프들은 레이더의 시계(FOV)에 있는 임의의 물체들로부터 반사되고 하나 이상의 수신 안테나에 의해 수신된다. 각각의 수신 안테나에 대한 수신된 신호는 중간 주파수(IF) 신호로 하향 변환된 다음 디지털화된다. 전체 프레임에 대한 디지털화된 데이터가 수신된 후, 데이터는 FOV 내의 임의의 물체들을 검출하고, 검출된 물체들의 도착 범위, 속도 및 각도를 식별하도록 처리된다.

[0022] 도 6은 도 1 및 도 2의 자체 테스트 로직의 실시예들이 사용될 수 있는 예시적인 FMCW 레이더 시스템(600)의 블록도이다. 예시적인 FMCW 레이더 시스템(600)은 차량에서 사용되도록 구성되며, 레이더 시스템-온-어-칩(SOC)(602), 처리 유닛(604), 및 네트워크 인터페이스(606)를 포함한다. 레이더 SOC(602)의 예시적인 아키텍처는 도 7을 참조하여 설명된다.

[0023] 레이더 SOC(602)는 고속 직렬 인터페이스를 통해 처리 유닛(604)에 결합된다. 도 7을 참조하여 더 설명된 바와 같이, 레이더 SOC(602)는 고속 직렬 인터페이스를 통해 처리 유닛(604)에 제공되는 다수의 디지털 중간 주파수(IF) 신호들(대안적으로 디처프드(dechirped) 신호들, 비트 신호들, 또는 원시 레이더 신호들로 지칭됨)을 생성하는 기능을 포함한다.

[0024] 처리 유닛(604)은 임의의 검출된 물체들의 거리, 속도 및 각도를 결정하기 위해 수신된 레이더 신호들을 처리하는 것과 같은 레이더 신호 처리를 수행하는 기능을 포함한다. 처리 유닛(604)은 레이더 데이터를 사용하는 응용의 처리 스루풋을 위해 필요한 임의의 적절한 프로세서 또는 프로세서들의 조합을 포함할 수 있다. 예를 들어, 처리 유닛(604)은 디지털 신호 프로세서(DSP), 마이크로컨트롤러(MCU), DSP 및 MCU 처리 모듈을 조합한 SOC, 또는 필드 프로그래머블 게이트 어레이(FPGA) 및 DSP를 포함할 수 있다. 일부 실시예들에서, 처리 유닛(604)은 2개의 코어들이 안전 목적들을 위해 룩스텝에서 동작하는 이중 코어 프로세서일 수 있다. 이러한 실시예들에서, 이중 코어들은 도 1 또는 도 2의 안전 로직에 결합될 수 있는데, 즉, 하나의 코어는 마스터 모듈(300, 400)일 수 있고 다른 코어는 비교 모듈(302, 402)일 수 있다. 예를 들어, 안전 로직(100, 200)에 결합된 이중 코어들로부터의 출력 신호들은 데이터, 주소, 및 제어 신호들일 수 있다.

[0025] 처리 유닛(604)은 네트워크 인터페이스(606)를 통해 차량 내의 하나 이상의 전자 제어 유닛에 필요한 제어 정보를 제공할 수 있다. 전자 제어 유닛(ECU)은 차량의 하나 이상의 전기 시스템 또는 서브 시스템을 제어하는, 차량의 임의의 임베디드 시스템에 대한 일반적인 용어다. ECU의 예시 유형들은 전자/엔진 제어 모듈(ECM), 파워트레인 제어 모듈(PCM), 송신 제어 모듈(TCM), 브레이크 제어 모듈(BCM 또는 EBCM), 중앙 제어 모듈(CCM), 중앙 타이밍 모듈(CTM), 일반 전자 모듈(GEM), 바디 제어 모듈(BCM), 및 서스펜션 제어 모듈(SCM)을 포함한다.

[0026] 네트워크 인터페이스(606)는 제어기 영역 네트워크(CAN) 프로토콜, 플렉스레이(FlexRay) 프로토콜, 또는 이더넷 프로토콜과 같은 임의의 적절한 프로토콜을 구현할 수 있다.

[0027] 도 7은 예시적인 레이더 SOC(602)의 블록도이다. 레이더 SOC(602)는 FMCW 신호들을 송신하기 위한 다수의 송신 채널들(704), 및 반사된 송신 신호들을 수신하기 위한 다수의 수신 채널들(702)을 포함할 수 있다. 송신 채널들(704)은 동일하고, 안테나 및 송신된 신호를 증폭하기 위한 전력 증폭기(705, 707)를 포함한다. 수신 채널들은 적절한 수신기 및 안테나를 포함한다. 또한, 각각의 수신 채널(702)은 동일하고, 수신된 신호를 증폭하기 위한 저잡음 증폭기(LNA)(706, 708), 아날로그 중간 주파수(IF) 신호 중간 주파수(IF) 신호(대안적으로 디처프드 신호, 비트 신호, 또는 원시 레이더 신호로 지칭됨)를 생성하기 위해 SOC(602)에서의 송신 생성 회로에 의해 생성된 신호를 수신된 신호와 혼합하기 위한 혼합기(710, 712), 아날로그 IF 신호를 필터링하기 위한 기저대역 대역 통과 필터(baseband bandpass filter)(714, 716), 필터링된 IF 신호를 증폭하기 위한 가변 이득 증폭기(715, 717), 및 아날로그 IF 신호를 디지털 IF 신호로 변환하기 위한 아날로그-디지털 변환기(ADC)(718, 720)를 포함한다. 혼합기(710, 712)는 둘 다 무선 주파수(RF) 신호들인, 저잡음 증폭기(706, 708) 및 송신 생성 회로로부터 수신된 입력들의 주파수 사이의 차이와 동일한 주파수를 갖는 출력 신호들을 생성하는 다운 컨버터로서 기능한다. 수신 채널의 대역 통과 필터, VGA, 및 ADC는 함께 기저대역 체인 또는 기저대역 필터 체인이라고 지칭될 수 있다. 또한, 대역 통과 필터 및 VGA는 함께 IF 증폭기로 지칭될 수 있다.

- [0028] 수신 채널들(702)은 디지털 IF 신호들을 DFE(722)에 제공하기 위해 ADC들(718, 720)을 통해 디지털 프런트 엔드(DFE) 구성 요소(722)에 결합된다. DFE(722)는 데이터 전송 속도를 감소시키기 위해 디지털 IF 신호들에 대해 데시메이션 필터링을 수행하는 기능을 포함한다. DFE(722)는 또한, 예를 들어, RX-간 이득 불균형 비이상성, RX-간 위상 불균형 비이상성, 및 다른 비이상성들과 같은 수신 채널들에서의 비이상성들의 디지털 보상과 같은, 디지털 IF 신호들에 대한 다른 동작들을 수행할 수 있다. DFE(722)는 데시메이션된 디지털 IF 신호들을 처리 유닛(606)에 전송하기 위해 고속 직렬 인터페이스(I/F)(724)에 결합된다. 도 8을 참조하여 더 설명된 바와 같이, DFE(722)는 데시메이션 필터 체인을 포함하고, 데시메이션 필터 체인에서의 모듈들의 안전 기능을 확인하기 위해 안전 로직에 결합된 패리티 로직(도 5를 참조하여 기술한 바와 같은 것)이 포함된다.
- [0029] 직렬 주변장치 인터페이스(SPI)(726)는 처리 유닛(606)과 통신하기 위한 인터페이스를 제공한다. 예를 들어, 처리 유닛(606)은 처프들의 타이밍 및 주파수들, 출력 전력 레벨, 모니터링 기능들의 트리거링 등과 같은 제어 정보를 제어 모듈(728)에 전송하기 위해 SPI(726)를 사용할 수 있다.
- [0030] 제어 모듈(728)은 레이더 SOC(602)의 동작을 제어하는 기능을 포함한다. 예를 들어, 제어 모듈(728)은 DFE(722)의 출력 샘플들을 저장하기 위한 버퍼, 버퍼 내용들의 스펙트럼 정보를 계산하기 위한 FFT(고속 푸리에 변환) 엔진, 및 레이더 SOC(602)의 동작을 제어하기 위해 펌웨어를 실행하는 MCU를 포함할 수 있다.
- [0031] 프로그래머블 타이밍 엔진(732)은 제어 모듈(728)로부터 레이더 프레임 내의 처프들의 시퀀스에 대한 처프 파라미터 값들을 수신하고, 파라미터 값들에 기초하여 프레임 내의 처프들의 송신 및 수신을 제어하는 처프 제어 신호들을 생성하는 기능을 포함한다. 처프 파라미터들은 레이더 시스템 아키텍처에 의해 정의되며, 예시들은 어떤 송신기들이 인에이블되어야 할지를 나타내는 송신기 인에이블 파라미터, 처프 주파수 시작 값, 처프 주파수 슬로프, 처프 지속 시간, 송신 채널들이 언제 송신해야 하는지 및 추가레이더 처리를 위해 DFE 출력 디지털이 언제 수집되어야 하는지에 대한 표시기들 등을 포함할 수 있다. 이러한 파라미터들 중 하나 이상의 파라미터는 프로그래머블할 수 있다. 타이밍 엔진(732)에 의해 출력된 처프 제어 신호들은 처프에 대한 원하는 순간 주파수(주파수(Frequency)), 송신기를 인에이블하는 제어 신호(TX 파워 온(TX Power On)), 송신기 극성 제어 신호(TX 극성(TX Polarity)), ADC의 출력이 유효함을 나타내는 제어 신호(ADC 출력 유효(ADC Output Valid)), 주파수 신시사이저 제어 신호들(SYNTH 제어(SYNTH Control)), 송신기 제어 신호들(TX 제어(TX Control)), 소프트웨어 인터럽트들 등을 포함할 수 있다.
- [0032] 일부 실시예들에서, 타이밍 엔진(732)은 안전 목적들을 위해 복제되고, 2개의 타이밍 엔진들은 록스텝에서 동작한다. 이러한 실시예들에서, 2개의 타이밍 엔진들은 도 1 또는 도 2의 안전 로직에 결합되는데, 즉, 하나의 타이밍 엔진은 마스터 모듈(300, 400)일 수 있고 다른 타이밍 엔진은 비교 모듈(302, 402)일 수 있다. 예를 들어, 안전 로직(100, 200)에 결합된 2개의 타이밍 엔진들로부터의 출력 신호들은 전술한 처프 제어 신호들일 수 있다.
- [0033] 무선 주파수 신시사이저(SYNTH)(730)는 타이밍 엔진(732)으로부터의 처프 제어 신호들에 기초하여 송신을 위한 FMCW 신호들을 생성하는 기능을 포함한다. 일부 실시예들에서, SYNTH(730)는 전압 제어 발진기(VCO)를 갖는 위상 동기 루프(PLL)를 포함한다.
- [0034] 클럭 배율기(clock multiplier)(770)는 송신 신호(LO 신호)의 주파수를 혼합기들(710, 712)의 LO 주파수로 증가시킨다. 클린-업 PLL(위상 동기 루프)(734)은 외부 저주파수 기준 클럭(도시되지 않음)의 신호의 주파수를 SYNTH(730)의 주파수로 증가시키고, 클럭 신호로부터 기준 클럭 위상 잡음을 필터링하도록 동작한다.
- [0035] 클럭 배율기(770), 신시사이저(730), 타이밍 엔진(732) 및 클린 업 PLL(734)은 송신 생성 회로의 예시이다. 송신 생성 회로는 클럭 배율기를 통해 무선 주파수(RF) 신호를 송신 채널들에 대한 입력으로서 생성하고 수신 채널들에서의 혼합기들에 대한 입력으로서 생성한다. 송신 생성 회로의 출력은 LO(국부 발진기) 신호 또는 FMCW 신호로 지칭될 수 있다.
- [0036] 도 8은 도 7의 DFE(722)의 데시메이션 필터 체인에 대한 예시적인 아키텍처의 블록도이다. 전술한 바와 같이, DFE(722)는 수신 채널들(702)의 ADC들로부터 수신된 디지털 IF 신호들에 대해 데시메이션 필터링을 수행한다. 도시된 데시메이션 필터 체인은 ADC와 가변 레이트 리샘플러(variable rate resampler) 사이에 직렬로 결합된 이하의 데시메이션 필터 모듈들: Sinc 필터(Sinc filter), Sinc 필터의 출력을 2로 데시메이션하도록 구성된 필터(A1), 필터(A1)의 출력을 2로 데시메이션하도록 구성된 필터(A2), 필터(A2)의 출력을 2로 데시메이션하도록 구성된 필터(A3), 필터(A3)의 출력을 2로 데시메이션하도록 구성된 필터(A4), 필터(A4)의 출력을 2로 데시메이션하도록 구성된 필터(A5), 및 필터(A5)의 출력을 2로 데시메이션하도록 구성된 필터(A6)를 포함한다.

- [0037] DC 정정 모듈은 필터(A1)의 출력으로부터 DC 값을 감산하도록 구성된다. IQ 불일치 정정 모듈은 DC 정정 모듈의 출력에서 I(동상(in-phase)) 및 Q(쿼드러처(quadrature)) 채널들 간의 진폭 및 위상의 임의의 불균형을 정정하도록 구성된다. 가변 레이트 리샘플러는 필터(A6)의 출력의 샘플링 레이트를 수정하도록 구성된다.
- [0038] 도 8에 구체적으로 도시되지는 않았지만, 레지스터는, 모듈의 출력은 클럭 사이클에 레지스터에 저장되고, 체인에서의 다음 모듈은 다음 클럭 사이클에 레지스터로부터 판독하기 위해 레지스터에 결합되도록, 체인에서의 각각의 모듈 사이에 결합된다. 레지스터들은 또한 내부 값들을 저장하기 위해서도 존재할 수 있다. 안전 목적들을 위해, DFE(722)의 데시메이션 필터 체인의 각각의 모듈의 출력들 및 레지스터들의 출력들은 도 5를 참조하여 설명된 바와 같이 안전 로직에 결합된 패리티 로직에 결합될 수 있다. 따라서, 데시메이션 필터 체인의 모듈들 각각은 도 5에 도시된 바와 같이 조합 로직일 수 있다.
- [0039] 도 9는 도 1을 참조하여 설명된 바와 같이 안전 로직의 자체 테스트 방법의 흐름도이다. 방법은 도 9 및 도 1 모두를 참조하여 설명된다. 처음에, 자체 테스트 로직은 자체 테스트 인에이블 라인(122)을 통해 인에이블된다(900). 도 1을 참조하여 설명된 바와 같이, 자체 테스트 로직을 인에이블하는 것은 단일 클럭 사이클에서 CUT로부터의 비교 비트 값들의 반전을 야기한다. CUT로부터의 마스터 비트 값들 및 반전된 비교 비트 값들은 동일한 클럭 사이클에 안전 로직에서의 각각의 비교기(102, 104, 106, 108)에서 수신된다(902). 대응하는 마스터 비트 값들 및 반전된 비교 비트 값들은 각각의 비교기(102, 104, 106, 108)에서 비교되고(904), 각각의 비교기는 동일한 클럭 사이클에 비교 결과를 나타내는 출력 비트 값을 출력한다. 비교기들의 출력 비트 값들은 비교기들에 결합이 없는 경우 1이 될 것으로 예상된다. 안전 로직에 결합이 존재하는지 여부를 나타내는 출력 비트 값을 생성하기 위해, 출력 비트 값들이 동일한 클럭 사이클에 AND 트리 집중기(112)에서 조합된다(906).
- [0040] 도 10은 도 2를 참조하여 설명된 바와 같이 안전 로직의 자체 테스트 방법의 흐름도이다. 방법은 도 10 및 도 2 모두를 참조하여 설명된다. 처음에, 자체 테스트 로직은 자체 테스트 인에이블 라인(222)을 통해 인에이블된다(1000). 도 2를 참조하여 설명된 바와 같이, 자체 테스트 로직을 인에이블하는 것은 연속적인 클럭 사이클들에서 각각의 인버터(214, 216, 218, 220)를 인에이블하는 시프트 레지스터를 활성화한다. 따라서, 1 클럭 사이클에서, 비교기의 비교 신호에 결합된 인버터는 비교 비트를 반전하기 위해 인에이블된다(1002). CUT로부터의 마스터 비트 값들 및 반전된 비교 비트 값을 포함하는 비교 비트 값들은 동일한 클럭 사이클에 안전 로직에서의 각각의 비교기(202, 204, 206, 208)에서 수신된다(1004). 안전 로직에 결합이 존재하는지 여부를 나타내는 출력 비트 값을 생성하기 위해 출력 비트 값들이 동일한 클럭 사이클에 OR 트리 집중기(210)에서 조합된다(1008). 모든 인버터들이 인에이블될 때까지 후속의 클럭 사이클들에서 단계(1002) 내지 단계(1008)가 반복된다(1010).
- [0041] 도 11은 단일 사이클 테스트 패턴 주입 자체 테스트 로직의 실시예를 포함하는 예시적인 안전 로직(1100)의 블록도이다. 안전 로직(1100)은 구체적으로 도시되지 않은 테스트 중인 회로(CUT)에 결합된다. CUT은 록스텝 안전 중요 모듈들 또는 패리티 로직일 수 있다. 안전 로직(1100)은 CUT로부터 각각의 마스터 신호 및 비교 신호를 수신하기 위해 결합된 2개의 입력들 및 논리적 OR 트리 집중기(1110)에 결합된 단일 출력을 각각 갖는 N개의 비교기(1102, 1104, 1106, 1108)들을 포함한다. 비교기들의 수 N은 CUT을 위해 테스트될 신호들의 수에 따라 달라진다. 각각의 비교기(1102, 1104, 1106, 1108)는 각각의 마스터의 대응되는 비트 값들을 비교하고 단일 클럭 사이클에서의 신호들을 비교하고 마스터 비트 값 및 비교 비트 값이 동일한지 여부를 나타내는 비트 값을 출력하도록 구성된다. 더 구체적으로, 각각의 비교기(1102, 1104, 1106, 1108)는 2개의 입력 비트들이 서로 다를 때 1의 비트 값을 출력하고 2개의 입력 비트들이 동일할 때 0의 비트 값을 출력하는 배타적 논리합(XOR) 게이트이다. 만약 2개의 입력 비트 값들이 서로 다르다면, CUT에서 결합이 발생한 것이다.
- [0042] 논리적 OR 트리 집중기(1110)는 OR 게이트들의 트리를 사용하여, 비교기들(1102, 1104, 1106, 1108)의 다수의 출력 비트 값들을 단일 비트 값 출력, 즉, 자체 테스트 오류 표시기로 조합한다. 결합이 없는 경우, 비교기들(1102, 1104, 1106, 1108)의 출력 비트 값들은 0일 것으로 예상되고, 논리적 OR 트리 집중기(1110)의 출력 비트 값은 0일 것으로 예상된다.
- [0043] 안전 로직(1100)은 또한 안전 로직(1100)을 결합들에 대해 테스트하기 위한 단일 사이클 테스트 패턴 주입 자체 테스트 로직을 포함한다. 자체 테스트 로직은 논리적 AND 트리 집중기(1112), 자체 테스트 인에이블 라인(1122)에 결합된 N개의 쌍의 멀티플렉서들(mux)(1113, 1114, 1115, 1116, 1117, 1118, 1119, 1120), 및 테스트 패턴 생성기(1124)를 포함한다.
- [0044] 각각의 멀티플렉서 쌍에서, 하나의 멀티플렉서(1113, 1115, 1117, 1119)는 CUT로부터의 각각의 마스터 신호와 각각의 비교기(1102, 1104, 1106, 1108)의 마스터 신호 입력 사이에 결합되고, 다른 멀티플렉서(1114, 1116, 1118, 1120)는 CUT로부터의 각각의 비교 신호와 각각의 비교기(1102, 1104, 1106, 1108)의 비교 신호 입력 사

이에 결합된다. 또한, 각각의 멀티플렉서 쌍에서, 하나의 멀티플렉서(1113, 1115, 1117, 1119)의 입력은 데이터 패턴 발생기(1124)의 마스터 패턴 출력에 결합되고, 다른 멀티플렉서(1114, 1116, 1118, 1120)의 입력은 데이터 패턴 생성기(1124)의 비교 패턴 출력에 결합된다. 테스트 패턴 생성기(1124)는 각각의 비교 멀티플렉서(1114, 1116, 1118, 1120)에 제공된 각각의 비교 테스트 패턴 비트가 각각의 마스터 멀티플렉서(1113, 1115, 1117, 1119)에 제공된 마스터 테스트 패턴 비트의 반전된 값이 되도록, 마스터 및 비교 테스트 패턴들을 생성하도록 구성된다.

[0045] 예시적인 멀티플렉서(1126)에 도시된 바와 같이, 각각의 멀티플렉서는 3개의 입력들(A, B, S), 및 각각의 비교기의 입력에 결합된 단일 출력(Y)을 갖는다. 입력(S)은 자체 테스트 인에이블 라인(1122)에 결합되고, 입력(A)은 CUT로부터의 비교 신호 또는 마스터 신호를 수신하도록 결합되고, 입력(B)은 데이터 패턴 발생기(1124)로부터의 비교 패턴 입력 또는 마스터 패턴 입력을 수신하도록 결합된다. 각각의 멀티플렉서는 $S=0$ 인 경우 $Y=A$ (자체 테스트 로직이 인에이블되지 않음)이고 $S=1$ 인 경우 $Y=B$ (자체 테스트 로직이 인에이블됨)가 되도록 동작한다.

[0046] 비교기들(1102, 1104, 1106, 1108)의 출력들은 또한 논리적 AND 트리 집중기(1112)에 결합된다. 논리적 AND 트리 집중기(1112)는 AND 게이트들의 트리를 사용하여, 비교기들(1102, 1104, 1106, 1108)의 다수의 출력 비트 값들을 단일 비트 값 출력, 즉, 안전 로직 오류 표시자로 조합한다. 자체 테스트 인에이블 라인(1122)이 활성화될 때, 비교기들에서의 결합이 없는 경우에 비교기들(1102, 1104, 1106, 1108)의 출력들은 1이 될 것으로 예상되고 AND 트리 집중기(1112)의 출력은 최종 반전 후 0이 될 것으로 예상된다.

[0047] 도 12는 도 11을 참조하여 설명된 안전 로직의 자체 테스트 방법의 흐름도이다. 방법은 도 11 및 도 12 모두를 참조하여 설명된다. 처음에, 자체 테스트 로직은 자체 테스트 인에이블 라인(1122)을 통해 인에이블된다(1200). 도 11을 참조하여 설명된 바와 같이, 자체 테스트 로직을 인에이블하는 것은 마스터 및 비교 테스트 패턴들이 단일 클럭 사이클에 비교기들(1102, 1104, 1106, 1108)의 입력이 되는 것을 야기한다. 마스터 테스트 패턴 비트 값들 및 비교 테스트 패턴 비트 값들은 동일한 클럭 사이클에 안전 로직에서의 각각의 비교기(1102, 1104, 1106, 1108)에서 수신된다(1202). 대응하는 마스터 테스트 패턴 비트 값들 및 비교 테스트 패턴 비트 값들은 각각의 비교기(1102, 1104, 1106, 1108)에서 비교되고(1204), 각각의 비교기는 동일한 클럭 사이클에 비교 결과를 나타내는 출력 비트 값을 출력한다. 비교기들의 출력 비트 값들은 비교기들에 결합이 없는 경우 1이 될 것으로 예상된다. 안전 로직에 결합이 존재하는지 여부를 나타내는 출력 비트 값을 생성하기 위해 출력 비트 값들은 동일한 클럭 사이클에 AND 트리 집중기(1112)에서 조합된다(1206).

[0048] 다른 실시예들

[0049] 예시적인 실시예들은 차량의 임베디드 레이더 시스템의 맥락으로 여기에 설명되었지만, 실시예들은 감시 및 보안 응용들, 공장 또는 창고에서의 로봇의 기동, 및 산업용 유체 감지와 같은 임베디드 레이더 시스템들의 다른 응용들에 대해서도 가능하다. 또한, 실시예들은 레이더 시스템들 이외의 시스템들에 대해서도 가능하다.

[0050] 인버터들이 비교 신호들을 수신하도록 결합되는 예시적인 실시예들이 여기에 설명되었지만, 인버터들이 마스터 신호들을 수신하도록 결합되는 실시예들도 가능하다.

[0051] 논리적 OR 트리 집중기들 및 논리적 AND 트리 집중기들이 결합이 발생했는지 여부를 나타내는 단일 비트 값을 생성하기 위해 다수의 비교기들의 출력 비트 값들을 조합하는 데 사용되는 예시적인 실시예들이 여기에 설명되었지만, 집중기들이 NAND 게이트들, NOR 게이트들 등을 사용하는 것과 같은, 기능적으로 동등한 로직으로 구현되는 실시예들도 가능하다.

[0052] 논리적 AND 트리 집중기의 출력 비트 값이 반전되는 예시적인 실시예들이 여기에 설명되었지만, 출력 비트 값이 반전되지 않는 실시예들도 가능하다. 또한, 비교기들이 XOR 게이트들로서 구현되는 예시적인 실시예들이 여기에 설명되었지만, 비교기들이 기능적으로 동등한 로직으로 구현되는 실시예들도 가능하다.

[0053] 마스터 및 비교 테스트 패턴들로부터의 비트 값들과 마스터 및 비교 신호들로부터의 비트 값들 사이에서 선택하기 위해 멀티플렉서들이 사용되는 예시적인 실시예들이 여기에 설명되었지만, 기능적으로 동등한 신호 선택 로직이 사용되는 실시예들도 가능하다. 또한, 테스트 패턴들이 단일 테스트 패턴인 실시예들도 가능하다.

[0054] 처리 유닛이 레이더 SOC의 외부에 있는 예시적인 실시예들이 여기에 설명되었지만, 처리 유닛이 레이더 SOC에 포함되는 실시예들도 가능하다. 또한, 패리티 로직이 도 1의 안전 로직에 결합되는 예시적인 실시예들이 여기에 설명되었지만, 패리티 로직이 도 2 또는 도 3의 안전 로직에 결합되는 실시예들도 가능하다.

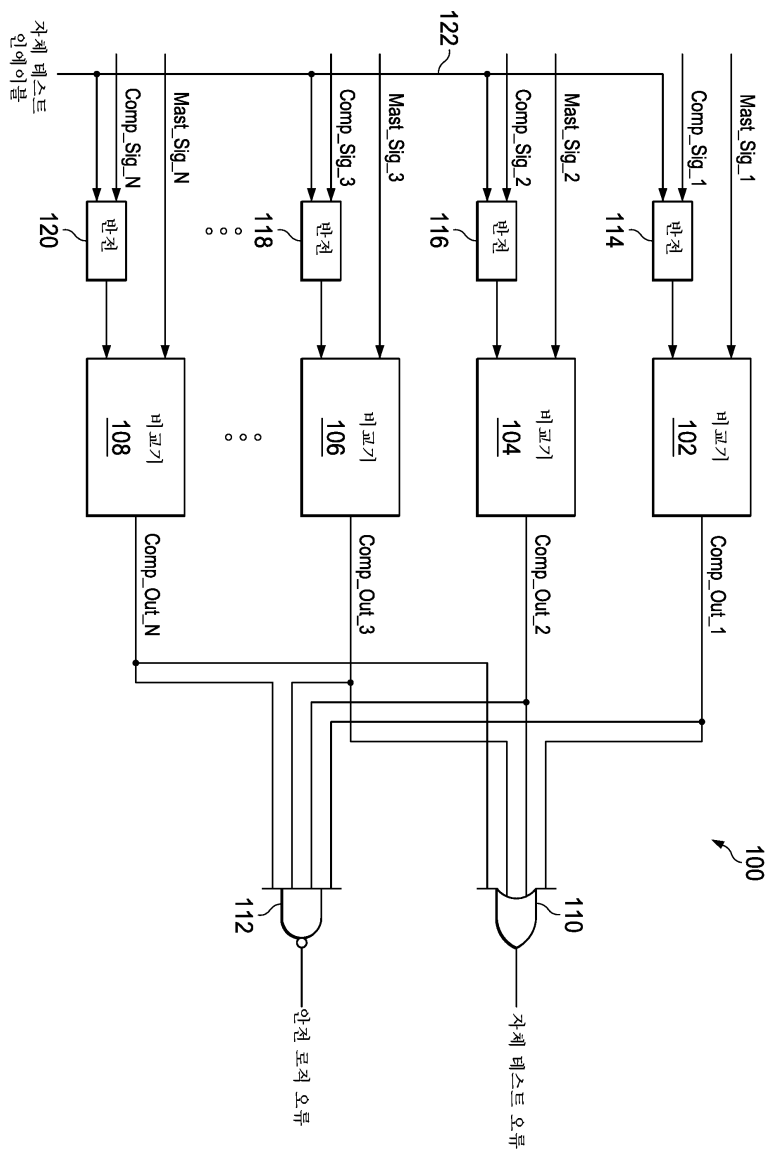
[0055] 록스텝 안전 중요 모듈들이 도 1 및 도 2의 안전 로직에 결합되는 예시적인 실시예들이 여기에 설명되었지만, 록스텝 안전 중요 모듈들이 도 3의 안전 로직에 결합되는 실시예들도 가능하다. 또한, 예시적인 실시예들은 FMCW 레이더 시스템을 참조하여 여기에 설명되었지만, 예시적인 실시예들은 FMCW 레이더 시스템들로 제한되지 않는다.

[0056] 이 설명에서, "결합"이라는 용어 및 그것의 파생어들은 간접, 직접, 광학 및/또는 무선 전기 연결을 의미한다. 따라서, 예를 들어, 제1 디바이스가 제2 디바이스에 결합되면, 그 연결은 직접적인 전기 연결, 다른 디바이스들 및 연결들을 통한 간접적인 전기 연결, 광 전기 연결, 및/또는 무선 전기 연결을 통해 이루어질 수 있다.

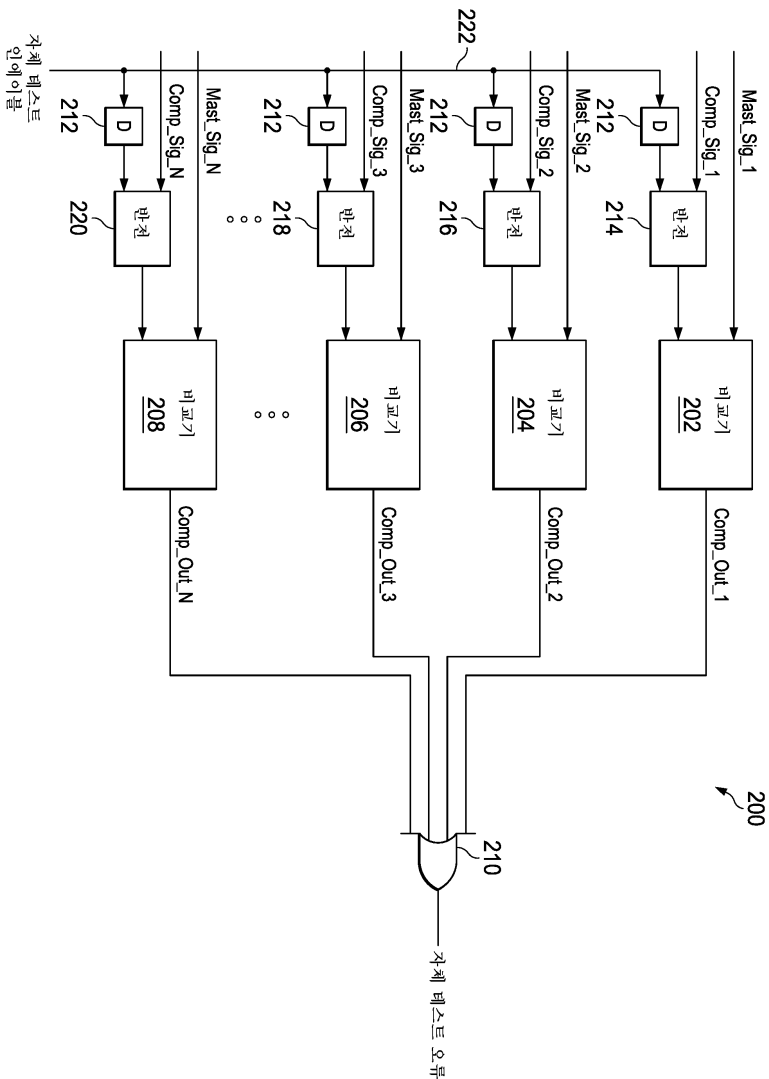
[0057] 설명된 실시예들에서 수정이 가능하고, 청구범위의 범주 내에서 다른 실시예들이 가능하다.

도면

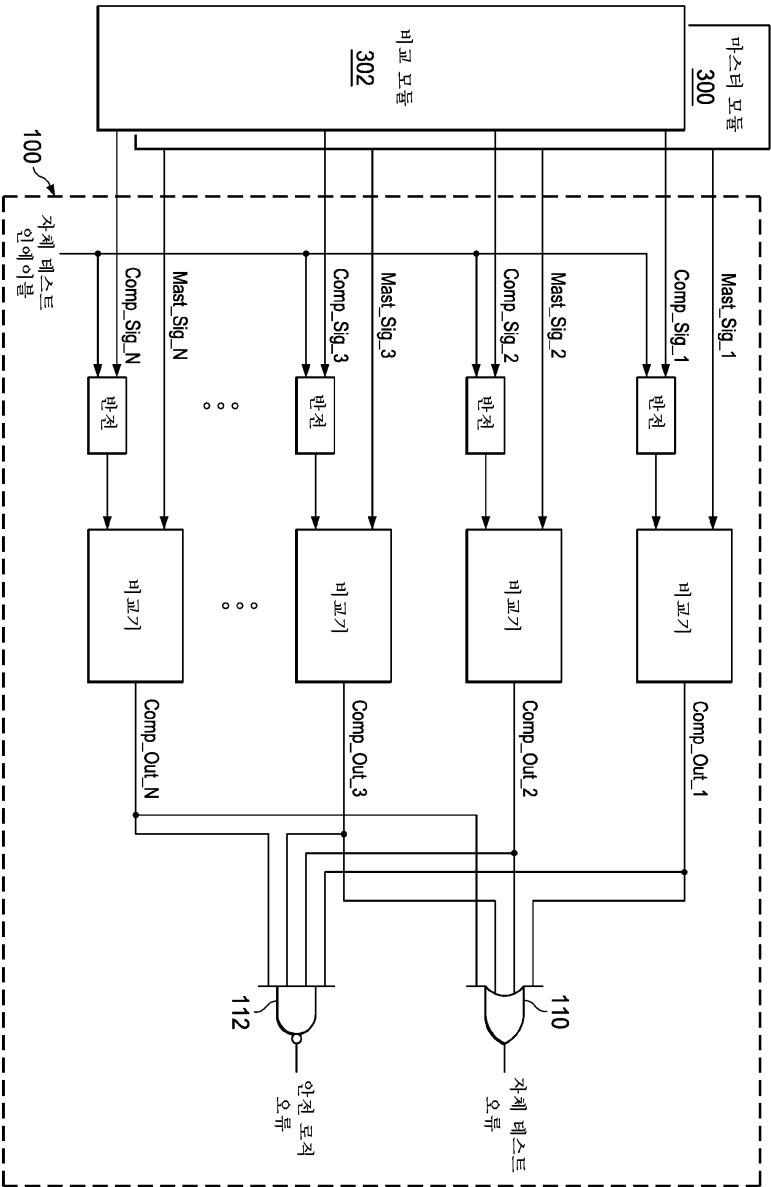
도면1



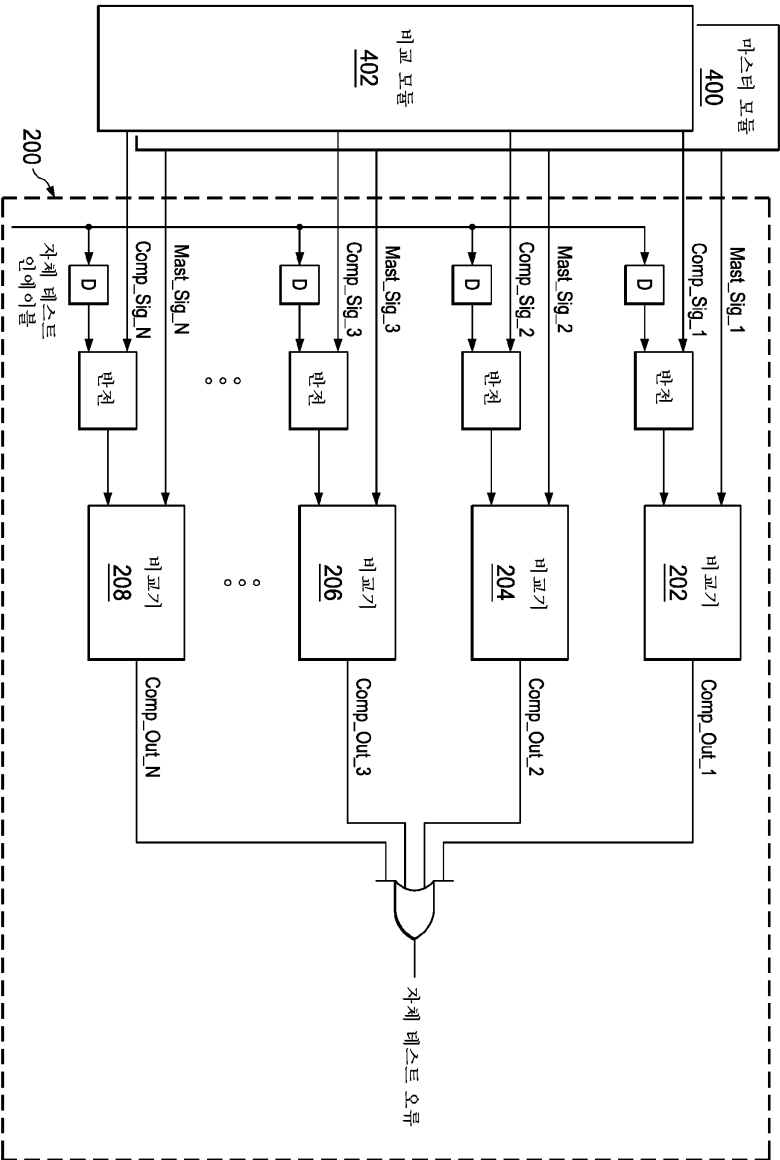
도면2



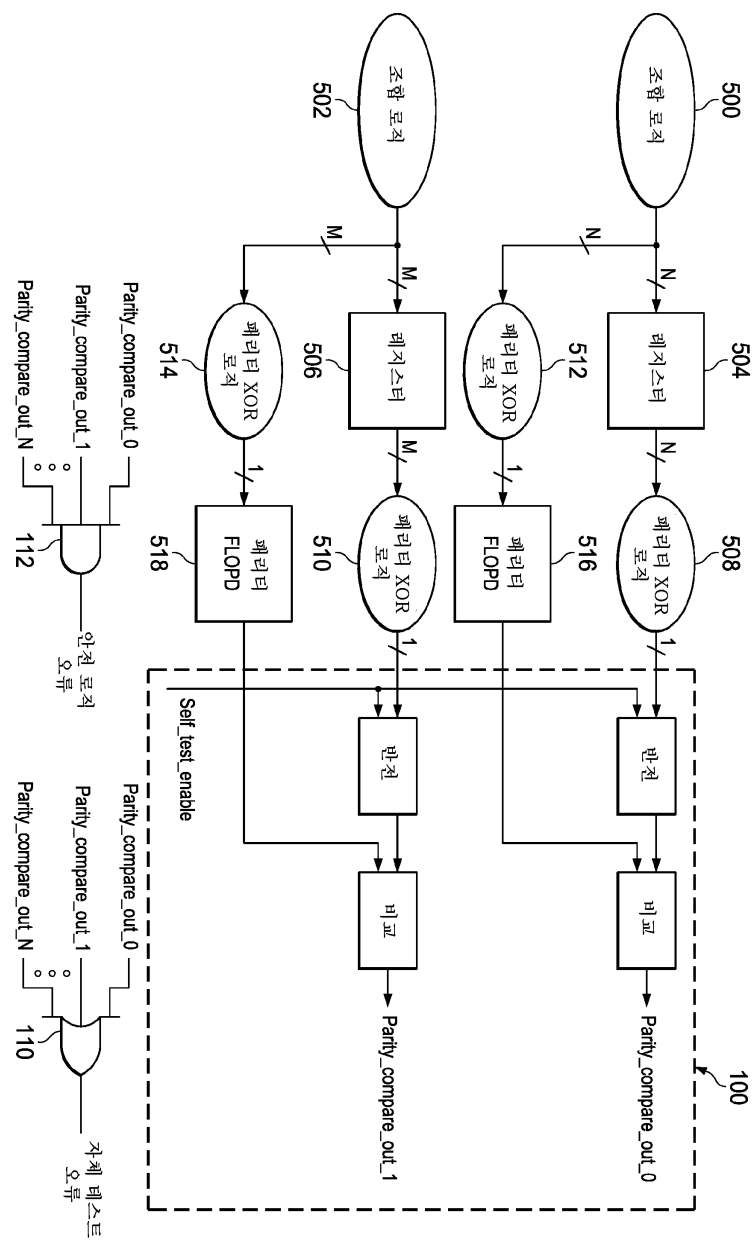
도면3



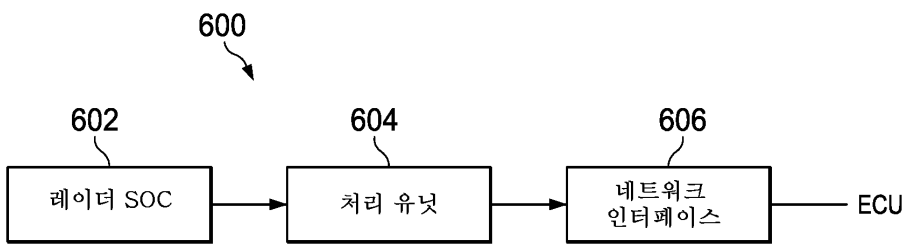
도면4



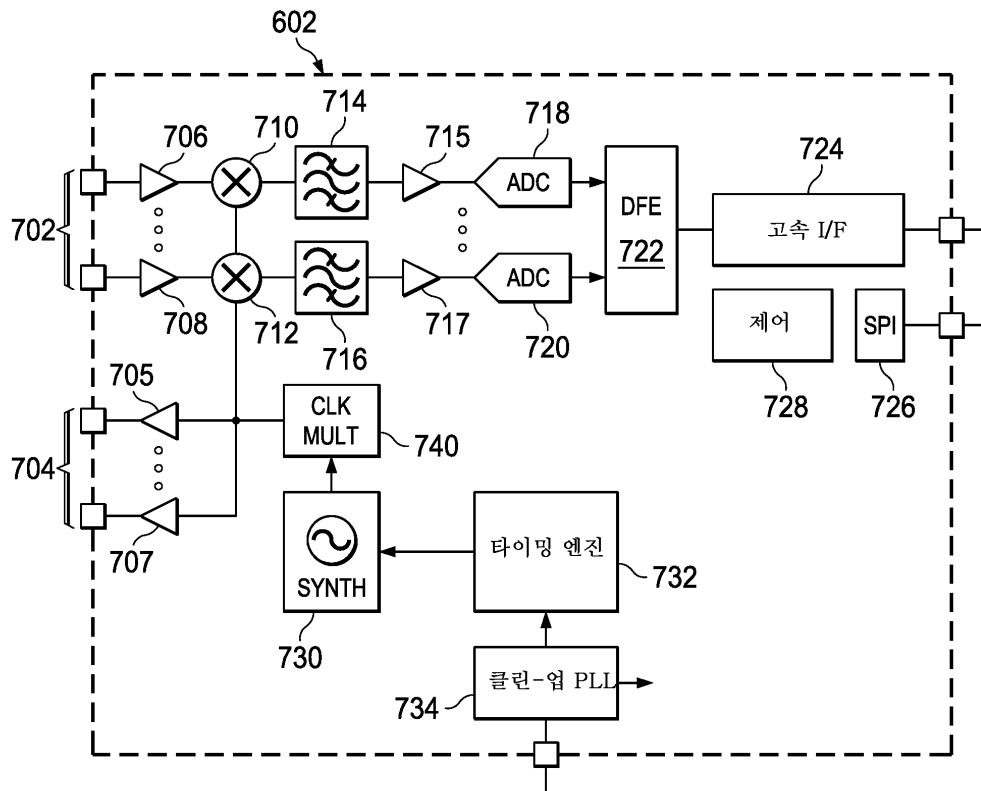
도면5



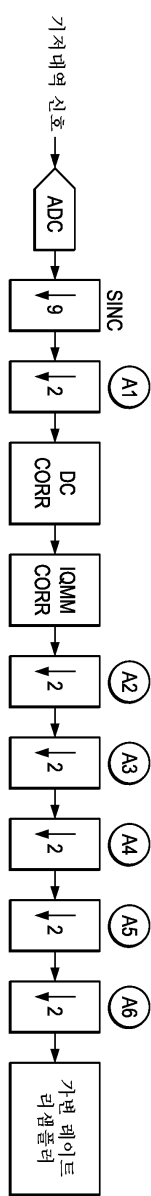
도면6



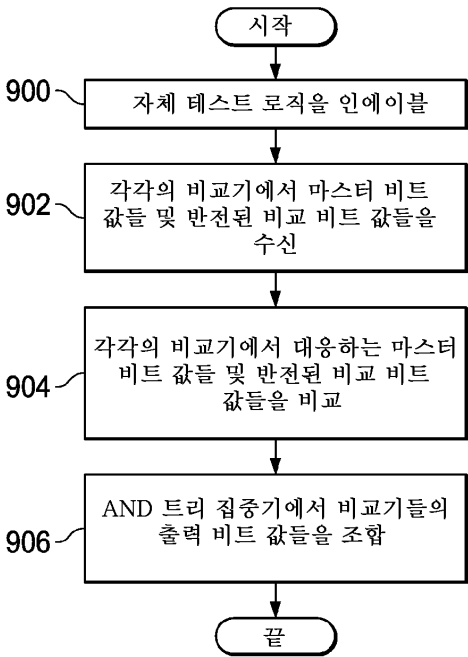
도면7



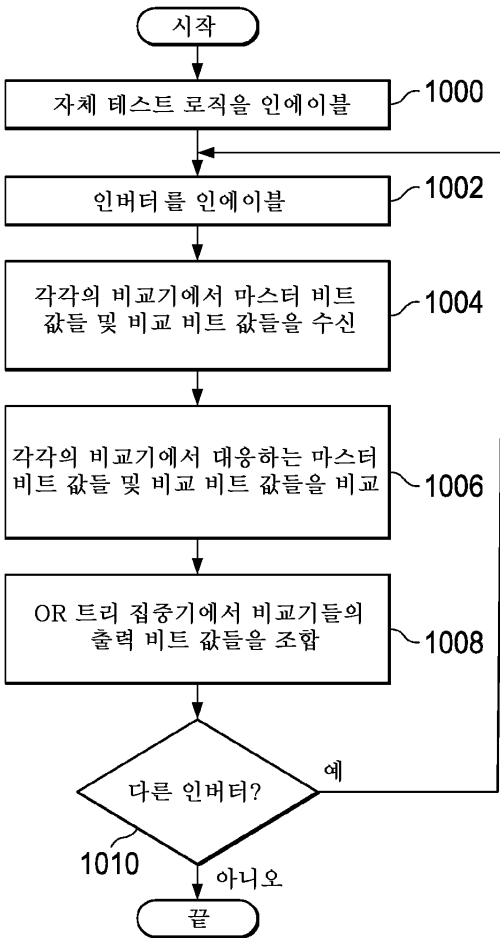
도면8



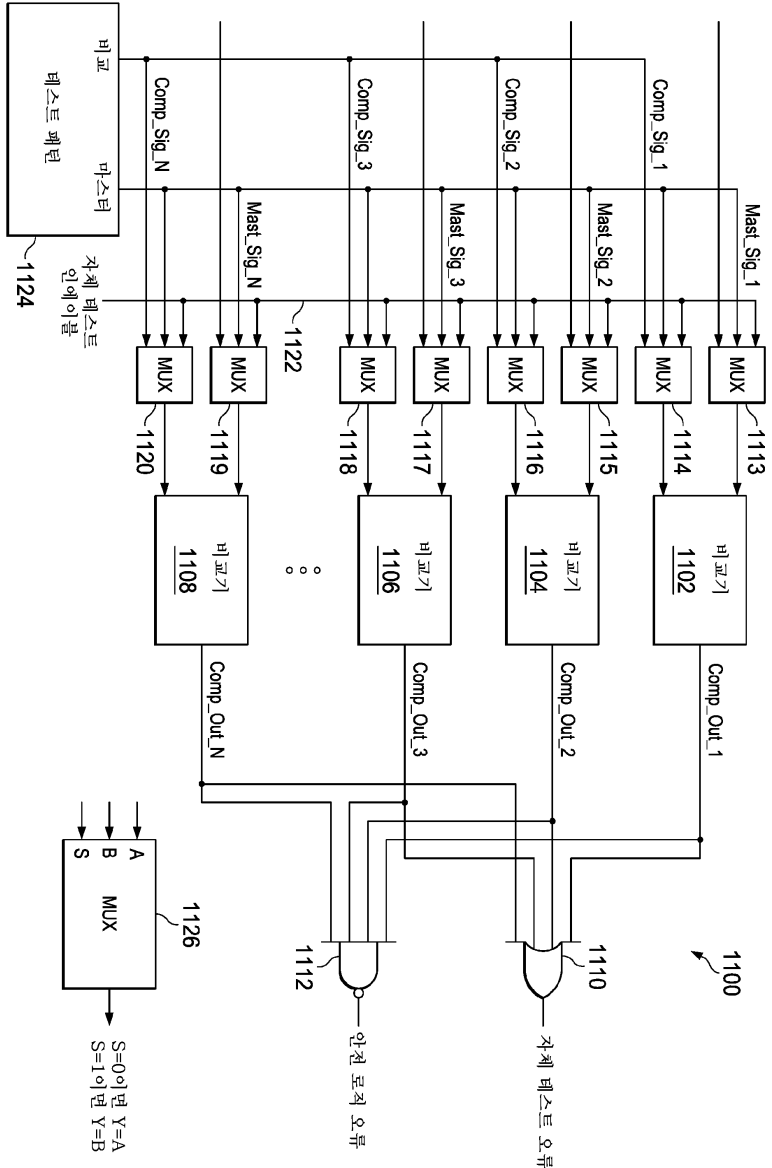
도면9



도면10



도면11



도면12

