

公告本

申請日期	88. 7. 21
案號	88112385
類別	Int. Cl ⁶ H01L 21/76

A4
C4

425654

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	用於形成受控深溝頂端隔絕層的設備及方法
	英文	Apparatus and method for forming controlled deep trench top isolation layers
二、發明 創作人	姓名	尤瑞克古魯寧 (Ulrike Gruening)
	國籍	美國
	住、居所	美國紐約州12590瓦平格斯瀑布城景道38號
三、申請人	姓名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國籍	德國
	住、居所 (事務所)	德國慕黑尼D-80333威田巴契廣場2號
	代表 姓名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

經濟部中央標準局員工消費合作社印製

裝
訂
線

425654

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

1998年07月31日 案號 09/127,262 (主張優先權)

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀由之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

本發明之背景

1. 技術領域

本發明係有關於半導體裝置，更特別地是有關於用於形成半導體記憶體之深溝渠隔離層的設備與方法。

2. 習知技藝之說明

諸如動態隨機連接記憶體(DRAM)等半導體記憶體包含記憶胞。這些記憶胞包含儲存節點。這些儲存節點通常形成於蝕入半導體記憶體晶片基板中的深溝渠中。該儲存節點係使用連接電晶體連接，其中該儲存節點允許電荷儲存於該儲存節點中或由其釋出，根據所欲執行的讀或寫的功能。通常其必須確保該儲存節點與閘極導體有足夠的電隔離。

一種用以確保該儲存節點足夠電隔離的方法係設置一頂端溝渠氧化層於該儲存節點上。這些儲存節點通常包含部份填充該深溝渠的多晶矽材料。在製造期間，該多晶矽將殘留於溝渠頂端。一氧化物(二氧化矽)沈積在該半導體裝置表面。在氧化物沈積期間，該氧化物形成於溝渠中的多晶矽上。其他所沈積的氧化物部份係藉由使半導體裝置表面平坦化並藉由挖掘該氧化物而留下30-50nm的氧化層於該凹槽底部而移除。

該氧化物的挖掘係難以控制。該困難包含殘留氧化層厚度的異變性。該溝渠頂端氧化物厚度為一重要的參數，且必須維持以確保半導體記憶體可正常工作。如上述，該溝渠頂端氧化物將儲存節點與半導體裝置的閘極導

五、發明說明(>)

體電隔離。

因此，具有受控厚度之溝渠頂端絕緣質係所需。再者，一種用以設置溝渠頂端隔離於形成在溝渠上之電晶體的方法亦為所需。

本發明之概要

一種根據本發明之用於控制半導體記憶體之深溝渠中的隔離層厚度的方法，其所包含的步驟有：設置一具有儲存節點形成於其中的深溝渠，具有鑲埋帶的儲存節點，沈積一隔離層於該鑲埋帶上而提供儲存節點的電隔離，形成一單幕層於該隔離層上以單幕部份與鑲埋帶接觸的隔離層以及移除除了為單幕層所單幕部份以外的隔離層，以改良隔離層厚度的控制性。

在根據本發明之其他可使用的�方法中，沈積該隔離層的步驟包含以化學氣相沈積法或電漿輔助化學氣相沈積法所沈積的隔離層。該隔離層可由氧化物、氮化物或二者所組成。該隔離層的厚度最好在約20nm-50nm之間。形成該單幕層的步驟可包含沈積一對於隔離層有蝕刻選擇性材料。該材料可包含多晶矽。

一種用於製造具有溝渠隔離之記憶胞的方法，包含的步驟有：設置一具有儲存節點形成於其中的深溝渠，具有鑲埋帶的儲存節點，沈積一隔離層於該鑲埋帶上而提供儲存節點的電隔離，形成一單幕層於該隔離層上以單幕部份與鑲埋帶接觸的隔離層，選擇性地蝕刻該隔離層以留下為單幕層所單幕的部份，藉由移除至少一部份與

五、發明說明()

深溝渠鄰接的基板而開啟與深溝渠連接的隔離溝渠，以介電材料填充該隔離溝渠以提供溝渠隔離。

在其他特別有用的方法中，最好包含形成用以連接設置於隔離層下之溝渠中的儲存節點的連接裝置的步驟。挖掘鄰接深溝渠的基板部份，以使得所形成的電晶體源離深溝渠的步驟最好被包含。形成電晶體閘極於鄰接溝渠隔離處與鄰接深溝渠頂端部份中的隔離層處的步驟亦可被包含。形成連接裝置的步驟包含形成具有通道形成於基板中的電晶體，以將鑲埋帶電連接至位元線的步驟。該隔離層可以化學氣相沈積法沈積。該隔離層可包含氧化物、氮化物或二者的組合。該隔離層的厚度最好在約20nm-50nm 之間。該單幕層可包含多晶矽。該溝渠隔離可包含淺溝渠隔離或上升的淺溝渠隔離。

一種用於製造垂直電晶體的方法，其包含的步驟有：設置一具有溝渠形成於其中的基板(各溝渠具有一儲存節點形成於其中)，具有鑲埋帶的儲存節點，形成一隔離層於該鑲埋帶上，橫向蝕刻該基板而往基板中挖掘一個階段，以使得該凹槽延伸超過溝渠邊緣，該凹槽係與溝渠連接，以及形成一閘極導體於凹槽中，以使得一通道被形成於鄰接閘極導體處，而藉由啟動閘極導體提供鑲埋帶與導線間的導電性。

在其他製造垂直電晶體的方法中，橫向蝕刻的步驟最好包含以乾式蝕刻製程橫向地蝕刻，諸如化學順流式蝕刻或反應性離子蝕刻製程。導線可包含位元線。

五、發明說明(4)

一半導體記憶體包含具有複數個深溝渠形成於其中的基板。各深溝渠具有一鑲埋帶形成於其中，以連接置於深溝渠中的儲存節點，一沈積的隔離層形成於鑲埋帶上，以提供鑲埋帶的電隔離；以及一罩幕層形成於該隔離層上，以提供部份隔離層(與鑲埋帶接觸)用的罩幕，該罩幕層相對於隔離層可選擇性地蝕刻，其中該罩幕層提供改善之受控厚度的隔離層。

在半導體記憶體的另一個實施例中，該罩幕層可包含多晶矽。該隔離層可包含氧化物、氮化物或二者的組合。隔離層的厚度最好為約20-50nm。一連接電晶體可包含一形成於溝渠中的電晶體且至少部份的閘極與該隔離層接觸，該電晶體具有形成於鄰接閘極的基板中的通道，以將鑲埋帶電連接至位元線。該溝渠隔離可形成於至少部份的溝渠中，以將閘極與儲存節點隔離。該基板可包含一經挖掘的部份，該經挖掘的部份可使閘極與通道遠離溝渠。

一種用於以深溝渠製造半導體記憶體之垂直電晶體的方法，其包含的步驟有：提供一具有深溝渠形成於其中的基板，各深溝渠具有一儲存節點形成於其中，該儲存節點具有一被挖掘至基板頂端表面下方的鑲埋帶，形成一隔離層於該鑲埋帶上及溝渠壁上，沈積一擋層於該隔離層上，藉由移除至少一部份的鄰接深溝渠的基板而開啟與深溝渠連接的隔離溝渠，以介電材料填充隔離溝渠以提供溝渠隔離，相對於介電材料與隔離層而選擇性地

五、發明說明(5)

蝕刻該擋層，由溝渠壁移除隔離層以及形成一垂直電晶體於鄰接被移除的基板部份。

本發明的這些與其他目的、特徵及優點將藉由下列所舉例的實施例的詳細說明而變得更清楚，其係與附圖結合來閱讀。

圖式之簡單說明

本發明將詳細地呈現參考附圖之較佳實施例的說明，其中：

第1圖係表示溝渠結構之部份半導體裝置的橫截面圖；

第2圖係具有根據本發明之一隔離層沈積於其上之第1圖的半導體裝置的橫截面圖；

第3圖係具有根據本發明之一單幕層沈積於其上之第2圖的半導體裝置的橫截面圖；

第4圖係為在根據本發明之單幕層的回蝕後的第3圖的半導體裝置的橫截面圖；

第5圖係為已經過根據本發明之隔離層蝕刻而留下部份的隔離層於該單幕層下方之第4圖的半導體裝置的橫截面圖；

第6圖係為表示根據本發明之移除單幕層之第5圖的半導體裝置的橫截面圖；

第7圖係為根據本發明之蝕刻隔離層後之第6圖的半導體裝置的橫截面圖；

第8圖係為表示上升淺溝渠隔離介電質形成於根據本發明之位置的第7圖的半導體裝置的橫截面圖；

五、發明說明(b)

第9圖係為表示閘極堆疊形成於根據本發明之溝渠中的第8圖的半導體裝置的橫截面圖；

第10圖為另一個實施例的橫截面圖，根據本發明之第2圖的半導體裝置具有一單幕層沈積於其上；

第11圖為在根據本發明之蝕刻移除後的第10圖的半導體裝置的橫截面圖；

第12圖係為表示淺溝渠隔離介電質形成於根據本發明之位置的第11圖的半導體裝置的橫截面圖；

第13圖係為表示根據本發明之一部份淺溝渠隔離絕緣質與一部份的單幕層一道被移除之第12圖的半導體裝置的橫截面圖；

第14圖係為已經過根據本發明之隔離層蝕刻而留下部份的隔離層於該單幕層下方之第13圖的半導體裝置的橫截面圖；

第15圖係為襯墊堆疊已根據本發明被移除之第14圖的半導體裝置的橫截面圖；

第16圖係為表示一閘極堆疊形成於根據本發明之溝渠中的第15圖的半導體裝置的橫截面圖；

第17圖為本發明之另一個實施例的橫截面圖，其表示用於設置電晶體裝置(其係遠離根據本發明之溝渠)的凹槽基板；

第18圖係為表示具有一電晶體閘極與一電晶體通道(其係遠離根據本發明之溝渠)之凹槽基板之本發明的另一個實施例的橫截面圖；

五、發明說明(7)

第19圖係為表示根據本發明之二個垂直電晶體的半導體裝置的橫截面圖；以及

第20圖係為表示第19圖之半導體裝置的表面形貌的示意圖。

較佳實施例之詳細說明

本揭示係有關於半導體裝置，並且更特別地是有關於用以形成半導體記憶體之深溝渠隔離層的設備與方法。本發明係提供一種用以形成頂端溝渠隔離層於深溝渠中之儲存節點上的改良方法。一擋層或單層係於溝渠頂端隔離層沈積後被沈積。在本方法中，該擋層可蝕刻至所欲的厚度。該擋層接著被平坦化且部份被挖掘，以留下受控溝渠頂端隔離層部份於該儲存節點上。更詳細的內容將在此說明。

現在詳細地參考圖式，其中相同的參考數字在所有圖式中代表相似或相當的元件，第1圖表示部份的半導體裝置10。半導體裝置10包含一基板12，雖然諸如砷化鎵等其他材料亦可考慮使用，但其最好為矽基板。藉由熟習本技藝之人士所熟知的製程，深溝渠14係穿經包含最好包含有一襯墊氧化層18與一襯墊氮化層20之襯墊堆疊16，而形成於基板12中。雖然襯墊氧化層18可使用沈積法形成，但是其最好以熱氧化法形成。襯墊氮化層20最好沈積在襯墊氧化層18上。環管22形成在溝渠14中，以將一部份的溝渠14與基板12電隔離。溝渠14下半部(未表示於圖中)更以環繞溝渠14邊緣與底部的一薄介電層(

五、發明說明(8)

未表示於圖中)與基板12電隔離。

溝渠14以導電性填充材料24填充，最好為多晶矽或摻雜多晶矽。填充材料24將延伸超過環管22頂端，並與基板12接觸。因而在溝渠14中留下凹槽26。

參考第2圖，一隔離層28沈積。隔離層28將覆蓋在曝出的襯墊堆疊16，溝渠壁14與填充材料24等表面。隔離層28包含用以隔離作為儲存節點之填充材料24的介電材料。隔離層28與環管22頂端之間的填充材料24通常稱為鑲埋帶30。隔離層28最好包含氧化物(諸如氧化矽)，氮化物(諸如氮化矽)及其組合。藉由消除習知技藝所進行的傳統填充與挖掘，隔離層28的沈積可達成較佳的層28厚度控制。隔離層28的沈積可包含化學氣相沈積(CVD)，電漿輔助化學氣相沈積(PECVD)或其他適當的沈積製程。該沈積製程較佳，因為隔離層厚度較習知技藝更佳且更可靠的被控制。在一較佳實施例中，層28具有約20nm-50nm的厚度，最好約為30nm-40nm的厚度。

參考第3至10圖，上升淺溝渠隔離(RSTI)的受控隔離層的形成將予以說明。參考第3圖，一擋層或罩層32被沈積在第2圖所示的結構上。擋層32最好為多晶矽，其較氧化物或氮化物更易於被挖掘。擋層32亦包含光阻。如第4圖所示，擋層32被挖掘至溝渠14中之隔離層28上方的預定高度。選擇性地蝕刻隔離層28，其最好使用濕式蝕刻法(雖然乾式蝕刻法亦可地考慮使用)，以移除了為擋層32所罩層之部份以外的隔離層28部份。濕式

五、發明說明(9)

蝕刻可包含以HF或HF甘油的蝕刻。乾式蝕刻可包含化學順流式蝕刻或活性離子蝕刻。

參考第6圖，襯墊堆疊16由基板12剝除，最好以濕式蝕刻製程。擋罩幕32係選擇性地蝕刻移除，然而，依據設計而定，擋罩幕32可留置。殘留的結構包含一受控的溝渠頂端隔離層34，並預備用於犧牲氧化物沈積與離子植入，以形成諸裝置於裝置10上。

參考第7圖，在離子植入後，該犧牲氧化層(未表示於圖中)被移除。一導電材料38沈積於溝渠14中。在移除犧牲氧化層之後，一閘極氧化物39形成，接著進行導電材料38沈積(閘極導體36的部份)，導電材料38沈積可填充或半填充該溝渠凹槽，一第二襯墊層37(最好為氮化物)係沈積。罩幕裝置10(主動區)，裝置10部份蝕刻以形成上升淺溝渠隔離材料用的隔離溝渠29。移除部份的基板12，鑲埋帶30，溝渠頂端隔離層34，環管22，填充物24及導電材料38，如第7圖所示。

參考第8與9圖，一介電材料40(最好為氧化物)沈積在隔離溝渠29中並平坦化至襯墊層37。剝除襯墊層37，接著進行其餘閘極堆疊層的沈積，閘極導體36係藉由沈積額外的導電材料(最好包含多晶矽或摻雜多晶矽)而形成。一導電層42(諸如矽化鎢等金屬矽化物)可沈積在該閘極導體36上，以更進一步地改良閘極導體36的導電性。閘極導體36與導電層42的頂端與邊緣係以介電材料44隔離，以形成一閘極堆疊。介電材料44可包含氧化物，氮

五、發明說明(10)

化物(最好為氮化矽)。閘極導體36係鄰接部份46的基板12。該部份46係作為垂直電晶體的通道。垂直電晶體具有作為源極的位元線210,及作為汲極的儲存節點204(詳閱第19圖)。如第9圖所示,閘極導體36係以隔離層34與鑲埋帶30隔離。如所述,隔離層34係以使用擋層32的沈積法形成至一預定的厚度。雖然所述的方法係以垂直電晶體結構表示,但其可輕易地延伸至其他電晶體及裝置。如本技藝所熟知,一薄的閘極氧化層39係置於閘極導體與基板12之間。

參考第10至17圖,一種根據本發明之方法現將以淺溝渠隔離(STI)做說明。參考第10圖,一擋層或罩幕層32被沈積在第2圖的結構上,擋層32將覆蓋隔離層28,隔離層28完全與上述相同,擋層32最好包含多晶矽,擋層32可被沈積為約20nm-50nm的厚度。擋層32亦可作為後續用於形成裝置主動區之微影製程的抗反射塗覆(ARC)。

參考第11與12圖,罩幕裝置100,且蝕刻部份的裝置100以形成淺溝渠隔離材料的位置31,移除部份的基板12,鑲埋帶30,溝渠頂端隔離層28,環管22,填充材料24與擋層32,如第11圖所示。如第12圖所示,位置31係以介電材料50填充,最好為儲如二氧化矽等氧化物。頂端表面52係平坦化以製備進一步加工用的表面52。

參考第13與14圖,頂端表面52可表面加工,以移除所有留置的氧化物。擋層32係挖掘以形成如所示的凹槽54。如第14圖所示,隔離層28係相對於擋層32而選擇性地移除,部份的介電材料50亦可蝕刻,該蝕刻製程最好包

五、發明說明()

含濕式蝕刻，雖然乾式蝕刻亦可考慮使用。濕式蝕刻可包含以HF或HF甘油之蝕刻。乾式蝕刻可包含化學順式蝕刻或反應性離子蝕刻。擋層32使得一部份的隔離層28與鑲埋帶接觸，以使受控的隔離層34形成。

參考第15圖，襯墊堆疊16最好以濕式蝕刻法由基板12剝除，擋層32在襯墊氧化物剝除前選擇性地蝕刻，然而，根據設計而定，擋層32可留下。殘留的結構包含受控的溝渠頂端隔離層34，並且預備用於犧牲氧化物沈積與離子植入，以形成諸裝置於裝置100上。

參考第16圖，在離子植入後，移除該犧牲氧化層(未表示於圖中)。一閘極導體36係藉由設置一閘極堆疊於該導電材料38頂端而形成。導電材料38最好包含多晶矽或摻雜多晶矽。如本技藝所熟知，一薄的閘極氧化層39係設置於閘極導體與基板12間，一導電層42(諸如矽化鎢等金屬矽化物)可沈積在該閘極導體36上，以更進一步改良閘極導體36的導電性，閘極導體36與導電層42的頂端與邊緣係以介電材料44隔離，介電材料44可包含氧化物、氮化物(最好為氮化矽)，閘極導體36係鄰接部份46的基板12。該部份46係作為垂直電晶體的通道，垂直電晶體具有作為源極的位元線210，及作為汲極的儲存節點204(詳閱第19圖)。如第16圖所示，閘極導體36係以隔離層34與鑲埋帶30隔離。如所述，隔離層34係以使用擋層32的沈積法被形成至一預定的厚度。雖然所述的方法係以垂直電晶體結構表示，但其可輕易地延伸至其他

五、發明說明(一)

電晶體及裝置。

參考第17與18圖，在一實施例中，第14圖的結構可進一步被加工，以改良垂直電晶體。將電晶體通道58遠離溝渠14以增強與鑲埋帶外擴散重疊，而無須形成深溝渠衝擊裝置性能。最好進行蝕刻製程移除部份的基板12，以使得在形成通道58時，通道58進一步遠離溝渠14，同時，擋層32亦可予以蝕刻，該蝕刻製程最好包含乾式蝕刻，諸如化學順流蝕刻，蝕刻基板12，以形成凹槽60。如第18圖所示，凹槽60提供垂直電晶體62(以虛線包圍者)更進一步遠離溝渠14用的空間。一薄的閘極氧化層39設置於閘極導體與基板12間，如本技藝所熟知。

參考第19與20圖，所示的半導體基板200具有根據本發明的二個記憶胞。根據本發明之方法，各記憶胞包含具有隔離層34形成於其上的鑲埋帶30，鑲埋帶30包含一外擴散區202，其將促成通道58連接至溝渠14中的儲存節點204，一摻雜區206將通道58連接至位元線接觸208(其連接至位元線210)，位元線210係作為垂直電晶體212的源極，而儲存節點204則作為汲極，在作業期間，閘極214被啟動，以允許電流由位元線210留至儲存節點204，隔離層34將閘極導體36與儲存節點204隔離。如本技藝所熟知，一薄的閘極氧化層39設置於閘極導體與基板12間。一介電層216將隔離位元線210。介電層216最好包含諸如硼磷矽酸鹽玻璃(BPSG)。

用於形成半導體記憶體的深溝渠隔離層的設備與方法

五、發明說明(13)

的較佳實施例已被說明(其係作為舉例，並非表示僅限於此)，應注意地是，在上述的教示中，改良與改變可為熟習本技藝之人士完成。因此，應瞭解地是，在所揭示之本發明的特殊實施例所完成的改變仍涵蓋於本發明的範疇與精神中，如所附之申請專利範圍所示。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(14)

符號之說明

- 10.....半導體裝置
- 12.....基板
- 14.....深溝渠
- 16.....襯墊堆疊
- 18.....襯墊氧化層
- 20.....襯墊氮化層
- 22.....環管
- 24.....導電性填充料
- 26.....凹槽
- 28.....隔離層
- 30.....鑲埋帶
- 32.....罩幕層
- 34.....隔離層
- 37.....襯墊層
- 38.....導電性材料
- 39.....開極氧化物
- 40.....介電材料
- 42.....導電層
- 44.....介電材料
- 46.....基板部份
- 50.....介電材料
- 52.....頂端表面
- 54.....凹槽

五、發明說明(15)

- 58.....通道
- 100.....裝置
- 202.....外擴散區
- 204.....儲存節點
- 206.....摻雜區
- 208.....位元線接觸
- 210.....位元線
- 212.....垂直電晶體
- 214.....閘極
- 216.....介電層

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱：用於形成受控深溝頂端隔絕層的設備及方法)

一種根據本發明之用於控制半導體記憶體之深溝渠中的隔離層厚度的方法，其所包含的步驟有：設置一具有儲存節點形成於其中的深溝渠，該儲存節點具有一鑲埋帶，沈積一隔離層於該鑲埋帶上而提供儲存節點的電隔離，形成一罩幕層於該隔離層上以罩幕部份與鑲埋帶接觸層以及移除了為罩幕層所罩幕部份以外的隔離層，以改良隔離層厚度的控制性。一種用於製造垂直電晶體的方法，以在電晶體被形成時，增加電晶體通道與鑲埋帶外擴散間的重疊。一半導體裝置亦被揭示。

英文發明摘要(發明之名稱：Apparatus and method for forming controlled deep trench top isolation layers)

A method for controlling isolation layer thickness in deep trenches for semiconductor memories in accordance with the present invention includes the steps of providing a deep trench having a storage node formed therein, the storage node having a buried strap, depositing an isolation layer on the buried strap for providing electrical isolation for the storage node, forming a masking layer on the isolation layer to mask a portion of the isolation layer in contact with the buried strap and removing the isolation layer except the portion masked by the mask layer such that control of a thickness of the isolation layer is improved. A method for fabricating vertical transistors by recessing a substrate to permit increased overlap between a transistor channel and buried strap outdiffusion when the transistor is formed is also included. A semiconductor device is also disclosed.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種用於控制半導體記憶體之溝渠中的隔離層厚度的方法，包含下列步驟：
設置一具有儲存節點形成於其中的深溝渠，該儲存節點具有鑲埋帶；
沈積一隔離層於該鑲埋帶上，以提供儲存節點的電隔離；
形成一單幕層於該隔離層上，以單幕部份與鑲埋帶接觸的隔離層；以及
移除除了為單幕層所單幕部份以外的隔離層，以改良隔離層厚度的控制性。
2. 如申請專利範圍第1項之方法，其中沈積該隔離層的步驟包含以化學氣相沈積法沈積該隔離層。
3. 如申請專利範圍第1項之方法，其中沈積該隔離層的步驟包含以電漿輔助化學氣相沈積法沈積該隔離層。
4. 如申請專利範圍第1項之方法，其中該隔離層包含氧化物。
5. 如申請專利範圍第1項之方法，其中該隔離層包含氮化物。
6. 如申請專利範圍第1項之方法，其中該隔離層的厚度為約20-50nm。
7. 如申請專利範圍第1項之方法，其中形成該單幕層的步驟包含沈積一對於隔離層可選擇性地蝕刻的材料的步驟。
8. 如申請專利範圍第1項之方法，其中該材料包含多晶

六、申請專利範圍

砂。

9. 一種用於製造具有溝渠隔離之記憶胞的方法，其包含的步驟有：

設置一具有儲存節點形成於其中的深溝渠，該儲存節點具有鑲埋帶；

沈積一隔離層於該鑲埋帶上而提供儲存節點的電隔離；

形成一單幕層於該隔離層上以單幕部份與鑲埋帶接觸的隔離層；

選擇性地蝕刻該隔離層以留下單幕層所單幕的部份；

藉由移除至少一部份與深溝渠鄰接的基板而開啟與深溝渠連接的隔離溝渠；

以介電材料填充該隔離溝渠以提供溝渠隔離。

10. 如申請專利範圍第9項之方法，其最好包含形成用以連接設置於隔離層下之溝渠中的儲存節點的連接裝置的步驟。

11. 如申請專利範圍第10項之方法，其中形成連接裝置的步驟包含形成具有通道形成於基板中的電晶體，以將鑲埋帶電連接至位元線。

12. 如申請專利範圍第11項之方法，其更包含的步驟有挖掘鄰接深溝渠的基板部份，以使得該電晶體遠離溝渠。

13. 如申請專利範圍第9項之方法，其更包含的步驟有形成一電晶體閘極於鄰接溝渠隔離處及鄰接深溝渠頂端中的隔離層處。

六、申請專利範圍

14. 如申請專利範圍第9項之方法，其中沈積該隔離層的步驟包含以化學氣相沈積法沈積該隔離層。
15. 如申請專利範圍第9項之方法，其中該隔離層包含氧化物。
16. 如申請專利範圍第9項之方法，其中該隔離層包含氮化物。
17. 如申請專利範圍第9項之方法，其中該隔離層的厚度最好在約20nm-50nm之間。
18. 如申請專利範圍第9項之方法，其中該罩幕層可包含多晶矽。
19. 如申請專利範圍第9項之方法，其中該溝渠隔離包含淺溝渠隔離。
20. 如申請專利範圍第9項之方法，其中該溝渠隔離包含上升的淺溝渠隔離。
21. 一種用於製造垂直電晶體的方法，包含下列步驟：
 - 設置一具有溝渠形成於其中的基板，各溝渠具有一儲存節點形成於其中，該儲存節點具有一鑲埋帶；
 - 形成一隔離層於該鑲埋帶上；
 - 橫向蝕刻該基板而往基板中挖掘一個階段，以使得該凹槽延伸超過溝渠邊緣，該凹槽係與溝渠連接；以及
 - 形成一開極導體於凹槽中，以使得一通道形成於鄰接開極導體處，而藉由啟動開極導體提供鑲埋帶與導線間的導電性。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

22. 如申請專利範圍第 21 項之方法，其中該橫向蝕刻的步驟包含以乾式蝕刻製程橫向地蝕刻。
23. 如申請專利範圍第 21 項之方法，其中該橫向蝕刻的步驟包含以化學順流式蝕刻或反應性離子蝕刻製程中之一方法橫向地蝕刻。
24. 如申請專利範圍第 21 項之方法，其中該導線包含位元線。
25. 一種半導體記憶體，其包含：
具有複數之深溝渠形成於其中的基板，各深溝渠具有：
一鑲埋帶形成於其中，以連接置於深溝渠中的儲存節點；
一沈積的隔離層形成於鑲埋帶上，以提供鑲埋帶的電隔離；以及
一罩幕層形成於該隔離層上，以提供部份隔離層（與鑲埋帶接觸）用的罩幕，該罩幕層相對於隔離層可選擇性地被蝕刻，其中該罩幕層提供受空厚度的隔離層。
26. 如申請專利範圍第 25 項之半導體記憶體，其中該罩幕層包含多晶矽。
27. 如申請專利範圍第 25 項之半導體記憶體，其中該隔離層包含氧化物。
28. 如申請專利範圍第 25 項之半導體記憶體，其中該隔離層包含氮化物。

六、申請專利範圍

29. 如申請專利範圍第 25 項之半導體記憶體，其中該隔離層的厚度最好為約 20-50nm。
30. 如申請專利範圍第 25 項之半導體記憶體，其更包含一連接電晶體，其中該電晶體包含一形成於溝渠中的電晶體且至少部份的閘極與該隔離層接觸，該電晶體具有形成於鄰接閘極的基板中的通道，以將鑲埋帶電連接至位元線。
31. 如申請專利範圍第 30 項之半導體記憶體，其更包含形成於至少部份溝渠中的該溝渠隔離，以將閘極與儲存節點隔離。
32. 如申請專利範圍第 30 項之半導體記憶體，其中基板包含一經挖掘的部份，該經挖掘的部份可增加來自鑲埋帶與通道之外擴散間的重疊。
33. 一種用於以深溝渠製造半導體記憶體之垂直電晶體的方法，包含下列步驟：
- 提供一具有深溝渠形成於其中的基板，各深溝渠具有一儲存節點形成於其中，該儲存節點具有一被挖掘至基板頂端表面下方的鑲埋帶；
 - 形成一隔離層於該鑲埋帶上及溝渠壁上；
 - 沈積一擋層於該隔離層上；
 - 藉由移除至少一部份的鄰接深溝渠的基板而開啟與深溝渠連接的隔離溝渠；
 - 以介電材料填充隔離溝渠以提供溝渠隔離；
 - 相對於介電材料與隔離層而選擇性地蝕刻該擋層；

六、申請專利範圍

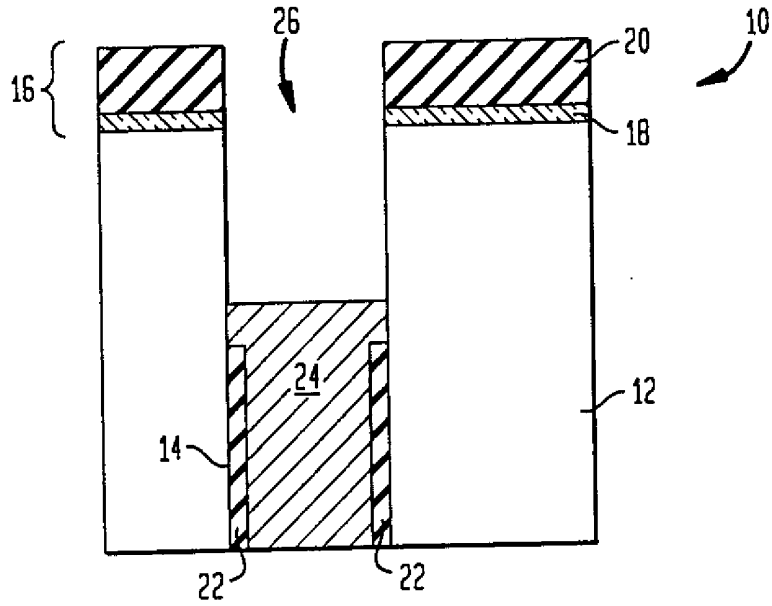
由溝渠壁移除隔離層；以及
形成一垂直電晶體於鄰接被移除的基板部份。

(請先閱讀背面之注意事項再填寫本頁)

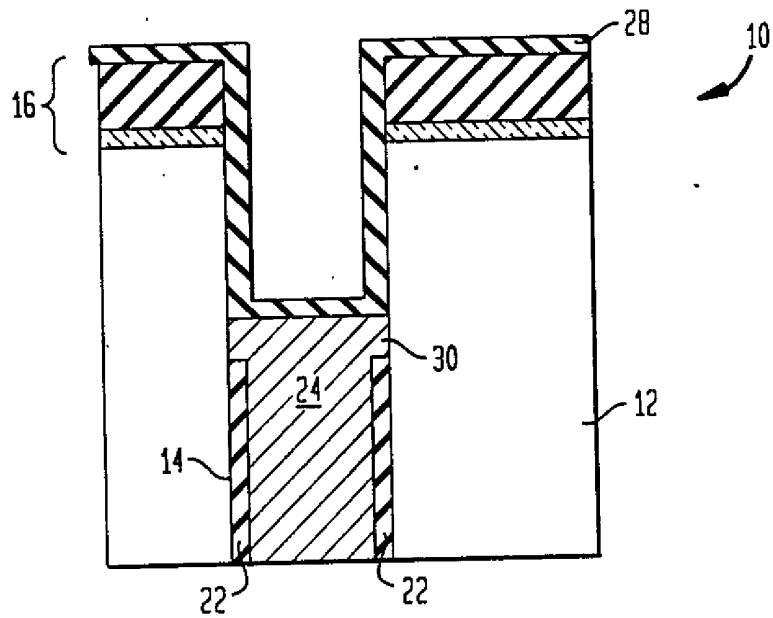
裝

訂

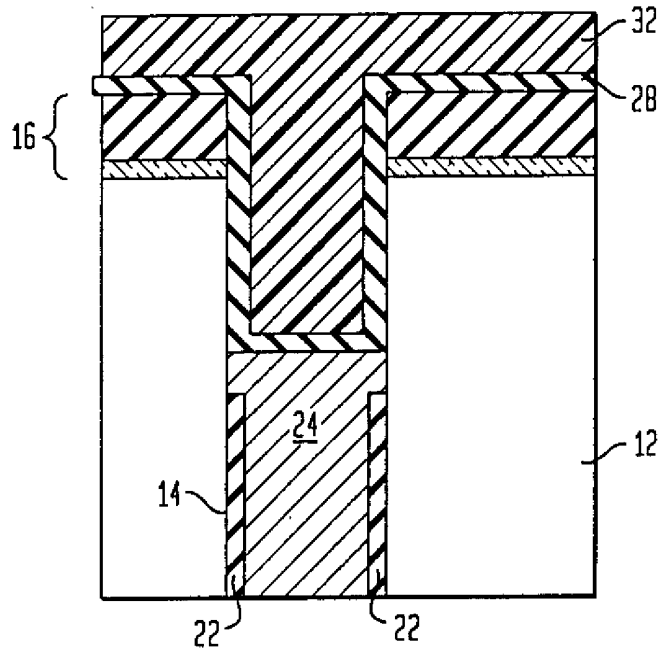
線



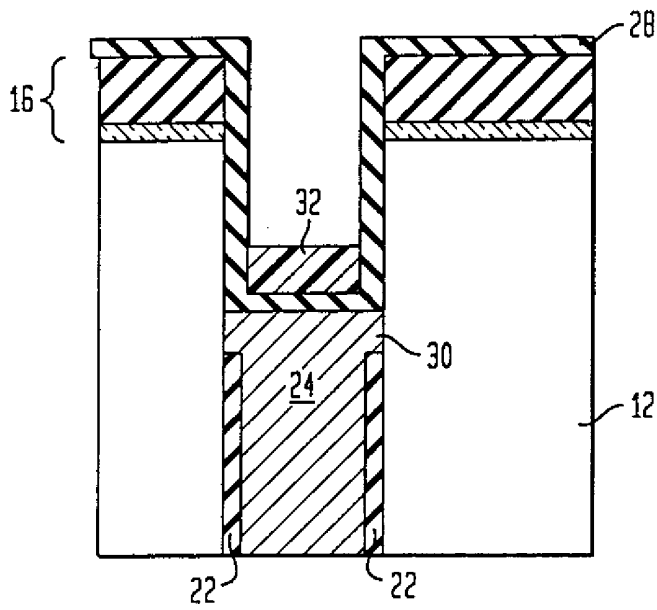
第 1 圖



第 2 圖

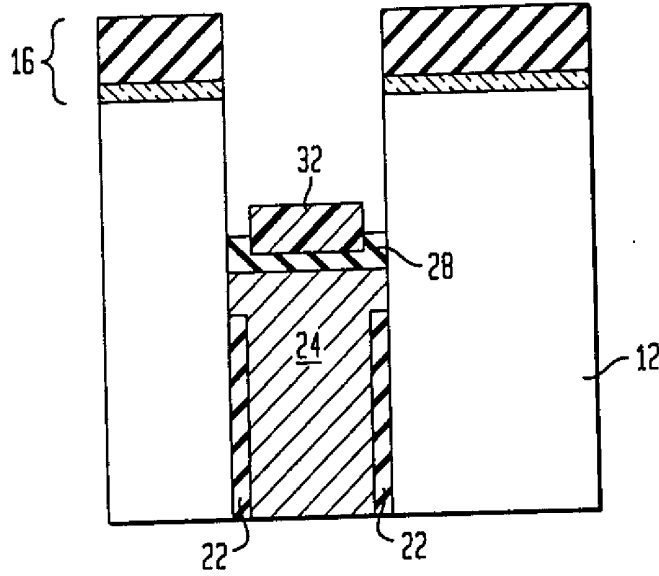


第 3 圖

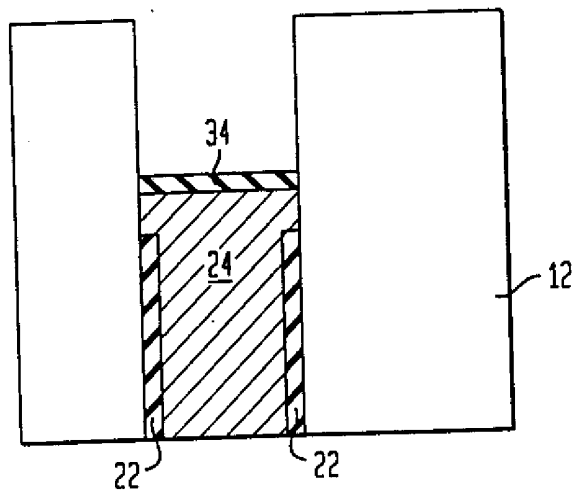


第 4 圖

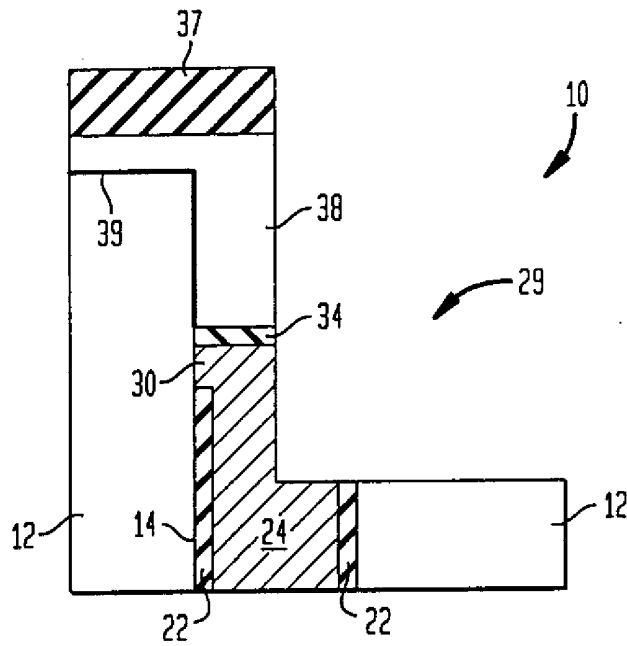
425654



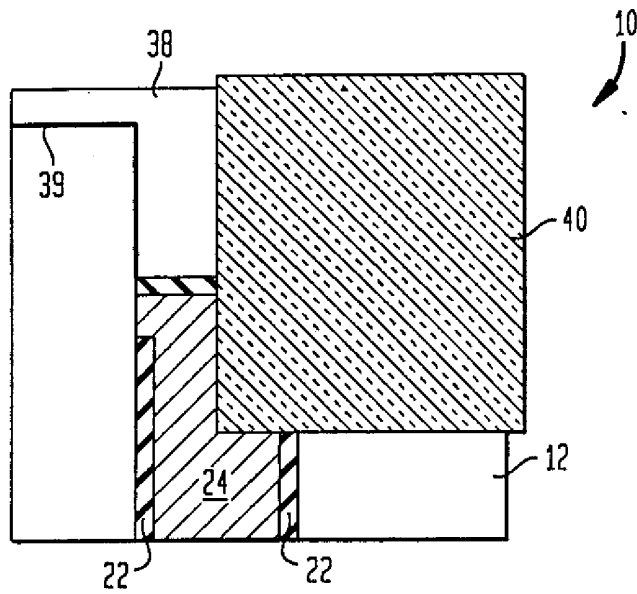
第 5 圖



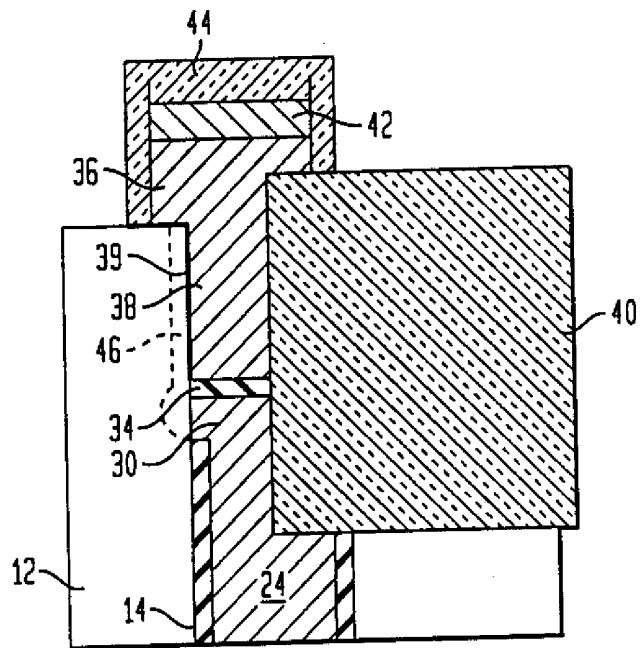
第 6 圖



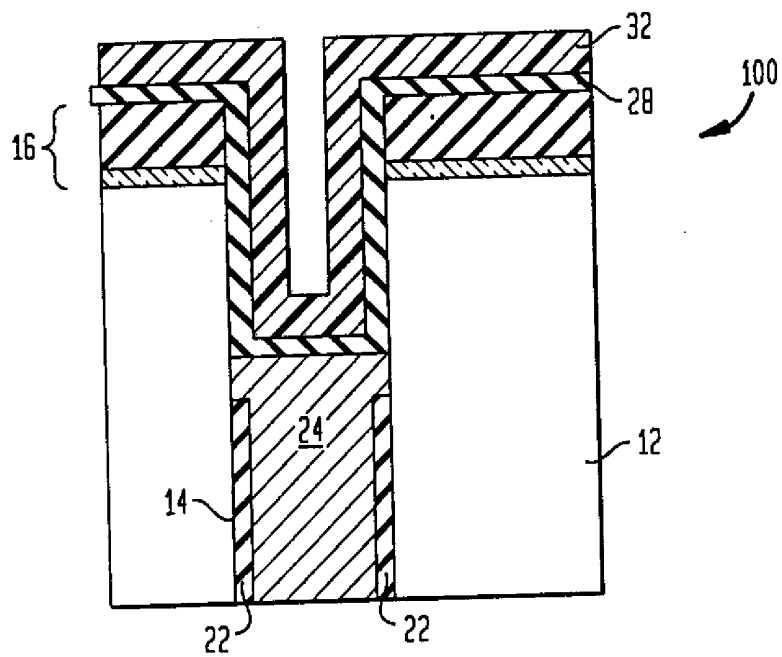
第 7 圖



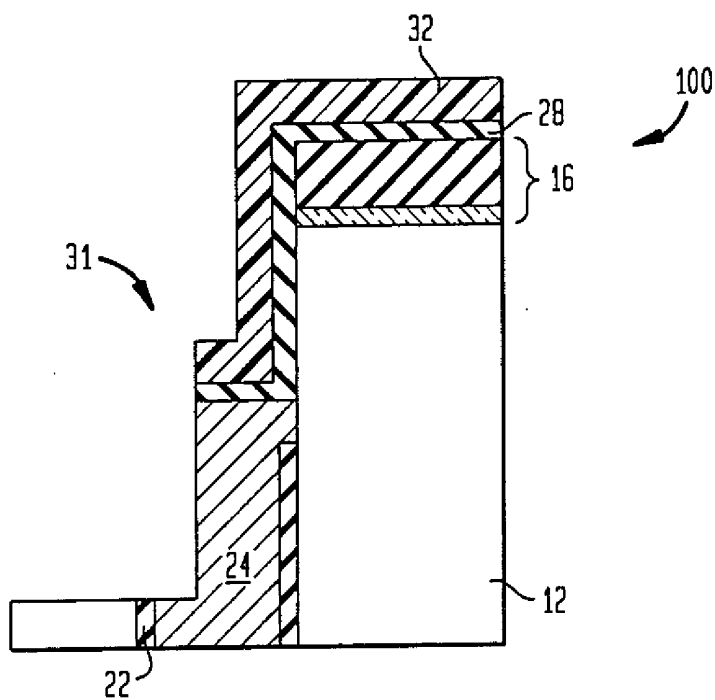
第 8 圖



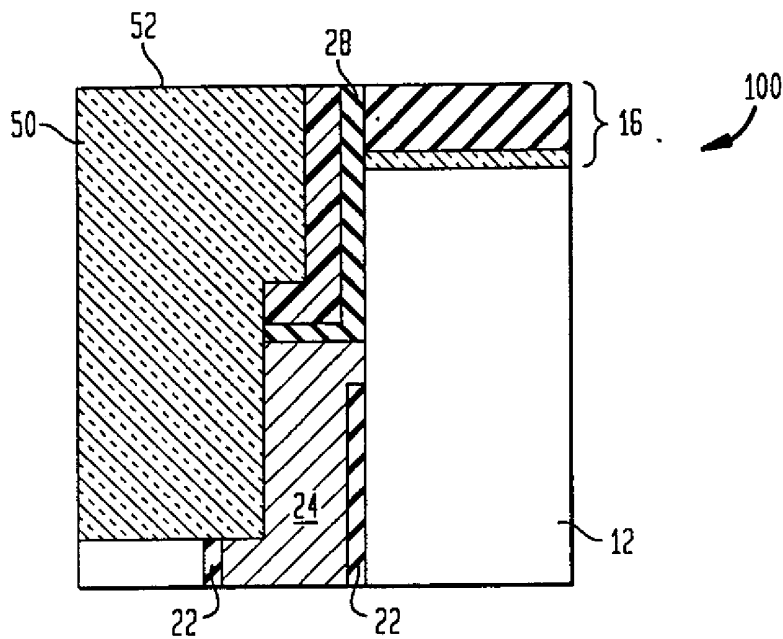
第 9 圖



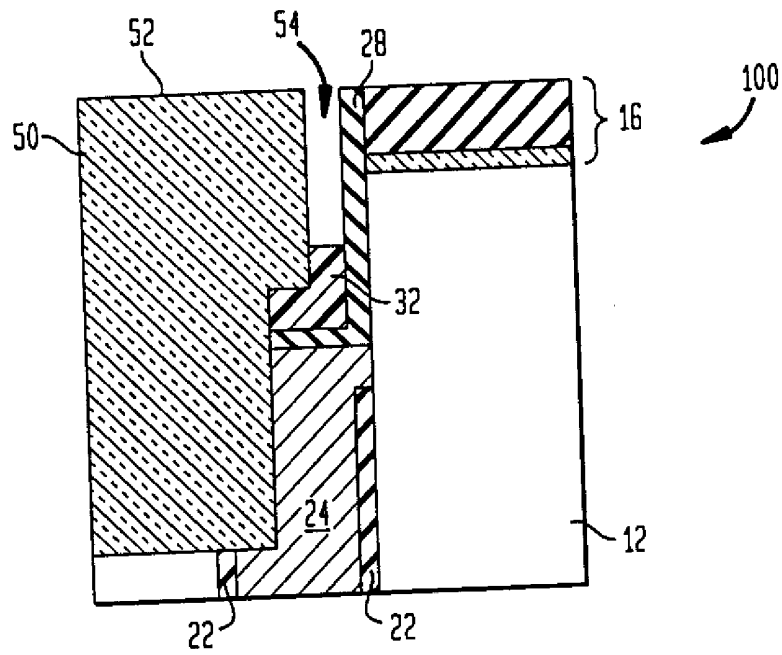
第 10 圖



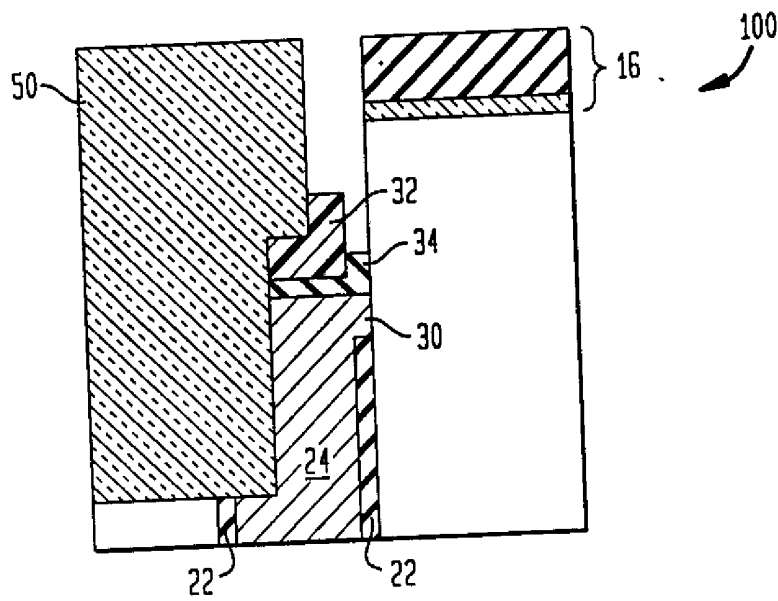
第11圖



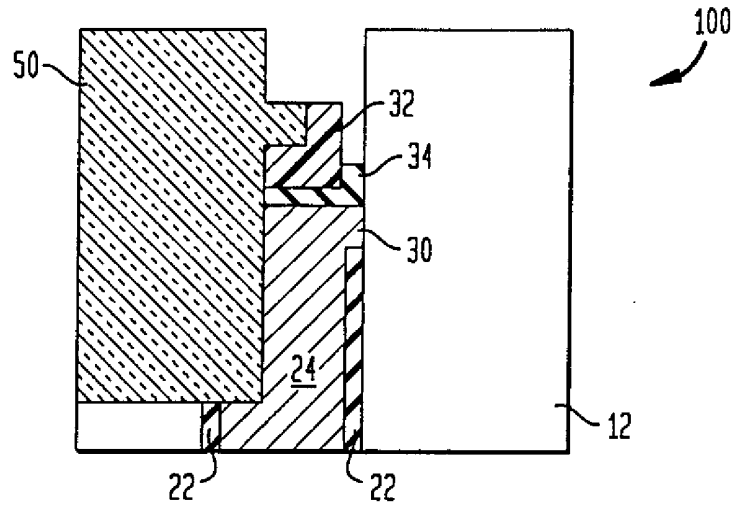
第12圖



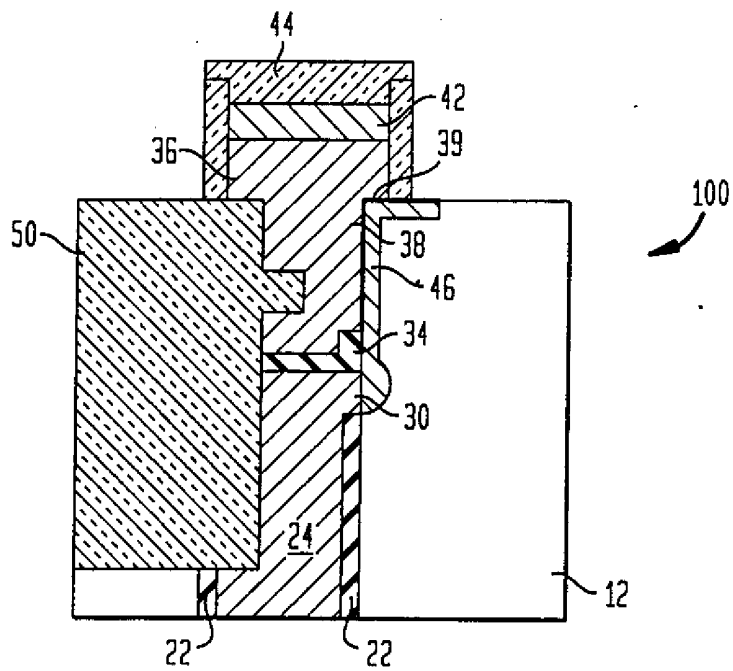
第13圖



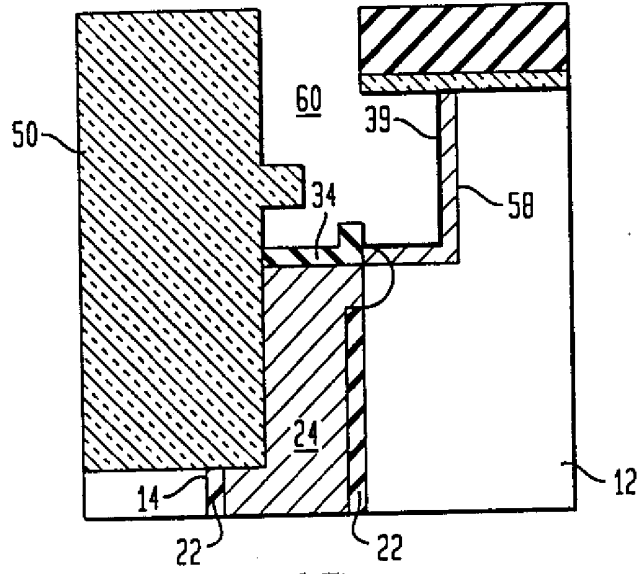
第14圖



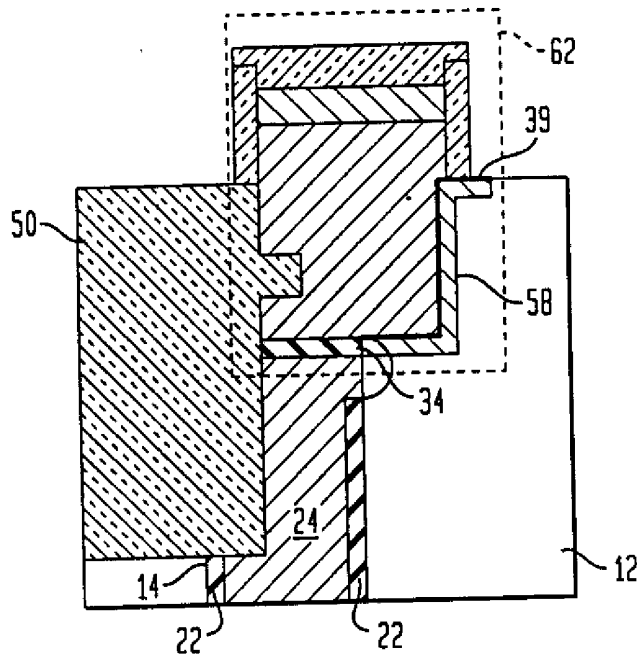
第15圖



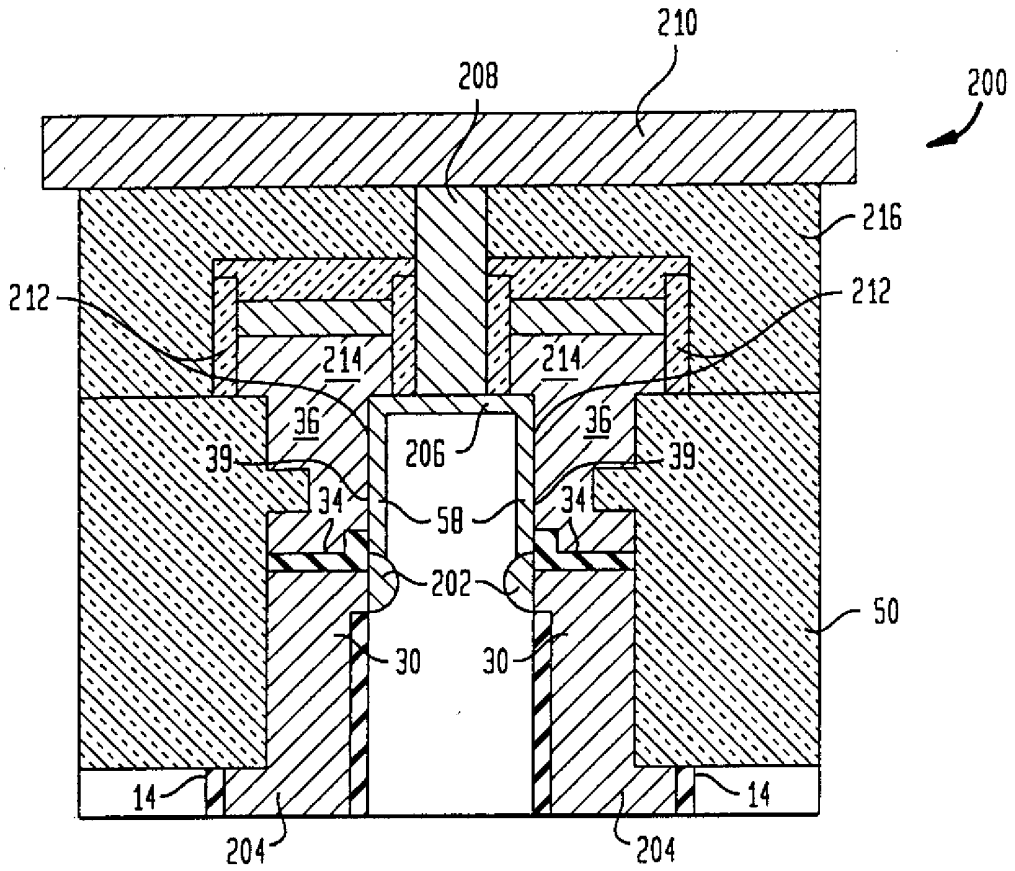
第16圖



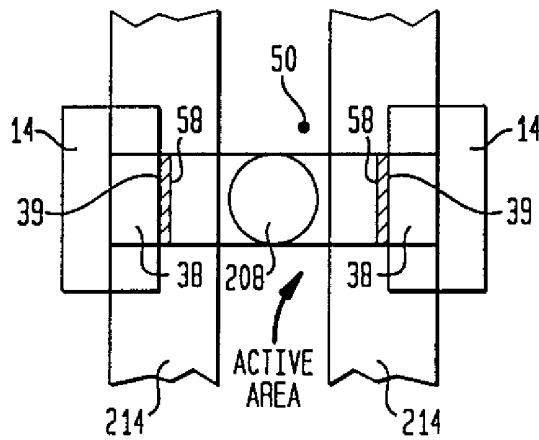
第17圖



第18圖



第19圖



第20圖