



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I699763 B

(45)公告日：中華民國 109 (2020) 年 07 月 21 日

(21)申請案號：105142578 (22)申請日：中華民國 105 (2016) 年 12 月 22 日

(51)Int. Cl. : **G11C11/413 (2006.01)** **G11C7/22 (2006.01)**

(30)優先權：2016/03/03 美國 62/303,343
2016/05/31 美國 15/169,609

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：牛迪民 NIU, DIMIN (CN)；張牧天 CHANG, MU-TIEN (TW)；鄭宏忠 ZHENG, HONGZHONG (CN)；韓森 克雷格 HANSON, CRAIG (US)；林璇漢 LIM, SUN YOUNG (KR)；金寅東 KIM, INDONG (KR)

(74)代理人：林孟閱；盧佩君；陳怡如

(56)參考文獻：

US	9032162B1	US	2001/0003198A1
US	2004/0243753A1	US	2011/0289287A1
US	2013/0097369A1		

審查人員：蕭明椿

申請專利範圍項數：19 項 圖式數：17 共 47 頁

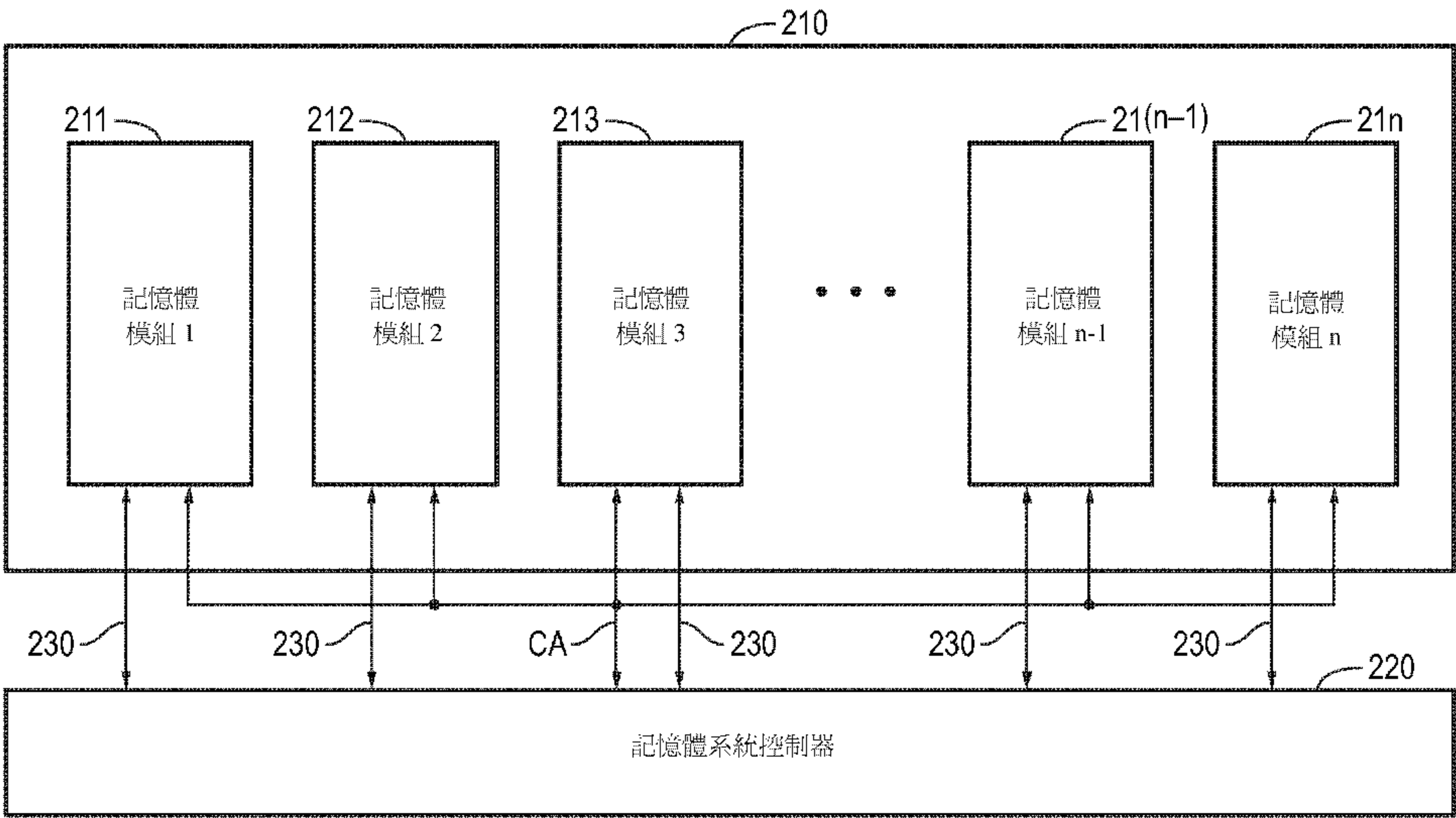
(54)名稱
記憶體系統及其控制方法

(57)摘要

一種記憶體系統包括：一或多個記憶體模組，各自包括具有對應的寫入提交策略的多個記憶體裝置；以及一或多個記憶體控制器，耦接至所述一或多個記憶體模組，所述一或多個記憶體控制器具有可配置的寫入操作協定以根據所述對應的寫入提交策略來與所述記憶體裝置一起操作。

A memory system includes: one or more memory modules, each comprising a plurality of memory devices having corresponding write commit policies; and one or more memory controllers coupled to the one or more memory modules, the one or more memory controllers having a configurable write operation protocol to operate with the memory devices according to the corresponding write commit policies.

指定代表圖：



【圖2B】

符號簡單說明：

210 . . . 記憶體系統

211~21n . . . 記憶體
模組

220 . . . 記憶體系統
控制器

230 . . . 資料

CA . . . 命令



I699763

【發明摘要】

IPC分類： G11C 11/413 (2006.01)
G11C 7/22 (2006.01)

【中文發明名稱】 記憶體系統及其控制方法

【英文發明名稱】 MEMORY SYSTEM AND METHOD OF
CONTROLLING THE SAME

【中文】 一種記憶體系統包括：一或多個記憶體模組，各自包括具有對應的寫入提交策略的多個記憶體裝置；以及一或多個記憶體控制器，耦接至所述一或多個記憶體模組，所述一或多個記憶體控制器具有可配置的寫入操作協定以根據所述對應的寫入提交策略來與所述記憶體裝置一起操作。

【英文】 A memory system includes: one or more memory modules, each comprising a plurality of memory devices having corresponding write commit policies; and one or more memory controllers coupled to the one or more memory modules, the one or more memory controllers having a configurable write operation protocol to operate with the memory devices according to the corresponding write commit policies.

【指定代表圖】 圖2B。

【代表圖之符號簡單說明】

210：記憶體系統

211～21n：記憶體模組

220：記憶體系統控制器

230：資料

CA：命令

【特徵化學式】

無

【發明說明書】

【中文發明名稱】記憶體系統及其控制方法

【英文發明名稱】 MEMORY SYSTEM AND METHOD OF
CONTROLLING THE SAME

[相關申請案的交叉參考]

【0001】 本實用專利申請案主張於 2016 年 3 月 3 日提出申請且名稱為「具有立即寫入確認操作及無寫入確認操作的可配置的寫入操作協定（A Configurable Write Operation Protocol with Immediate Write Confirmation and No Write Confirmation Operations）」的美國臨時專利申請案第 62/303,343 號的優先權及權利，所述美國臨時專利申請案的全部內容併入本案供參考。

【技術領域】

【0002】 本發明示例性實施例的一或多個態樣是有關於一種記憶體系統及其控制方法。

【先前技術】

【0003】 近年來，下一代主記憶體介面因可變的讀取及寫入時序而向基於事務（transaction）型發展，且可利用揮發性或非揮發性記憶體（nonvolatile memory，NVM）技術。然而可在此種事務儲存通道上利用的各種非揮發性記憶體可能具有來自雙直插記憶體模組（dual in-line memory module，DIMM）的不同回饋資訊要求，且可具有不同的寫入提交機制（或協定或策略）。此種寫入提交機

制可包括：在直接寫入至記憶體胞元之後對寫入操作進行確認；當資料寫入至緩衝器時（在其他硬體將資料回寫至記憶體胞元之前）對寫入操作進行確認；以及在某些情況下在頁面打開之後可不提供任何寫入確認。在沒有用於根據不同類型的非揮發性記憶體技術對不同寫入提交機制進行處理的機制的情況下，將不同非揮發性記憶體技術併入同一記憶體模組中的記憶體模組可能不起作用。

【0004】 提供在此背景技術部分中所揭露的上述資訊是為了增強對本發明的技術背景的理解，且因此其可包含不構成先前技術的資訊。

【發明內容】

【0005】 提供本發明內容是為了介紹以下在詳細說明中進一步闡述的本發明實施例的一系列特徵及概念。本發明內容並非旨在辨識所主張主題的關鍵或實質特徵，亦並非旨在用於限制所主張主題的範圍。所述特徵中的一或多者可與一或多個其他所述特徵組合以提供可運行裝置。

【0006】 本發明示例性實施例的態樣是有關於一種記憶體系統及其控制方法。

【0007】 根據本發明的某些示例性實施例，可利用具有立即寫入確認操作及無寫入確認操作二者的異步化寫入操作協定來控制記憶體裝置。

【0008】 根據某些示例性實施例，一種記憶體系統包括：一或多

個記憶體模組，各自包括具有對應的寫入提交策略的多個記憶體裝置；以及一或多個記憶體控制器，耦接至所述一或多個記憶體模組，所述一或多個記憶體控制器具有可配置的寫入操作協定以根據所述對應的寫入提交策略來與所述記憶體裝置一起操作。

【0009】 根據某些實施例，所述記憶體裝置中的第一記憶體裝置具有其中在直接寫入至所述第一記憶體裝置的記憶體胞元之後對寫入進行確認的寫入提交策略。

【0010】 根據某些實施例，所述記憶體裝置中的第二記憶體裝置具有其中在寫入至揮發性資料緩衝器之後對寫入進行確認的寫入提交策略。

【0011】 根據某些實施例，所述記憶體裝置中的第三記憶體裝置在頁面打開之後不使用寫入確認。

【0012】 根據某些實施例，所述一或多個記憶體控制器被配置成在所述記憶體系統加電時接收所述記憶體裝置的串列存在偵測（serial presence detect，SPD）資訊。

【0013】 根據某些實施例，所述一或多個記憶體控制器被配置成重新使用非揮發性記憶體裝置不用的雙倍資料速率第 4 代（double data rate generation 4，DDR4）命令作為寫入操作命令。

【0014】 根據某些實施例，所述一或多個記憶體控制器被配置成利用被預留供未來使用（reserved for future use，RFU）的一組命令中的命令作為寫入操作命令。

【0015】 根據某些實施例，所述可配置的寫入操作協定與雙倍資

料速率第 4 代（DDR4）相容。

【0016】 根據某些示例性實施例，提供一種控制包括一或多個記憶體模組的記憶體系統的方法，所述一或多個記憶體模組各自包括具有對應的寫入提交策略的多個記憶體裝置，所述方法包括：辨識由所述記憶體裝置中的每一者利用的寫入提交策略；自處理器接收寫入命令；辨識所述多個記憶體裝置中對應於所述寫入命令的第一記憶體裝置；以及根據所述記憶體裝置的所述寫入提交策略執行所述寫入命令。

【0017】 根據某些實施例，所述記憶體裝置中的所述第一記憶體裝置具有其中在直接寫入至所述第一記憶體裝置的記憶體胞元之後對寫入進行確認的所述寫入提交策略。

【0018】 根據某些實施例，所述記憶體裝置中的第二記憶體裝置具有其中在寫入至揮發性資料緩衝器之後對寫入進行確認的寫入提交策略。

【0019】 根據某些實施例，所述記憶體裝置中的第三記憶體裝置在頁面打開之後不使用寫入確認。

【0020】 根據某些實施例，所述方法更包括基於自所述記憶體裝置中的每一者的串列存在偵測（SPD）區域讀出串列存在偵測資訊而辨識由所述記憶體裝置中的每一者利用的所述寫入提交策略。

【0021】 根據某些實施例，所述記憶體系統更包括記憶體控制器，所述記憶體控制器耦接至所述記憶體裝置並具有可配置的寫入操作協定以根據所述記憶體裝置各自的寫入提交策略而與所述

記憶體裝置一起操作。

【0022】 根據某些實施例，所述記憶體系統包括多個記憶體模組，其中同一記憶體模組中的所述記憶體裝置中的每一者具有同一寫入提交策略，所述同一寫入提交策略與不同記憶體模組中的所述記憶體裝置的寫入提交策略不同。

【0023】 根據某些示例性實施例，一種記憶體系統包括：一或多個記憶體模組，各自包括具有對應的寫入提交策略的多個記憶體裝置；以及一或多個記憶體控制器，耦接至所述一或多個記憶體模組，其中所述一或多個記憶體控制器被配置成：辨識由所述記憶體裝置中的每一者利用的寫入提交策略；自處理器接收寫入命令；辨識所述多個記憶體裝置中對應於所述寫入命令的第一記憶體裝置；以及根據所述第一記憶體裝置的所述寫入提交策略執行所述寫入命令。

【0024】 根據某些實施例，所述記憶體裝置中的所述第一記憶體裝置具有其中在直接寫入至所述第一記憶體裝置的記憶體胞元之後對寫入進行確認的所述寫入提交策略。

【0025】 根據某些實施例，所述記憶體裝置中的第二記憶體裝置具有其中在寫入至揮發性資料緩衝器之後對寫入進行確認的寫入提交策略。

【0026】 根據某些實施例，所述記憶體裝置中的第三記憶體裝置在頁面打開之後不使用寫入確認。

【0027】 提供本發明內容是為了介紹以下在詳細說明中進一步闡

述的本發明示例性實施例的一系列某些特徵及概念。本發明內容並非旨在辨識所主張主題的關鍵或實質特徵，亦並非旨在用於限制所主張主題的範圍。根據一或多個示例性實施例的所述特徵中的一或多者可與根據一或多個示例性實施例的一或多個其他所述特徵組合以提供可運行裝置。

【圖式簡單說明】

【0028】 藉由結合附圖參考以下詳細說明會更佳地理解本發明，進而達成對本發明的更完整理解且本發明的諸多伴隨特徵及態樣將變得更顯而易見，在附圖中相同參考符號指示相同組件，在附圖中：

【0029】

圖 1 是根據本發明一或多個示例性實施例的計算系統的示意性方塊圖。

圖 2A 及圖 2B 是根據本發明一或多個示例性實施例的記憶體系統的示意性方塊圖。

圖 3 是說明根據本發明一或多個示例性實施例的無寫入確認的寫入操作的時序圖。

圖 4 是說明根據本發明一或多個示例性實施例的具有寫入確認的寫入操作的時序圖。

圖 5 是說明根據本發明一或多個示例性實施例的無寫入確認的複合寫入操作的時序圖。

圖 6 是說明根據本發明一或多個示例性實施例的具有寫入確

認的複合寫入操作的時序圖。

圖 7 是說明根據本發明一或多個示例性實施例的在打開頁面策略下無寫入確認命令的寫入操作的時序圖。

圖 8 是說明根據本發明一或多個示例性實施例的在打開頁面策略下具有立即寫入確認命令的寫入操作的時序圖。

圖 9 是說明根據本發明一或多個示例性實施例的在關閉頁面策略下無寫入確認命令的寫入操作的時序圖。

圖 10 是說明根據本發明一或多個示例性實施例的在關閉頁面策略下具有立即寫入確認命令的寫入操作的時序圖。

圖 11 是說明根據本發明一或多個示例性實施例的無寫入確認的單一寫入操作的時序圖。

圖 12 是說明根據本發明一或多個示例性實施例的具有確認命令的複合寫入操作的時序圖。

圖 13 是說明根據本發明一或多個示例性實施例的藉由利用寫入信用計數器（**write credit counter**）而進行的連續寫入操作的時序圖。

圖 14 是說明根據本發明一或多個示例性實施例的其中主機可讀取記憶體模組狀態的用於回饋控制的機制的時序圖。

圖 15 是根據本發明一或多個示例性實施例的重新使用不用於非揮發性記憶體（**NVM**）的當前命令集（**current command set**）的新命令集的實例。

圖 16 是根據本發明一或多個示例性實施例的不用於當前雙

倍資料速率協定中的新命令集的另一實例。

圖 17 是說明根據本發明某些示例性實施例的一種對具有含有不同寫入提交策略的多個非揮發性記憶體裝置的記憶體系統進行控制的過程的流程圖。

【實施方式】

【0030】 以下，將參考附圖更詳細地闡述本發明的示例性實施例，在所述附圖通篇中，相同參考編號指代相同元件。然而，本發明可實施為各種不同形式，而不應被視為僅限於本文中所說明的實施例。相反，提供該些實施例只是作為實例，以使得本發明將透徹及完整，且將向熟習此項技術者充分傳達本發明的態樣及特徵。因此，可不對對於此項技術中具有通常知識者完全理解本發明的態樣及特徵而言並非必需的過程、元件、及技術進行闡述。除非另外指出，否則通篇附圖及書面說明中，相同參考編號表示相同元件，且因此，可不再對其予以贅述。

【0031】 本發明實施例的態樣是有關於一種記憶體裝置及其控制方法。

【0032】 根據下一代記憶體介面的發展趨勢，可對主記憶體模組利用非揮發性記憶體（NVM）的基於事務的介面。然而，不同非揮發性記憶體技術利用不同的寫入提交機制。舉例而言，在某些非揮發性記憶體裝置中，在直接寫入至記憶體胞元之後對寫入進行確認。換言之，當藉由經由非揮發性記憶體控制器或暫存器時脈驅動器（register clock driver，RCD）晶片而提供輸入/輸出（I/O）

寫入指令至非揮發性記憶體裝置時，非揮發性記憶體裝置發送應答（acknowledgement）。

【0033】 在其他非揮發性記憶體裝置中，在寫入至揮發性資料緩衝器之後對寫入進行確認，且由額外硬體例如以與快閃記憶體類似的方式負責進行緩衝器回寫（write back）。換言之，當藉由經由非揮發性記憶體控制器或暫存器時脈驅動器晶片而提供輸入/輸出寫入指令至非揮發性記憶體裝置時，揮發性資料緩衝器（例如，揮發性記憶體）將所述輸入/輸出寫入指令轉發至非揮發性記憶體裝置，並發送應答。在再一些非揮發性記憶體裝置中，在頁面打開之後不需要寫入確認，但硬體以與動態隨機存取記憶體（Dynamic Random Access Memory，DRAM）類似的方式負責進行頁面回寫。

【0034】 因此，單一寫入操作協定不能有效地用於利用不同寫入提交機制的各種非揮發性記憶體技術。舉例而言，使用具有要求立即寫入確認的通訊協定的動態隨機存取記憶體類裝置會浪費記憶體頻寬。另一方面，快閃記憶體類裝置因缺少回饋（例如，確認或應答）而不能直接與標準雙倍資料速率第 4 代（DDR4）協定一起使用。

【0035】 因此，根據本發明的一或多個實施例，可利用具有立即寫入確認操作及無寫入確認操作二者的異步化寫入操作協定。

【0036】 根據一或多個示例性實施例，所述協定可具有（但不限於）以下特徵中的一或多者：1）可配置的寫入確認策略；2）與

雙倍資料速率協定相容；3）在記憶體模組啟動期間由記憶體控制器經由串列存在偵測（SPD）讀出由不同非揮發性記憶體裝置利用的寫入確認策略（例如，具有確認的寫入及無確認的寫入）；4）記憶體控制器策略被與通訊協定解耦並支援打開頁面策略及關閉頁面策略兩者；5）裝置回寫機制策略被與通訊協定解耦並支援具有回寫緩衝器（write back buffer）或寫入緩衝器（write through buffer）的裝置；6）可根據非揮發性記憶體技術來利用具有確認的擴展寫入（extended write，EWR）命令；7）擴展寫入命令可使用雙倍資料速率第4代協定（例如，當前雙倍資料速率第4代協定）中的被預留供未來使用的命令集或者重新使用來自雙倍資料速率第4代命令集的命令；以及8）無需改變時序參數便可利用記憶體裝置。

【0037】 圖 1 是根據本發明一或多個示例性實施例的計算系統的示意性方塊圖。圖 2A 及圖 2B 是根據本發明一或多個示例性實施例的記憶體系統的示意性方塊圖。

【0038】 參考圖 1，根據本發明一或多個示例性實施例的計算系統 10 包括記憶體系統 100、儲存裝置 200、處理器 300、及系統匯流排 400。儲存裝置 200 可儲存計算系統 10 的操作所需要/所使用的任何資料。舉例而言，儲存裝置 200 可用於儲存計算系統 10 的操作所需要/所使用的系統軟體、應用程式軟體、使用者資料及/或任何其他合適的資料。在根據本發明的一或多個示例性實施例中，儲存裝置 200 可包括硬碟驅動機（hard disk drive，HDD）、固態驅

動機 (solid state drive, SSD)、例如快閃記憶體、相變隨機存取記憶體 (phase change RAM, PRAM)、磁性隨機存取記憶體 (magnetic RAM, MRAM)、電阻式隨機存取記憶體 (resistive RAM, RRAM)、鐵電式隨機存取記憶體 (ferroelectric, FRAM) 等非揮發性記憶體。

【0039】 記憶體系統 100 可用作計算系統 10 的工作記憶體或主記憶體。因此，根據某些實施例，記憶體系統 100 的組件可整合成單一組件。記憶體系統 100 可被配置成儲存經處理器 300 處理的資料及/或欲經處理器 300 處理的資料。

【0040】 根據某些實施例，記憶體系統 100 可包括非揮發性記憶體模組 110 及記憶體模組控制器 120。記憶體模組控制器 120 被配置成根據來自處理器 300 的控制訊號來控制非揮發性記憶體模組 110。舉例而言，記憶體模組控制器 120 可自處理器 300 接收寫入命令及寫入資料，且可控制非揮發性記憶體模組 110 儲存所述寫入資料。另外，記憶體模組控制器 120 可自處理器 300 接收讀取命令，且可控制非揮發性記憶體模組 110 施行非揮發性記憶體模組 110 所儲存資料中對應於所請求資料的讀取操作。

【0041】 如下文將更詳細示出及闡述，非揮發性記憶體模組 110 可包括利用不同非揮發性記憶體技術的多個非揮發性記憶體裝置。如在圖 1 中所示，非揮發性記憶體模組 110 可包括儲存有串列存在偵測 (SPD) 資訊的串列存在偵測區域 130。根據某些實施例，串列存在偵測區域 130 亦可利用專用通訊路徑儲存於記憶體

系統 100 中的專用晶片中。在計算系統 10 及/或記憶體系統 100 啟動（例如，加電）期間，由記憶體控制器 120 及/或處理器 300 讀取串列存在偵測資訊，以偵測非揮發性記憶體模組 100 內所包含的非揮發性記憶體裝置的類型。

【0042】 根據本發明一或多個示例性實施例的記憶體控制器 120 具有含有至少立即寫入確認操作及無寫入確認操作的可配置的寫入操作協定。舉例而言，記憶體控制器 120 可利用來自非揮發性記憶體模組 110 的不同非揮發性記憶體裝置的串列存在偵測讀出資訊來判斷如何應對不同非揮發性記憶體裝置的不同讀取/寫入要求。

【0043】 參考圖 2A，非揮發性記憶體模組 110 包括多個非揮發性記憶體裝置 111、112、113 至 11(n-1)、及 11n。作為非揮發性記憶體模組 110 的一部分而包括的非揮發性記憶體裝置的數目可根據非揮發性記憶體模組 110 的設計及功能而變化。非揮發性記憶體裝置 111 至 11n 中的每一者均可因應於來自記憶體模組控制器 120 的命令 CA 而與記憶體模組控制器 120 交換資料 140。非揮發性記憶體裝置 111 至 11n 中的每一者可因應於來自記憶體模組控制器 120 的命令 CA 而施行讀取操作或寫入操作。

【0044】 舉例而言，非揮發性記憶體裝置 111 至 11n 可並列地施行讀取或寫入操作。亦即，非揮發性記憶體裝置 111 至 11n 可獨立地及/或同時地施行讀取操作或寫入操作。在其他示例性實施例中，非揮發性記憶體裝置 111 至 11n 的讀取操作或寫入操作可依

序執行。

【0045】 在示例性實施例中，串列存在偵測資訊可儲存於非揮發性記憶體裝置 111 至 11n 中的每一者中。舉例而言，圖 1 中的串列存在偵測區域 130 可包括多個串列存在偵測區域 130_1、130_2、130_3、至 130_(n-1) 及 130_n，使得非揮發性記憶體裝置 111 至 11n 中的每一者包括各自的串列存在偵測區域（或串列存在偵測子區域）。因此，在非揮發性記憶體裝置 111 至 11n 中的每一者中可儲存單獨且不同的串列存在偵測資訊，以使得（舉例而言）記憶體模組控制器 120 可獲得儲存於各自的串列存在偵測區域中的且專屬於對應非揮發性記憶體裝置 111 至 11n 的串列存在偵測資訊。根據某些實施例，非揮發性記憶體裝置 111 至 11n 中的每一者的串列存在偵測資訊可儲存於對應於記憶體模組 110 的且與非揮發性記憶體裝置 111 至 11n 分離的一或多個串列存在偵測晶片中。根據某些實施例，可在計算系統 10 或記憶體系統 100 起動或啟動時由記憶體模組控制器 120 來獲得此種串列存在偵測資訊。因此，記憶體模組控制器 120 可施行非揮發性記憶體裝置 111 至 11n 的設定操作並對非揮發性記憶體裝置 111 至 11n 進行控制，以使得可根據每一對應的非揮發性記憶體裝置的非揮發性記憶體技術以及在非揮發性記憶體裝置 111 至 11n 中的每一者中儲存的串列存在偵測資訊或在對應於記憶體模組的一或多個串列存在偵測晶片中儲存的串列存在偵測資訊來施行特定寫入操作及/或讀取操作。

【0046】 藉由利用非揮發性記憶體裝置 111 至 11n 中的每一者中的串列存在偵測資訊來設定記憶體模組控制器 120，可依據非揮發性記憶體技術對不同非揮發性記憶體裝置 111 至 11n 施行不同寫入操作及/或讀取操作。舉例而言，根據一或多個示例性實施例，可以不同方式來設定不同非揮發性記憶體裝置確認寫入指令的方式或方法。記憶體模組控制器 120 可根據例如經由串列存在偵測讀出而獲得的雙列直插記憶體模組（DIMM）資訊對「具有確認的寫入」命令或「無確認的寫入」命令進行排程。

【0047】 根據某些實施例，記憶體系統 210（例如，作為圖 1 中的記憶體系統 100 的一部分而包括）可如在圖 2B 中所說明包括多個記憶體模組 211、212、213 至 21(n-1)及 21n。作為記憶體系統 210 的一部分所包括的記憶體模組的數目可根據記憶體系統 210 的設計及功能而變化。記憶體模組 211 至 21n 中的每一者可包括多個記憶體裝置（例如，與在圖 2A 中所示的記憶體模組 110 相同或類似的多個記憶體模組，各自具有多個非揮發性記憶體裝置 111 至 11n），且可因應於來自記憶體系統控制器 220 的命令 CA 而與記憶體系統控制器 220 交換資料 230。根據某些實施例，記憶體系統控制器 220 可被包括作為主機（例如，圖 1 中的處理器 300）的一部分。根據其中記憶體系統包括多個記憶體模組的實施例，不同記憶體模組可具有不同寫入確認策略，但同一模組中的非揮發性記憶體裝置可全部具有同一寫入確認策略。

【0048】 根據一或多個示例性實施例，記憶體控制器策略可與頁

面打開策略解耦，以使得記憶體系統將決定打開/關閉頁面策略。亦即，根據某些實施例，記憶體模組控制器可選擇打開頁面策略或關閉頁面策略，而不管在記憶體裝置中使用哪一確認策略。另外，根據一或多個示例性實施例，可使命令集的改變保持最小，以使得當前命令可被重新使用抑或可添加單一命令。在此可能不改變序參數，且可維持與當前雙倍資料速率協定的相容性。

【0049】 以下，對根據本發明一或多個示例性實施例的寫入確認的配置進行更詳細地闡述。記憶體模組控制器 120 可在啟動期間經由串列存在偵測而自雙直插記憶體模組（**DIMM**）讀取寫入確認要求。此處，雙直插記憶體模組可規定所需要的寫入確認策略。舉例而言，若硬體可確保可靠的緩衝器回寫，則在被啟用之後可能不需要任何確認。然而若硬體不對緩衝器回寫提供支援，則每一寫入事務均可需要寫入確認。

【0050】 根據本發明的一或多個示例性實施例，可利用記憶體控制器排程器（例如，位於記憶體模組控制器 120 中）來根據串列存在偵測讀出而對「具有確認的寫入」命令或「無確認的寫入」命令進行排程。由於不同（或不同類型的）非揮發性記憶體裝置可與不同通道相關聯，因此不同通道可具有不同的寫入確認策略。此外，同一通道中或不同通道中的一或多個不同等級（**rank**）可具有不同的寫入確認策略。另外，同一等級或不同等級中的一或多個不同排可具有不同的寫入確認策略。

【0051】 圖 3 是說明根據本發明一或多個示例性實施例的用於非

揮發性記憶體裝置的無寫入確認的寫入操作的時序圖。

【0052】 舉例而言，記憶體模組控制器 120 可向根據本發明示例性實施例的具有對應的寫入提交機制的非揮發性記憶體裝置中的一或多者發出無寫入確認的寫入操作命令。如在圖 3 中可見，記憶體模組控制器 120 向特定記憶體位址（例如，向一或多個非揮發性記憶體裝置的特定庫（Bank））發出啟用操作（ACT）命令，並要求自雙直插記憶體模組得到指示啟用操作已成功的狀態回饋（例如，Status）。在接收到成功啟用狀態之後，可將資料保持在資料緩衝器中，且可以與動態隨機存取記憶體相同的時序來操作所述資料。然後記憶體模組控制器 120 發出定期寫入操作（WR）命令以將資料寫入至非揮發性記憶體裝置，且在固定延遲之後，將所述資料傳送至記憶體系統 100 的資料匯流排並將所述資料寫入對應的非揮發性記憶體裝置的對應記憶體胞元。由於用於此協定技術的非揮發性記憶體裝置不要求寫入確認，因此寫入操作完成。

【0053】 圖 4 是說明根據本發明一或多個示例性實施例的用於非揮發性記憶體裝置的具有寫入確認的寫入操作的時序圖。

【0054】 舉例而言，記憶體模組控制器 120 可向具有對應的寫入提交機制的非揮發性記憶體裝置中的一或多者發出具有寫入確認的擴展寫入操作（EWR）命令。如在圖 4 中可見，啟用實質上相同於圖 3 所示其中啟用要求對啟用的狀態回饋（例如，Status(A)）。記憶體模組控制器 120 然後發出擴展寫入操作命令（例如，針對

擴展寫入操作發送命令)，以將資料寫入至特定記憶體位址（例如，寫入至一或多個非揮發性記憶體裝置的特定庫）。在可變延遲之後，雙直插記憶體模組將寫入確認發送回至記憶體模組控制器 120。因此，根據在圖 4 中所說明的協定，記憶體模組控制器 120 在向同一排或雙直插記憶體模組發送任何其他操作（或命令）之前等待成功寫入確認（例如，**Status(W)**）。

【0055】 圖 5 及圖 6 分別說明根據本發明一或多個示例性實施例的無寫入確認及利用寫入確認的複合寫入操作。

【0056】 在圖 5 及圖 6 中由記憶體模組控制器 120 發出的命令分別實質上類似於在圖 3 及圖 4 中所發出的命令，不同之處在於圖 5 及圖 6 中的命令是用於其中各自的寫入操作命令（**WR**）根據其各自的寫入提交機制而與啟用操作（**ACT**）命令進行複合的各自的複合寫入操作。

【0057】 如在圖 5 中所示，向特定記憶體位址（例如，向一或多個非揮發性記憶體裝置的特定庫）發送具有啟用操作及寫入操作的複合命令，且在固定延遲之後起始資料寫入。然後，記憶體模組控制器 120 等待成功啟用確認（例如，**Status(A)**）。在圖 6 中由記憶體模組控制器 120 發出的命令實質上相同於在圖 5 中所發出者，不同之處在於圖 6 中的記憶體模組控制器 120 在向同一庫發出任何其他操作（或命令）之前等待關於成功啟用加成功寫入確認的複合狀態回饋（例如，**Status(AW)**）。

【0058】 圖 7 是說明根據本發明某些實施例的針對具有打開頁面

策略且無寫入確認的非揮發性記憶體裝置寫入及讀取資料的操作的順序的示例性時序圖。

【0059】 圖 7 所示時序圖及寫入提交機制實質上類似於在圖 5 中所說明者，不同之處在於在打開頁面策略下對同一庫發佈額外寫入（**WR**）操作及讀取（**RD**）操作的命令。由於感測放大器在打開頁面策略下始終開啟，因此在打開頁面策略下不要求對所述同一庫發出任何額外啟用操作（**ACT**）命令。因此，在已接收到初始啟用狀態回饋（例如，**Status(A)**）之後，僅發出寫入（**WR**）命令及讀取（**RD**）命令。另外，寫入操作命令及讀取操作命令可連續地發出而無需確認。

【0060】 圖 8 是說明根據本發明某些實施例的針對具有打開頁面策略且具有寫入確認的非揮發性記憶體裝置寫入及讀取資料的操作的順序的示例性時序圖。

【0061】 圖 8 所示時序圖及寫入提交機制實質上類似於在圖 6 中所說明者，不同之處在於在打開頁面策略下對同一庫發佈額外擴展寫入（**EWR**）操作及讀取（**RD**）操作的命令。由於感測放大器在打開頁面策略下總是開啟的，因此在打開頁面策略下不要求對所述同一庫發出任何額外啟用命令。因此，在已接收到初始啟用+寫入狀態回饋（例如，**Status(AW)**）之後，僅發出擴展寫入（**EWR**）命令及讀取（**RD**）命令。應指出，與圖 7 中所繪示的無寫入確認操作不同，記憶體模組控制器 120 在發出每一擴展寫入（**EWR**）命令之後且在向同一庫發出任何其他操作（或命令）之前等待狀

態回饋（例如，**Status(W)**）。

【0062】 圖 9 是說明根據本發明某些實施例的針對具有關閉頁面策略且無寫入確認的非揮發性記憶體裝置寫入及讀取資料的操作的順序的示例性時序圖。如在圖 9 中所示，記憶體模組控制器 120 發出複合啟用及寫入操作命令，且在固定延遲之後，將資料提供至非揮發性記憶體裝置的資料匯流排。然後，由雙直插記憶體模組向記憶體模組控制器 120 提供成功啟用狀態確認（例如，**Status(A)**），而無需提供寫入確認。為執行另一寫入操作，發出另一啟用命令，然後是對應的啟用狀態確認。如在圖 9 中可見，記憶體模組控制器 120 向同一庫發出啟用操作命令，且由於為關閉頁面策略而在發出讀取操作（**RD**）命令之前等待啟用狀態回饋（例如，**Status(A)**），在所述關閉頁面策略下，感測放大器並非始終開啟的。

【0063】 圖 10 是說明根據本發明某些實施例的針對具有關閉頁面策略且具有寫入確認的非揮發性記憶體裝置寫入及讀取資料的操作的順序的示例性時序圖。

【0064】 圖 10 所示時序圖及寫入提交機制類似於在圖 8 中所說明者，不同之處在於記憶體模組控制器 120 在關閉頁面策略下在擴展寫入操作之後且在發出讀取（**RD**）操作命令之前發出啟用操作（**ACT**）命令。如在圖 10 中可見，記憶體模組控制器 120 在接收到啟用加寫入狀態回饋（例如，**Status(AW)**）之後向同一庫發出另一啟用操作（**ACT**）命令，且由於為關閉頁面策略而在發出讀取

操作（RD）命令之前等待啟用狀態回饋（例如，Status(A)），在所述關閉頁面策略下，感測放大器並非始終開啟的。

【0065】圖 11 是說明根據本發明一或多個示例性實施例的無寫入確認的單一寫入操作的時序圖。對於其中記憶體裝置為快閃記憶體類或高速非揮發性記憶體（non-volatile memory express，NVMe）類非揮發性記憶體裝置的實施例，寫入緩衝器可對進入的寫入操作進行處理，且在施行寫入操作之前可不要求頁面打開。因此，如在圖 11 中所說明，可不需獲得對啟用命令的確認。另外，主機或記憶體模組控制器（或記憶體系統控制器）可追蹤模組寫入緩衝器中的可用項目，並確保所有寫入操作均可在對應的記憶體模組中得到緩衝。在此種配置中，如在圖 11 中所說明，與在圖 5 中所說明的順序類似，向特定記憶體位址（例如，向一或多個記憶體裝置的特定庫）發出具有啟用操作及寫入操作的複合命令，且在固定延遲之後起始資料寫入命令。然而，與圖 5 對比，由於不需要對啟用命令進行確認，因此可不發出任何啟用確認。

【0066】圖 12 是說明根據本發明一或多個示例性實施例的具有確認的複合寫入操作的時序圖。圖 12 所示時序圖實質上類似於在圖 11 中所說明者，不同之處在於寫入命令是具有確認命令的擴展寫入（EWR）。再者，對於快閃記憶體類或非揮發性高速記憶體類非揮發性記憶體裝置，在施行寫入操作之前，可不要求具有頁面打開命令。因此，可不提供啟用確認。在此種配置中，如在圖 12 中所說明，可發出複合啟用及擴展寫入命令，且在固定延遲之後，

可施行寫入操作。由於擴展寫入命令利用寫入確認，因此在可變延遲之後，可發出寫入確認的狀態，而無需進行啟用確認。

【0067】 圖 13 是說明根據本發明一或多個示例性實施例的藉由利用寫入信用計數器而進行的連續寫入操作的時序圖。根據某些實施例，主機或記憶體模組控制器 120（或記憶體系統控制器）可利用寫入信用計數器。在發出寫入操作之後，將寫入信用計數器減少一個信用，且只要寫入信用計數器大於零，主機便可繼續發出寫入命令。根據某些實施例，主機可使用特定命令自記憶體模組提取寫入信用。舉例而言，如在圖 13 中所說明，在發出寫入命令之前，寫入信用計數器可被設定為大於零的整數（例如，2）。因此，主機可發出複合啟用及寫入命令，在每一寫入命令之後自寫入信用計數器減去一個信用，直至寫入信用計數器不再大於零。

【0068】 圖 14 是說明根據本發明一或多個示例性實施例的其中主機可讀取記憶體模組狀態的回饋控制機制的時序圖。根據本發明的某些實施例，記憶體模組或記憶體裝置可在執行命令之後不自動提供回饋至主機或記憶體模組控制器 120（或記憶體系統控制器）。而是，記憶體模組或記憶體裝置可向主機發出就緒通知或訊號，且主機負責自對應的記憶體模組或記憶體裝置提取狀態。如在圖 14 中所示，可向記憶體位址發出具有啟用及擴展寫入的複合命令，且在固定延遲之後起始資料寫入。然後，在擴展寫入操作之後的可變延遲後，可將就緒通知傳送至主機或記憶體模組控制器 120（或記憶體系統控制器），所述就緒通知指示記憶體裝置或

記憶體模組準備提供狀態資訊，例如寫入確認資訊、寫入信用更新等。因此，在可變時間段之後，主機可接著發出狀態讀取（**status read**，**SR**）命令，以請求自對應的記憶體裝置或記憶體模組得到狀態資訊，且在固定延遲之後，可自記憶體模組或記憶體裝置提供所述狀態資訊至主機。

【0069】 儘管可參考圖 2A 及記憶體模組 110 闡述上述某些命令及操作，但此項技術中具有通常知識者將瞭解，本發明的實施例可應用於如在圖 2B 中所說明的記憶體系統 210，其中記憶體系統控制器 220 可與各種記憶體模組 211 至 21n 交換資料及命令。如上所述，根據某些實施例，記憶體模組 211 至 21n 中的每一者可包括多個記憶體裝置（例如，非揮發性記憶體裝置），所述多個記憶體裝置在同一記憶體模組內均具有相同的寫入確認策略。

【0070】 在根據本發明的某些示例性實施例中，可由記憶體模組控制器向非揮發性記憶體裝置發出新命令。舉例而言，所述新命令可為在以上各種時序圖中所說明的具有確認的擴展寫入（**EWR**）命令。根據某些示例性實施例，擴展寫入命令可包含含有（但不限於）以下中的一或多者的資訊：1）晶片 ID（**C₂**、**C₁**、**C₀** 等）；2）庫及庫群組 ID（**BA[1:0]**、**BG[1:0]**）；及 3）行位址（**A13-11***、**A9-0**）。舉例而言，行位址可被程式化以支援不同列緩衝器大小（例如，裝置頁面大小）。

【0071】 圖 15 是根據本發明一或多個示例性實施例的重新使用不用於非揮發性記憶體裝置的當前命令集的新命令集的實例。可重

新使用的命令可包括例如（但不限於）具有自動預充電（**WRA**）命令的寫入、具有突發突變（**burst chop**）（**WRS4**）命令的寫入等。如在圖 15 中可見，舉例而言，可重新使用具有自動預充電（固定的 **BL8** 或 **BC4**）的寫入（**WRA**）命令作為擴展寫入（**EWR**）命令。

【0072】圖 16 是根據本發明一或多個示例性實施例的不用於當前雙倍資料速率協定中的新命令集的另一實例。舉例而言，如在圖 16 中所示，可使用當前被預留用於未來使用（**RFU**）的集合作為擴展寫入操作的新命令。

【0073】圖 17 是說明根據本發明某些示例性實施例的一種對具有含有不同寫入提交策略的多個非揮發性記憶體裝置的記憶體系統進行控制的過程的流程圖。根據某些實施例，用於對記憶體系統進行控制的操作的數目及操作的次序可有所變化。亦即，根據某些實施例，所述過程可包括額外操作，抑或操作的次序可有所變化。

【0074】如在圖 17 中所示，所述過程開始，且在 1702 處，記憶體系統辨識由記憶體系統中所包括的不同記憶體裝置（例如，非揮發性記憶體裝置）中的每一者利用的寫入提交策略。亦即，根據本發明的實施例，如上所述，記憶體系統可包括根據不同記憶體（例如，非揮發性記憶體）技術實施且具有上述不同寫入提交策略的多個不同記憶體裝置（例如，非揮發性記憶體裝置）。記憶體系統及/或記憶體系統內所包括的記憶體模組控制器可藉由自各自的記憶體裝置（例如，非揮發性記憶體裝置）中的每一者的串

列存在偵測區域或自一（或多個）記憶體模組的一或多個串列存在偵測晶片進行讀出而辨識各種記憶體裝置（例如，非揮發性記憶體裝置）的寫入提交策略。根據某些實施例，可在計算系統及/或記憶體系統的起動或啟動時辨識此種寫入提出策略。

【0075】 在 1704 處，記憶體系統例如自外部處理器或控制器接收讀取命令或寫入命令。然後，在 1706 處，記憶體系統辨識對應於讀取命令或寫入命令的一或多個記憶體裝置（例如，一或多個非揮發性記憶體裝置），且在 1708 處，記憶體系統根據對應記憶體裝置（例如，一（或多個）非揮發性記憶體裝置）的寫入提交策略執行讀取或寫入命令。

【0076】 因此，根據本發明的實施例，記憶體系統可包括具有不同寫入提交策略且併入至同一記憶體系統或組件中的多個不同記憶體裝置，且記憶體系統可根據所述系統中的每一記憶體裝置（例如，非揮發性記憶體裝置）的寫入提交策略施行讀取操作及寫入操作。

【0077】 在圖式中，為清晰起見，可誇大及/或簡化元件、層、及區的相對大小。應理解，儘管本文中可能使用用語「第一」、「第二」、「第三」等來闡述各種元件、組件、區、層、及/或區段，然而該些元件、組件、區、層、及/或區段不應受限於該些用語。該些用語僅用於區分各個元件、組件、區、層、或區段。因此，在不背離本發明的精神及範圍的條件下，下文所述的元件、組件、區、層、或區段亦可被稱為第二元件、組件、區、層、或

區段。

【0078】 本文所用術語僅用於闡述特定實施例，而並非旨在限制本發明。除非上下文中清楚地另外指明，否則本文所用的單數形式「一（a 及 an）」旨在亦包括複數形式。更應理解，當在本說明書中使用用語「包括（comprises 及 comprising）」、「包含（includes 及 including）」時，是用於指明所述特徵、整數、步驟、操作、元件、及/或組件的存在，但不排除一或多個其他特徵、整數、步驟、操作、元件、組件及/或其群組的存在或添加。本文中所用的用語「及/或」包括相關聯列出項中一或多個項的任意及所有組合。例如「...中的至少一者」等表達當位於一列表元件之前時，是修飾元件的整個列表，而非修飾所述列表的個別元件。

【0079】 本文所用的用語「實質上」、「約」及類似用語用於表達近似值、而並非用於表達程度，並且旨在慮及此項技術中具有通常知識者將知的量測值或計算值的固有變化。此外，當使用「可」來闡述本發明的實施例時是指代「本發明的一或多個實施例」。本文所用的用語「使用（use）」、「正使用（using）」及「被使用（used）」可視為分別與用語「利用（utilize）」、「正利用（utilizing）」及「被利用（utilized）」同義。此外，用語「示例性」旨在指代實例或例示。

【0080】 除非另外定義，否則本文所用的全部用語（包括技術及科學用語）的含義均與本發明所屬技術領域中具有通常知識者所通常理解的含義相同。更應理解，用語（例如在常用字典中所定

義的用語) 應被解釋為具有與其在相關技術及/或本說明書的上下文中的含義一致的含義，且除非本文中進行明確定義，否則不應將其解釋為具有理想化或過於正式的意義。

【0081】 可利用任何合適的硬體、韌體(例如，應用專用積體電路)、軟體、或軟體、韌體及硬體的組合來實施本文所述的根據本發明實施例的電子或電氣裝置及/或任何其他相關裝置或組件。此外，所述各種操作可為在執行電腦程式指令並與用於執行本文所述各種功能性的其他系統組件交互作用的處理器或控制器上運行的過程或執行緒(thread)。電腦程式指令可儲存於耦接至處理器或控制器的記憶體或非暫時性電腦可讀取儲存媒體中，所述電腦程式指令在由處理器或控制器執行時使得所述處理器或控制器施行本文所述的操作或功能性。根據本發明的某些實施例，記憶體系統的所述各種組件可整合或組合為單一組件、晶片或裝置的一部分。

【0082】 儘管已參考示例性實施例闡述了本發明，但熟習此項技術者將知，可對所述實施例施行各種改變及潤飾，此均不背離本發明的精神及範圍。此外，熟習各種相關技術者將知，本文所述的本發明將暗示對用於其他應用的其他任務及修改形式的解決方案。本申請人的意圖是將本發明的所有此種用途以及出於本發明的目的而選擇的對本發明示例性實施例所作的改變及潤飾均涵蓋於本文的申請專利範圍中，此均不背離本發明的精神及範圍。因此，本發明的示例性實施例在所有方面均應被視為說明性的而非

限制性的，本發明的精神及範圍是由隨附申請專利範圍及其等效範圍來指示。

【符號說明】

【0083】

10：計算系統\計算機系統

100：記憶體系統

110：非揮發性記憶體模組

111～11n：非揮發性記憶體裝置

120：記憶體模組控制器

130：串列存在偵測區域

130_1～130_n：串列存在偵測區域

140、230：資料

200：儲存裝置

210：記憶體系統

211～21n：記憶體模組

220：記憶體系統控制器

300：處理器

400：系統匯流排

1702、1704、1706、1708：步驟

ACT：啟用操作

CA：命令

EWR：擴展寫入操作

RFU：被預留供未來使用

RD：讀取操作

SR：狀態讀取

Status：狀態回饋

Status(A)：狀態回饋

Status(AW)：複合狀態回饋

Status(W)：狀態回饋

WR：定期寫入操作

【發明申請專利範圍】

【第1項】 一種記憶體系統，包括：

一或多個記憶體模組，各自包括具有對應的寫入提交策略的多個記憶體裝置，其中所述多個記憶體裝置中的第一記憶體裝置具有第一寫入提交策略，並且所述多個記憶體裝置中的第二記憶體裝置具有第二寫入提交策略，所述第一寫入提交策略定義第一類型操作之後何時確認第一寫入，所述第二寫入提交策略定義所述第一類型操作之後何時確認第二寫入，所述第二寫入提交策略不同於所述第一寫入提交策略，其中包括無寫入確認的寫入操作的所述第一寫入提交策略是基於儲存為所述第一記憶體裝置的串列存在偵測資訊的部份的第一寫入提交資料來辨識，並且包括有寫入確認的另一寫入操作的所述第二寫入提交策略是基於儲存為所述第二記憶體裝置的串列存在偵測資訊的部份的第二寫入提交資料來辨識；以及

一或多個記憶體控制器，耦接至所述一或多個記憶體模組，所述一或多個記憶體控制器具有可配置的寫入操作協定以根據所述對應的寫入提交策略來與所述記憶體裝置一起操作。

【第2項】 如申請專利範圍第 1 項所述的記憶體系統，其中所述記憶體裝置中的所述第一記憶體裝置具有其中在直接寫入至所述第一記憶體裝置的記憶體胞元之後對所述第一寫入進行確認的所述第一寫入提交策略。

【第3項】 如申請專利範圍第 2 項所述的記憶體系統，其中所述記

記憶體裝置中的所述第二記憶體裝置具有其中在寫入至揮發性資料緩衝器之後對所述第二寫入進行確認的所述第二寫入提交策略。

【第4項】 如申請專利範圍第 3 項所述的記憶體系統，其中所述記憶體裝置中的第三記憶體裝置在頁面打開之後不使用寫入確認。

【第5項】 如申請專利範圍第 1 項所述的記憶體系統，其中所述一或多個記憶體控制器被配置成在所述記憶體系統加電時接收所述記憶體裝置的串列存在偵測（SPD）資訊。

【第6項】 如申請專利範圍第 1 項所述的記憶體系統，其中所述一或多個記憶體控制器被配置成重新使用不用於非揮發性記憶體裝置的雙倍資料速率第 4 代（DDR4）命令作為寫入操作命令。

【第7項】 如申請專利範圍第 1 項所述的記憶體系統，其中所述一或多個記憶體控制器被配置成利用被預留供未來使用（RFU）的一組命令中的命令作為寫入操作命令。

【第8項】 如申請專利範圍第 1 項所述的記憶體系統，其中所述記憶體系統包括多個記憶體模組，其中同一記憶體模組中的所述記憶體裝置中的每一者具有同一寫入提交策略，所述同一寫入提交策略與不同記憶體模組中的所述記憶體裝置的寫入提交策略不同。

【第9項】 如申請專利範圍第 1 項所述的記憶體系統，其中所述一或多個記憶體控制器被配置成支援打開頁面策略及關閉頁面策略。

【第10項】 一種控制包括一或多個記憶體模組的記憶體系統的方

法，所述一或多個記憶體模組各自包括具有對應的寫入提交策略的多個記憶體裝置，所述方法包括：

基於讀出儲存為所述記憶體裝置中的每一者的串列存在偵測資訊的部份的寫入提交資料而辨識由所述記憶體裝置中的每一者利用的寫入提交策略，其中所述記憶體裝置中的第一記憶體裝置具有第一寫入提交策略，並且所述記憶體裝置中的第二記憶體裝置具有第二寫入提交策略，所述第一寫入提交策略包括無寫入確認的寫入操作且定義第一類型操作之後何時確認第一寫入，所述第二寫入提交策略包括有寫入確認的另一寫入操作且定義所述第一類型操作之後何時確認第二寫入，所述第二寫入提交策略不同於所述第一寫入提交策略；

自處理器接收寫入命令；

辨識所述多個記憶體裝置中對應於所述寫入命令的所述第一記憶體裝置；以及

根據所述第一記憶體裝置的所述第一寫入提交策略執行所述寫入命令。

【第11項】如申請專利範圍第 10 項所述的方法，其中所述記憶體裝置中的所述第一記憶體裝置具有其中在直接寫入至所述第一記憶體裝置的記憶體胞元之後對所述第一寫入進行確認的所述第一寫入提交策略。

【第12項】如申請專利範圍第 11 項所述的方法，其中所述記憶體裝置中的所述第二記憶體裝置具有其中在寫入至揮發性資料緩衝

器之後對所述第二寫入進行確認的所述第二寫入提交策略。

【第13項】 如申請專利範圍第 12 項所述的方法，其中所述記憶體裝置中的第三記憶體裝置在頁面打開之後不使用寫入確認。

【第14項】 如申請專利範圍第 10 項所述的方法，其中所述記憶體系統更包括記憶體控制器，所述記憶體控制器耦接至所述記憶體裝置並具有可配置的寫入操作協定以根據所述記憶體裝置各自的寫入提交策略而與所述記憶體裝置一起操作。

【第15項】 如申請專利範圍第 14 項所述的方法，其中所述記憶體系統包括多個記憶體模組，其中同一記憶體模組中的所述記憶體裝置中的每一者具有同一寫入提交策略，所述同一寫入提交策略與不同記憶體模組中的所述記憶體裝置的寫入提交策略不同。

【第16項】 一種記憶體系統，包括：

一或多個記憶體模組，各自包括具有對應的寫入提交策略的多個記憶體裝置；以及

一或多個記憶體控制器，耦接至所述一或多個記憶體模組，其中所述一或多個記憶體控制器被配置成：

基於讀出儲存為所述記憶體裝置中的每一者的串列存在偵測資訊的部份的寫入提交資料而辨識由所述記憶體裝置中的每一者利用的寫入提交策略，其中所述記憶體裝置中的第一記憶體裝置具有第一寫入提交策略，並且所述記憶體裝置中的第二記憶體裝置具有第二寫入提交策略，所述第一寫入提交策略包括無寫入確認的寫入操作且定義第一類型操作之後何時

確認第一寫入，所述第二寫入提交策略包括有寫入確認的另一寫入操作且定義所述第一類型操作之後何時確認第二寫入，所述第二寫入提交策略不同於所述第一寫入提交策略；

自處理器接收寫入命令；

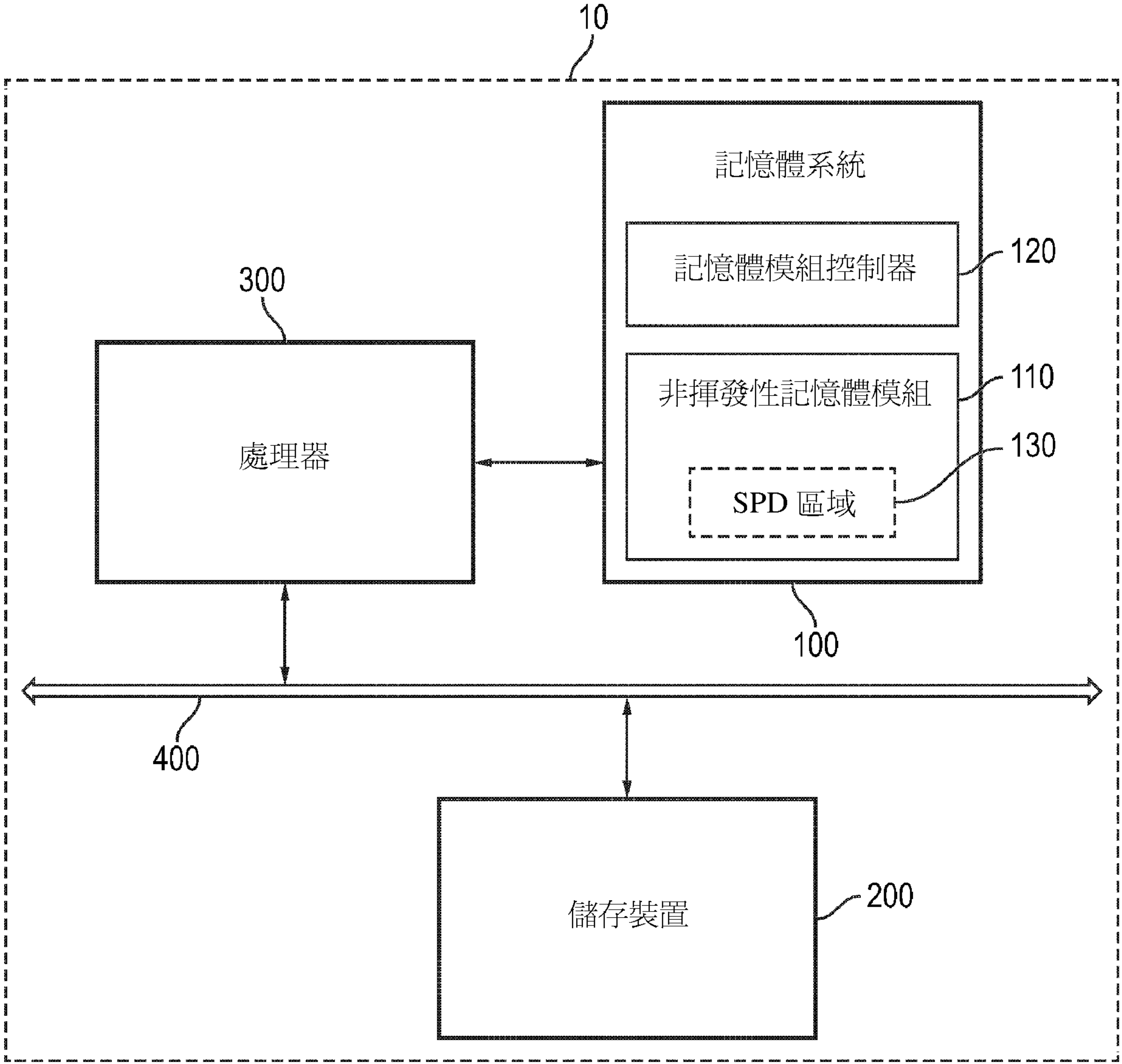
辨識所述多個記憶體裝置中對應於所述寫入命令的所述第一記憶體裝置；以及

根據所述第一記憶體裝置的所述第一寫入提交策略執行所述寫入命令。

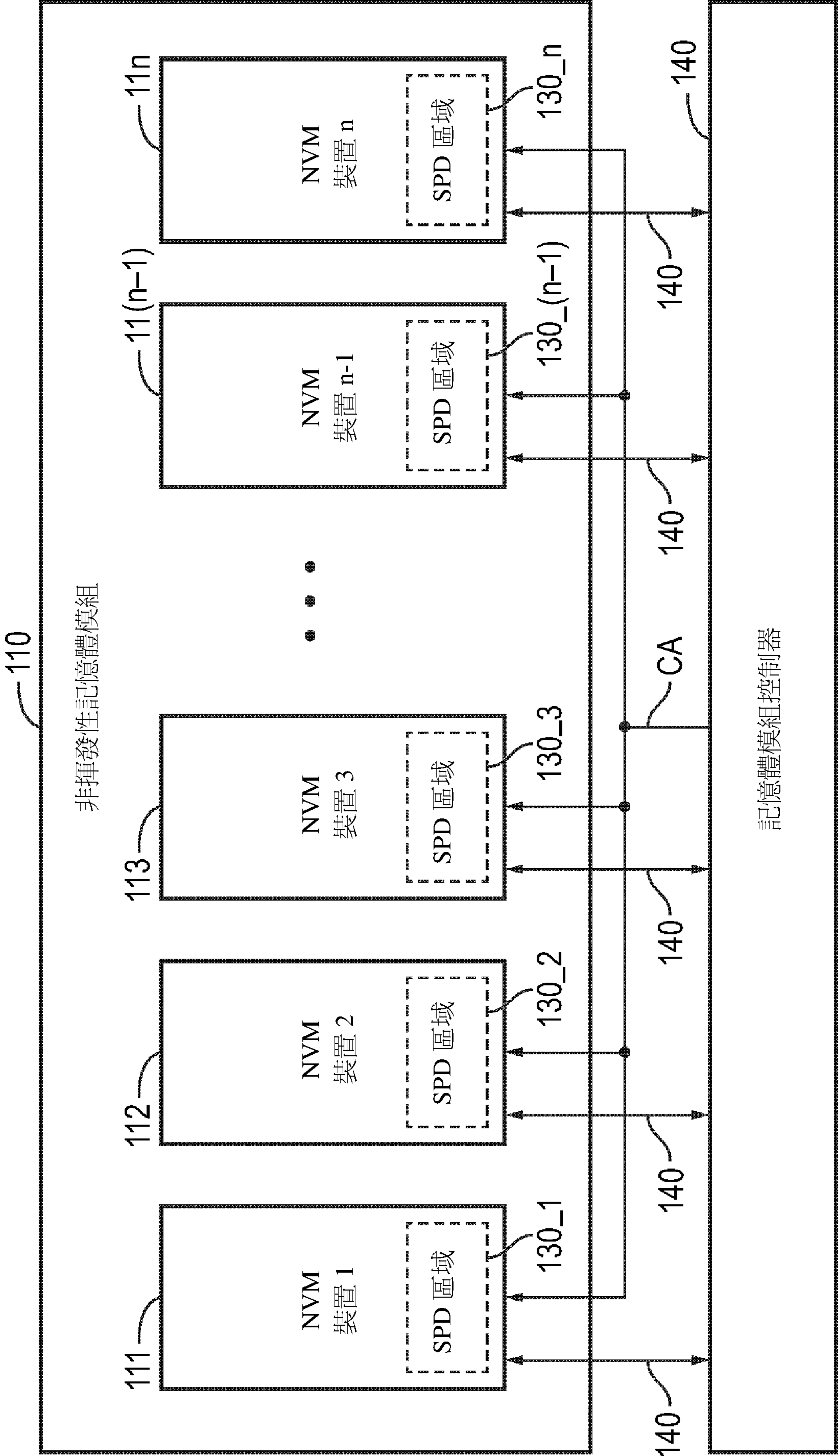
【第17項】 如申請專利範圍第 16 項所述的記憶體系統，其中所述記憶體裝置中的所述第一記憶體裝置具有其中在直接寫入至所述第一記憶體裝置的記憶體胞元之後對所述第一寫入進行確認的所述第一寫入提交策略。

【第18項】 如申請專利範圍第 17 項所述的記憶體系統，其中所述記憶體裝置中的所述第二記憶體裝置具有其中在寫入至揮發性資料緩衝器之後對所述第二寫入進行確認的所述第二寫入提交策略。

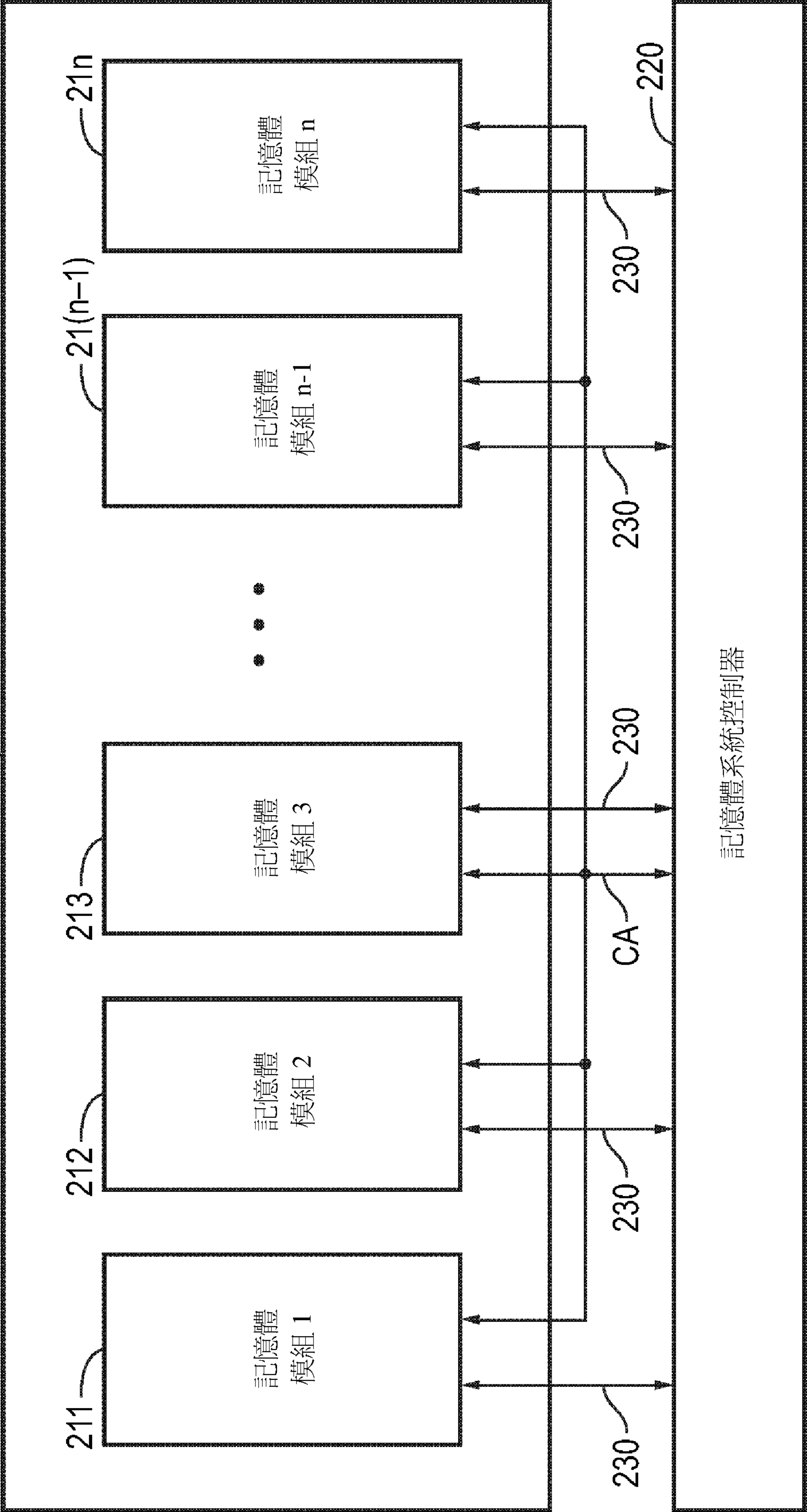
【第19項】 如申請專利範圍第 18 項所述的記憶體系統，其中所述記憶體裝置中的第三記憶體裝置在頁面打開之後不使用寫入確認。



【圖1】

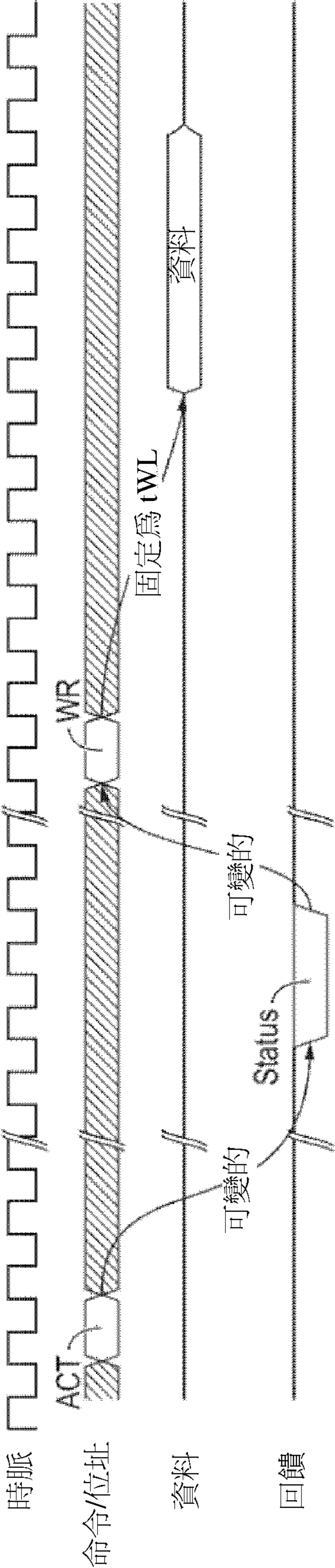


【圖2A】



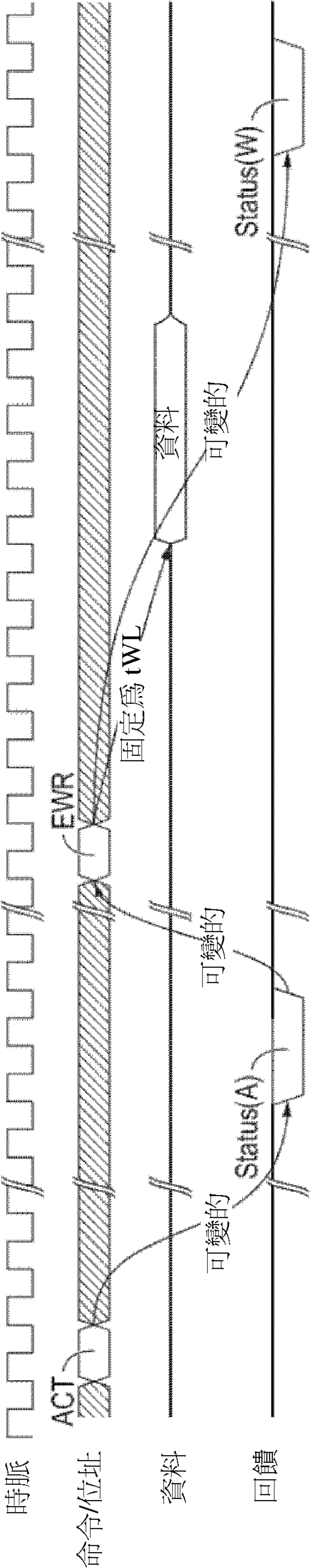
【圖2B】

無寫入確認的寫入操作



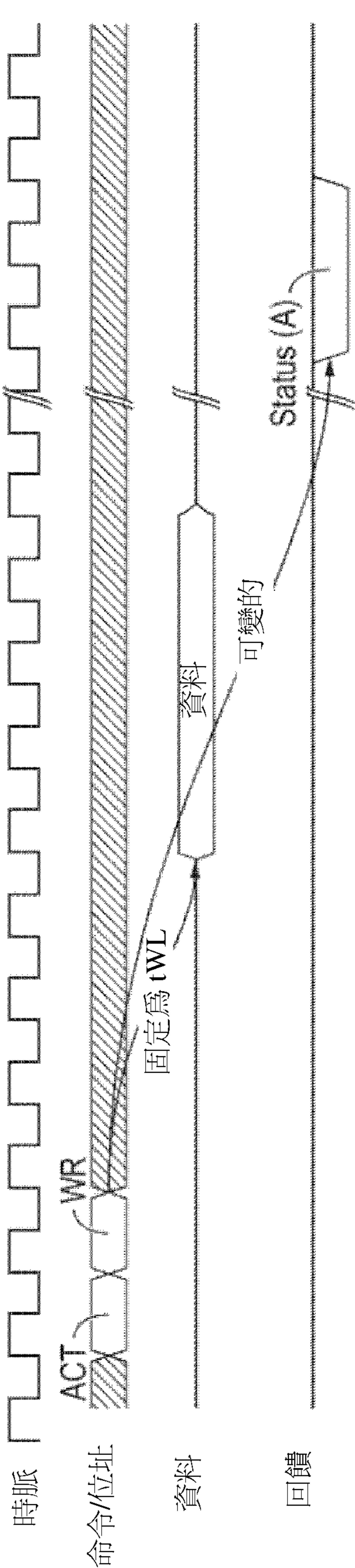
【圖3】

具有寫入確認的寫入操作



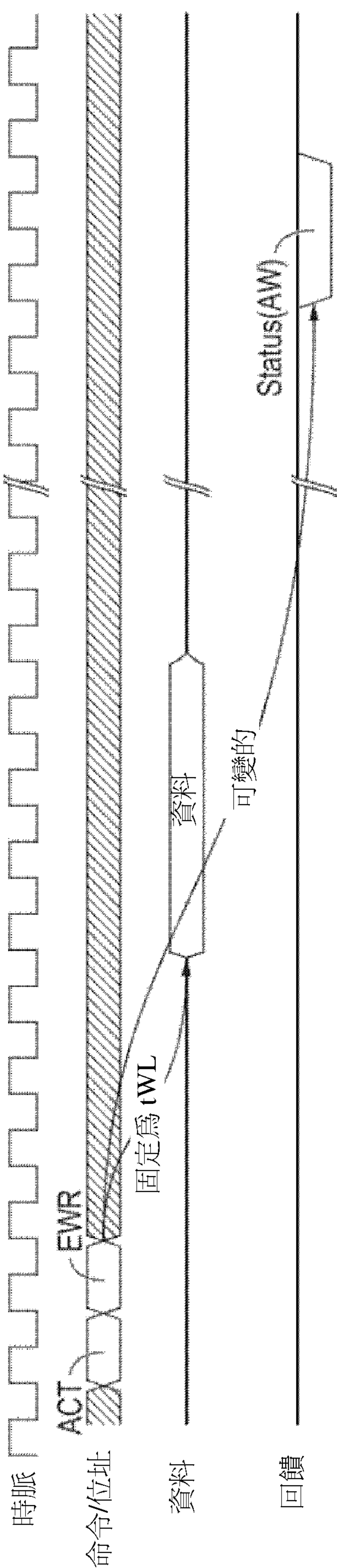
【圖4】

無寫入確認的複合寫入操作



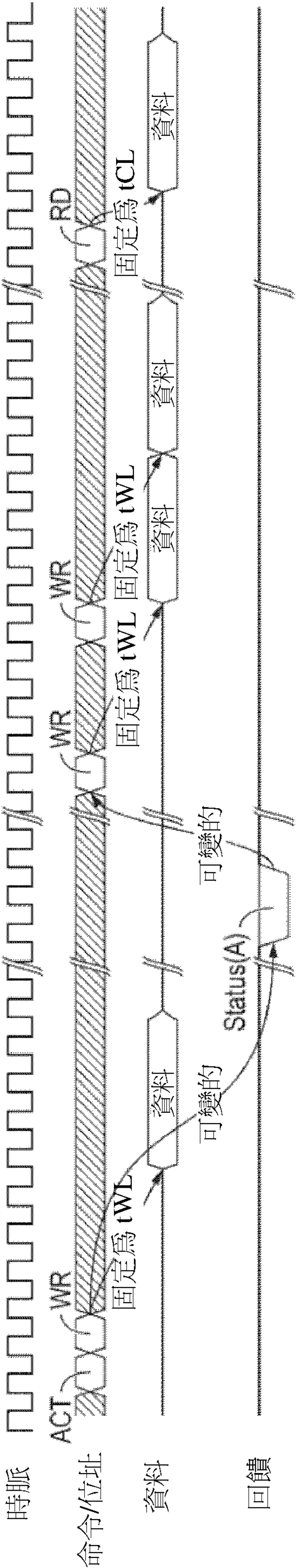
【圖5】

具有寫入確認的複合寫入操作



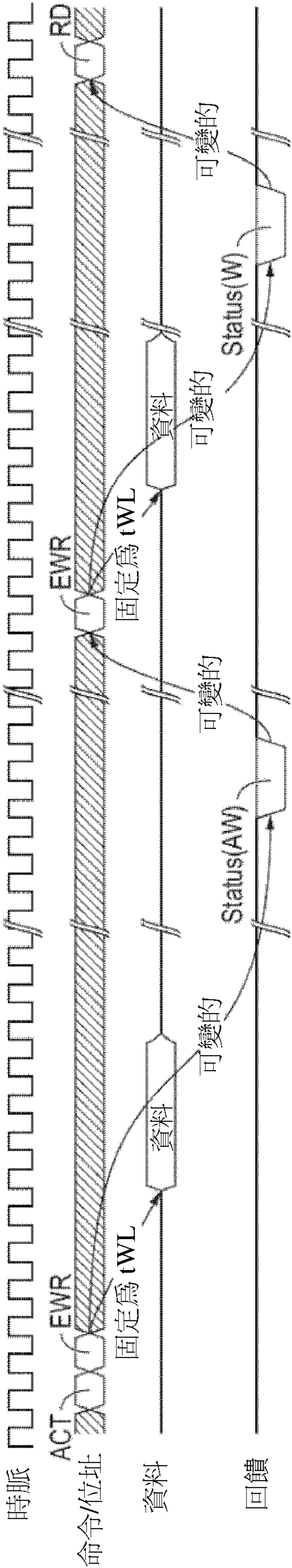
【圖6】

無寫入確認命令的時序圖-打開頁面



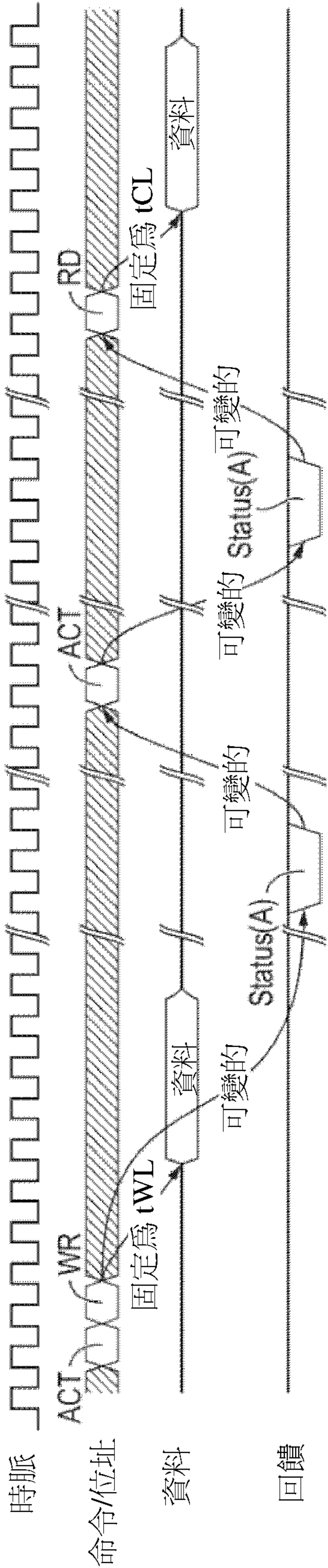
【圖7】

具有寫入確認命令的時序圖-打開頁面



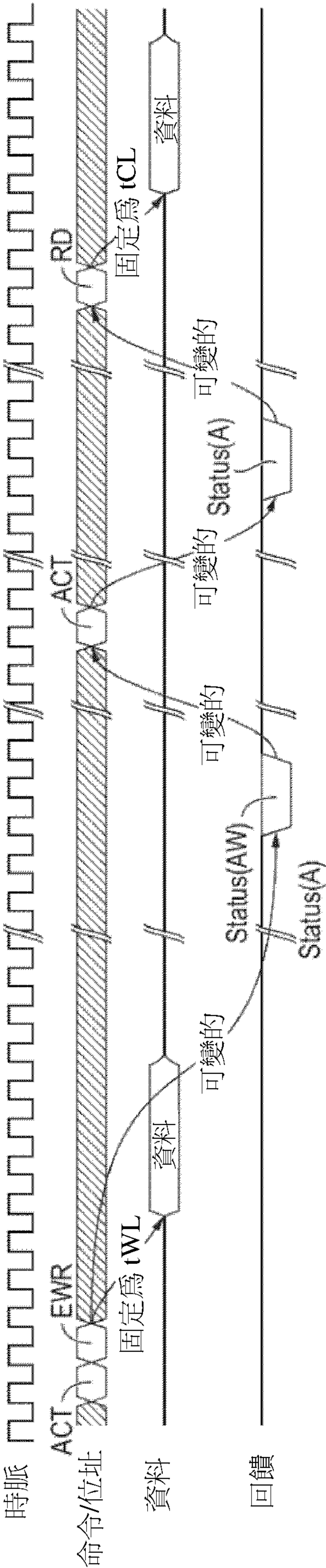
【圖8】

無寫入確認命令的時序圖-關閉頁面

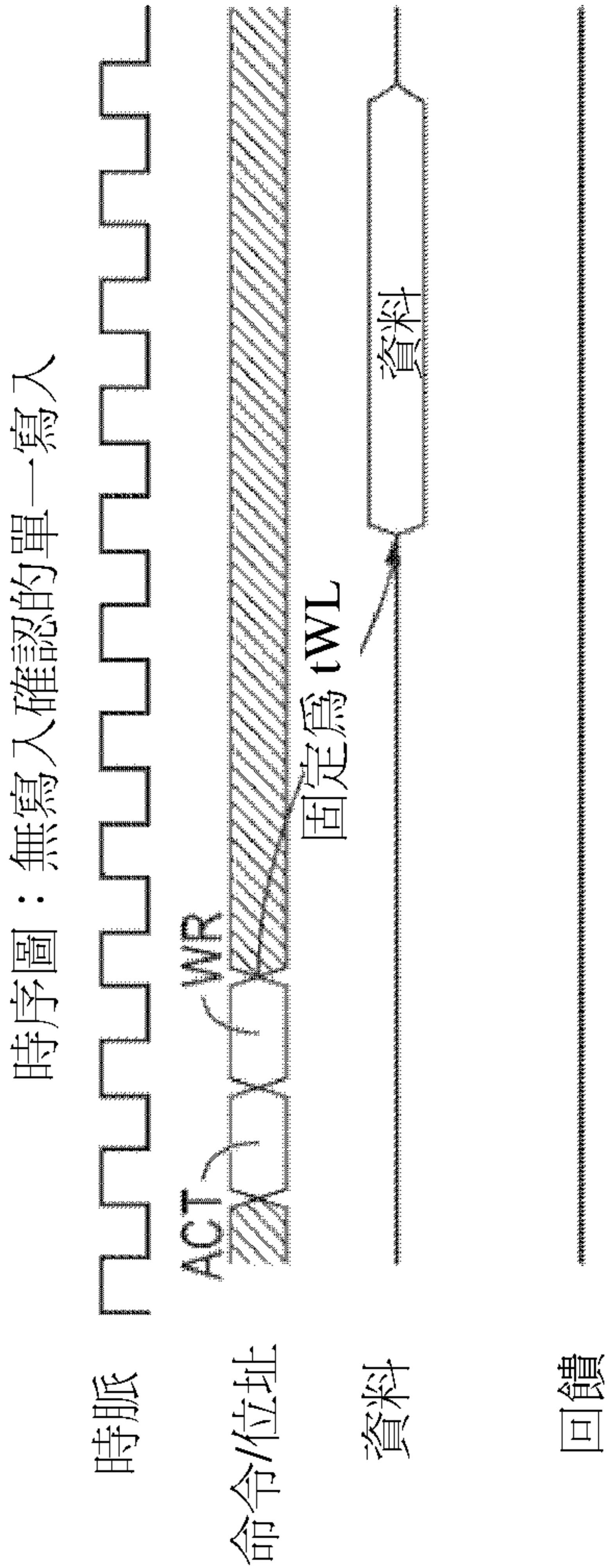


【圖9】

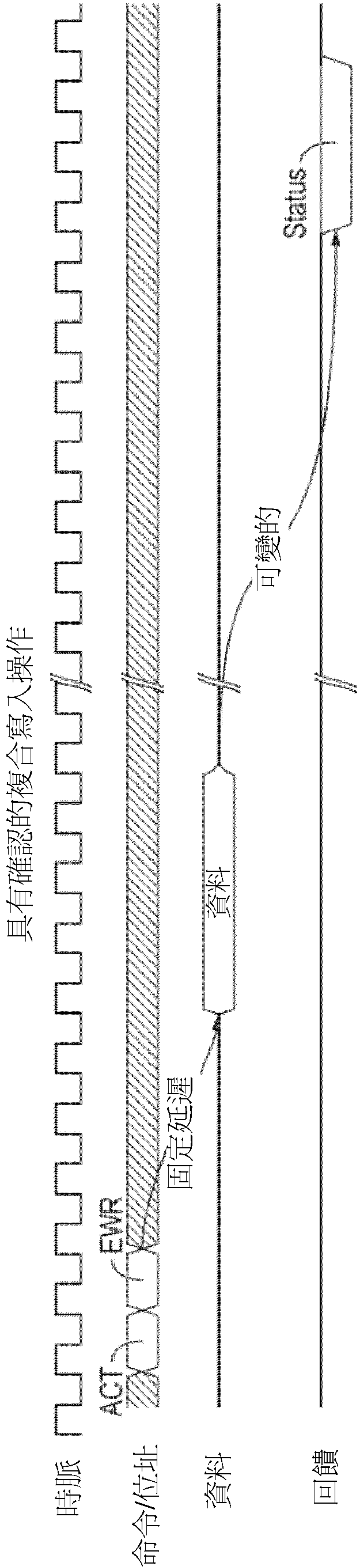
具有寫入確認命令的時序圖-關閉頁面



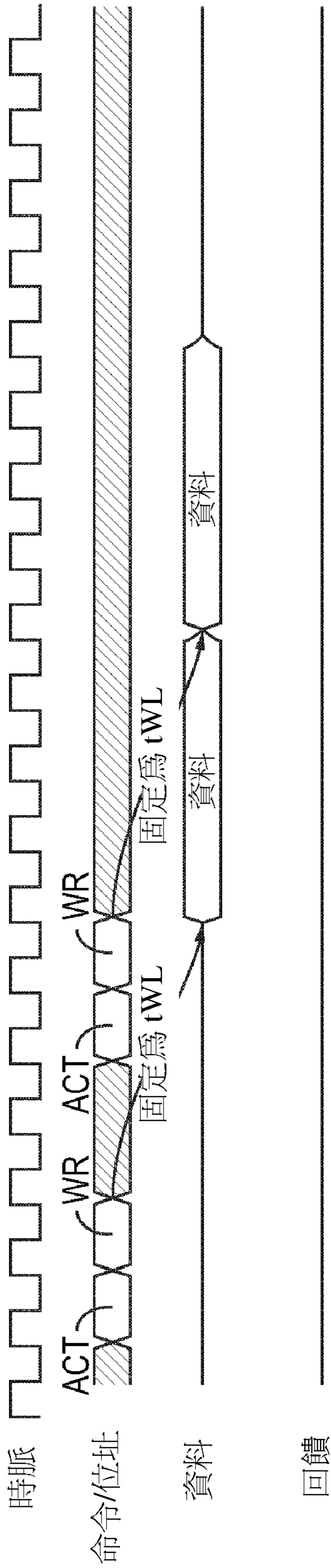
【圖10】



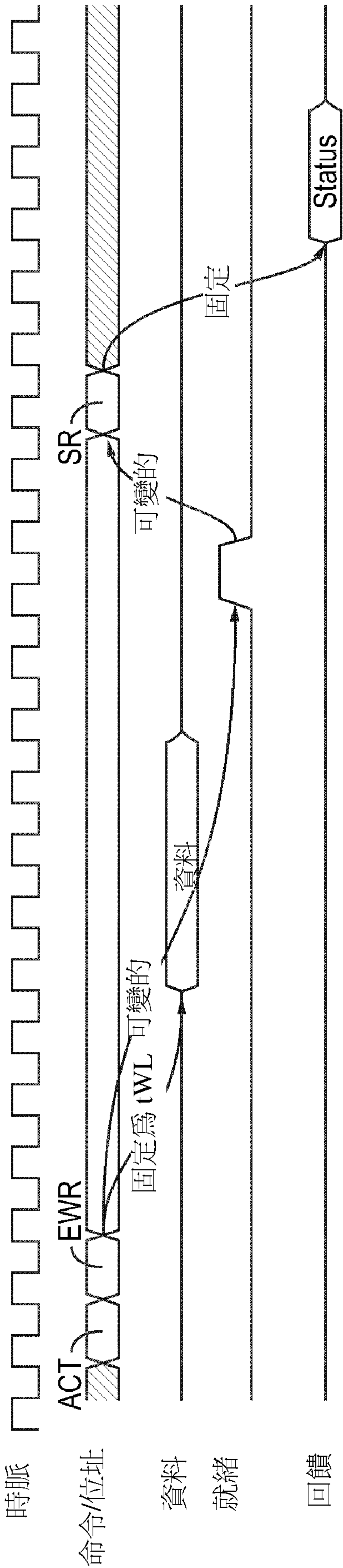
【圖11】



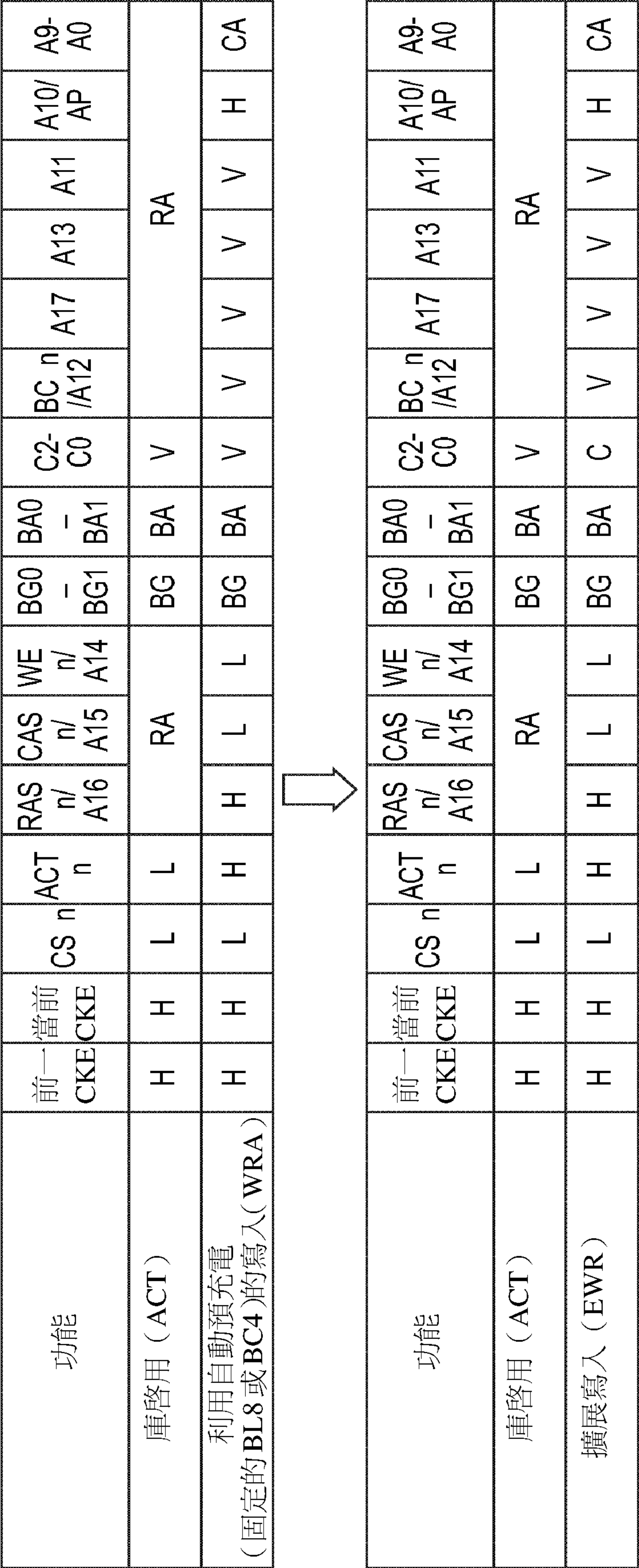
【圖12】



【圖13】



【圖14】

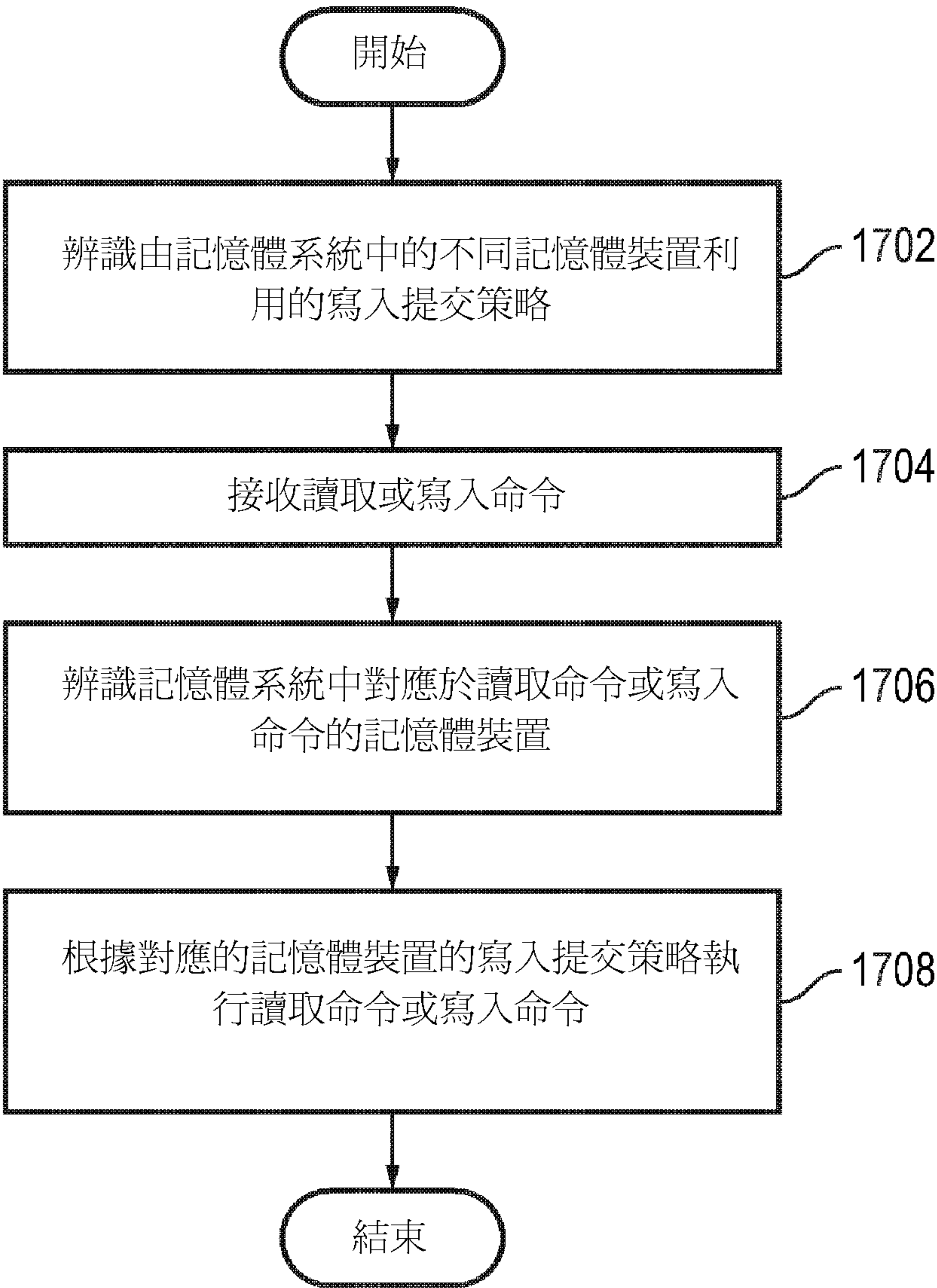


【圖15】

功能	前一 CKE	當前 CKE	CS _n	ACT _n	RAS n/ A16	CAS n/ A15	WE n/ A14	BG0 – BG1	BA0 – BA1	C2- C0	BC _n /A12	A17	A13	A11	A10/ AP	A9- A0
庫啓用（ACT）	H	H	L	L	RA			BG	BA	V	RA					
RFU	H	H	L	H	L	H	H	RFU								

功能	前一 CKE	當前 CKE	CS _n	ACT _n	RAS n/ A16	CAS n/ A15	WE n/ A14	BG0 – BG1	BA0 – BA1	C2- C0	BC _n /A12	A17	A13	A11	A10/ AP	A9- A0
庫啓用（ACT）	H	H	L	L	RA			BG	BA	V	RA					
擴展寫入（EWR）	H	H	L	H	L	H	H	BG	BA	V	V	L	V	V	H	CA
RFU	H	H	L	H	L	H	H	RFU							L	RFU

【圖16】



【圖17】