

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年11月21日(21.11.2019)



(10) 国際公開番号

WO 2019/220971 A1

(51) 国際特許分類:
G02F 1/015 (2006.01) *G02F 1/025* (2006.01)

(21) 国際出願番号: PCT/JP2019/018375

(22) 国際出願日: 2019年5月8日(08.05.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-094358 2018年5月16日(16.05.2018) JP

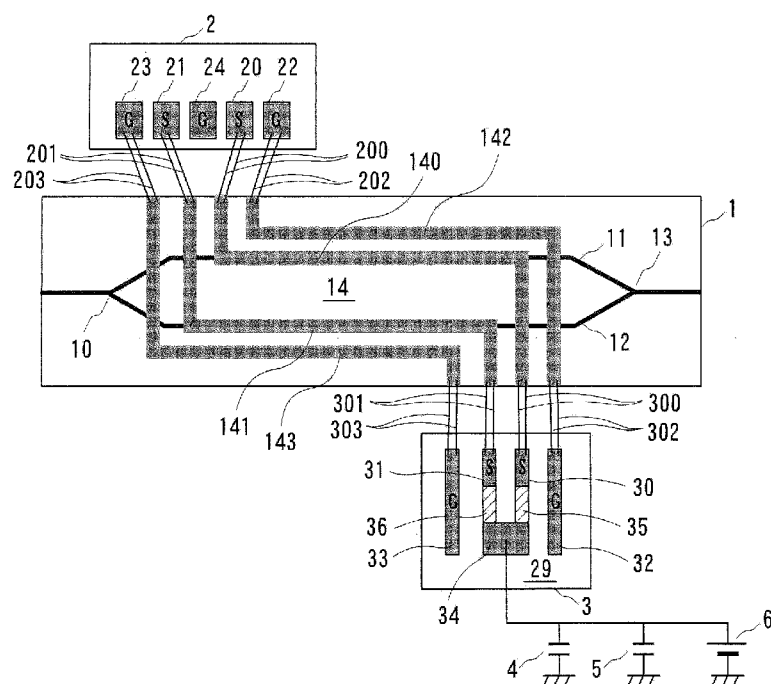
(71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).

(72) 発明者: 尾崎 常祐(OZAKI, Josuke); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 金澤 慈(KANAZAWA, Shigeru); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 田野辺 博正(TANOBE, Hiromasa); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).

(74) 代理人: 山川 茂樹, 外(YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町2丁目11番1号 山王パークタワー4階 山川国際特許事務所内 Tokyo (JP).

(54) Title: OPTICAL MODULATOR

(54) 発明の名称: 光変調器



(57) Abstract: The present invention suppresses reflection between a Mach-Zehnder modulator and a terminating resistor. This optical modulator comprises a differential-drive open-collector driver IC2, a differential-drive semiconductor Mach-Zehnder modulator 1, and a differential terminator 3. The Mach-Zehnder modulator 1 comprises waveguides 11, 12 and a differential high-frequency line 14. The differential terminator 3 comprises a differential high-frequency line 29 and terminating resistors 35, 36. The differential high-frequency line 29 is made to have capacitance between signal lines

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

and/or between the signal lines and ground lines.

(57) 要約: マッハツェンダ変調器と終端抵抗間の反射を抑制する。光変調器は、差動駆動オープンコレクタ型ドライバIC 2と、差動駆動半導体マッハツェンダ変調器1と、差動終端器3とを備える。マッハツェンダ変調器1は、導波路11, 12と、差動高周波線路14を備える。差動終端器3は、差動高周波線路29と、終端抵抗35, 36を備える。差動高周波線路29は、信号線路間、および信号線路とグランド線路間のうち少なくとも一方の線路間に容量を備える。

明 細 書

発明の名称：光変調器

技術分野

[0001] 本発明は、電気信号で光信号を変調する光変調器に関するものである。

背景技術

[0002] 近年の爆発的なデータ通信量の増大に伴い光通信システムの大容量化が求められており、使われる光部品の集積化、複雑化、高速化が進められている。そういった光部品の中には、例えば、光変調器が挙げられる。最近では、伝送容量を増大するため、QPSK (Quadrature Phase Shift Keying) や 16QAM (Quadrature Amplitude Modulation) などの多値変調に対応するマッハツェンダ (MZ : Mach-Zehnder) 変調器をベースとした光 I/Q 変調器 (例えば、非特許文献 1 参照) が用いられるようになってきている。

[0003] 通常、光 I/Q 変調器は、図 14 に示すとおり光分波器 100 と、I 側 MZ 変調器 101 と、Q 側 MZ 変調器 102 と、光合波器 103 と、I 側 MZ 変調器 101 の駆動用に用意されたドライバ IC 104 と、Q 側 MZ 変調器 102 の駆動用に用意されたドライバ IC 105 と、ドライバ IC 104 によって生成された I 側高周波電気信号を伝送する入力高周波線路 106 と、ドライバ IC 105 によって生成された Q 側高周波電気信号を伝送する入力高周波線路 107 と、I 側 MZ 変調器 101 の光変調領域に形成された光変調高周波線路 108 と、Q 側 MZ 変調器 102 の光変調領域に形成された光変調高周波線路 109 と、I 側 MZ 変調器 101 の光変調領域を通過した I 側高周波電気信号を伝送する出力高周波線路 110 と、Q 側 MZ 変調器 102 の光変調領域を通過した Q 側高周波電気信号を伝送する出力高周波線路 111 と、出力高周波線路 110 の終端に接続された終端抵抗 112 と、出力高周波線路 111 の終端に接続された終端抵抗 113 とから構成される。

[0004] このような光 I/Q 変調器においては、ドライバ IC 104, 105 によって生成された高周波電気信号は、入力高周波線路 106, 107 を介して

光変調領域に形成された光変調高周波線路108, 109に入力される。ここで、I側MZ変調器101は、光分波器100からの入力光を、光変調高周波線路108に入力されたI側高周波電気信号に応じて電気光学効果により変調する。同様に、Q側MZ変調器102は、光分波器100からの入力光を、光変調高周波線路109に入力されたQ側高周波電気信号に応じて変調する。

[0005] 例えば、100 Gbit/s以上の光変調信号を生成するため、チップ内のそれぞれMZ変調器101, 102には数十Gbaudのシンボルレートの高速な電気信号が入力されることになる。このように非常に高い周波数の信号を扱うため、高品質な光信号を生成するために光変調器には、広帯域なEO（電気光学）帯域を持つことが求められる。広帯域化については、進行波電極の採用が有効な方法として知られている。この進行波電極の設計においては、光変調高周波線路の終端抵抗とのインピーダンス整合と、電気と光の速度整合を取ることが重要である。終端抵抗と光変調器の高周波線路間でインピーダンス不整合が発生すると、反射波が光変調領域に戻ることで、この反射波の影響により高周波特性の劣化を招くことになる。

[0006] さらに、最近ではドライバICと光変調器との接続方法として、オープンドレイン、あるいは、オープンコレクタ構成が提案されている（非特許文献2参照）。この構成では、任意のインピーダンスを持つ光変調器に効率よく高周波電気信号を入力でき、低消費電力化も図れるという特徴を有する。

[0007] しかしながら、変調器側からドライバICを見たインピーダンス、すなわち、出力インピーダンスが無限大に見えるため、入力高周波線路以降でインピーダンス不整合による反射点があると、ドライバICと反射点との間で多重反射が発生し、場合によっては高周波特性および波形に劣化が生じることがあった。そのため、オープンコレクタ型ドライバICまたはオープンドレイン型ドライバICと光変調器とを接続する場合には、光変調器の高周波線路上でのインピーダンス整合はもちろんのこと、光変調器の高周波線路と終

端器のインピーダンス不整合をどのように抑圧するかが課題となっていた。

[0008] 以上のように、従来の光変調器には、オープンコレクタ（またはドレイン）型ドライバICと、終端抵抗がワイヤ接続された半導体マッハツェンダ変調器とを接続した際に、半導体マッハツェンダ変調器と終端抵抗間を接続するワイヤのインダクタンス成分の影響のため、インピーダンス不整合や電界分布の不連続により反射波が生じてしまい、生じた反射波が、ドライバICと終端抵抗間で共振してしまいそれにより、高周波特性が劣化するという課題があった。

先行技術文献

非特許文献

[0009] 非特許文献1：Nobuhiro Kikuchi, et al., “80-Gb/s Low-Driving-Voltage InP DQPSK Modulator With an n-p-i-n Structure”, IEEE PHOTONICS TECHNOLOGY LETTERS, VOL.21, NO.12, JUNE 15, 2009

非特許文献2：N. Wolf, et al., “Electro-Optical Co-Design to Minimize Power Consumption of a 32 GBd Optical IQ-Transmitter Using InP MZ-Modulators”, 37th IEEE COMPOUND SEMICONDUCTOR IC (CSIC) SYMPOSIUM, 2015

発明の概要

発明が解決しようとする課題

[0010] 本発明は、上記課題を解決するためになされたもので、マッハツェンダ変調器と終端抵抗間の反射を抑制することができる光変調器を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の光変調器は、光変調のための差動高周波電気信号を生成するドライバICと、第1の差動高周波線路に入力される前記差動高周波電気信号に応じて入力光を変調する差動駆動マッハツェンダ変調器と、前記第1の差動高周波線路の終端にワイヤを介して接続された差動終端器とを備え、前記ド

ライバ | C は、差動駆動オープンコレクタ型ドライバ | C または差動駆動オープンドレイン型ドライバ | C であり、前記差動駆動マッハツェンダ変調器は、前記入力光を導波する導波路と、入力端に前記ドライバ | C からの差動高周波電気信号が入力され、この差動高周波電気信号を前記導波路に印加する前記第 1 の差動高周波線路とを備え、前記差動終端器は、前記第 1 の差動高周波線路とワイヤを介して接続された第 2 の差動高周波線路と、この第 2 の差動高周波線路の信号線路に接続された終端抵抗とを備え、前記第 1 の差動高周波線路と前記第 2 の差動高周波線路の各々は、並べて配置された第 1、第 2 の信号線路とこの第 1、第 2 の信号線路の両側に配置された第 1、第 2 のグランド線路とを少なくとも備え、前記第 1 の差動高周波線路と前記第 2 の差動高周波線路のうち少なくとも一方は、前記第 1、第 2 の信号線路間、および前記第 1、第 2 の信号線路と前記第 1、第 2 のグランド線路間のうち少なくとも一方の線路間に容量を備えることを特徴とするものである。

[0012] また、本発明の光変調器の 1 構成例において、前記第 1、第 2 の信号線路間に設けられる容量は、前記第 1、第 2 の信号線路間を一定距離を保ったまま容量結合するミアンダ構造からなり、前記第 1、第 2 の信号線路と前記第 1、第 2 のグランド線路間に設けられる容量は、前記第 1 の信号線路とこれに隣接する前記第 1 のグランド線路間を一定距離を保ったまま容量結合するミアンダ構造、および前記第 2 の信号線路とこれに隣接する前記第 2 のグランド線路間を一定距離を保ったまま容量結合するミアンダ構造からなることを特徴とするものである。

また、本発明の光変調器の 1 構成例において、前記第 1、第 2 の信号線路と前記第 1、第 2 のグランド線路間に設けられる容量は、前記第 1 の信号線路とこれに隣接する前記第 1 のグランド線路間を下層の誘電体層を介して容量結合する誘電体層構造、および前記第 2 の信号線路とこれに隣接する前記第 2 のグランド線路間を下層の誘電体層を介して容量結合する誘電体層構造からなることを特徴とする光変調器。

また、本発明の光変調器の 1 構成例において、前記第 1、第 2 の信号線路

間に設けられる容量は、異なる層に配置された前記第 1 の信号線路と前記第 2 の信号線路間を誘電体層を介して容量結合する誘電体層構造からなり、前記第 1、第 2 の信号線路と前記第 1、第 2 のグランド線路間に設けられる容量は、異なる層に配置された前記第 1 の信号線路と前記第 1 のグランド線路間を誘電体層を介して容量結合する誘電体層構造、および異なる層に配置された前記第 2 の信号線路と前記第 2 のグランド線路間を誘電体層を介して容量結合する誘電体層構造からなることを特徴とするものである。

[0013] また、本発明の光変調器の 1 構成例において、前記終端抵抗の抵抗値は、設計値 $\pm 10\%$ 以内の値であり、前記差動駆動マッハツェンダ変調器と前記差動終端器の差動インピーダンスの差分は $\pm 20\%$ 以内である。

また、本発明の光変調器の 1 構成例において、前記容量は、前記ワイヤのインダクタンスを L 、前記差動駆動マッハツェンダ変調器および前記差動終端器の差動インピーダンスを Z_{diff} としたとき、 $L / (Z_{diff}^2) \pm 50\%$ の範囲内の値である。

[0014] また、本発明の光変調器の 1 構成例において、前記第 2 の差動高周波線路の第 1 の信号線路とこれに隣接する第 1 のグランド線路間のピッチ、および前記第 2 の差動高周波線路の第 2 の信号線路とこれに隣接する第 2 のグランド線路間のピッチは、共に一定である。

また、本発明の光変調器の 1 構成例において、前記差動終端器の終端抵抗は、一端が前記第 2 の差動高周波線路の第 1、第 2 の信号線路に接続され、他端に前記ドライバ IC の駆動用電圧が印加され、前記差動終端器の前記第 2 の差動高周波線路と前記終端抵抗とは、窒化アルミニウムからなる基板上に形成される。

発明の効果

[0015] 本発明は、差動駆動マッハツェンダ変調器の高周波線路の電磁界分布を維持しながらモード結合することができる差動終端器を実現することができ、さらに第 1 の差動高周波線路と第 2 の差動高周波線路のうち少なくとも一方の、第 1、第 2 の信号線路間、および第 1、第 2 の信号線路と第 1、第 2 の

グラウンド線路間のうち少なくとも一方の線路間に容量を設けることにより、差動駆動マッハツェンダ変調器と差動終端器間を接続するワイヤのインダクタンス成分の影響を抑えることができ、反射波を抑制し、反射波によって生じる光変調器の特性劣化を解決することができる。

図面の簡単な説明

[0016] [図1]図1は、本発明の実施例に係る光変調器の構成を示すブロック図である。

[図2]図2は、本発明の実施例に係る差動駆動オープンコレクタ型ドライバICの出力段の構成を示す回路図である。

[図3]図3は、本発明の実施例に係る光変調器の差動終端器の別の例を示す平面図である。

[図4]図4は、信号線路とグラウンド線路間のピッチが一定でない差動終端器の例を示す平面図である。

[図5]図5は、図3、図4の差動終端器の反射特性のシミュレーション結果を示す図である。

[図6]図6は、差動駆動半導体マッハツェンダ変調器と差動終端器間の差動反射特性の、ワイヤインダクタンス依存性を示す図である。

[図7]図7は、本発明の実施例に係る光変調器の差動終端器の別の例を示す平面図である。

[図8]図8は、本発明の実施例に係る光変調器の差動終端器の別の例を示す平面図である。

[図9]図9は、本発明の実施例に係る光変調器の差動終端器の別の例を示す平面図である。

[図10]図10は、本発明の実施例に係る差動駆動半導体マッハツェンダ変調器と差動終端器間の差動反射特性の1例を示す図である。

[図11]図11は、本発明の実施例に係る光変調器のEO特性の例を示す図である。

[図12]図12は、本発明の実施例に係る光変調器の別の構成を示す平面図で

ある。

[図13]図13は、本発明の実施例に係る差動駆動オープンコレクタ型ドライバICの出力段の構成を示す回路図である。

[図14]図14は、従来の光I/Q変調器の構成を示すブロック図である。

発明を実施するための形態

[0017] 以下、本発明の実施例について図面を参照して説明する。図1は本発明の実施例に係る光変調器の構成を示すブロック図である。本実施例の光変調器は、差動インピーダンス100Ω、同相インピーダンス25Ωの差動駆動半導体MZ変調器1と、光変調のための差動高周波電気信号を生成する差動駆動オープンコレクタ型ドライバIC2と、差動インピーダンス100Ω、同相インピーダンス25Ωの差動終端器3と、差動駆動オープンコレクタ型ドライバIC2の駆動用電圧の電源ラインと接地との間に設けられるコンデンサ4、5とから構成される。

[0018] 差動駆動半導体MZ変調器1は、入力光を2つに分波する分波器10と、分波された各入力光を導波する2本の半導体導波路11、12と、半導体導波路11、12の出力光を合波して出力する光合波器13と、2本の半導体導波路11、12に差動駆動オープンコレクタ型ドライバIC2からの差動高周波電気信号を印加する差動高周波線路14とを備えている。

[0019] 差動高周波線路14は、2本の半導体導波路11、12に沿って配置された導体からなる信号線路(S)140、141と、2本の信号線路140、141の両側に配置された導体からなるグランド線路(G)142、143とから構成される。このように、差動高周波線路14は、GSSG構成の線路となっている。

[0020] 分波器10と半導体導波路11、12と光合波器13と差動高周波線路14とは、半導体基板上に形成される。導波路および線路の構造と導波路に高周波電気信号を印加する電極構造は、例えば再表2016-194369号公報に開示されている。

[0021] 差動駆動オープンコレクタ型ドライバIC2は、光変調のための入力高周

波電気信号を増幅して差動高周波電気信号を生成する。図2に示すように、このドライバIC2の出力段の差動構成のトランジスタQ1、Q2の各々のコレクタが信号パッド20、21に接続されている。図1の22~24はドライバIC2のグランドパッドである。

[0022] ドライバIC2の正相側高周波電気信号の出力用の信号パッド20は、2本の $\phi 25\mu\text{m}$ 以下のワイヤ200を介して正相側の信号線路140の入力端と接続されている。同様に、ドライバIC2の逆相側高周波電気信号の出力用の信号パッド21は、2本の $\phi 25\mu\text{m}$ 以下のワイヤ201を介して逆相側の信号線路141の入力端と接続されている。ドライバIC2のグランドパッド22は、2本の $\phi 25\mu\text{m}$ 以下のワイヤ202を介してグランド線路142の入力端と接続されている。同様に、ドライバIC2のグランドパッド23は、2本の $\phi 25\mu\text{m}$ 以下のワイヤ203を介してグランド線路143の入力端と接続されている。

[0023] 差動終端器3は、導体からなる2本の信号線路(S)30、31と、2本の信号線路30、31の両側に配置された導体からなるグランド線路(G)32、33と、差動駆動オープンコレクタ型ドライバIC2への電圧供給用の導体からなる信号線路34と、信号線路30と信号線路34との間に挿入される終端抵抗35と、信号線路31と信号線路34との間に挿入される終端抵抗36とから構成される。このように、差動終端器3は、信号線路30、31とグランド線路32、33とからなるGSSG構成の差動高周波線路29を有する。

[0024] 正相側の信号線路140の終端は、2本の $\phi 25\mu\text{m}$ 以下のワイヤ300を介して差動終端器3の正相側の信号線路30と接続されている。同様に、逆相側の信号線路141の終端は、2本の $\phi 25\mu\text{m}$ 以下のワイヤ301を介して差動終端器3の逆相側の信号線路31と接続されている。グランド線路142の終端は、2本の $\phi 25\mu\text{m}$ 以下のワイヤ302を介して差動終端器3のグランド線路32と接続されている。グランド線路143の終端は、2本の $\phi 25\mu\text{m}$ 以下のワイヤ303を介して差動終端器3のグランド線路

３３と接続されている。

[0025] 差動駆動オープンコレクタ型ドライバ１Ｃ２を動作させるための駆動用電圧は、差動終端器３の信号線路３４、終端抵抗３５、３６、信号線路３０、３１、ワイヤ３００、３０１、信号線路１４０、１４１、ワイヤ２００、２０１、パッド２０、２１を介して差動駆動オープンコレクタ型ドライバ１Ｃ２の出力段の差動構成のトランジスタ（不図示）のコレクタに印加される。信号線路３４は、駆動用電圧を生成するＤＣ電源６に接続されている。

[0026] 駆動用電圧のノイズを抑制するため、図１のように所望の容量のコンデンサ４、５を電源線に接続することが望ましい。広帯域に使用するため、コンデンサ４、５の容量を例えば１００ｐＦ、０．１μＦとすることが望ましいが、コンデンサ４、５のうちどちらか一方だけを設けるようにしてもよいし、コンデンサ４、５がなくても本実施例の光変調器は動作する。

[0027] 以上のような構成により、差動駆動半導体ＭＺ変調器１は、半導体導波路１１、１２に入力される入力光を、信号線路１４０、１４１に入力された差動高周波電気信号に応じて電気光学効果により変調する。

[0028] 本実施例の光変調器は６４ＧＢｄ以上の高速動作を前提としており、その場合には、差動終端器３を集中定数的に抵抗と見なすだけでは不十分である。そのため、差動終端器３も単なる抵抗ではなく、高周波部品として考える必要がある。

[0029] 本実施例では、差動終端器３上の高周波線路は、差動駆動半導体ＭＺ変調器１の差動高周波線路１４の電磁界分布を維持しながらモード結合するように、差動高周波線路１４と同一の線路幅および同一のピッチからなるＧＳＳＧ構成の差動高周波線路２９となっている。すなわち、信号線路３０、３１の線路幅は、それぞれ信号線路１４０、１４１の線路幅と等しい。また、グランド線路３２、３３の線路幅は、それぞれグランド線路１４２、１４３の線路幅と等しい。

[0030] また、信号線路３０、３１間のピッチは、信号線路１４０、１４１間のピッチと等しい。信号線路３０とグランド線路３２間のピッチは、信号線路１

40とグランド線路142間のピッチと等しく、信号線路31とグランド線路33間のピッチは、信号線路141とグランド線路143間のピッチと等しい。

[0031] また、同相モードの円滑な伝搬を実現するために、差動終端器3内で信号線路30とグランド線路32間のピッチと信号線路34とグランド線路32間のピッチは一定となっており、同様に信号線路31とグランド線路33間のピッチと信号線路34とグランド線路33間のピッチは一定となっている。

[0032] 図1の例では、一般的に用いられる差動インピーダンス100Ω、同相インピーダンス25Ωを前提としたが、差動駆動オープンコレクタ型ドライバIC2の特性上、例えば差動インピーダンス75Ωや差動インピーダンス50Ω等のインピーダンスとしても問題ない。一方で、同相インピーダンスが、差動インピーダンスの1/4でない場合には、同相インピーダンスを完全に終端させるために、追加の抵抗が必要となる。

[0033] 図3は、同相終端用に、追加の終端抵抗37を備える差動終端器3の構成を示している。この場合、終端抵抗35、36は、一端が信号線路30、31に接続され、他端が共通の信号線路38に接続されている。そして、終端抵抗37の一端は信号線路38に接続され、他端が信号線路34に接続されている。この図3のような差動終端器3の構成により、差動駆動半導体MZ変調器1の同相インピーダンスが、差動インピーダンスの1/4でない場合でも、十分な終端を実現できる。

[0034] 図3では、高周波線路として考えた場合の伝送特性を考慮し、信号線路30とグランド線路32間のピッチと信号線路38とグランド線路32間のピッチと信号線路34とグランド線路32間のピッチは一定値P1となっており、同様に信号線路31とグランド線路33間のピッチと信号線路38とグランド線路33間のピッチと信号線路34とグランド線路33間のピッチは一定値P2となっている。これにより、図4の例のように信号線路とグランド線路間のピッチが一定でない場合に比べて、図3の構成では差動入力反射

特性を改善することができる。

[0035] 図5に、図3、図4の差動終端器の反射特性（ S_{dd11} ）のシミュレーション結果を示す。図5のA0は図3の差動終端器3の反射特性を示し、A1は図4の差動終端器の反射特性を示している。図4の例のように信号線路とグランド線路間のピッチが一定となっていない場合には、反射特性が劣化してしまうことが分かる。

[0036] さらに、図6によれば、差動駆動半導体MZ変調器1と差動終端器3間のワイヤ300～303のインダクタンスの大きさ（ワイヤの長さ）によって、差動駆動半導体MZ変調器1と差動終端器3間の差動反射特性（ S_{dd11} ）が劣化することが分かる。図6のB0はワイヤ300～303のインダクタンスLが0pHの場合の反射特性、B1はインダクタンスLが50pHの場合の反射特性、B2はインダクタンスLが100pHの場合の反射特性、B3はインダクタンスLが150pHの場合の反射特性を示している。

[0037] 本実施例では、差動終端器3のワイヤボンディングパッド部（信号線路—信号線路間、または信号線路—グランド線路間）に、ばらつきも考えて、式（1）で決まる容量値Cの範囲の容量を持たせることで、ワイヤ300～303の長さに依らず、十分な反射の抑圧を実現することができる。

$$C = L / (Z_{diff}^2) \pm 50\% [F] \quad \dots (1)$$

[0038] 式（1）のLはワイヤ300～303のインダクタンス、 Z_{diff} は差動終端器3の差動高周波線路29の差動インピーダンスの設計値である。このような容量値Cの容量を設けるには、ワイヤボンディングパッド部において、図7～図9に示すようなミアンダ構造を用いれば良い。

[0039] 図7の例では、差動高周波線路29aは、信号線路30a、31aとグランド線路32、33とから構成される。この図7の例の差動終端器3は、信号線路30a、31aを一定距離を保ったまま互いに向き合う部分の長さを増加させるミアンダ構造を有するものとし、信号線路30aと信号線路31aとを容量結合したものである。

[0040] 図8の例では、差動高周波線路29bは、信号線路30b、31bとグラ

ンド線路 3 2, 3 3 とから構成される。この図 8 の例の差動終端器 3 は、信号線路 3 0 b とグランド線路 3 2 b を一定距離を保ったまま互いに向き合う部分の長さを増加させるミアンダ構造と、信号線路 3 1 b とグランド線路 3 3 b を一定距離を保ったまま互いに向き合う部分の長さを増加させるミアンダ構造とを有するものとし、信号線路 3 0 b とグランド線路 3 2 b とを容量結合すると共に、信号線路 3 1 b とグランド線路 3 3 b とを容量結合したものである。

[0041] 図 9 の例では、差動高周波線路 2 9 c は、信号線路 3 0 c, 3 1 c とグランド線路 3 2, 3 3 とから構成される。この図 9 の例の差動終端器 3 は、信号線路 3 0 c, 3 1 c と信号線路 3 4 c を一定距離を保ったまま互いに向き合う部分の長さを増加させるミアンダ構造を有するものとし、信号線路 3 0 c と信号線路 3 4 c とを容量結合すると共に、信号線路 3 1 c と信号線路 3 4 c とを容量結合したものである。

[0042] 差動終端器 3 の構成として図 7 の構成を用いた場合の、差動駆動半導体 M Z 変調器 1 と差動終端器 3 間の差動反射特性 (S_{dd11}) を図 10 に示す。ここでは、ワイヤ 3 0 0 ~ 3 0 3 のインダクタンス L を 150 p H とした。図 10 の D 0 は差動終端器 3 が図 7 に示した構成の場合の反射特性を示し、図 10 の D 1 は差動終端器 3 が図 1 に示した構成の場合の反射特性を示している。図 7 の構成において、信号線路 3 0 a と信号線路 3 1 a 間の容量値 C は、式 (1) に従って決定した。

[0043] 図 10 によれば、差動終端器 3 の信号線路—信号線路間、または信号線路—グランド線路間に容量を設けることで、ワイヤ 3 0 0 ~ 3 0 3 のインダクタンス (長さ・本数等) によらず、差動駆動半導体 M Z 変調器 1 と差動終端器 3 間の反射を抑圧できることが分かる。

[0044] なお、図 7 ~ 図 9 の例では、差動終端器 3 側に容量を設けるようにしているが、差動駆動半導体 M Z 変調器 1 の差動高周波線路 1 4 の終端部において、例えば図 7 と同様のミアンダ構造により信号線路 1 4 0 と信号線路 1 4 1 とを容量結合してもよいし、図 8 と同様のミアンダ構造により信号線路 1 4

0とグランド線路142とを容量結合すると共に、信号線路141とグランド線路143とを容量結合するようにしてもよい。

[0045] 差動駆動半導体MZ変調器1の差動高周波線路14の差動インピーダンスの設計値と差動終端器3の差動高周波線路29, 29a~29cの差動インピーダンスの設計値は同じ値であるから、差動駆動半導体MZ変調器1側に容量を設ける場合においても、式(1)により容量値Cを決定すればよい。

[0046] また、差動終端器3と差動駆動半導体MZ変調器1の両方に容量を設けるようにしてもよい。また、信号線路—信号線路間、および信号線路—グランド線路間の両方に容量を設けるようにしてもよい。

[0047] また、ミアンダ構造の代わりに、誘電体層構造を設けるようにしてもよい。つまり、誘電体基板(誘電体層)の表面に信号線路とグランド線路とを形成し、グランド線路と誘電体基板の裏面にあるグランド導体とを例えばビアホール等で接続すれば、信号線路とこれに隣接するグランド線路間を下層の誘電体層を介して容量結合することができる。

[0048] また、誘電体層構造を、信号線路—信号線路間に設ける場合、異なる層に配置された信号線路間をその間の誘電体層を介して容量結合するものとしてもよい。また、誘電体層構造を、信号線路—グランド線路間に設ける場合、異なる層に配置された信号線路とグランド線路間をその間の誘電体層を介して容量結合するものとしてもよい。

[0049] また、上記のとおり、差動終端器3は、駆動用電圧を差動駆動オープンコレクタ型ドライバIC2に供給するための中継点として機能し、50mA以上の電流が流れるために発熱がある。そこで、差動終端器3での放熱性を良くするために、差動終端器3の基板の材料として窒化アルミニウム(AIN)を使用し、このAIN製の基板の上に信号線路30, 30a~30c, 31, 31a~31c, 34, 34cおよび終端抵抗35, 36を形成することが望ましい。

[0050] また、50mA以上の電流が差動駆動半導体MZ変調器1の差動高周波線路14から差動駆動オープンコレクタ型ドライバIC2に流れるため、差動

高周波線路 14 に関しても十分な電流許容量を持っている必要がある。流れる電流を 50 mA 以上とすると、信号線路 140, 141 の幅が最低でも 50 μ m 以上必要となる。このような太い線路幅で任意のインピーダンスおよび速度整合をするためには、差動駆動半導体 MZ 変調器 1 の電極構造は差動容量装荷構造のような、幅広電極を用いることができる構造である必要がある。このような容量装荷構造の電極は、例えば再表 2016-194369 号公報に開示されている。

[0051] 以上のような構造を用いることで、本実施例では、差動駆動半導体 MZ 変調器 1 と差動終端器 3 間の反射を十分に抑圧することで、例えば図 11 に示すような円滑な特性の光変調器を実現することができる。図 11 の E1 は本実施例の光変調器の特性を示し、E2 は従来の光変調器の特性を示している。

[0052] 図 11 によると、十分な反射の抑圧および最適な終端が実現できていない従来の光変調器の場合、終端器とドライバ IC 間での反射波の発生により、光変調器の特性にリップルが生じてしまうことが分かる。このリップルは、ドライバ IC がオープンコレクタ型となっており、ドライバ IC 側に戻った高周波信号が全反射となってしまうことに起因している。

[0053] 図 11 に示すリップルを発生させないためには、使用周波数帯（ボーレートの半分の値）において、差動入力反射（S_{dd11}）が -10 dB 以下であることが必須である。また、差動同相反射（S_{cc11}）について -10 dB 以下であることが望ましい。このような十分に抑圧された反射を実現するためには、終端抵抗 35, 36 の値のばらつきが設計値 $\pm 10\%$ 以内の十分に高精度な差動終端器 3 を用いる必要があり、さらに差動駆動半導体 MZ 変調器 1 と差動終端器 3 の差動インピーダンスの差分が $\pm 20\%$ 以内である必要がある。

[0054] 本実施例では、1 本の信号線路または 1 本のグランド線路あたりのワイヤ 200~203, 300~303 の本数を 2 本としたが、ワイヤ 200~203, 300~303 によるインダクタンスを最小限に抑える意味では、ワ

イヤは短ければ短いほどよく、本数も多いことが望ましい。さらに言えば、ウエッジワイヤやリボンワイヤのようなインダクタンスが低いワイヤを用いることが望ましい。ウエッジワイヤやリボンワイヤは、1本でも金属線に比べ十分にインダクタンスが低いため、複数本用いる必要はない。

[0055] また、本実施例の差動駆動オープンコレクタ型ドライバIC2がグランドパッド23、信号パッド21、グランドパッド24、信号パッド20、グランドパッド22という並びのGSSG構成のパッドを有し、差動駆動半導体MZ変調器1がGSSG構成の差動高周波線路14を有するため、ドライバIC2とMZ変調器1の接続の際にドライバIC2の中央のグランドパッド24をワイヤで接続しておらず、オープンとなっている。

[0056] このような構成は1例であり、差動駆動オープンコレクタ型ドライバIC2がGSSG構成のパッドを有するものであっても構わない。また、差動駆動半導体MZ変調器1がGSSG構成の差動高周波線路14を有するものとしているが、GSSGの差動高周波線路を有するものであってもよい。

[0057] また、本実施例の光変調器では、差動駆動半導体MZ変調器1を例に挙げて説明しているが、これに限るものではなく、半導体以外の材料からなる差動駆動MZ変調器を用いてもよい。

[0058] また、本実施例では、差動駆動MZ変調器を1個用いる例について説明したが、差動駆動MZ変調器を図14のように2つ集積したIQ変調器や、IQ変調器を2つ集積した偏波多重IQ変調器に対しても本発明を適用することが可能である。IQ変調器の場合には、差動駆動オープンコレクタ型ドライバIC2と差動終端器3とを2個ずつ用い、偏波多重IQ変調器の場合には、差動駆動オープンコレクタ型ドライバIC2と差動終端器3とを4個ずつ用いることは言うまでもない。

[0059] また、本実施例では、差動駆動オープンコレクタ型ドライバIC2と差動駆動半導体MZ変調器1との間をワイヤ200～203を介して接続したが、差動駆動半導体MZ変調器1の差動高周波線路14の上に差動駆動オープンコレクタ型ドライバIC2をフリップチップ実装してもよい。この場合の

差動駆動オープンコレクタ型ドライバ１Ｃ２と差動駆動半導体ＭＺ変調器１の平面図を図１２に示す。差動駆動オープンコレクタ型ドライバ１Ｃ２のパッドには、図１と同一の符号を付してある。

[0060] また、本実施例の差動駆動オープンコレクタ型ドライバ１Ｃ２の代わりに、図１３に示すように、ドライバ１Ｃの出力段の差動構成のトランジスタＱ３、Ｑ４の各々のドレインが信号パッド２０、２１に接続された差動駆動オープンドレイン型ドライバ１Ｃを用いてもよい。

産業上の利用可能性

[0061] 本発明は、光変調器に適用することができる。

符号の説明

[0062] １…差動駆動半導体マッハツェンダ変調器、２…差動駆動オープンコレクタ型ドライバ１Ｃ、３…差動終端器、４、５…コンデンサ、６…ＤＣ電源、１０…分波器、１１、１２…半導体導波路、１３…光合波器、１４、２９、２９ａ～２９ｃ…差動高周波線路、２０～２４…パッド、３０、３０ａ～３０ｃ、３１、３１ａ～３１ｃ、３４、３４ｃ、１４０、１４１…信号線路、３２、３３、１４２、１４３…グランド線路、３５、３６…終端抵抗、２００～２０３、３００～３０３…ワイヤ。

請求の範囲

[請求項1]

光変調のための差動高周波電気信号を生成するドライバICと、
第1の差動高周波線路に入力される前記差動高周波電気信号に応じて入力光を変調する差動駆動マッハツェンダ変調器と、
前記第1の差動高周波線路の終端にワイヤを介して接続された差動終端器とを備え、
前記ドライバICは、差動駆動オープンコレクタ型ドライバICまたは差動駆動オープンドレイン型ドライバICであり、
前記差動駆動マッハツェンダ変調器は、前記入力光を導波する導波路と、入力端に前記ドライバICからの差動高周波電気信号が入力され、この差動高周波電気信号を前記導波路に印加する前記第1の差動高周波線路とを備え、
前記差動終端器は、前記第1の差動高周波線路とワイヤを介して接続された第2の差動高周波線路と、この第2の差動高周波線路の信号線路に接続された終端抵抗とを備え、
前記第1の差動高周波線路と前記第2の差動高周波線路の各々は、並べて配置された第1、第2の信号線路とこの第1、第2の信号線路の両側に配置された第1、第2のグランド線路とを少なくとも備え、
前記第1の差動高周波線路と前記第2の差動高周波線路のうち少なくとも一方は、前記第1、第2の信号線路間、および前記第1、第2の信号線路と前記第1、第2のグランド線路間のうち少なくとも一方の線路間に容量を備えることを特徴とする光変調器。

[請求項2]

請求項1記載の光変調器において、
前記第1、第2の信号線路間に設けられる容量は、前記第1、第2の信号線路間を一定距離を保ったまま容量結合するミアンダ構造からなり、
前記第1、第2の信号線路と前記第1、第2のグランド線路間に設けられる容量は、前記第1の信号線路とこれに隣接する前記第1のグ

ランド線路間を一定距離を保ったまま容量結合するミアンダ構造、および前記第2の信号線路とこれに隣接する前記第2のランド線路間を一定距離を保ったまま容量結合するミアンダ構造からなることを特徴とする光変調器。

[請求項3]

請求項1記載の光変調器において、

前記第1、第2の信号線路と前記第1、第2のランド線路間に設けられる容量は、前記第1の信号線路とこれに隣接する前記第1のランド線路間を下層の誘電体層を介して容量結合する誘電体層構造、および前記第2の信号線路とこれに隣接する前記第2のランド線路間を下層の誘電体層を介して容量結合する誘電体層構造からなることを特徴とする光変調器。

[請求項4]

請求項1記載の光変調器において、

前記第1、第2の信号線路間に設けられる容量は、異なる層に配置された前記第1の信号線路と前記第2の信号線路間を誘電体層を介して容量結合する誘電体層構造からなり、

前記第1、第2の信号線路と前記第1、第2のランド線路間に設けられる容量は、異なる層に配置された前記第1の信号線路と前記第1のランド線路間を誘電体層を介して容量結合する誘電体層構造、および異なる層に配置された前記第2の信号線路と前記第2のランド線路間を誘電体層を介して容量結合する誘電体層構造からなることを特徴とする光変調器。

[請求項5]

請求項1乃至4のいずれか1項に記載の光変調器において、

前記終端抵抗の抵抗値は、設計値 $\pm 10\%$ 以内の値であり、

前記差動駆動マッハツェンダ変調器と前記差動終端器の差動インピーダンスの差分は $\pm 20\%$ 以内であることを特徴とする光変調器。

[請求項6]

請求項1乃至5のいずれか1項に記載の光変調器において、

前記容量は、前記ワイヤのインダクタンスを L 、前記差動駆動マッハツェンダ変調器および前記差動終端器の差動インピーダンスを Z_d

$i f f$ としたとき、 $L / (Z d i f f^2) \pm 50\%$ の範囲内の値であることを特徴とする光変調器。

[請求項7]

請求項1乃至6のいずれか1項に記載の光変調器において、

前記第2の差動高周波線路の第1の信号線路とこれに隣接する第1のグランド線路間のピッチ、および前記第2の差動高周波線路の第2の信号線路とこれに隣接する第2のグランド線路間のピッチは、共に一定であることを特徴とする光変調器。

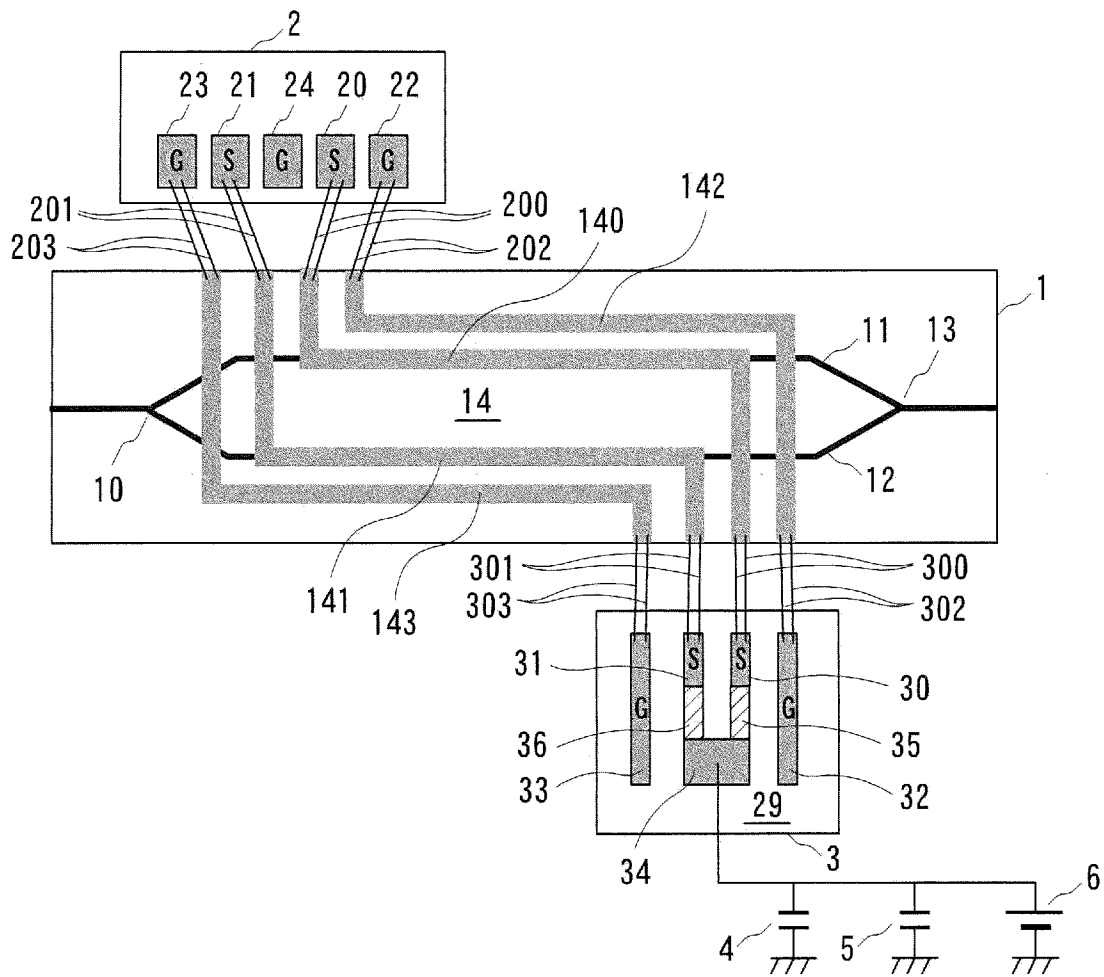
[請求項8]

請求項1乃至7のいずれか1項に記載の光変調器において、

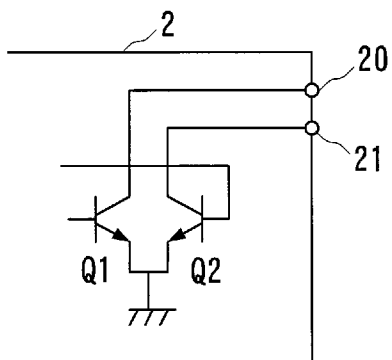
前記差動終端器の終端抵抗は、一端が前記第2の差動高周波線路の第1、第2の信号線路に接続され、他端に前記ドライバICの駆動用電圧が印加され、

前記差動終端器の前記第2の差動高周波線路と前記終端抵抗とは、窒化アルミニウムからなる基板上に形成されることを特徴とする光変調器。

[図1]

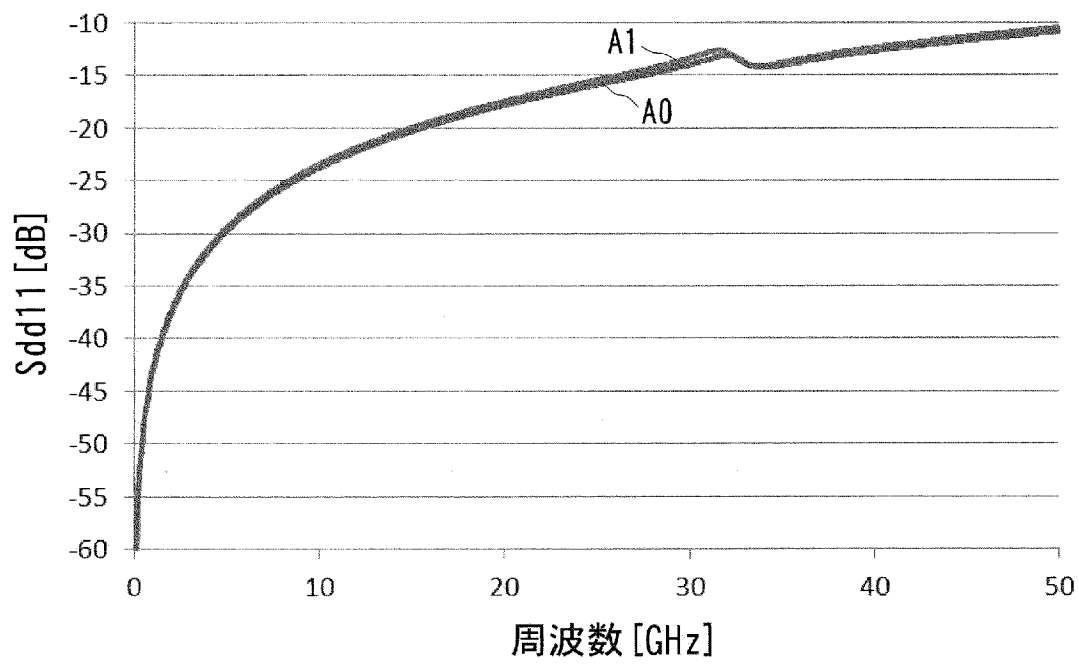


[図2]

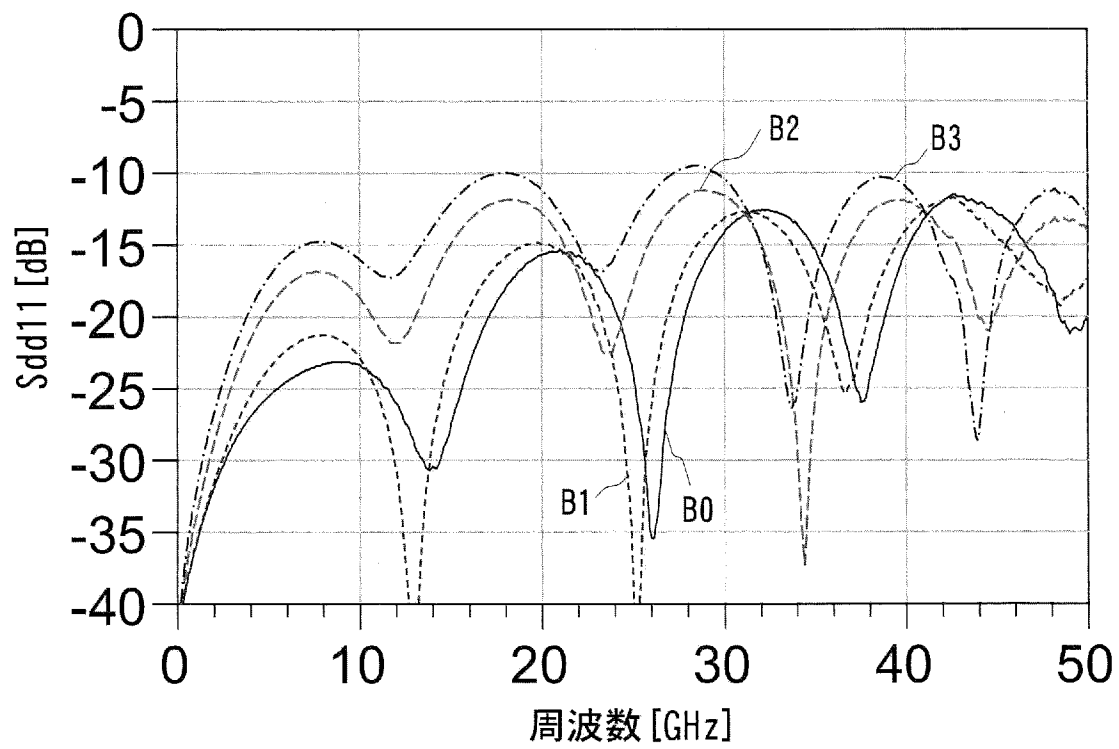


This diagram shows a cross-sectional view of a semiconductor device. A central gate structure, labeled 29, is positioned over a channel region. This central gate consists of a top layer labeled 'S' (semiconductor) and a bottom layer labeled 'G' (gate). The central gate is flanked by two side gates, labeled 30 and 31, which also have 'S' and 'G' layers. The device is supported by a substrate, labeled 32, which has a layer labeled 33 on top. A layer labeled 34 is located between the central gate and the substrate. A layer labeled 35 is located between the side gates and the substrate. A layer labeled 36 is located between the central gate and the side gates. A layer labeled 37 is located between the central gate and the substrate. A layer labeled 38 is located between the side gates and the substrate.

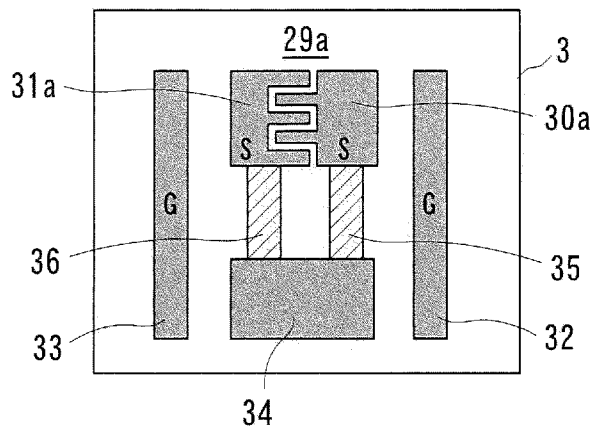
[図5]



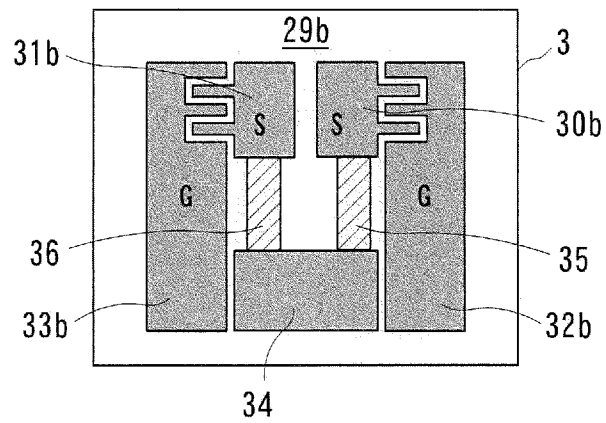
[図6]



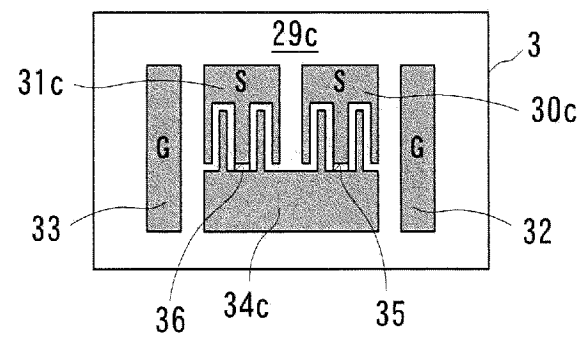
[図7]



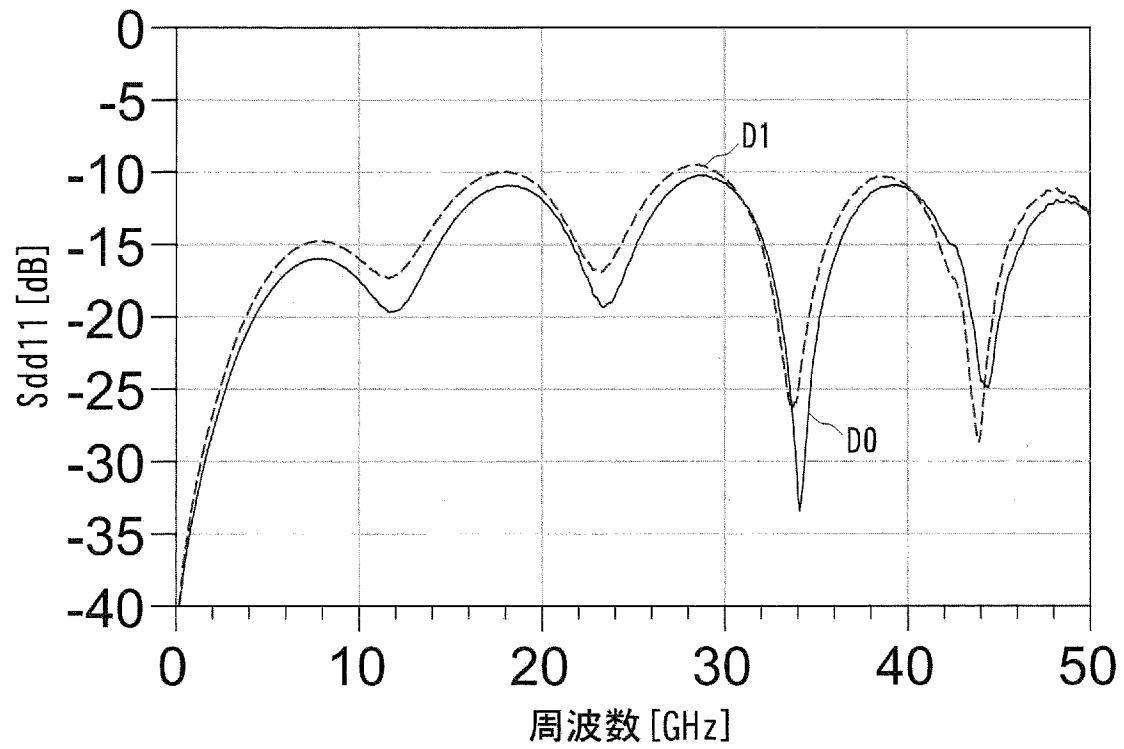
[図8]



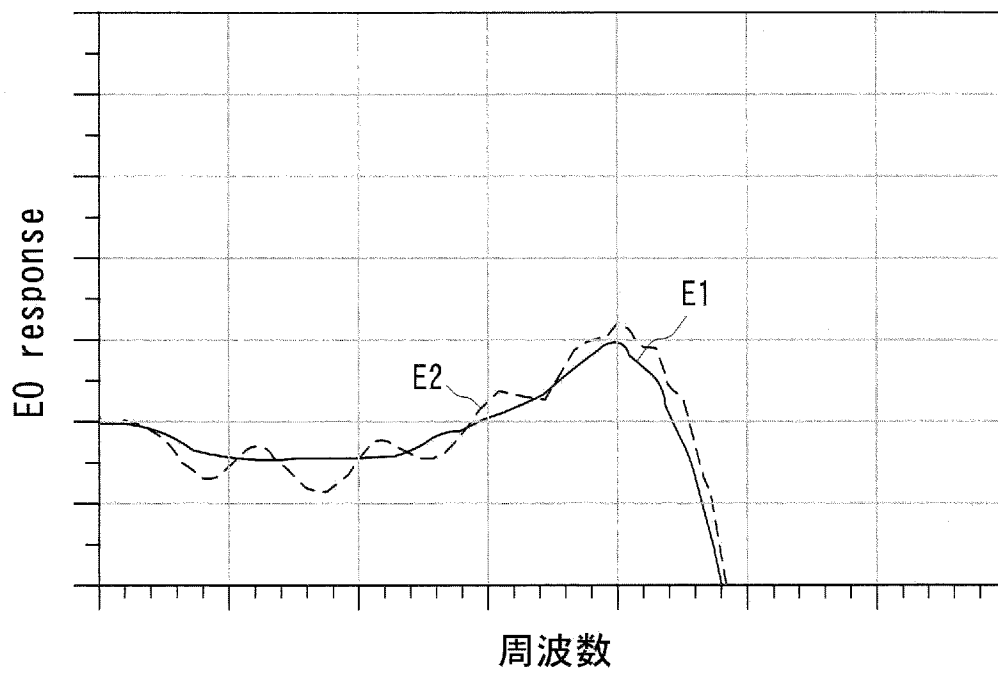
[図9]



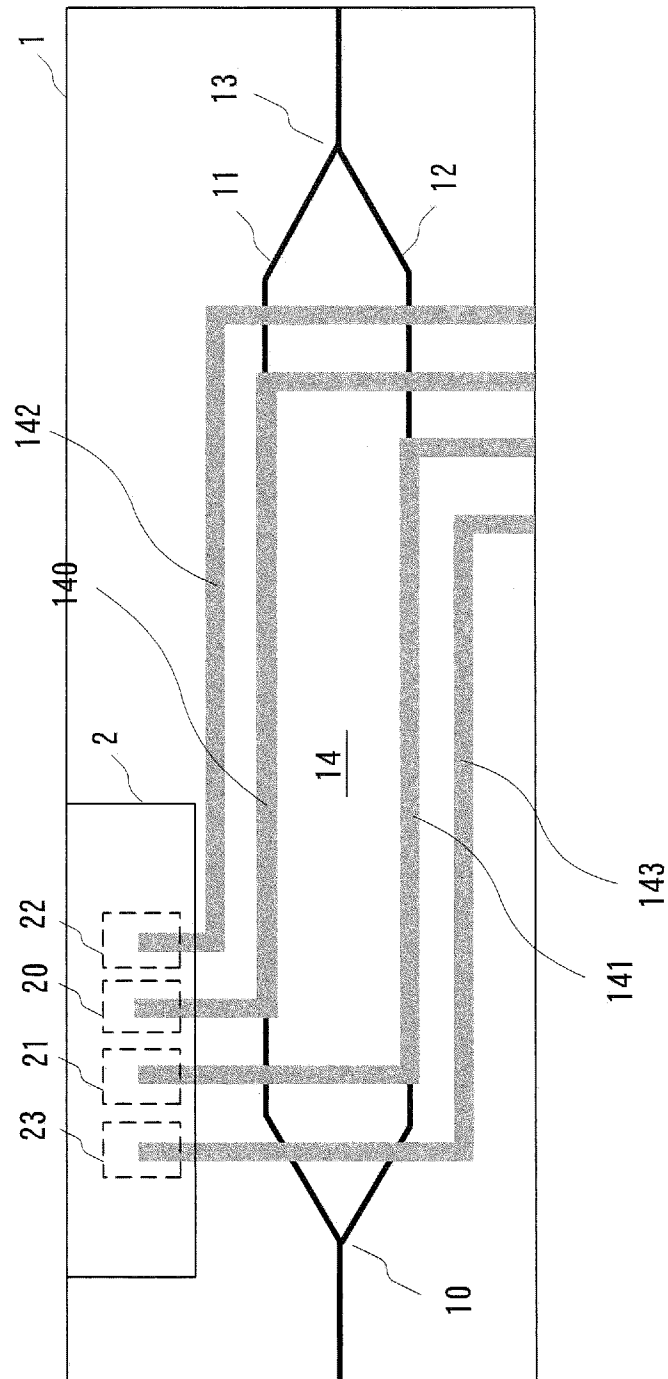
[図10]



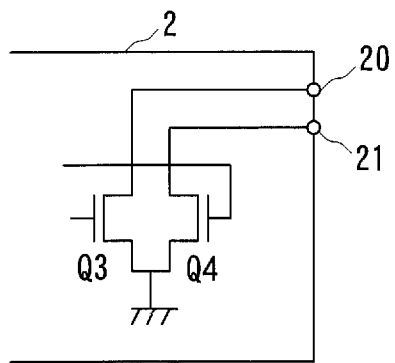
[図11]



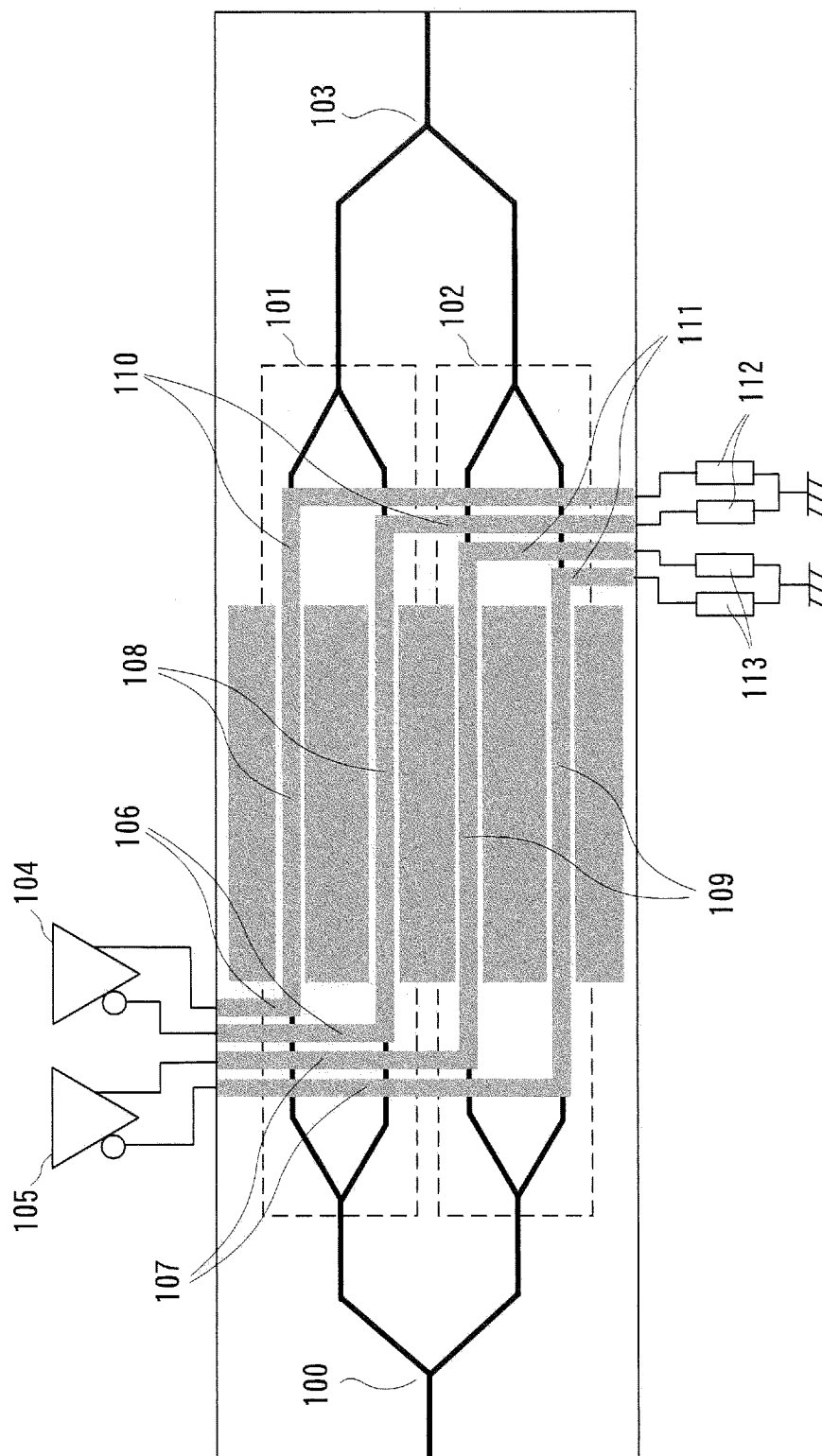
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/018375

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/015 (2006.01) i, G02F1/025 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/00-1/125, 1/21-7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Google Scholar, IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-173365 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 28 September 2017, paragraphs [0027]-[0037], [0065]-[0074], fig. 11 (Family: none)	1, 3-8
Y	JP 2011-209456 A (SUMITOMO OSAKA CEMENT CO., LTD.) 20 October 2011, paragraphs [0003]-[0006], [0022]-[0035], fig. 6 & US 2011/0268382 A1, paragraphs [0004]-[0007], [0027]-[0040], fig. 6 & CN 102207637 A	1, 3-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 June 2019 (17.06.2019)

Date of mailing of the international search report

09 July 2019 (09.07.2019)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/018375

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-126054 A (SUMITOMO OSAKA CEMENT CO., LTD.) 11 July 2016, paragraphs [0041]-[0042], fig. 1 & US 2017/0307911 A1, paragraphs [0049]-[0050], fig. 1 & WO 2016/104551 A1 & CN 106575049 A	1, 3-8
Y	JP 2014-199302 A (SUMITOMO OSAKA CEMENT CO., LTD.) 23 October 2014, paragraphs [0021]-[0036], fig. 2- 3 & WO 2014/157669 A1	1, 3-8
Y	JP 2012-78759 A (MITSUBISHI ELECTRIC CORP.) 19 April 2012, paragraphs [0013]-[0017], fig. 1 & US 2012/0087614 A1, paragraphs [0027]-[0031], fig. 1 & CN 102445769 A	1, 3-8
Y	WO 2017/208526 A1 (MITSUBISHI ELECTRIC CORP.) 07 December 2017, paragraphs [0053]-[0059], fig. 4 & US 2019/129273 A1, paragraphs [0063]-[0069], fig. 4 & CN 109154728 A	8
Y	JP 2014-164243 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 08 September 2014, paragraph [0082] & US 2014/0241659 A1, paragraph [0096]	8
A	US 2008/0095542 A1 (JIANG, Wenyan) 24 April 2008, entire text, all drawings (Family: none)	1-8
A	JP 2007-225904 A (MITSUBISHI ELECTRIC CORP.) 06 September 2007, entire text, all drawings & US 2007/0195397 A1, entire text, all drawings	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/015(2006.01)i, G02F1/025(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/00-1/125, 1/21-7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

Google Scholar, IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2017-173365 A (日本電信電話株式会社) 2017.09.28, 段落 [0027] - [0037], [0065] - [0074]、図11 (ファミリーなし)	1, 3-8
Y	JP 2011-209456 A (住友大阪セメント株式会社) 2011.10.20, 段落 [0003] - [0006], [0022] - [0035]、図6 & US 2011/0268382 A1, 段落[0004]-[0007], [0027]-[0040], Fig.6 & CN 102207637 A	1, 3-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

17.06.2019

国際調査報告の発送日

09.07.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

廣崎 拓登

2 L

1567

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-126054 A (住友大阪セメント株式会社) 2016. 07. 11, 段落 [0041] - [0042], 図1 & US 2017/0307911 A1, 段落 [0049]-[0050], Fig.1 & WO 2016/104551 A1 & CN 106575049 A	1, 3-8
Y	JP 2014-199302 A (住友大阪セメント株式会社) 2014. 10. 23, 段落 [0021] - [0036], 図2-3 & WO 2014/157669 A1	1, 3-8
Y	JP 2012-78759 A (三菱電機株式会社) 2012. 04. 19, 段落 [0013] - [0017], 図1 & US 2012/0087614 A1, 段落[0027]-[0031], Fig.1 & CN 102445769 A	1, 3-8
Y	WO 2017/208526 A1 (三菱電機株式会社) 2017. 12. 07, 段落 [0053] - [0059], 図4 & US 2019/129273 A1, 段落[0063]-[0069], Fig.4 & CN 109154728 A	8
Y	JP 2014-164243 A (住友電気工業株式会社) 2014. 09. 08, 段落 [0082] & US 2014/0241659 A1, 段落[0096]	8
A	US 2008/0095542 A1 (JIANG, Wenyan) 2008. 04. 24, 全文, 全図 (ファミリーなし)	1-8
A	JP 2007-225904 A (三菱電機株式会社) 2007. 09. 06, 全文, 全図 & US 2007/0195397 A1, 全文, 全図	1-8