

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4959576号
(P4959576)

(45) 発行日 平成24年6月27日(2012.6.27)

(24) 登録日 平成24年3月30日(2012.3.30)

(51) Int.Cl. F I
 H O 1 L 29/737 (2006.01) H O 1 L 29/72 H
 H O 1 L 21/331 (2006.01)

請求項の数 20 (全 11 頁)

(21) 出願番号	特願2007-545640 (P2007-545640)	(73) 特許権者	390009531
(86) (22) 出願日	平成17年12月8日(2005.12.8)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2008-523628 (P2008-523628A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成20年7月3日(2008.7.3)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2005/044488	(74) 代理人	100108501
(87) 国際公開番号	W02006/063170		弁理士 上野 剛史
(87) 国際公開日	平成18年6月15日(2006.6.15)	(74) 代理人	100112690
審査請求日	平成20年10月7日(2008.10.7)		弁理士 太佐 種一
(31) 優先権主張番号	10/904, 985	(74) 代理人	100091568
(32) 優先日	平成16年12月8日(2004.12.8)		弁理士 市位 嘉宏
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 ホット・キャリアにより誘起されるバイポーラ・デバイスの劣化を回復させるための方法

(57) 【特許請求の範囲】

【請求項 1】

バイポーラ・トランジスタのアバランシェ劣化を回復させるための方法であって、アバランシェ劣化を示す状態のバイポーラ・トランジスタを、前記バイポーラ・トランジスタの温度を上昇させて、前記バイポーラ・トランジスタの前記アバランシェ劣化を回復させるアニール・ステップに曝すステップを含む方法。

【請求項 2】

前記バイポーラ・トランジスタは、前記バイポーラ・トランジスタのエミッタと並んで配置される自己発熱構造体を含む、請求項 1 に記載の方法。

【請求項 3】

前記自己発熱構造体は前記エミッタの延長部分を含む、請求項 2 に記載の方法。

【請求項 4】

前記自己発熱構造体はレジスタである、請求項 3 に記載の方法。

【請求項 5】

前記自己発熱構造体及び前記エミッタはドーブされた半導体材料から構成される、請求項 2 に記載の方法。

【請求項 6】

前記ドーブされた半導体材料は、Si、ポリSi又はSiGeを含む、請求項 5 に記載の方法。

【請求項 7】

前記曝すステップにおいて、電流が前記自己発熱構造体に供給される、請求項 2 に記載の方法。

【請求項 8】

前記電流は、前記バイポーラ・トランジスタの内部又は外部の回路により供給される、請求項 7 に記載の方法。

【請求項 9】

前記曝すステップにおいて、前記バイポーラ・トランジスタは浮動状態にある、請求項 2 に記載の方法。

【請求項 10】

前記アニール・ステップは、1 V より低いコレクタ・ベース電圧以下で動作させながら、順方向電流を前記バイポーラ・トランジスタに印加するステップを含む、請求項 1 に記載の方法。

10

【請求項 11】

前記順方向電流はピーク単位電流増幅率周波数 f_T の電流であるか又はそれより高い、請求項 10 に記載の方法。

【請求項 12】

前記アニール・ステップは、急速加熱アニール (RTA)、炉アニール、レーザ・アニール又はスパイク・アニールを含む、請求項 1 に記載の方法。

【請求項 13】

バイポーラ・トランジスタのアバランシェ劣化を回復させるための方法であって、バイポーラ・トランジスタ及び自己発熱素子を含む構造体を、前記バイポーラ・トランジスタの温度を上昇させて、前記バイポーラ・トランジスタの前記アバランシェ劣化を回復させる熱アニール・ステップに曝すステップを含む方法。

20

【請求項 14】

バイポーラ・トランジスタのアバランシェ劣化を回復させるための方法であって、バイポーラ・トランジスタを含む構造体を、前記バイポーラ・トランジスタの温度を上昇させて、前記バイポーラ・トランジスタの前記アバランシェ劣化を回復させるアニール・ステップに曝すステップであって、前記バイポーラ・トランジスタを 1 V より低いコレクタ・ベース電圧で動作させながら順方向電流を前記バイポーラ・トランジスタに印加するステップを含む、方法。

30

【請求項 15】

半導体構造体であって、コレクタが内部に配置された Si 含有半導体基板と、前記コレクタの上に配置されるベースと、前記ベース上に配置されるエミッタであって、前記ベースの外縁に自己整合される延長部分を有しており、前記延長部分が加熱素子として機能する、エミッタと、を含む半導体構造体。

【請求項 16】

前記 Si 含有半導体基板は、Si、SiGe、SiC、SiGeC、シリコン・オン・インシュレータ、SiGe オン・インシュレータ又は半導体基板上の Si 層を含む、請求項 15 に記載の半導体構造体。

40

【請求項 17】

前記ベースは、Si、SiGe、SiGeC、又は Si と SiGe との組み合わせ、又は Si と SiGeC との組み合わせを含む、請求項 16 に記載の半導体構造体。

【請求項 18】

前記ベースに隣接して配置される外部ベースをさらに含む、請求項 15 ~ 17 のいずれか 1 項に記載の半導体構造体。

【請求項 19】

前記基板、前記ベース及び前記エミッタの上に配置される導電性充填誘電体をさらに含む、請求項 15 ~ 18 のいずれか 1 項に記載の半導体構造体。

50

【請求項 20】

前記導電的に充填された誘電体は少なくとも前記コレクタ及び前記エミッタと接触するビア及びラインを含む、請求項 19 に記載の半導体構造体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バイポーラ・トランジスタに関し、より特定的には、一般に順方向及び逆方向の両方のバイアス・モードにおける駆動電流増幅率を減少させるアバランシェ・キャリアに関連した損傷を未然に防ぐ回路レベルの自己発熱構造体を含む、例えば SiGe のようなシリコンを含有するヘテロ接合バイポーラ・トランジスタ (HBT) に関する。本発明は、さらに、ホット・キャリアにより誘起される HBT 及び他の同様なバイポーラ・トランジスタの劣化を回復させるための方法を提供する。

10

【背景技術】

【0002】

バイポーラ・トランジスタは、互いに対して近接する 2 つの p - n 接合部をもつ電子デバイスである。一般的なバイポーラ・トランジスタは、エミッタ、コレクタ、及びエミッタとコレクタとの間に配置されるベースといった 3 つのデバイス領域を有する。2 つの p - n 接合部、すなわち、エミッタ・ベース接合部及びコレクタ・ベース接合部は、特定の距離だけ分離されていることが理想的である。隣接する接合部のバイアスを変化させることにより、1 つの p - n 接合部における電流を変調させることは「バイポーラ・トランジスタ作用」と呼ばれる。

20

【0003】

エミッタ及びコレクタが n 型にドーピングされ、ベースが p 型にドーピングされる場合には、デバイスは「npn」トランジスタになる。代替的に、反対のドーピング構成が使用される場合には、デバイスは「pnp」トランジスタになる。npn トランジスタのベース領域における少数キャリア、すなわち、電子の移動度は、pnp トランジスタのベースにおけるホール移動度より高いため、npn トランジスタでは、より高周波数の動作及びより高速の性能を得ることができる。したがって、npn トランジスタは、集積回路を構築するのに用いられるバイポーラ・トランジスタの大部分を構成する。

30

【0004】

バイポーラ・トランジスタの垂直方向寸法がますます縮小するに伴い、深刻なデバイス動作の限界に直面する。これらの限界を克服するために積極的に研究された 1 つの手法は、ベースに用いられる材料のバンド・ギャップより大きいバンド・ギャップをもつエミッタ材料を用いてトランジスタを構築することである。こうした構造体は、当該技術分野においては「ヘテロ接合」トランジスタと呼ばれる。

【0005】

ヘテロ接合を備えるヘテロ構造体は、多数キャリア・デバイス及び少数キャリア・デバイスの両方に用いることができる。少数キャリア・デバイスにおいては、エミッタが SiGe で形成され、ベースがシリコン・ゲルマニウム (SiGe) 合金で形成されるヘテロ接合バイポーラ・トランジスタ (HBT) が最近開発された。SiGe 合金のバンド・ギャップは、シリコンより狭い。

40

【0006】

進歩した SiGe バイポーラ及び相補型金属酸化膜半導体 (BiCMOS) 技術は、SiGe ベースを HBT に用いる。高周波数 (マルチ GHz など) 方式においては、例えば GaAs 及び InP などの従来の化合物半導体が、現在、高速有線通信デバイス及び高速無線通信デバイス市場の大半を占めている。SiGe BiCMOS は、電力増幅器などのデバイスにおける GaAs に匹敵する性能だけでなく、HBT を標準 CMOS に統合して、いわゆる「システム・オン・チップ」をもたらすことによる大幅なコスト削減をも約束する。

【0007】

50

シリコン・ゲルマニウム (SiGe) ヘテロ接合バイポーラ・トランジスタ (HBT) の性能は 200 GHz を上回るものとなるため、SiGe HBT 回路用途の場合には、アバランシェ劣化のメカニズムが、主な信頼性の関心事になることが明らかとなっている。これは、バイポーラ・トランジスタの高周波数性能が、接合部の垂直方向深さを減少させ、デバイス内の電界を増大させる、デバイスの垂直方向スケールリングによって実現されるためである。動作中のコレクタ・ベース接合部におけるこの高電界は、デバイスのエミッタと浅いトレンチ分離 (STI) との境界の周りの絶縁境界に損傷を与えることがある高エネルギー・キャリアを生成する。アバランシェ・キャリアに関連する損傷は、順方向及び逆方向の両方の活性モードにおけるデバイスの電流増幅率を減少 (又は劣化) させる。

10

【0008】

アバランシェ劣化のメカニズムは最近明らかにされたものであり、これは SiGe HBT の高周波数及び高出力性能に対して、非常に大きな制限を課している。例えば、非特許文献 1 及び非特許文献 2 を参照されたい。

【0009】

一般的な SiGe HBT の例示的なアバランシェ劣化を図 1 に示す。具体的には、図 1 は、 $V_{CB} = 3.0 \text{ V}$ 及び $I_E = 5.12 \text{ mA}$ で応力がかかる、 $0.8 \times 0.8 \mu\text{m}^2$ のエミッタ・サイズをもつ IBM 200 GHz SiGe HBT について、応力がかかる前 (T0) 及び 3000 秒のアバランシェ応力をかけた後 (T1) の電流を示す。 V_{BE} はベース・エミッタ電圧を示す。アバランシェ方式における動作は、高周波数用途の SiGe HBT において、ますます重要になってきており、例えば、非特許文献 3 を参照されたい。 V_{CB} はコレクタ・ベース電圧を示し、 I_E はエミッタ電流を示す。

20

【0010】

アバランシェ劣化を回復させるためのいずれの方法も、SiGe HBT 回路の性能及び用途範囲に大いに有益であろう。しかし、この劣化メカニズムは、この 1 年ほどの間に十分に調査されただけのものであるため、どのような回復方法もこれまで従来技術に報告されていない。

【0011】

【非特許文献 1】G. Zhang 他「A New Mixed-Mode Base Current Degradation Mechanism in Bipolar Transistors」、IEEE BCTM 1.4、2002 年

30

【非特許文献 2】Z. Yang 他「Avalanche Current Induced Hot Carrier Degradation in 200 GHz SiGe Heterojunction Bipolar Transistors」、Proc. International Reliability Physics Symposium、339-343 ページ、2003 年

【非特許文献 3】H. Li 他「Design of W-Band VCOs with High Output Power for Potential Application in 77 GHz Automotive Radar Systems」、IEEE GaAs Digest、263-266 ページ (2003 年)

40

【発明の開示】

【発明が解決しようとする課題】

【0012】

上記したことを考慮して、現世代のバイポーラ・トランジスタに現在必要とされる高周波数で動作することができるバイポーラ・トランジスタ、特定的には SiGe HBT を製造するためには、上述のアバランシェ劣化を回復させるための方法を提供する必要がある。

【課題を解決するための手段】

【0013】

アバランシェ劣化は、バイポーラ・トランジスタ、特定的には、SiGe HBT が順

50

方向活性モードで動作しているときに、コレクタ・ベース接合部の衝撃イオン化から生じる高エネルギー・キャリアであるアバランシェ・ホット・キャリアによって引き起こされる。アバランシェ・ホット・キャリアは、バイポーラ・トランジスタ内に損傷を生成し、ベース電流を増加させることによってデバイスの電流増幅率を減少させる。ホット・キャリア効果は、新世代のバイポーラ・トランジスタ・デバイスについてより悪化しており、デバイス性能の向上に伴いコレクタ・ベース接合部において増大している。さらに、アバランシェ・ホット・キャリアは、バイポーラ・トランジスタ、特に、SiGe HBTの降伏電圧に影響を及ぼす。具体的には、高アバランシェ電流は、バイポーラ・トランジスタの降伏電圧を低下させる。

【0014】

アバランシェ方式（1Vより低い V_{CB} ）以外で動作できるにもかかわらず、高周波数バイポーラ・トランジスタ、例えばSiGe HBTが高出力を実現するためにはアバランシェ領域（1Vより大きい V_{CB} ）における動作が必要である。高出力は、レーダ及び無線通信用途に必要とされる。SiGe HBT技術においては、アバランシェの信頼性は、大きな関心事である。 V_{CB} は、コレクタとベースとの間の電圧を示す。

【0015】

上述のアバランシェ劣化効果は、デバイスの単位電流増幅率周波数 f_T が高くなるに伴い悪化するため、アバランシェ劣化の回復は重要である。例えば、同様な応力をかけた後で、200GHzのSiGe HBTの場合には1%の電流増幅率の劣化が認められ、300GHzのSiGe HBTの場合には10%の電流増幅率の劣化が認められた。さらに、デバイスのホット・キャリア寿命は劣化の二乗で進むため、アバランシェ劣化を回復させることは重要である。例えば、劣化が50%だけ回復した場合には、寿命は4倍だけ延びることになる。

【0016】

上記したことを考慮して、本発明は、従来技術のバイポーラ・トランジスタ、特にSiGe HBTによって示されるアバランシェ劣化を回復させるための方法及び構造体を提供する。具体的には、本発明の出願者は、上述のアバランシェ効果によって引き起こされる劣化は、熱アニールを利用してコレクタ・ベース接合部の温度を上昇させることにより大幅に回復できることを見出した。

【0017】

したがって、具体的に及び広義には、本発明の方法は、アバランシェ劣化を示すHBTなどのアイドル状態のバイポーラ・トランジスタを、トランジスタの温度を上昇させて、前述のバイポーラ・トランジスタの前述のアバランシェ劣化を回復させる熱アニール・ステップに曝すステップを含む。

【0018】

本発明の一実施形態においては、アニール源は、バイポーラ・トランジスタのエミッタと並んで配置されるSi含有レジスタである自己発熱構造体である。回復ステップ中、自己発熱構造体を含むバイポーラ・トランジスタはアイドル・モード（すなわちバイアスなし）に置かれ、別個の回路からの電流は自己発熱構造体を通して流れる。自己発熱構造体は、バイポーラ・トランジスタの温度を約200又はそれ以上に上昇させる。数時間以内、一般には約1時間から約10時間以内に劣化が回復される。

【0019】

本発明の別の実施形態においては、アニール・ステップは、アバランシェ条件以下（1Vより低い V_{CB} ）で動作させながら、ピーク f_T 電流付近の高い順方向電流をバイポーラ・トランジスタに与えた結果である。上記の条件下で、劣化の約40%又はそれ以上を回復させることができる。これは、バイポーラ・トランジスタの自己発熱効果によるものであり、デバイスが高出力領域で動作している場合に、デバイスの有効温度が上昇することを意味する。ピーク f_T 電流は、デバイスが最大 f_T を実現するのに必要な駆動電流を示す。

【0020】

本発明のさらに別の実施形態においては、熱アニール・ステップは、急速加熱アニール（RTA）、炉アニール、レーザ・アニール、スパイク・アニール、又はバイポーラ・トランジスタの温度を約200℃又はそれ以上の温度にまで上昇させることができるあらゆる他の同様なアニール・ステップを含むことができる。

【0021】

上述の方法に加えて、本発明は、さらに、バイポーラ・トランジスタの温度を上昇させてアバランシェ劣化を回復させるのに用いることができる、デバイス・レベルに存在する自己加熱素子を含むバイポーラ・トランジスタ構造体、特にHBT構造体を提供する。具体的に及び広義には、本発明のバイポーラ・トランジスタ構造体は、コレクタが内部に配置されたSi含有半導体基板と、コレクタの上に配置されるベースと、ベース上に配置されるエミッタであって、ベースの外縁に自己整合される延長部分を有しており、延長部分が加熱素子として機能する、エミッタと、を含む。

10

【発明を実施するための最良の形態】

【0022】

ここで、アバランシェ・ホット・キャリアによって引き起こされるデバイスの劣化を回復させるのに用いることができる方法及び構造体を提供する本発明を、本明細書に添付される図面を参照することによって、より詳細に説明する。本発明の構造体の図面は、例示的な目的のために提供されるものであり、したがって、これらは縮尺通りのものではない。

【0023】

最初に、自己発熱素子を含む本発明のバイポーラ・トランジスタの構造体が示される図2を参照する。「バイポーラ・トランジスタ」という用語は、互いに近接する2つのp-n接合部を含むあらゆる電子デバイスを含む。バイポーラ・トランジスタは、エミッタ、コレクタ、及びエミッタとコレクタとの間に配置されるベースを含む。本発明は、具体的にはHBTに関し、さらに特定的にはSiGe HBTに関する。具体的には、図2は、コレクタ14と、そこに配置されるトレンチ分離領域16とを有するバイポーラ・トランジスタ構造体10を示す。Si含有半導体基板12は、例えばSi、SiGe、SiC、SiGeC、シリコン・オン・インシュレータ又はシリコン・ゲルマニウム・オン・インシュレータなどのあらゆるSi含有半導体を含む。代替的に、基板12は、半導体基板の上に形成されるエピタキシャルSi又はアモルファスSiなどのSi層とすることができる。基板12は、さまざまなドープ領域又はウェル領域を含むことができる。

20

【0024】

図示のように、基板12は、イオン注入ステップによって基板12の中に形成されるコレクタ14を含む。トレンチ分離領域16は、例えば、リソグラフィ、エッチング、必要に応じてトレンチ・ライナの形成、トレンチの充填、及び、必要な場合には平坦化を含む、当業者に周知の技術を用いて、製造される。トレンチ充填材料は、高濃度酸化物又はテトラエチルオルソシリケート（TEOS）などのトレンチ誘電体材料を含む。

【0025】

図2に示される構造体10は、さらに、基板12の表面上に配置されるベース18を含み、トレンチ分離領域16の上に延びるベース18の部分は、外部ベースと呼ばれる。外部ベースは、本明細書の図面において参照番号20により表示が付される。

40

【0026】

外部ベース20を含むベース18は、低温エピタキシャル成長プロセス（一般に450℃から700℃まで）によって形成される。ベース18及び外部ベース20は、Si、SiGe、又はSiとSiGeとの組み合わせを含むことができる。ベース18は、さらに、SiGeC、又はSiとSiGeCとの組み合わせから構成することができる。ベース18及び外部ベース20は、SiGe、又はSiとSiGeCとの組み合わせから構成されることが好ましい。ベース18は基板12上の単結晶であり、外部ベース20はトレンチ分離領域16上の多結晶である。単結晶材料が多結晶材料に転換される領域、例えばインターフェースは、ファセット領域と呼ばれる。

50

【0027】

構造体10は、さらに、ベース18の上に配置されるエミッタ22を含む。本発明によれば、エミッタ22は、ベース18の外縁18A及び18Bと自己整合する延長部分(22A及び22Bと表示が付される)を有する。エミッタ22の延長部分22A及び22Bは、構造体内で自己発熱素子として機能する。エミッタ22は、ポリSi、Si又はSiGeなどのドーパされた半導体材料を含む。延長部分22A及び22Bを含むエミッタ22は、ポリSiから構成されることが好ましい。エミッタ22とその延長部分22A及び22BとがポリSiから構成される好ましい実施形態においては、ベースはSiGeから構成されることが好ましい。

【0028】

エミッタ22は、可変ドーパ濃度をもつ層であってもよいし又は最先端の低温エピタキシ・システムで成長させることができる組成物であってもよい。エミッタ22は、さらに、現場でのドーパ堆積プロセスにより形成してもよいし又は最初にポリSi、Si又はSiGe層を堆積し、次いでイオン注入によってドーパすることにより形成してもよい。

【0029】

エミッタ22の形成後、エミッタ22は、リソグラフィ及びエッチングによりパターン形成されて、図2に示される構造体を提供する。具体的には、エミッタのパターン形成は、従来のバイポーラ・トランジスタ・デバイスの製造に用いられるものより幅広いパターン形成されたマスクを含む。幅広いパターン形成されたマスクは、ベース18の縁18A及び18Bにそれぞれ自己整合される延長部分22A及び22Bを含む本発明のエミッタ22の形成を可能にする。

【0030】

さらに図2に示される構造体10は、導電性充填ビア及びラインを内部に有する誘電材料24を含む。導電性充填ビアは、参照番号26A(ビアに対するコンタクト・ビア)、26B(外部ベース20に対するコンタクト・ビア)及び26C(エミッタ22に対するコンタクト・ビア)により表示が付される。導電性充填ラインは、28A(M1コレクタ・ライン)、28B(M1ベース・ライン)及び28C(M1エミッタ・ライン)により表示が付される。導電的に充填されたビア及びラインを有する誘電材料24は、従来のバック・エンド・オブ・ライン・プロセスにより形成される。具体的には、有機シリケート・ガラス組成物、酸化物組成物又は高分子組成物などの誘電材料が、例えば、化学気相堆積法(CVD)、プラズマ助長化学気相堆積法(PECVD)、化学溶液堆積法又はスピン・オン・コーティング法などの堆積プロセスにより、構造体全体に適用される。次いで、ビア及びラインの開口部が、リソグラフィ及びエッチングにより形成される。次いで、W、Al、Cu又はそれらの合金などの導電性金属が、ビア及びラインの開口部に充填され、所望の場合には、化学的機械研磨(CMP)又は他の同様な平坦化プロセスを用いることができる。

【0031】

図2に示されるように、エミッタ延長部分22A及び22Bによって示される自己発熱構造体は、バイポーラ・トランジスタ・デバイスの回路レベルにあり、バイポーラ・トランジスタのエミッタ22と並んでいる。通常の動作下では、自己発熱構造体は浮動状態にあり、デバイスを損傷するホット・キャリアの形成を引き起こす高電界が、コレクタ・ベース接合部に生成される。通常の動作後に起こる回復段階においては、図2に示されるバイポーラ・トランジスタは、アイドル・モード(すなわちバイアスなし)に置かれ、別の回路(内部又は外部)からの電流は自己発熱構造体22A及び22Bを通して流れる。自己発熱構造体22A及び22Bは、バイポーラ・トランジスタの温度を約200°Cであるか又はそれ以上に上昇させる。数時間以内に劣化が回復される。一般に、アニール・ステップは、約1時間から約10時間までの時間の期間で実行される。

【0032】

図3は、図2のバイポーラ・トランジスタ・デバイスの概略平面図を示す。バイポーラ・トランジスタ・デバイスの通常の動作中、延長部分22A及び22B(レジスタを表わ

10

20

30

40

50

す)は、浮動状態のままである。回復中、デバイスは浮動状態のままであり、延長部分22A及び22Bは、熱を直接、劣化したバイポーラ・トランジスタ・デバイスに生成するようにバイアスをかけられる。回復モード中の構造体が図4に示される。

【0033】

図5は、回復動作中に引き起こされる温度上昇を示す。具体的には、図5は、自己発熱素子22A及び22Bを含む図2に示される構造体に対して行われるジュール加熱特性付与を示す。約3mAの電流が、自己発熱体を通して流れたときに、約125の温度上昇が見られる。

【0034】

図6は、 $0.12 \times 2 \mu\text{m}^2$ のSiGeトランジスタの応力をかける前(T_0)、アバランシェ応力をかけた後(T_1)及び順方向電流による回復後(T_2)の電流増幅率曲線を示す。 V_{BE} はベース・エミッタ電圧である。アバランシェ応力の条件は、4K秒間に $V_{CB} = 2.5\text{V}$ で $I_E = 0.288\text{mA}$ である。回復は、いかなるバイアスもなしで、200で20時間だけ実施された。

10

【0035】

バイポーラ・トランジスタのホット・キャリア劣化を回復させるための上述の自己発熱構造体を用いることに加えて、本発明は、さらに、上記のものを含むいずれかのバイポーラ・トランジスタ・デバイスが、アバランシェ条件以下で動作させながら高い順方向電流がバイポーラ・トランジスタに印加されるアニール・ステップを受ける実施形態を考慮する。「高い順方向電流」は、ピーク f_T と等しいか又はそれより大きい電流を意味する。「アバランシェ条件以下で」は、1Vより低い V_{CB} 、一般に0.5V前後を意味する。上述の条件下で、劣化の約40%又はそれ以上を回復させることができる。これは、バイポーラ・トランジスタの自己発熱効果によるものであり、デバイスが高出力領域で動作している場合に、デバイスの有効温度が上昇することを意味する。

20

【0036】

図7は、 $0.12 \times 2 \mu\text{m}^2$ のSiGeトランジスタの応力をかける前(T_0)、アバランシェ応力をかけた後(T_1)及び順方向電流による回復後(T_2)の電流増幅率曲線を示す。 V_{BE} はベース・エミッタ電圧である。アバランシェ応力の条件は、3K秒間に $V_{CB} = 2.5\text{V}$ で $I_E = 0.288\text{mA}$ である。回復は、 $V_{CB} = 1\text{V}$ で $I_E = 2.88\text{mA}$ において実施された。実験全体にわたり温度は30であった。

30

【0037】

本発明のさらに別の実施形態においては、熱アニール・ステップは、急速加熱アニール(RTA)、炉アニール、レーザ・アニール、スパイク・アニール又はバイポーラ・トランジスタの温度を約200又はそれ以上の温度にまで上昇させることができるあらゆる他の同様なアニール・ステップを含むことができる。こうしたアニール・プロセスが用いられるとき、一般に、アニール・ステップは、Ar、He、Ne、 N_2 、Xe、Kr又はそれらの混合物などの不活性雰囲気の下で実行される。

【0038】

本発明が、その好ましい実施形態について、特定的に図示され説明されたが、当業者であれば、本発明の精神及び範囲から逸脱することなく、形態及び詳細に対して上記の変更及び他の変更を加えることができることを理解するであろう。したがって、本発明は、説明され図示された正確な形態及び詳細に限定されることなく、添付の特許請求の範囲に含まれることが意図される。

40

【図面の簡単な説明】

【0039】

【図1】従来技術のSiGe HBTの応力をかける前(T_0)及び3000秒のアバランシェ応力をかけた後(T_1)の電流増幅率曲線を示す電流増幅率対電圧 V_{BE} (V)のプロットである。

【図2】本発明のバイポーラ・トランジスタの断面図である。

【図3】本発明のバイポーラ・トランジスタの動作中の概略平面図である。

50

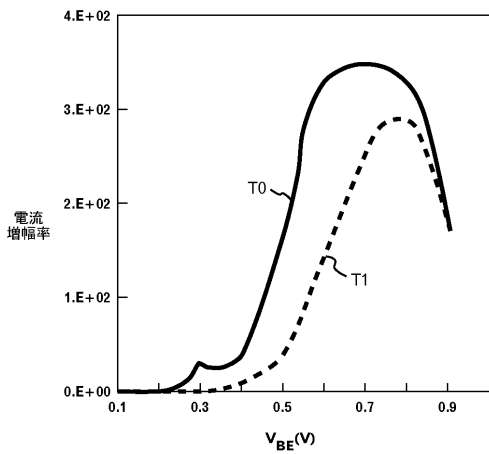
【図4】本発明のバイポーラ・トランジスタの回復中の概略平面図である。

【図5】発熱体としてのポリSiゲートに対して行われるジュール加熱特性付与を示すプロットである。

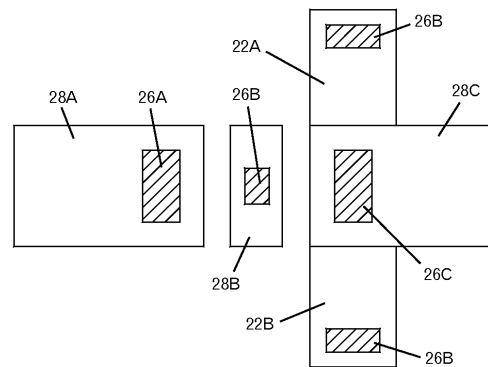
【図6】応力がかかる前T0、アバランシェ応力をかけた後T1、及び順方向電流による回復後T2の本発明の構造体の電流増幅率曲線を示す電流増幅率対電圧 V_{BE} (V)のプロットを示す。

【図7】応力がかかる前T0、アバランシェ応力をかけた後T1、及び順方向電流による回復後T2の本発明の構造体の電流増幅率曲線を示す電流増幅率対電圧 V_{BE} (V)のプロットを示す。

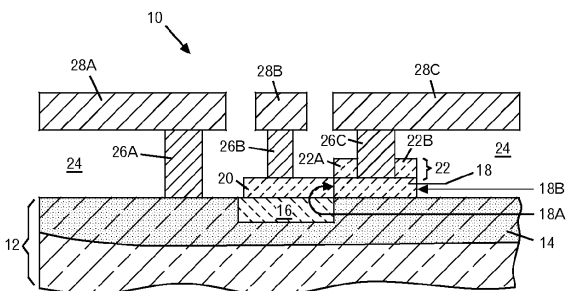
【図1】



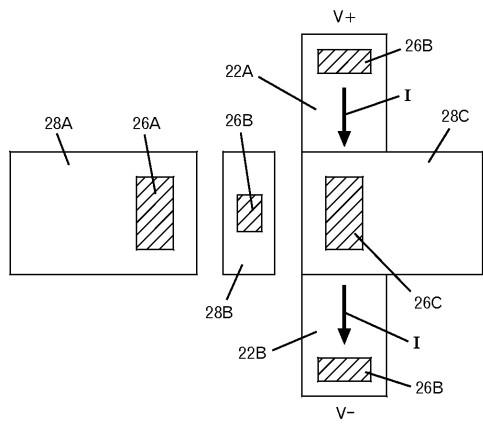
【図3】



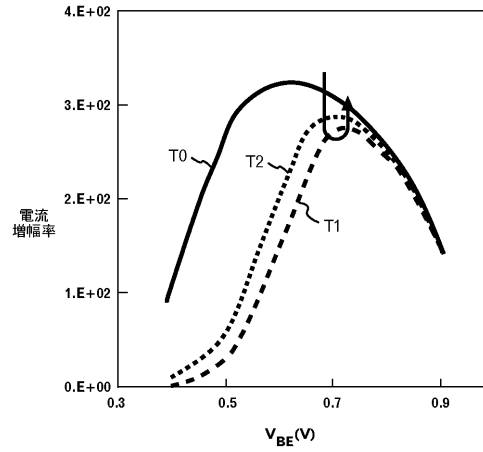
【図2】



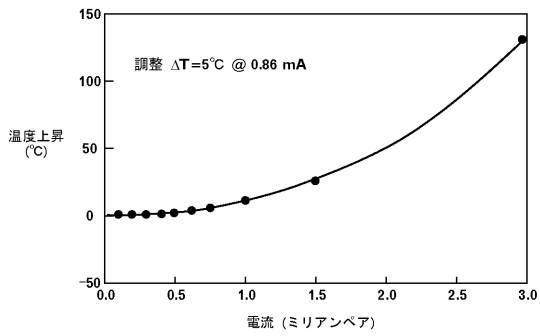
【図4】



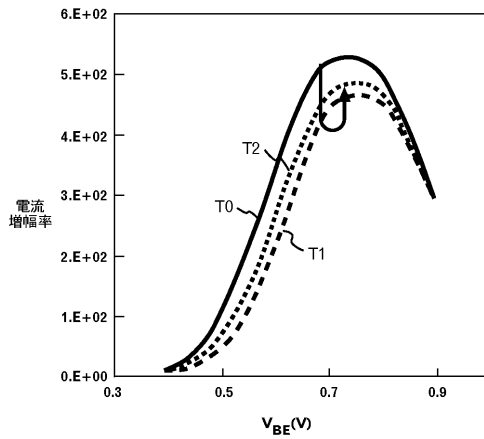
【図6】



【図5】



【図7】



フロントページの続き

- (74)代理人 100086243
弁理士 坂口 博
- (72)発明者 グァリン、フェルナンド
アメリカ合衆国 1 2 5 4 5 ニューヨーク州 ミルブルック ルート・82 3869
- (72)発明者 ホステッター、ジェイ、エドウィン、ジュニア
アメリカ合衆国 1 2 5 6 9 ニューヨーク州 プレザント・バレー マウンテン・ロード 134
- (72)発明者 ラウチ、スチュアート、イー、サード
アメリカ合衆国 1 2 6 0 3 ニューヨーク州 ポキプシー シェルドン・ドライブ 13
- (72)発明者 ワン、ピン - チュアン
アメリカ合衆国 1 2 5 3 3 ニューヨーク州 ホープウェル・ジャンクション クリアビュー・サークル 52
- (72)発明者 ヤン、ジーチアン、ジェイ
アメリカ合衆国 1 2 5 8 2 ニューヨーク州 ストームビル インディアン・パス 44

審査官 田代 吉成

- (56)参考文献 特開平8 - 234850 (JP, A)
特開平2 - 246370 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/331

H01L 29/737