



Patent dodatkowy
do patentu nr _____

Zgłoszono: 06.07.77 (P. 199418)

Pierwszeństwo: 07.07.76 Związek
Socjalistycznych
Republik
Radzieckich

Zgłoszenie ogłoszono: 24.04.78

Opis patentowy opublikowano: 30.06.1981

CZYTELNIA

Urzędu Patentowego
Państwowej Inspekcji Patencyjnej

Int. Cl.² G06F 13/00
G06F 9/16

Twórcy wynalazku: Valerij Fedorowič Gusev, Gennadij Nikolaewič Ivanov, Genrich Isaewič Krengel, Mansur Zakirovič Sagivaleev, Azat Usmanowič Jarmuchametov, Vladimir Jakovlevič Kontarev, Vjačeslav Jakovlevič Kremlev, Jurij Iwonowič Ščetin

Uprawnieni z patentu: Valerij Fedorowič Gusev, Gennadij Nikolaewič Ivanov, Genrich Isaewič Krengel, Mansur Zakirovič Sagivaleev, Azat Usmanowič Jarmuchametov, Kazań; Vladimir Jakovlevič Kontarev, Vjačeslav Jakovlevič Kremlev, Jurij Iwonowič Ščetin, Moskwa (Związek Socjalistycznych Republik Radzieckich)

Urządzenie pamięci

1 Przedmiotem wynalazku jest urządzenie pamięci przeznaczone zwłaszcza do sterowania procesami i kanałami elektronicznych maszyn cyfrowych, jak również w systemach sterowania automatycznego różnorodnymi obiektami.

Znane jest urządzenie pamięci, zawierające blok pamięci, przeznaczony do przechowywania informacji sterującej, do którego wyjścia dołączony jest rejestr stałych, połączony z rejestrem przejścia funkcyjnego według adresu powrotu, połączony elektrycznie z blokiem pamięci, przeznaczonym do przechowywania informacji sterującej, rejestr kodu analiz, blok zadawania rozkazów, którego wyjście połączone jest elektrycznie z blokiem pamięci przeznaczonym do przechowywania informacji sterującej, oraz podstawowe układy koincydencyjne, połączone elektrycznie z deszyfratorem kształtowania sygnałów analiz oraz z blokiem pamięci, przeznaczonym do przechowywania informacji sterującej. Poza tym urządzenie pamięci zawiera dodatkowo rejestry kodu analiz, których całkowita liczba jest równa liczbie poddawanych modyfikacji pozycji adresu bloku pamięci, przeznaczonego do przechowywania informacji sterującej, oraz deszyfkatory kształtowania analiz według liczby rejestrów kodu analiz.

Potrzeba osobnego rejestru kodu analiz do zapewnienia możliwości realizacji jednej (każdej) pozycji adresu bloku pamięci, przeznaczonego do przechowywania informacji sterującej ogranicza

2 liczbę modyfikowanych pozycji adresu, ponieważ ich zwiększenie doprowadza do zwiększenia liczby rejestrów kodu analiz. Taka zależność, oraz wynikające z tej zależności ograniczenie pogarsza z 5 kolei stosunek między pozycyjnością rejestrów kodu analiz i pozycyjnością bloku pamięci, przeznaczonego do przechowywania informacji sterującej, to znaczy obniża skuteczną, wykorzystywaną do celów sterowania jakimkolwiek urządzeniem, 10 pojemność tego ostatniego.

Poza tym w znanym urządzeniu sprawdzenie 15 każdego z warunków kształtowania zmodyfikowanych pozycji adresu bloku pamięci, przeznaczonego do przechowywania informacji sterującej realizowane jest osobnym sygnałem, doprowadzanym z deszyfikatorów kształtowania sygnałów analiz, co doprowadza do zwiększenia liczby połączeń i do pogorszenia się niezawodności urządzenia.

W znanym urządzeniu aparat rozgałęzień jest 20 zorientowany na realizację konkretnych mikroprogramów, a każda analiza warunków, wpływająca na modyfikację adresu bloku pamięci, przeznaczonego do przechowywania informacji sterującej, jest przyporządkowana do konkretnych sytuacji, powstających w procesie wykonywania tych mikroprogramów, co nie pozwala na wykorzystywanie aparatu rozgałęzień, a więc i urządzenia do 25 realizacji innego systemu rozkazów.

Zadaniem wynalazku jest zaprojektowanie urządzenia pamięci, wyposażonego w takie dodatkowe 30

bloki i elementy, które umożliwiłyby realizację dowolnego potrzebnego systemu rozkazów bez konieczności przebudowy danego urządzenia, zwiększenie regularności struktury urządzenia zmniejszenie w nim liczby połączeń oraz zmniejszenie objętości bloku pamięci, przeznaczonego do przechowywania informacji sterującej.

Zadanie zostało zrealizowane w wyniku zaprojektowania urządzenia pamięci, zawierającego blok pamięci, przeznaczony do przechowywania informacji sterowania, do którego wyjścia dołączony jest rejestr stałych, połączony z rejestrem przejścia funkcyjnego według adresu powrotu, rejestr następnego adresu, połączony elektrycznie z blokiem pamięci, przeznaczonym do przechowywania informacji sterowania, rejestr kodu analiz, połączony z deszyfratorem kształtowania sygnałów analiz, blok zadawania rozkazów, którego wyjście jest połączone elektrycznie z blokiem pamięci, przeznaczonym do przechowywania informacji sterującej oraz podstawowe układy koincydencyjne, połączone elektrycznie z deszyfratorem kształtowania sygnałów analiz oraz z blokiem pamięci, przeznaczonym do przechowywania informacji sterującej.

Zgodnie z wynalazkiem podstawowe układy koincydencyjne tworzą macierz, której liczba kolumn jest równa liczbie modyfikowanych pozycji adresu bloku pamięci, przeznaczonego do przechowywania informacji sterowania i której liczba wierszy jest określona pozycyjnością rejestru kodu analiz, a do samego urządzenia pamięci wprowadzono dodatkowo szyfrator, dodatkowe układy koincydencyjne, których liczba jest równa liczbie modyfikowanych pozycji adresu bloku pamięci, przeznaczonego do przechowywania informacji sterowania. Przy tym jedno z wejść każdego z układów koincydencyjnych jest połączone elektrycznie z podstawowymi układami koincydencyjnymi. Poza tym urządzenie pamięci według wynalazku zawiera rejestr cech modyfikacji pozycji adresu bloku pamięci, przeznaczony do przechowywania informacji sterowania, do którego to rejestru są dołączone inne wejścia dodatkowych układów koincydencyjnych, oraz komutatory priorytetowe do komutacji odpowiednio modyfikowanych i niemodyfikowanych pozycji adresu bloku pamięci, przeznaczonego do przechowywania informacji sterowania, których liczba jest równa liczbie odpowiednio modyfikowanych i niemodyfikowanych pozycji adresu bloku pamięci, przeznaczonego do przechowywania informacji sterowania. Przy tym odpowiednie, odpowiadające sobie nawzajem, wejścia informacyjne każdego z nich są dołączone do bloku zadawania rozkazów, do rejestru przejścia funkcyjnego według adresu powrotu, do rejestru następnego adresu, do szyfratora. Odpowiednio jeszcze jedno wejście informacyjne i wejści sterujące każdego komutatora priorytetowego do komutacji modyfikowanych pozycji adresu bloku pamięci, przeznaczonego do przechowywania informacji sterowania, są dołączone do wyjść dodatkowych układów koincydencyjnych i do rejestru cech modyfikacji pozycji adresu bloku pamięci, przeznaczonego do przechowywania informacji sterowania odpowiednio. Inne wejścia sterujące każdego z nich oraz komutatorów prioryteto-

wych do komutacji niemodyfikowanych pozycji adresu bloku pamięci do przechowywania informacji sterującej są dołączone do jeszcze jednych wyjść odpowiednio szyfratora i bloku zadawania rozkazów, a ich wyjścia są dołączone poprzez łącze adresowe do bloku pamięci do przechowywania informacji sterującej.

Celowym jest, aby podstawowe układy koincydencyjne w każdym wierszu macierzy miały jedno wspólne wejście, dołączone do odpowiedniego wyjścia deszyfratora kształtowania sygnałów analiz, a podstawowe układy koincydencyjne w każdej kolumnie macierzy miały wspólne wyjście, dołączone do jeszcze jednego wejścia każdego z dodatkowych układów koincydencyjnych.

Celowym jest również, aby każdy z komutatorów priorytetowych do komutacji odpowiednio modyfikowanych i niemodyfikowanych pozycji adresu bloku pamięci do przechowywania informacji sterowania zawierał układ priorytetowy, zawierający układy koincydencyjne, których liczba jest o jeden układ mniejsza od liczby warunków, wpływających na kształtowanie adresu bloku pamięci do przechowywania informacji sterowania oraz elementy logiczne NIE, których, liczba równa jest liczbie układów koincydencyjnych, z których to elementów każdy jest dołączony do odpowiednich układów koincydencyjnych, a także zawiera elementy logiczne I, przy czym wejście jednego z elementów I połączone jest z wejściem elementu logicznego NIE, będącym wejściem sterującym komutatora priorytetowego, a pozostałe elementy logiczne I, których liczba jest równa liczbie układów koincydencyjnych, są dołączone do tych układów koincydencyjnych, oraz element logiczny LUB, którego wejścia są połączone z elementami logicznymi I, a wejście — z blokiem pamięci do przechowywania informacji sterowania.

Niniejszy wynalazek pozwala realizować modyfikację pozycji adresu bloku pamięci do przechowywania informacji sterowania w sposób jednolity (jednakowy) niezależnie od konkretnie sprawdzanych warunków.

Poza tym niniejszy wynalazek pozwala przy analizowaniu układów urządzenia realizować rozgałęzienie na potrzebną, dla każdego konkretnego przypadku, liczbę kierunków poprzez zadawanie odpowiedniego kodu w rejestrze cech modyfikacji.

Rozwiązanie techniczne według wynalazku jest objaśnione w dalszym ciągu opisu na podstawie przykładu realizacji wynalazku, przedstawionego na załączonym rysunku, na którym fig. 1 przedstawia schemat strukturalny urządzenia pamięci według wynalazku, fig. 2 — macierz, utworzoną z podstawowych układów koincydencyjnych, według wynalazku, a fig. 3 — przedstawia schemat strukturalny komutatora priorytetowego do komutacji niemodyfikowanych pozycji adresu bloku pamięci do przechowywania informacji sterowania, według wynalazku.

Rozpatrzmy przypadek wykorzystania urządzenia pamięci w elektronicznej maszynie cyfrowej ze sterowaniem mikroprogramowym.

Urządzenie pamięci, według wynalazku, zawiera blok pamięci 1 do przechowywania informacji ste-

rowania, do którego dołączone jest łącze 2 adresowe, komutatory priorytetowe 3 do komutacji modyfikowanych pozycji adresu bloku 1 oraz komutatory priorytetowe 4 do komutacji niemodyfikowanych pozycji adresu bloku 1. Liczba komutatorów priorytetowych 3, 4 jest równa liczbie odpowiednio modyfikowanych i niemodyfikowanych pozycji adresu bloku 1. Do bloku 1 dołączony jest rejestr stałych 5, rejestr 6 następnego adresu, rejestr 7 cech modyfikacji pozycji adresu bloku 1 oraz rejestr 8 kodu analiz. Jedno wyjście 9 rejestru 5 stanowi wyjście urządzenia, a do drugiego wyjścia dołączony jest rejestr 10 przejścia funkcyjnego według adresu powrotu. Jedno z wyjść 11 rejestru 8 stanowi wyjście urządzenia, a do drugiego wyjścia dołączony jest deszyfrator 12 kształtowania sygnałów analiz.

Urządzenie zawiera poza tym blok 13 zadawania rozkazów, którego wejścia 14 stanowią wejścia urządzenia, szyfrator 15, którego wejścia 16 stanowią również wejścia urządzenia, podstawowe układy 17 (fig. 2) koïncydencyjne, tworzące macierz 18 (fig. 1, 2) oraz dodatkowe układy 19 koïncydencyjne (fig. 1). Macierz 18 (fig. 2) zawiera tyle kolumn, ile jest modyfikowanych pozycji adresu bloku 1 (fig. 1), i tyle wierszy ile jest pozycji rejestru 8.

Układy 17 w każdym wierszu macierzy 18 (fig. 1, 2) mają wspólne wejście 20, utworzone z połączenia wszystkich odpowiadających sobie nawzajem wejść 21 (fig. 2) tych układów 17. Wejścia 20 (fig. 1) są dołączone do wyjść deszyfratora 12. Drugie wejścia 22 (fig. 1, 2) wszystkich układów 17 (fig. 2) stanowią wejścia urządzenia. Układy 17 w każdej kolumnie macierzy 18 (fig. 1, 2) mają wspólne wyjście 23, utworzone z wyjść tych układów 17. Przy tym każde z tych wyjść 23 jest dołączone do wejścia 24 (fig. 1) każdego z dodatkowych układów 19 koïncydencyjnych. Drugie wejścia 25 każdego z układów 19 dołączone są do wyjść rejestru 7. Wejścia informacyjne 26, 27, 28, 29 każdego z komutatorów priorytetowych 3, 4 są podłączone do bloku 13, do rejestru 10, rejestru 6 i do szyfratora 15 odpowiednio, a wejścia informacyjne 30, 31 stanowią wejścia urządzenia. Wejście informacyjne 32 każdego z komutatorów 3 jest dołączone do wyjścia odpowiedniego dodatkowego układu 19. Wejścia sterujące 33, 34, 35 każdego z komutatorów 3, 4 stanowią wejścia urządzenia, a wejścia sterujące 36, 37 są dołączone do bloku 13 i do szyfratora 15 odpowiednio. Wejście sterujące 38 każdego z komutatorów 3 dołączone jest do odpowiedniego wyjścia rejestru 7. Wyjścia 39 wszystkich komutatorów 3, 4 są dołączone do łącza 2 adresowego.

Każdy z priorytetowych komutatorów 4 komutacji niemodyfikowanych pozycji adresu bloku pamięci 1 do przechowywania informacji sterowania zawiera układ priorytetowy 40 (fig. 3), który zawiera układy 41, 42, 43, 44, 45 koïncydencji i elementy 46, 47, 48, 49, 50 NIE. Element logiczny NIE 46 połączony jest z układami 41, 42, 43, 44, 45 koïncydencji. Element logiczny NIE 47 połączony jest z układami 42, 43, 44, 45. Element logiczny

NIE 43 połączony jest z układami 43, 44, 45 koïncydencji. Element logiczny NIE 49 połączony jest z układami 44, 45 koïncydencji, a element logiczny NIE 50 połączony jest z układem 45 koïncydencji. Jeszcze jedno wejście układów 41, 42, 43, 44 koïncydencji są połączone z wejściami odpowiednio elementów logicznych NIE 47, 48, 49, 50 i stanowią wejścia sterujące 34, 37, 35, 36 (fig. 1) odpowiednio komutatora priorytetowego 4. Komutator priorytetowy 4 (fig. 1, 3) zawiera również elementy logiczne 51, 52, 53, 54, 55, 56 (fig. 3) I oraz dołączony do nich element logiczny 57 LUB, którego wyjście stanowi wyjście 39 (fig. 1) komutatora priorytetowego 4. Elementy logiczne 51, 52, 53, 54, 55 I (fig. 3) są odpowiednio dołączone do układów 45, 44, 43, 42, 41 koïncydencyjnych. Element 56 I podłączony jest do wejścia elementu NIE 46, będącego wejściem sterującym 33 (fig. 1) komutatora priorytetowego 4. Drugie wejścia elementów logicznych I 51, 52, 53, 54, 55, 56 (fig. 3) stanowią odpowiednio wejścia informacyjne 28, 26, 27, 29, 31, 30 (fig. 1) komutatora priorytetowego 4.

Każdy z komutatorów priorytetowych 3 do komutacji bloku 1 pamięci do przechowywania informacji sterowania ma analogiczną budowę jak komutator priorytetowy 4 (fig. 1, 3) z tą tylko różnicą, że zawiera dodatkowo jeszcze jeden układ koïncydencyjny, jeszcze jeden element logiczny NIE, którego wejście stanowi wejście sterujące 33 komutatora 3 oraz jeszcze jeden element logiczny I, którego jedno z wejść stanowi wejście informacyjne 32 komutatora 3. Dodatkowe układy koïncydencyjne, element logiczny NIE oraz element logiczny I na rysunku nie są uwidocznione.

Urządzenie pamięci pracuje w sposób następujący.

Na wykonanie każdej operacji przetwarzania danych, zadawanej w postaci rozkazu, wymagana jest zadana liczba taktów, a więc wybranie z bloku 1 (fig. 1) pamięci do przechowywania informacji sterowania takiej samej liczby słów sterujących w uprzednio zadanym ciągu. Informacja sterowania odczytywana jest z bloku 1 i kierowana do rejestru 5 stałych, do rejestru 6 następnego adresu, do rejestru 7 cech modyfikacji pozycji adresu bloku 1 i do rejestru 8 kodu analiz. Adres następnego słowa sterującego bloku 1 z rejestru 6 doprowadza się do wejść informacyjnych 28 komutatorów priorytetowych 3, 4 do komutacji odpowiednio modyfikowanych i niemodyfikowanych pozycji adresu bloku 1. W przypadku, jeśli na wejściach sterujących 33, 34, 35, 36, 37 komutatorów priorytetowych 3, 4, oraz na wejściu sterującym 38 komutatora priorytetowego 3 brak jest sygnałów, wówczas kod adresu poprzez komutatory 3 i 4 doprowadza się do łącza 2 adresowanego, wyznaczając w ten sposób adres następnego słowa sterującego bloku 1. W ten sposób realizowane jest wybieranie (odczytywanie) informacji sterowania z bloku 1, stosowanej do realizacji dowolnego algorytmu w przypadku, gdy adres następnego słowa sterującego zadaje się w poprzednim słowie sterującym.

Zadawanie początkowego adresu kolejności słów sterujących może być zrealizowane z kilku kie-

runków. Przy naciśnięciu przycisku na pulpicie sterującym (na rysunku nie jest ten pulpit uwidoczniiony) sygnał łączem wejściowym 16 doprowadza się do szyfratora 15, który wytwarza (generuje) adres początku ciągu słów sterujących (zwanym w dalszym ciągu mikrorozkazami, a ciąg mikrorozkazów — mikroprogramem), oraz doprowadza się do wejść informacyjnych 29 odpowiednich komutatorów priorytetowych 3, 4. Jednocześnie szyfrator 15 kształtuje sygnał sterujący, który towarzyszy informacji adresowej, który to sygnał sterujący doprowadza się do wejścia sterującego 37 komutatorów priorytetowych 3, 4. W przypadku, jeśli w danym momencie czasu na wejściach 23, 34 komutatorów 3, 4 brak jest sygnałów sterujących, wówczas ich wejście 37 ma wyższy priorytet, a adres z szyfratora 15 doprowadza się przez komutatory 3, 4 na łącze 2 adresowe, wyznaczając adres następnego słowa sterującego bloku 1. Jeśli urządzenie realizuje rozkazy jakiegokolwiek niezbędnego systemu rozkazów, wówczas początkowy adres mikroprogramu, realizującego algorytm wykonania danego rozkazu, wyznacza kod rozkazu. Przy pracy urządzenia do wejścia 14 bloku 13 zadawania rozkazów doprowadza się kod rozkazu, który jest w tym bloku zapamiętywany. Po wykonaniu poprzedniego rozkazu blok 13 kształtuje sygnał sterujący, który doprowadza się do wejścia sterującego 36 każdego z komutatorów 3, 4, zezwalając tym samym, przy braku innych sygnałów sterujących mających większy priorytet, przekazanie na łącze 2 jako następnego adresu bloku 1 informacji z bloku 13. Informacja ta w niektórych przypadkach może liczbowo odpowiadać kodowi rozkazu. Z bloku 1 rozpoczyna się odczytywanie ciągu słów sterujących, których informacja określa działanie, niezbędne do realizacji danego rozkazu.

Kolejność odczytywania słów sterujących może być zmieniona, na przykład, celem przerwania działań związanych z wykonaniem rozkazu. Jeśli zachodzi konieczność pilnego przerwania normalnego toku mikroprogramu przy różnych błędach w programie takich, jak naruszenie zabezpieczenia pamięci, zwrócenie się według nieistniejącego adresu, próba wykonania rozkazu nieistniejącego w systemie rozkazów i tak dalej. wówczas sygnał przerwania działań związanych z wykonywaniem rozkazów doprowadza się do wejścia 18 szyfratora 15. Szyfrator 15, w zależności od charakteru przerwania, wytwarza adres, który wyznacza początek mikroprogramu obróbki odpowiedniej sytuacji. Przy tym doprowadzenie innych adresów przez komutatory 3, 4 blokuje się.

Gdy zachodzi konieczność wywołania jakiegokolwiek słowa sterującego z bloku 1 ręcznie z pulpitu sterowniczego, jego adres doprowadza się do wejścia informacyjnego 30 komutatorów 3, 4. Jednocześnie do ich wejścia sterującego 33 doprowadza się sygnał, zezwalający na przekazanie adresu z pulpitu sterowniczego. W ten sposób potrzebne słowo sterujące odczytywane jest z bloku 1.

Drugie wejście informacyjne 31 komutatorów 3, 4 i odpowiadające mu wejście sterujące 34 są przeznaczane do sterowania pracą urządzenia pamięci

z zewnątrz, na przykład, z innego urządzenia pamięci (nie pokazanego na rysunku). W celach diagnostycznych co do niesprawności danego urządzenia pamięci inne urządzenie pamięci doprowadza przez wejścia 31 komutatorów 3, 4 adresy słów sterujących bloku 1 których informację wykorzystuje się do aktywizowania (pobudzenia) tych lub innych obwodów obiektu sterowania.

Pewien ciąg słów sterujących bloku 1 może przedstawiać sobą jakikolwiek mikroprogram, wspólny dla algorytmów wykonania kilku rozkazów, w dalszym ciągu zwany podprogramem, do którego zwraca się cały szereg mikroprogramów. Przy tym wejście do danego podprogramu określa się adresem jego początku i może być wskazany w mikroprogramie, to znaczy zadany w rejestrze następnego adresu. Adres powrotu z podprogramu w każdym konkretnym przypadku jest różny i określa się rodzajem mikroprogramu. A więc przy wejściu do podprogramu należy wcześniej zadać adres powrotu. W urządzeniu powrót jest realizowany w sposób następujący: przed wejściem do podprogramu do rejestru 10 przejścia funkcyjnego z rejestru 5 stałych, którego wyjście 9 stanowi jedno z wyjść urządzenia, doprowadza się określony kod adresu powrotu. Każdy podprogram w ostatnim ze swoich mikrorozkazów zawiera rozkaz o przyjęciu kodu adresu z rejestru 10, doprowadzany do wejścia sterującego 35 komutatorów 3, 4. Kod adresu powrotu z rejestru 10 przez komutatory 3 i 4 oraz łącze 2 doprowadza się do wejścia bloku 1 celem kontynuowania realizacji programu. Adres z rejestru 10 przejścia funkcyjnego może być wykorzystany również przez realizację rozgałęzienia, którą opiszano niżej.

Przy wykonaniu jakiegokolwiek ciągu mikrorozkazów często powstaje konieczność dokonania rozgałęzienia w zależności od spełnienia lub nie spełnienia warunków, sprawdzanych urządzeniem. Przy tym może być realizowane rozgałęzienie na 2, 4, 8 i tak dalej kierunków. W każdym konkretnym przypadku sprawdza się własny zestaw warunków. I chociaż liczba takich sprawdzeń jest dostatecznie duża a warunki są bardzo różnorodne, zestaw warunków, sprawdzonych jednocześnie, jest ograniczony.

Przy realizacji rozgałęzień urządzenie pracuje w sposób następujący. Niemodyfikowane pozycje kodu następnego adresu z rejestru 6 doprowadza się do wejść 28 komutatorów 4. Numer sprawdzonego zestawu warunków zadaje się rejestrom 8 kodu analiz i dekoduje się deszyfratorem 12. Wszystkie możliwe sprawdzane warunki są doprowadzane do wejść 22 (fig. 1, 2) podstawowych układów 17 (fig. 2) koincydencyjnych, które tworzą macierz 18 (fig. 1, 2).

Każdy wiersz macierzy 18 odpowiada numerowi sprawdzanego zestawu warunków. Sygnały z deszyfratora 12 (fig. 1) są doprowadzane do wspólnego wejścia 20 odpowiedniego wiersza macierzy 18 (fig. 2), pobudzając podstawowe układy 17 koincydencyjne (fig. 2) danego wiersza, do których drugich wejść są doprowadzane sprawdzane warunki. Na wspólnych wyjściach 23 (fig. 1, 2) układów 17 każdej kolumny macierzy 18 bierze się zero logicz-

ne lub jedynek logiczną w zależności od wykonania sprawdzonego warunku i z nich kształtuje się kod, odpowiadający stanowi sprawdzanych warunków w momencie analizy. W ten sposób na wyjściach 23 układów 17 możliwym jest otrzymywanie 2^n kombinacji, gdzie n — liczba kolumn macierzy 18 równa liczbie modyfikowanych pozycji adresu. Do każdego wiersza macierzy 18 wejściami 22 doprowadza się warunki, które są analizowane jednocześnie, jednakże jeden i ten sam warunek może być podany na wejście 22 układów 17 koincydencyjnych kilku wierszy macierzy 18, to znaczy sprawdzenie warunku może być połączone ze sprawdzeniem innych warunków. W ogólnym przypadku liczba sprawdzanych kombinacji warunków wynosi

$$K = 2^n \cdot m,$$

gdzie m — liczba kodów analiz.

Kod z wyjść 23 układów 17 (fig. 2) przez odpowiednie dodatkowe układy 19 (fig. 1) koincydencyjne doprowadza się do wejść informacyjnych 32 komutatorów 3 i zastępuje odpowiednie modyfikowane pozycje adresu, na przykład, młodsze, wówczas starsze, niemodyfikowane pozycje adresu przekazywane są przez komutatory 4. W ten sposób realizuje się rozgałęzienie na 2^n kierunków.

Celem ograniczenia liczby kierunków rozgałęzień wykorzystuje się informację z rejestru 7 cech modyfikacji pozycji adresu bloku 1. Obecność jedynki logicznej na jakiegokolwiek pozycji rejestru 7 zezwala na podłączenie poprzez układy 19 do wejść informacyjnych 32 odpowiednich komutatorów 3 jednego z wyjść 23 układów 17 (fig. 2). Brak jedynki na odpowiedniej pozycji rejestru 7 (fig. 1) blokuje przyjęcie kodu z tych wyjść 23 i zewala na przejście przez odpowiedni komutator 3 kodu adresu z rejestru 6. Przy jednej jedynce w rejestrze 7 zezwala się na realizację odgałęzień na dwa kierunki, przy dwóch jedynkach — na cztery i tak dalej. W ten sposób wykorzystywanie jednego sygnału analizy (pobudzenie jednego wiersza macierzy 18) w połączeniu z cechami modyfikacji pozwala na realizację $(2^n - 1)$ rodzajów sprawdzeń (zerowy kod cechy modyfikacji — brak analizy). Gdy liczba analiz wynosi m , liczba sprawdzeń wynosi

$$F = m(2^n - 1)$$

Przy tym zachowana jest wygoda zadawania sprawdzenia. Pojemność bloku pamięci 1 wykorzystywana jest oszczędnie.

Rozpatrzmy pracę komutatorów priorytetowych 4.

Ponieważ informacja dla adresu następnego słowa sterującego jest obecna na wejściach 26, 27, 23, 29, 30, 31 komutatorów 3, 4 (fig. 1) oraz na wejściach 32 komutatorów 3 jednocześnie z kilku kierunków, a z ich wyjść 39 powinien być wyprowadzany tylko jeden adres, odpowiadający kodowi, doprowadzanemu z kierunku, który w danym momencie czasu ma największy priorytet, komutatory 3, 4 są wyposażone w układ 40 priorytetu (fig. 3).

Komutatory 4 (fig. 1, 3) do komutacji niemodyfikowanych pozycji adresu bloku pamięci 1 (fig. 1) pracują w sposób następujący.

Adres z pulpitu sterowniczego ma najwyższy priorytet — operator może ingerować w dowolnym czasie, więc sygnał sterujący z wejścia 33 (fig. 1) doprowadza się do elementu logicznego I 56 (fig. 3), zezwalając na przejście przez ten układ informacji z pulpitu sterowniczego wejściem 30 (fig. 1) i dalej przez element logiczny LUB 57 (fig. 3) do łącza adresowego 2 bloku pamięci 1 (fig. 1). Jednocześnie ten sam sygnał sterujący z wejścia 33 (fig. 1) odwrócony elementem logicznym NIE 46, doprowadza się do jednego z wejść układów 41, 42, 43, 44, 45 koincydencyjnych, blokując w ten sposób przejście przez nich sygnałów sterujących z wejść 34, 35, 36, 37 komutatorów 4 (fig. 1, 2), a więc i wydanie na łącze 2 kodu adresu (informacji) z odpowiednich kierunków.

Kod adresu z innego urządzenia pamięci (nie pokazanego na rysunku) jest doprowadzany do wejścia 31 (fig. 1). Temu kodowi towarzyszy sygnał sterujący doprowadzany przez wejście 34 (fig. 1) do drugiego wejścia układu koincydencyjnego 41, pobudzając ten układ. W przypadku braku sygnału sterującego z pulpitu sterowniczego na wejścia 33 (fig. 1) kod ten zezwala na przejście przez elementy logiczne I 55 i LUB 57 na łącze 2 kodu adresu od innego urządzenia pamięci. Jednocześnie ten sam sygnał sterujący z wejścia 34 (fig. 1), odwrócony elementem NIE 47 (fig. 3) doprowadza się do drugich wejść układów koincydencyjnych 42, 43, 44, 45, blokując w ten sposób przejście przez nie sygnałów sterujących z wejść 35, 36, 37 (fig. 1) komutatorów (fig. 1, 3), a więc również i wydanie na łącze 2 kodu adresu z odpowiednich kierunków.

W przypadku przerywania działań, związanych z realizacją bieżącego rozkazu, kod adresu z szyfatora 15 (fig. 1) doprowadza się do wejścia 29. Towarzyszy mu sygnał sterujący, doprowadzany przez wejście 37 komutatora 4 na pozostałe wejście układu 42 koincydencyjnego (fig. 3) pobudzając ten układ. W przypadku braku sygnałów sterujących z pulpitu sterowniczego i z drugiego urządzenia pamięci, mającego wyższy priorytet, na wejściach 33, 34 (fig. 1) kod ten zezwala na przejście przez elementy logiczne I 54 i LUB 57 na łącze 2 kodu adresu początku mikroprogramu przetwarzania odpowiedniej sytuacji przerywania z szyfatora 15. Jednocześnie ten sam sygnał sterujący z szyfatora 15 po odwróceniu go przez element logiczny NIE 48 doprowadza się również do jeszcze jednych wejść układów koincydencyjnych 43, 44, 45, blokując tym samym przejście przez nie sygnałów sterujących z wejść 35, 36 komutatorów 4 (fig. 1, 2), a więc również i wydanie na łącze 2 kodu adresu z odpowiednich kierunków.

W razie konieczności realizacji powrotu z mikroprogramu do podstawowego mikroprogramu kod adresu powrotu z rejestru 10 doprowadza się do wejścia 27. Towarzyszy mu sygnał sterujący, doprowadzony przez wejście 35 do pozostałego wejścia układu koincydencyjnego 43, pobudzając ten układ. W przypadku braku sygnałów sterujących na wejściach 33, 34, 37 komutatora 4, mających wyższy priorytet, kod ten zezwala na przyjęcie przez elementy logiczne I 53 i LUB 57 na łącze 2

kodu adresu powrotu do podstawowego mikroprogramu z rejestru 10. Jednocześnie ten sam sygnał sterujący z wejścia 35, po odwróceniu go przez element logiczny NIE 49 (fig. 3) doprowadza się również do drugich wejść układów koincydencyjnych 44, 45, blokując w ten sposób przejście przez nie pozostałych sygnałów sterujących komutatora 4 (fig. 1), a więc i wydanie na łącze 2 kodu adresu z odpowiednich kierunków.

Przy zadawaniu adresu początku mikroprogramu wykonania jakiegokolwiek rozkazu z systemu rozkazów kod adresu określa się przez blok 13 (fig. 1) zadawania rozkazów. Kod ten doprowadza się do wejścia 26 komutatorów 4. Towarzyszy mu sygnał sterujący, doprowadzany przez wejście 36 do pozostałego wejścia układu koincydencji 44 (fig. 3), pobudzając ten układ. W przypadku braku sygnałów sterujących na wejściach 33, 34, 35, 37 (fig. 1) komutatora 4, mających wyższy priorytet, kod ten zezwala na przejście przez elementy logiczne I 52 i LUB 57 na łącze 2 kodu adresu, określającego początek mikroprogramu wykonania danego rozkazu z bloku 13 (fig. 1) zadawania rozkazów. Jednocześnie ten sam sygnał sterujący z bloku 13, po odwróceniu go przez element logiczny NIE 50, doprowadza się do pozostałego wejścia układu 45 koincydencyjnego, blokując tym samym kształtowanie warunku przechodzenia na łącze 2 (fig. 1) kodu adresu z kierunku, mającego najniższy priorytet, przez wejście 28 komutatora 4. I tylko w przypadku, gdy na wejściach 33, 34, 35, 36, 37 komutatorów 4 nie ma ani jednego sygnału sterującego, układ koincydencyjny 45 (fig. 3) zezwala na przejście przez elementy logiczne I 51 i LUB 57 na łącze 2 (fig. 1) kodu adresu z rejestru 6 następnego adresu, to znaczy, że adres następnego słowa sterującego, zadawany w poprzednim słowie sterującym ma najniższy priorytet.

Komutatory priorytetowe 3 (fig. 1) do komutacji modyfikowanych pozycji adresu bloku 1 różnią się od komutatorów priorytetowych 4 do komutacji niemodyfikowanych pozycji adresu bloku 1 tym, że komutatory 3 mają jeszcze jedno wejście informacyjne 32 i odpowiadające mu wejście sterujące 38.

Praca komutatorów priorytetowych 3 (fig. 1) jest analogiczna pracy opisanych wyżej komutatorów 4 z tym tylko, iż dodatkowy sygnał sterujący, doprowadzany do wejścia 38, ma najniższy priorytet.

Opisane urządzenie ma istotne zalety w porównaniu ze znanymi urządzeniami, gdyż zmniejsza wyposażenie do realizacji rozgałęzień, zmniejsza objętość bloku pamięci poprzez zmniejszenie „pozycyjności” tej pamięci.

Poza tym znacznie zwiększają się możliwości funkcjonalne urządzenia, dzięki temu, iż możliwy jest wybór słowa sterującego przy wykorzystaniu jako źródeł adresu różnych bloków urządzenia przy tym wybór dokonuje się z kierunku, mającego najwyższy priorytet.

Oprócz tego ma miejsce znaczne zaoszczędzenie potrzebnej liczby adresów pamięci na skutek zadawania optymalnej dla każdego konkretnego przypadku liczby rozgałęzień, to znaczy zwiększa się efektywna pojemność urządzenia.

Zastrzeżenia patentowe

1. Urządzenie pamięci, zawierające blok pamięci do przechowywania informacji sterowania, do którego wyjścia dołączony jest rejestr stałych, połączony z rejestrem przejścia funkcyjnego według adresu powrotu, rejestr następnego adresu, połączony elektrycznie z blokiem pamięci do przechowywania informacji sterującej, rejestr kodu analiz, połączony z deszyfratorem kształtowania sygnałów analiz, blok zadawania rozkazów, którego wyjście jest połączone elektrycznie z blokiem pamięci do przechowywania informacji sterującej, oraz podstawowe układy koincydencyjne, połączone elektrycznie z deszyfratorem kształtowania sygnałów analiz i z blokiem pamięci do przechowywania informacji sterowania, **znamienny tym**, że podstawowe układy koincydencyjne (17) tworzą macierz (18), która to macierz (18) ma tyle kolumn, ile jest modyfikowanych pozycji adresu bloku (1) pamięci do przechowywania informacji sterowania, i której to macierzy liczba wierszy określa się pozycyjnością rejestru (8) kodu analiz, przy czym urządzenie pamięci zawiera dodatkowo szyfrator (15), dodatkowe układy koincydencyjne (19), których liczba jest równa liczbie modyfikowanych pozycji adresu bloku (1) pamięci do przechowywania informacji sterowania i w których to dodatkowych układach (19) koincydencyjnych jedno wejście (24) każdego z nich połączone jest elektrycznie z podstawowymi układami koincydencyjnymi (17), rejestr (7) cech modyfikacji pozycji adresu bloku (1) pamięci do przechowywania informacji sterowania, do którego dołączone są drugie wejścia (25) dodatkowych układów koincydencyjnych (19), oraz komutatory priorytetowe (3, 4) do komutacji odpowiednio modyfikowanych i niemodyfikowanych pozycji adresu bloku (1) pamięci do przechowywania informacji sterowania, których liczba jest równa liczbie odpowiednio modyfikowanych i niemodyfikowanych pozycji adresu bloku (1) pamięci do przechowywania informacji sterującej, przy tym odpowiadające sobie nawzajem wejścia informacyjne (26, 27, 28, 29) każdego z nich są dołączone do bloku (13) zadawania rozkazów, do rejestru (10) przejścia funkcyjnego według adresu powrotu, do rejestru (6) następnego adresu, do szyfratora (15) odpowiednio, jeszcze jedno wejście informacyjne (32) i wejście sterujące (38) każdego komutatora priorytetowego (3) do komutacji modyfikowanych pozycji adresu bloku (1) pamięci do przechowywania informacji sterującej podłączone są do wyjść dodatkowych układów koincydencyjnych (19) i do rejestru (7) cech modyfikacji pozycji adresu bloku (1) pamięci do przechowywania informacji sterowania, drugie wejście sterujące (36, 37) każdego z nich oraz komutatorów priorytetowych (4) do komutacji niemodyfikowanych pozycji adresu bloku (1) pamięci do przechowywania informacji sterującej dołączone są do jeszcze jednych wyjść odpowiednio szyfratora (15) i bloku (13) zadawania rozkazów, a ich wyjścia (39) dołączone są przez łącze (2) adresowe do bloku (1) pamięci do przechowywania informacji sterującej.

2. Urządzenie według zastrz. 1, **znamiennie tym**, że podstawowe układy koincydencyjne (17) w każ-

dym wierszu macierzy (18) mają wspólne wejście (20), dołączone do odpowiedniego wyjścia deszyfratora (12) kształtowania sygnałów analiz, a w każdej kolumnie macierzy (18) układy te mają wspólne wyjście (23), dołączone do wejścia (24) każdego z dodatkowych układów koincydencyjnych (19).

3. Urządzenie według zastrz. 1, lub 2, z tym, że każdy z komutatorów priorytetowych (3, 4) do komutacji odpowiednio niemodyfikowanych i modyfikowanych pozycji adresu bloku (1) pamięci do przechowywania informacji sterującej zawiera układ priorytetowy (40), zawierający układy koincydencyjne (41, 42, 43, 44, 45), których liczba jest o jeden układ mniejsza od liczby warunków wpływających na kształtowanie adresu bloku (1) pamięci do przechowywania informacji sterującej, oraz elementy logiczne NIE (46, 47, 48, 49, 50),

których liczba odpowiada liczbie układów koincydencyjnych (41, 42, 43, 44, 45), z których każdy element logiczny NIE podłączony jest do odpowiednich układów koincydencyjnych (41, 42, 43, 44, 45), a ponadto zawiera elementy logiczne I (51, 52, 53, 54, 55, 56) przy czym wejście jednego elementu I (56) połączone jest z wejściem elementu NIE (46), będącym wejściem sterującym (33) komutatora priorytetowego (4, 3), a pozostałe elementy I (51, 52, 53, 54, 55), których liczba równa jest liczbie układów koincydencyjnych (41, 42, 43, 44, 45) są dołączone do tych układów koincydencyjnych, oraz element logiczny LUB (57), którego wejścia są połączone z elementami logicznymi I (51, 52, 53, 54, 55, 56), a wyjście jest dołączone do bloku (1) pamięci do przechowywania informacji sterującej.



