

ITALIAN PATENT OFFICE

Document No.

102008901659771A1

Publication Date

20100316

Applicant

STMICROELECTRONICS (ROUSSET) SAS

Title

DISPOSITIVO DI MEMORIA A CAMBIAMENTO DI FASE CON SCARICA DI
CORRENTI DI PERDITA IN LINEE DI BIT DESELEZIONATE E METODO PER
SCARICARE CORRENTI DI PERDITA IN LINEE DI BIT DESELEZIONATE DI
UN DISPOSITIVO DI MEMORIA A CAMBIAMENTO DI FASE

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"DISPOSITIVO DI MEMORIA A CAMBIAMENTO DI FASE CON
SCARICA DI CORRENTI DI PERDITA IN LINEE DI BIT
DESELEZIONATE E METODO PER SCARICARE CORRENTI DI
PERDITA IN LINEE DI BIT DESELEZIONATE DI UN
DISPOSITIVO DI MEMORIA A CAMBIAMENTO DI FASE"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MI)

Inventori: BEDESCHI Ferdinando, RESTA Claudio

* * * * *

DESCRIZIONE

La presente invenzione è relativa a un
dispositivo di memoria a cambiamento di fase avente
un circuito che scarica correnti di perdita in linee
di bit deselezionate e un metodo per scaricare
correnti di perdita in linee di bit deselezionate di
un dispositivo di memoria a cambiamento di fase.

Come è noto, le memorie a cambiamento di fase
sono formate da celle di memoria connesse alle
intersezioni fra le linee di bit e le linee di parola
e comprendenti ciascuna un elemento di memoria e un

elemento di selezione. Un elemento di memoria comprende una regione a cambiamento di fase di un materiale a cambiamento di fase, cioè un materiale che può essere commutato elettricamente tra uno stato generalmente amorfo e uno generalmente cristallino, attraverso l'intero spettro tra gli stati completamente amorfo e completamente cristallino.

Tipici materiali adatti per la regione a cambiamento di fase degli elementi di memoria comprendono vari elementi di calcogenuri. Lo stato dei materiali a cambiamento di fase è non volatile, nel caso che non vengano applicate temperature in eccesso, come ad esempio quelle superiori a 150°C, per periodi prolungati. Quando la memoria è settata in uno stato cristallino, semi-cristallino, amorfo e semi-amorfo che rappresenta un valore di resistenza, tale valore si mantiene fino a quando è riprogrammato, anche se si rimuove l'alimentazione.

Gli elementi di selezione possono essere formati secondo tecnologie diverse, per esempio essi possono essere implementati da diodi, da transistori MOS o da transistori bipolari.

Con riferimento alla figura 1, un dispositivo di memoria a cambiamento di fase 1 comprende una matrice 2 di celle PCM 3, disposte in file e colonne e

connesse ad un decodificatore di riga 6 che riceve segnali di indirizzo di riga ROW_ADDR e ad un multiplexer 5 controllato da un decodificatore di colonna 7 che riceve segnali di indirizzo di colonna COL_ADDR. Il multiplexer 5 è connesso ad una unità di scrittura/lettura 8 comprendente tutti i componenti (quali amplificatori di rilevamento, comparatori, pompe di carica, celle di riferimento, generatori di tensione, regolatori di tensione) necessari per scrivere o leggere le celle PCM 3.

Ogni cella PCM 3 comprende un elemento di memoria a cambiamento di fase 11 e un elemento di selezione 12 accoppiati in serie. Ogni elemento di memoria a cambiamento di fase 11 comprende una porzione di un materiale a cambiamento di fase ed è pertanto adatto a memorizzare dati sotto forma di rispettivi livelli di resistenza associati a fasi diverse del materiale a cambiamento di fase, come spiegato in precedenza. Nella forma di realizzazione illustrata, gli elementi di selezione 12 sono transistori bipolari PNP controllati in modo da consentire alla corrente di scorrere attraverso i rispettivi elementi di memoria 11 durante le operazioni di lettura e programmazione/verifica. Ogni elemento di memoria a cambiamento di fase 11 è

connesso direttamente ad una rispettiva linea di bit BL ed è connesso ad una rispettiva linea di parola WL attraverso l'elemento di selezione 12.

Gruppi di celle PCM 3 sono indirizzabili selettivamente dal decodificatore di riga 6 e il multiplexer 7, come specificato dai segnali di indirizzo ROW_ADDR e COL_ADDR. Il multiplexer 5 e l'unità di scrittura/lettura 8 polarizzano linee di bit BL selezionate a tensioni di polarizzazione, a seconda della fase operativa, e scollegano linee di bit BL non selezionate, che sono perciò flottanti. Il decodificatore di riga 6 connette linee di parola WL selezionate a una bassa tensione (vicina a massa) e linee di parola 16 non selezionate ad una tensione relativamente elevata (tipicamente 1,3 V durante la lettura e 3,8 V durante la scrittura).

Ogni linea di bit BL è anche connessa al proprio transistor di scarica 15. I transistori di scarica 15 sono transistori NMOS aventi terminali di pozzo connessi alle proprie linee di bit BL, terminali di porta connessi insieme e che ricevono un segnale di controllo DIS e terminali di sorgente connessi a massa.

La Figura 1 illustra anche condensatori 16, che rappresentano la capacità delle linee di bit BL e

perciò sono connessi ciascuno tra una propria linea di bit BL e la massa.

In Figura 1, sono illustrate tre linee di bit BL_j , BL_{j+1} e BL_m e due linee di parola WL_i e WL_{i+1} . Le celle 3, gli elementi di memoria 11 e gli elementi di selezione 12 sono perciò identificati anche con un pedice corrispondente alla linea di parola WL e alla linea di bit BL a cui sono accoppiati. In modo analogo, i transistori di scarica 15 e i condensatori 16 sono identificati con un sottoscritto corrispondente alla rispettiva linea di bit BL_j , BL_{j+1} e BL_m .

I transistori di scarica 15 hanno lo scopo di scaricare correnti di perdita che scorrono lungo le rispettive linee di bit. In particolare, durante l'attesa o prima di un'operazione di lettura/scrittura, tutte le linee di bit sono lasciate flottanti e le linee di parola sono polarizzate a una tensione elevata VPCX. Inoltre, il segnale di controllo DIS è alto e mantiene i transistori di scarica 15 accesi. Perciò, tutte le linee di bit BL sono connesse a massa. In tale situazione, le giunzioni base-emettitore degli elementi di selezione 12 sono polarizzate in inversa e conducono ciascuna una corrente di scarica che

scorre dal decodificatore di riga 6 verso massa attraverso le linee di bit e i transistori di scarica 15. In tal modo, la tensione sulle linee di bit BL non può aumentare e i condensatori 16 si scaricano.

Durante un'operazione di lettura/scrittura vera e propria, i transistori di scarica 15 sono spenti dal segnale di controllo DIS; la linea di parola selezionata è collegata a massa; la linea di bit selezionata si porta a un valore V_{BL} , come richiesto dall'operazione specifica; le linee di parola deselezionate si portano a un valore elevato VPCX e le linee di bit deselezionate sono lasciate flottanti.

Per esempio, se occorre leggere o scrivere la cella $3_{i,j}$, la linea di parola WL_i è collegata a massa e la linea di bit BL_j è polarizzata alla tensione V_{BL} . Pertanto, una corrente I_{op} scorre attraverso la cella $3_{i,j}$. Le celle $3_{i+1,j+1}$, $3_{i+1,m}$, connesse alle linee di bit deselezionate BL_{j+1} , ..., BL_m e alla linea di parola deselezionata WL_{i+1} , conducono una corrente di perdita I_L che scorre verso le celle $3_{i,j+1}$, ..., $3_{i,m}$ connesse alla linea di parola WL_i selezionata e alle linee di bit deselezionate BL_{j+1} , ..., BL_m . Questa corrente di perdita I_L è un disturbo. Infatti, a seconda della temperatura e del numero di linee di

bit, essa può far sì che la tensione sulle linee di bit non selezionate aumenti fino al valore di accensione degli elementi di selezione $11_{1,j+1}, \dots, 11_{1,m}$ deselezionati connessi alla linea di parola WL_1 selezionata, generando una lettura errata degli elementi di memoria deselezionati $3_{1,j+1}, \dots, 3_{1,m}$.

Per esempio, se la tensione di soglia V_{th} degli elementi di selezione 11 a 120°C è $V_{th} = 0,6 \text{ V}$, si verifica una condizione critica quando la tensione su una linea di bit deselezionata generica raggiunge $VBL = 0,6 + 0,6 = 1,2 \text{ V}$. Nella condizione peggiore, quando l'elemento di memoria connesso alla linea di bit selezionata si trova nello stato amorfo e ha una resistenza di $1 \text{ M}\Omega$, la corrente che scorre attraverso le celle $3_{1,j+1}, \dots, 3_{1,m}$ deselezionate è $0,6/10^6 = 600 \text{ nA}$.

Se 2000 celle sono connesse a ogni linea di bit BL , la corrente di dispersione di cella I_L richiesta da ogni cella non selezionata $3_{1+1,j+1}, 3_{1+1,m}$ per generare l'accensione delle celle $3_{1,j+1}, \dots, 3_{1,m}$ è $I_L = 600/2000 = 300 \text{ pA}$. Se la tensione sulle linee di parola deselezionate è $VPCX = 4,5 \text{ V}$, si raggiunge la suddetta corrente di perdita di cella I_L , dato che la tensione base-emettitore su ogni elemento di selezione deselezionato $11_{1,j+1}, \dots, 11_{1,m}$ è circa

$$V_{\text{max}} = -(4,5-1,2) \text{ V} = -(3,3) \text{ V}.$$

Per risolvere questo problema, US 7.092.277 prevede una falsa linea di bit (dummy), connessa a false celle, a loro volta connesse alle linee di parola della matrice di memoria. La linea di bit "dummy" è connessa alle linee di bit della matrice di memoria attraverso un circuito a specchio di corrente e forza una corrente di scarica prestabilita attraverso le linee di bit. Perciò, le linee di bit deselezionate non possono essere caricate a livelli di tensione pericolosi.

Tuttavia, questa soluzione comporta una circuiteria di regolazione che aumenta la dissipazione di potenza.

Perciò, uno scopo dell'invenzione è quello di fornire un dispositivo di memoria a cambiamento di fase che consenta la scarica di correnti di perdita in linee di bit deselezionate.

Secondo la presente invenzione, sono previsti un dispositivo di memoria a cambiamento di fase e un metodo di funzionamento di un dispositivo di memoria a cambiamento di fase, come definiti nelle rivendicazioni 1 e 10, rispettivamente.

Per la comprensione della presente invenzione, se ne descriverà ora una forma di realizzazione

preferita, puramente come esempio non limitativo, con riferimento ai disegni allegati, in cui:

- la Figura 1 illustra un diagramma a blocchi di un dispositivo di memoria a cambiamento di fase noto;

- la Figura 2 illustra una prima forma di realizzazione del presente circuito di scarica di linee di bit connesso ad una matrice di memoria a cambiamento di fase;

- la Figura 3 illustra una seconda forma di realizzazione del presente circuito di scarica di linee di bit;

- la Figura 4 illustra una architettura di un dispositivo di memoria a cambiamento di fase comprendente il presente circuito di scarica di linee di bit;

- la Figura 5 illustra un'altra architettura di un dispositivo di memoria a cambiamento di fase comprendente il presente circuito di scarica di linee di bit;

- la Figura 6 illustra ancora un'altra architettura di un dispositivo di memoria a cambiamento di fase comprendente il presente circuito di scarica di linee di bit;

- la Figura 7 illustra una terza forma di realizzazione del presente circuito di scarica di

linee di bit;

- le Figure 8 e 9 illustrano rispettive architetture di un dispositivo di memoria a cambiamento di fase comprendente il circuito di scarica di linee di bit di Figura 7; e

- la Figura 10 è una illustrazione di sistema per un'altra forma di realizzazione dell'invenzione.

La Figura 2 illustra una matrice di memoria 2 di un dispositivo di memoria a cambiamento di fase avente la struttura generale illustrata in Figura 1. Di conseguenza, la matrice di memoria 2 comprende una pluralità di celle di memoria 3, formate ciascuna da un elemento di memoria 11 e un elemento di selezione 12. Gli elementi di memoria 11 sono elementi di memoria a cambiamento di fase e gli elementi di selezione 12 sono qui transistori bipolari del tipo PNP, aventi terminali di base connessi alle linee di parola WL_i , WL_{i+1} , ..., regioni di collettore connesse a massa e terminali di emettitore connessi a rispettive linee di bit BL_1 , BL_2 , ..., BL_m , attraverso rispettivi elementi di memoria 11.

Le linee di bit BL della matrice di memoria 2 sono connesse a una unità di scarica di linee di bit 20 comprendente una pluralità di commutatori di scarica di linee di bit 21 ed uno stadio di

regolazione di tensione 22.

In dettaglio, i commutatori di scarica di linee di bit 21 sono formati qui da transistori NMOS e ogni linea di bit $BL_1, BL_2, \dots, BL_m$ è connessa ad un terminale di pozzo di un proprio commutatore di scarica di linee di bit 21 che riceve, su un proprio terminale di porta, un proprio segnale di selezione $S_1, S_2, \dots, S_m$. I segnali di selezione $S_1, S_2, \dots, S_m$ possono essere ottenuti dall'inversione dei segnali di colonna utilizzati per selezionare le linee di bit BL , generati dal decodificatore di colonna 7, come indicato schematicamente in Figura 2, in cui invertitori $16_1, 16_2, \dots, 16_m$ sono connessi alle uscite dei decodificatori di colonna 7. Inoltre, i terminali di sorgente di tutti i commutatori di scarica di linee di bit 21 sono connessi insieme e ad un bus di scarica 24.

Lo stadio di regolazione di tensione 22 comprende qui un transistor di regolazione 25 del tipo PMOS avente un terminale di sorgente connesso al bus di scarica 24, un terminale di pozzo connesso ad una tensione di polarizzazione V_1 e un terminale di pozzo connesso a massa.

In uso, durante la lettura/scrittura, tutte le linee di bit BL , tranne che le linee di bit

selezionate, sono connesse dal proprio commutatore di scarica di linee di bit 21 al transistor di regolazione 25. Il transistor di regolazione 25 tira le correnti di perdita I_L iniettate dagli elementi di selezione 12 deselezionati e che scorrono lungo le linee bit BL deselezionate verso massa. La linea di bit selezionata è disaccoppiata dai transistori di regolazione 25, cosicché non è influenzata dal funzionamento dello stadio di regolazione di tensione 22.

Il transistor di regolazione 25 regola la tensione di bus VPY sul bus di scarica 25; infatti, se la tensione di bus VPY aumenta, aumenta anche la tensione porta-sorgente V_{gs} del transistor di regolazione 25. Perciò, la corrente di perdita globale I_T (somma di tutte le correnti di perdita I_L che scorrono attraverso le linee di bit BL deselezionate e tirate dal transistor di regolazione 25) aumenta, scaricando le linee di bit deselezionate e generando la riduzione della tensione di bus VPY.

In pratica, conoscendo i valori tipici della corrente di perdita I_T , è possibile dimensionare il transistor di regolazione 25 e la tensione di polarizzazione V_I per garantire il valore regolato della tensione di bus VPY e perciò il funzionamento

appropriato dello stadio di regolazione di tensione 22.

Durante lo stand-by, tutti i commutatori di scarica di linee di bit 21 sono attivi, garantendo perciò la scarica di tutte le linee di bit BL.

Perciò, l'unità di scarica di linee di bit 20 regola automaticamente la tensione sul bus di scarica 24 e perciò sulle linee di bit BL deselezionate per garantire la scarica delle correnti di perdita, impedendo perciò l'accensione degli elementi di selezione delle celle di memoria deselezionate ed errori nel funzionamento del dispositivo di memoria.

La Figura 3 illustra una forma di realizzazione, in cui la capacità di corrente dello stadio di regolazione di tensione 22 può essere regolata, secondo il funzionamento del dispositivo di memoria e/o può essere regolata finemente secondo i requisiti specifici oppure per compensare qualsiasi deviazione di valore di fabbricazione.

In dettaglio, qui lo stadio di regolazione di tensione 22 comprende n transistori di regolazione 25 connessi in parallelo tra il bus di scarica 24 e la massa attraverso rispettivi commutatori di regolazione 26 che ricevono ciascuno un segnale di controllo $D_0, D_1, \dots, D_n$ generato da un'unità logica

27.

In l'uso, un numero selezionabile di transistori di regolazione 25 può essere connesso in parallelo dall'unità logica 27, a seconda della capacità di corrente desiderata. Per esempio, durante la scrittura, le tensioni applicate alle linee di bit sono maggiori, e perciò lo è la corrente di perdita globale I_T , rispetto allo stand-by. In tal modo, durante la scrittura, un maggior numero di transistori di regolazione 25 può essere accoppiato al bus di scarica 24 rispetto allo stand-by. In questo caso, l'unità logica 27 può comprendere semplicemente un ingresso operativo, che riceve un segnale logico indicativo del funzionamento (lettura/scrittura/attesa) del dispositivo di memoria 2, e una matrice di commutazione per accoppiare un numero corrispondente di uscite 28_0-28_n ad una tensione elevata, per esempio V_{CC} , per generare uno stato alto dei corrispondenti segnali di controllo $D_0, D_1, \dots, D_n$.

La struttura di Figura 3 consente anche una regolazione fine dell'unità di scarica di linee di bit 20 per garantire la tensione di bus V_{PY} corretta in modo da tenere in considerazione, ad esempio, la distribuzione della corrente di perdita globale I_T

dovuto alla fabbricazione. A questo fine, l'unità logica 27 può essere connessa ad un circuito per misurare la tensione di bus VPY e confrontare il valore misurato con uno di riferimento per rilevare un errore di tensione di bus; l'unità logica 27 può perciò causare l'accensione di un certo numero di commutatori di regolazione 26 basandosi sull'errore di tensione di bus.

Lo stadio di regolazione di tensione 22 delle Figure 2 e 3 può essere disposto come illustrato in Figura 4, 5 o 6.

In figura 4, in cui la matrice di memoria 2 è divisa in una pluralità di blocchi o "tiles" 28 (ogni blocco 28 comprendendo ad esempio 1024 linee di parola), ogni blocco 28 è accoppiato alla propria unità di scarica di linee di bit 20. Qui, tutti gli stati di regolazione di tensione 22 sono disposti in una porzione di periferia 29 della matrice di memoria 2 e i commutatori di scarica di linee di bit 21 di un blocco 28 sono disposti vicino alle rispettive linee di bit BL. Gli stati di regolazione di tensione 22 sono connessi ai rispettivi commutatori di scarica di linee di bit 21 attraverso i propri bus di scarica 24 che attraversano la matrice di memoria. Questa soluzione è adatta ad esempio alla forma di

realizzazione di Figura 2.

La Figura 5 illustra una architettura diversa, in cui ogni unità di scarica di linee di bit 20 è disposta vicino a un rispettivo blocco 28. Questa soluzione non richiede l'utilizzo di bus e i bus di scarica 24 sono formati da semplici linee di connessione, ad esempio formate in un basso livello di metallizzazione. Questa soluzione è adatta ad esempio alla forma di realizzazione di Figura 3.

Secondo la Figura 6, l'unità di scarica di linee di bit 20 comprende un singolo stadio di regolazione di tensione 22 accoppiato a tutti i blocco 28 attraverso un bus di scarica globale 42 (formato in una linea metallica ad alto livello). Il bus di scarica globale 42 è connesso ai commutatori di scarica di linee di bit 21 di ogni blocco 28 attraverso un bus di scarica locale 42a.

In una matrice di memoria 2 del tipo illustrato nelle Figure 4-6, comprendente una pluralità di blocco 28, si possono attivare (leggere/scrivere) simultaneamente più blocco 28. In questo caso, le correnti di perdita da scaricare possono essere elevate, a causa delle operazioni di lettura e/o scrittura ripetute; perciò, la quantità di carica elettrica da estrarre dalle linee di bit può essere

molto elevata. Inoltre, durante l'operazione di lettura, si richiede che l'unità di scarica di linee di bit 20 tiri sia le correnti di perdita I_L delle celle 3 deselezionate sia la carica immagazzinata dal condensatore parassita C_j - C_m (Figura 1) delle linee di bit selezionate durante la lettura. Infatti, durante la lettura, le linee di bit BL selezionate sono polarizzate a una tensione prestabilita, ad esempio 1,4 V, e quindi sono scaricate alla tensione di bus VPY attraverso i commutatori di scarica di linee di bit 21. Mentre si scaricano dalla condizione selezionata a quella deselezionata, le linee di bit BL iniettano una corrente di scarica nel bus di scarica 24, che può causare un aumento della tensione di bus VPY tale per cui la regolazione di tensione automatica consentita dallo stadio di regolazione di tensione 22 non sia sufficiente. In tale situazione, lo stadio di regolazione di tensione 22 può essere combinato con un regolatore di tensione ad anello chiuso comprendente un comparatore, per esempio di tipo on-off, che può essere attivato soltanto in presenza di picchi di corrente.

La Figura 7 illustra una forma di realizzazione comprendente lo stadio di regolazione di tensione 22 di Figura 2 o 3, un regolatore on-off L_LOK 30 e un

generatore di tensione 31.

In dettaglio, il regolatore di tensione 30 comprende un comparatore di isteresi 35 avente un ingresso invertente connesso ad un'uscita del generatore di tensione 31, ed un ingresso non invertente connesso ad un bus di scarica 24 o ad un bus di scarica globale 42, come spiegato più in dettaglio qui di seguito. Un'uscita del comparatore di isteresi 35 pilota un elemento di pilotaggio 36, qui un transistor NMOS, avente un terminale di pozzo connesso al bus di scarica 24, 42, un terminale di sorgente connesso a massa e un terminale di porta connesso all'uscita del comparatore di isteresi 35.

Il generatore di tensione 31 è formato da qualsiasi circuito noto, ad esempio un divisore resistivo, che riceve una tensione di band-gap V_{BG} e genera una tensione di riferimento V_{REF} alimentata al regolatore on-off L_LOK 30. La tensione di riferimento V_{REF} è il valore desiderato per la tensione di bus VPY. Il generatore di tensione 31 riceve anche un segnale di abilitazione di generatore EN_VG ed un segnale digitale di trimming ST<0:2>, che consente la regolazione fine del divisore e perciò della tensione di riferimento V_{REF} .

In figura 7, lo stadio di regolazione di

tensione 22 riceve un segnale di abilitazione di regolazione EN_BB. Esso può anche ricevere i segnali di controllo D0, D1, ..., Dn di Figura 2. I segnali di abilitazione EN_VG e EN_BB sono generati da una unità di elaborazione (non illustrata) che controlla il funzionamento dell'intero dispositivo di memoria 1.

In uso, quando l'unità di scarica di linee di bit 20 deve scaricare una corrente bassa, ad esempio durante lo stand-by, soltanto lo stadio di regolazione di tensione 22 può essere abilitato attraverso il segnale di abilitazione di regolazione EN_BB, mentre il regolatore on-off L_LOK 30 e il generatore di tensione 31 sono spenti. In questa situazione, l'unità di scarica di linee di bit 20 opera in maniera identica a quella descritta con riferimento alla Figura 2 o 3.

Al contrario, quando l'unità di scarica di linee di bit 20 deve scaricare una corrente elevata (corrente di perdita e/o scarica, per esempio durante la lettura/scrittura), si attivano sia lo stadio di regolazione di tensione 22 sia il regolatore on-off L_LOK 30, attraverso i segnali di abilitazione EN_VG e EN_BB. In tale situazione, il comparatore di isteresi 35 e l'elemento di pilotaggio 36 scaricano

la corrente in eccesso che non può essere eliminata soltanto dallo stadio di regolazione di tensione 22.

In alternativa, si attiva soltanto il regolatore di tensione on-off 30. L'attivazione dello stadio di regolazione di tensione 22 e del regolatore on-off L_LOK 30 può anche avvenire in maniera impulsiva, per esempio quando si desidera controllare a campione la tensione di bus VPY.

Il regolatore di tensione off 30 può essere anche attivato per tempi limitati durante il funzionamento. Per esempio, il regolatore di tensione off 30 può essere attivato durante lo stand-by attraverso un temporizzatore.

Lo schema di Figura 7 può essere disposto nel dispositivo di memoria 1 come illustrato in Figura 8. Qui, il regolatore di tensione 22 e il generatore di tensione 31 sono disposti nella porzione di periferia 29 della matrice di memoria 2 e sono connessi al regolatore on-off L_LOK attraverso il bus di scarica globale 42 ed una linea di polarizzazione 43 formata in un livello di metallizzazione elevato che si estende attraverso lo spessore della matrice di memoria 2. Qui, una pluralità di regolatori on-off L_LOK 30 sono disposti localmente, ciascuno tra una rispettiva coppia di blocco 28 adiacenti. Perciò, il

bus di scarica globale 42 e la linea di polarizzazione 43 sono connessi ai regolatori on-off L_LOK 30; inoltre, il bus di scarica globale 42 è connesso ai bus di scarica locali 42a, uno per ogni blocco. I bus di scarica locali 42a, a loro volta, sono connessi ai commutatori di scarica di linee di bit 21, in modo analogo alla Figura 6.

Tale soluzione consente una riduzione dello spazio necessario per il bus di scarica e un controllo locale della tensione applicata alle linee di bit BL deselezionate. In particolare, la soluzione di Figura 8 consente l'azionamento dei regolatori on-off L_LOK 30 soltanto quando i rispettivi blocco 28 sono sottoposti ad una operazione specifica (ad esempio lettura/scrittura) che richiede il controllo on-off aggiuntivo. Inoltre, i regolatori on-off L_LOK 30 possono essere portati in uno stato di disabilitazione di scarica. Per esempio, l'elemento di pilotaggio 36 può essere spento per impedire la scarica delle linee di bit BL deselezionate durante l'operazione di lettura/scrittura reale, cioè quando gli amplificatori di rilevamento rilevano la corrente che scorre nelle linee di bit selezionate. L'elemento di pilotaggio 36 tuttavia è attivo durante le operazioni ausiliarie, comprese indirizzamento,

polarizzazione, equalizzazione ecc., allo scopo di evitare qualsiasi disturbo causato dall'accoppiamento capacitivo tra le linee di bit selezionate e i bus di scarica 42a, che sono scaricati localmente dagli elementi di pilotaggio 36.

In tal modo, si può sfruttare la massa della matrice per tirare la corrente dovuta all'accensione dell'elemento di pilotaggio 36, senza la necessità di un bus dedicato che si estenda dalla porzione di periferia 29 al blocco abilitato.

In alternativa, anche il generatore di tensione 31 può essere disposto localmente, vicino al blocco 28 oppure un singolo regolatore on-off L_LOK 30 o una pluralità di regolatori on-off L_LOK 30 (uno per ogni blocco 28) può/possono essere disposti nella porzione di periferia 29, come illustrato in Figura 9. La scelta tra la disposizione locale o quella periferica del regolatore on-off L_LOK 30 (Figura 8 o 9) può dipendere dallo spazio disponibile per i bus di scarica 24, 42 e/o la caduta di tensione sui bus di scarica che è accettabile per il dispositivo di memoria 1 specifico.

La Figura 10 illustra una porzione di un sistema 500 secondo una forma di realizzazione della presente invenzione. Il sistema 500 può essere utilizzato in

un dispositivo senza fili come ad esempio un assistente digitale personale (PDA), un computer da tavolo o portatile con funzioni wireless, una tavoletta web, un telefono senza fili, un cercapersone, un dispositivo di messaggistica istantanea, un lettore di musica digitale, una telecamera digitale, o altri dispositivi che possono essere atti a trasmettere e/o ricevere informazioni senza fili. Il sistema 500 può essere utilizzato in uno qualsiasi dei seguenti sistemi: un sistema di rete di area locale senza fili (WLAN), un sistema di rete di area personale senza fili (WPAN), una rete cellulare, anche se il campo di protezione della presente invenzione non è limitato a questo proposito.

Il sistema 500 comprende un controllore 510, un dispositivo di ingresso/uscita (I/O) 520 (ad esempio un tastierino, un visualizzatore), una memoria ad accesso casuale statica (SRAM) 560, una memoria 1 e un'interfaccia senza fili 540 accoppiati fra loro attraverso un bus 550. In alcune forme di realizzazione si utilizza una batteria 580. Si noti che il campo di protezione della presente invenzione non è limitato a forme di realizzazione aventi uno qualsiasi o tutti questi componenti.

Il controllore 510 comprende, per esempio, uno o più microprocessori, processori di segnali digitali, microcontrollori o simili. La memoria 1 può essere utilizzata per memorizzare messaggi trasmessi al o dal sistema 500. La memoria 1 può essere anche utilizzata a scelta per memorizzare istruzioni che sono eseguite dal controllo 510 durante il funzionamento del sistema 500, e può essere utilizzata per memorizzare dati utente. La memoria 1 può essere dotata di uno o più tipi diversi di memoria. Per esempio, la memoria 1 può comprendere qualsiasi tipo di memoria ad accesso casuale, memoria volatile, memoria non volatile quale memoria flash e comprende il dispositivo di memoria a cambiamento di fase secondo le Figure 2-9.

Il dispositivo di I/O 520 può essere utilizzato da un utente per generare un messaggio. Il sistema 500 utilizza un'interfaccia senza fili 540 per trasmettere e ricevere messaggi a e da una rete di comunicazione senza fili con un segnale in radio frequenza (RF). Esempi di interfaccia senza fili 540 possono comprendere un'antenna o un ricetrasmittitore senza fili, anche se il campo di protezione della presente invenzione non è limitato a questo proposito.

I vantaggi della presente invenzione sono chiari da quanto precede. In particolare, si sottolinea che il presente stadio di regolazione di tensione è in grado di garantire la scarica di correnti di perdita attraverso un circuito semplice, che, nella sua soluzione minima, richiede soltanto un semplice transistor 25. Perciò, la presente soluzione è affidabile, lo spazio richiesto è molto piccolo e i costi associati sono trascurabili. D'altra parte, a seconda delle necessità, ad esempio a causa della applicazione specifica e/o delle dimensioni della memoria, è possibile aggiungere altri componenti per rispettare i requisiti.

Infine, è chiaro che al dispositivo di memoria a cambiamento di fase descritto e illustrato qui possono essere apportate numerose modifiche e varianti, tutte rientranti nell'ambito di protezione dell'invenzione, come definito nelle rivendicazioni allegate.

Per esempio, il regolatore on-off L_LOK 30 può essere sostituito da un regolatore di tensione lineare; inoltre, il comparatore di isteresi 35 può essere sostituito da una coppia di comparatori, ricevanti rispettivamente un valore di riferimento minimo o massimo, o da un singolo comparatore che

riceve un valore di riferimento massimo, seguito da
un circuito monostabile, come descritto per esempio
in US 7.092.277.

RIVENDICAZIONI

1. Dispositivo di memoria a cambiamento di fase comprendente una matrice di celle di memoria disposte su una pluralità di righe e colonne, ogni cella di memoria comprendendo un elemento di memoria a cambiamento di fase e un elemento di selezione, la matrice comprendendo una pluralità di linee di parola e una pluralità di linee di bit, le celle di memoria di ogni riga essendo accoppiate a una rispettiva linea di parola e le celle di memoria di ogni colonna essendo accoppiate ad una rispettiva linea di bit, il dispositivo di memoria comprendendo inoltre un'unità di polarizzazione di linee di bit, un'unità di selezione di linee di bit, accoppiate a dette linee di bit e detta unità di polarizzazione di linee di bit per connettere una linea di bit selezionata all'unità di polarizzazione di linee di bit e sconnettere le linee di bit deselezionate dall'unità di polarizzazione di linee di bit in una condizione operativa del dispositivo di memoria, e un'unità di scarica di linee di bit (20) connessa a dette linee di bit;

caratterizzato dal fatto che l'unità di scarica di linee di bit (20) comprende un'unità di regolazione di tensione (22) e una pluralità di

commutatori di scarica di linee di bit (21), ogni commutatore di scarica di linee di bit essendo accoppiato tra l'unità di regolazione di tensione (22) e una rispettiva linea di bit ed essendo controllato in detta condizione operativa per connettere le linee di bit deselezionate all'unità di regolazione di tensione (22) e sconnettere le linee di bit selezionate dall'unità di regolazione di tensione.

2. Dispositivo di memoria secondo la rivendicazione 1, in cui l'unità di regolazione di tensione (22) comprende un transistor PMOS avente un primo terminale di conduzione accoppiato ad un bus di tensione regolato, un secondo terminale di conduzione accoppiato ad una linea a potenziale di riferimento e il terminale di controllo polarizzato a una tensione di polarizzazione costante (V_1), il bus di tensione regolato essendo connesso ai commutatori di scarica di linee di bit (21).

3. Dispositivo di memoria secondo la rivendicazione 2, in cui ogni commutatore di scarica di linee di bit comprende un transistor MOS avente un primo terminale di conduzione connesso alla propria linea di bit, un secondo terminale di conduzione connesso al bus di tensione regolato e un

terminale di porta ricevente un segnale di controllo (S1-Sn).

4. Dispositivo di memoria secondo la rivendicazione 2 o 3, comprendente inoltre un regolatore di tensione ad anello chiuso comprendente un comparatore di tensione avente un primo ingresso ricevente una tensione di riferimento, un secondo ingresso connesso al bus di tensione regolato e un'uscita accoppiata al bus di tensione regolato.

5. Dispositivo di memoria secondo la rivendicazione 4, in cui il comparatore di tensione è un comparatore on-off e in cui un elemento di pilotaggio è accoppiato tra l'uscita del comparatore di tensione e il bus di tensione regolato.

6. Dispositivo di memoria secondo una qualsiasi delle rivendicazioni da 2 a 5, in cui la matrice di memoria comprende una pluralità di blocco e una porzione di periferia che si estende lateralmente a detti blocco, l'unità di regolazione di tensione (22) essendo disposta nella porzione di periferia, e il bus di tensione regolato comprende un bus di tensione globale estendentesi attraverso la matrice di memoria dall'unità di regolazione di tensione (22) e una pluralità di bus di tensione locali estendentisi tra il bus di tensione globale e un proprio blocco.

7. Dispositivo di memoria secondo la rivendicazione 4 o 5, in cui la matrice di memoria comprende una pluralità di blocco e una porzione di periferia estendentesi lateralmente a detti blocco, l'unità di regolazione di tensione (22) e il regolatore di tensione ad anello chiuso essendo disposti nella porzione di periferia.

8. Dispositivo di memoria secondo una qualsiasi delle rivendicazioni 1-4, in cui la matrice di memoria comprende una pluralità di blocco e una porzione di periferia estendentesi lateralmente a detti blocco, il dispositivo comprendendo inoltre un regolatore di tensione ad anello chiuso comprendente una pluralità di comparatori di tensione aventi ciascuno un primo ingresso ricevente una tensione di riferimento, un secondo ingresso connesso al bus di tensione regolato e un'uscita accoppiata al bus di tensione regolato, l'unità di regolazione di tensione (22) essendo disposta nella porzione di periferia e i comparatori di tensione essendo disposti adiacenti a detti blocco.

9. Dispositivo di memoria secondo la rivendicazione 8, in cui i blocco sono disposti a coppie di blocco adiacenti, in cui i comparatori di tensione sono disposti tra i blocco di ogni coppia di

CLAIMS

1. A phase change memory device comprising an array of memory cells arranged in a plurality of rows and columns, each memory cell including a phase change memory element and a selection element, the array comprising a plurality of wordlines and a plurality of bitlines, the memory cells of each row being coupled to a respective wordline and the memory cells of each column being coupled to a respective bitline, the memory device further comprising a bitline biasing unit, a bitline selection unit, coupled to said bitlines and said bitline biasing unit for connecting a selected bitline to the bitline biasing unit and disconnecting deselected bitlines from the bitline biasing unit in an operative condition of the memory device, and a bitline discharge unit (20) connected to said bitlines;

characterized in that the bitline discharge unit (20) comprises a voltage regulation unit (22) and a plurality of bitlines discharge switches (21), each bitlines discharge switch being coupled between the voltage regulation unit (22) and a respective bitline and controlled in said operative condition to connect the deselected bitlines to the voltage regulation unit (22) and disconnect the selected bitline from the voltage regulation unit.

2. A memory device according to claim 1, wherein the voltage regulation unit (22) comprises a PMOS transistor

having a first conduction terminal coupled to a regulated voltage bus, a second conduction terminal coupled to a reference potential line and a control terminal biased to constant biasing voltage (V1), the regulated voltage bus being connected to the bitline discharge switches (21).

3. A memory device according to claim 2, wherein each bitlines discharge switch comprises a MOS transistor having a first conduction terminal connected to an own bitline, a second conduction terminal connected to the regulated voltage bus and a gate terminal receiving a control signal (S1-Sn).

4. A memory device according to claim 2 or 3, further comprising a close-loop voltage regulator comprising a voltage comparator having a first input receiving a reference voltage, a second input connected to the regulated voltage bus and an output coupled to the regulated voltage bus.

5. A memory device according to claim 4, wherein the voltage comparator is an on-off comparator and wherein a drive element is coupled between the output of the voltage comparator and the regulated voltage bus.

6. A memory device according to any of claims 2 to 5, wherein the memory array comprises a plurality of tiles and a periphery portion extending laterally to said tiles, the voltage regulation unit (22) being arranged in the

periphery portion, and the regulated voltage bus comprises a global voltage bus extending through the memory array from the voltage regulation unit (22) and a plurality local voltage buses extending between the global voltage bus and an own tile.

7. A memory device according to claims 4 or 5, wherein the memory array comprises a plurality of tiles and a periphery portion extending laterally to said tiles, the voltage regulation unit (22) and the close-loop voltage regulator being arranged in the periphery portion.

8. A memory device according to any of claims 1-4, wherein the memory array comprises a plurality of tiles and a periphery portion extending laterally to said tiles, the device further comprising a close-loop voltage regulator including a plurality of voltage comparators each having a first input receiving a reference voltage, a second input connected to the regulated voltage bus and an output coupled to the regulated voltage bus, the voltage regulation unit 22 being arranged in the periphery portion and the voltage comparators being arranged adjacent to said tiles.

9. A memory device according to claim 8, wherein the tiles are arranged in pairs of adjacent tiles, wherein the voltage comparators are arranged between the tiles of each pair of adjacent tiles.

10. A method for discharging leakage currents in a phase-change memory device comprising an array of memory cells arranged in a plurality of rows and columns, each memory cell including a phase change memory element and a selection element, the array comprising a plurality of wordlines and a plurality of bitlines, the memory cells of each row being coupled to a respective wordline and the memory cells of each column being coupled to a respective bitline,

the method comprising connecting a selected bitline to a bitline biasing unit and disconnecting deselected bitlines from the bitline biasing unit in an operative condition of the memory device, wherein disconnecting further comprises coupling the deselected bitlines to a bitline discharge unit (20);

characterized in that coupling the deselected bitlines comprises regulating a voltage on the deselected bitlines.

11. A method according to claim 10, wherein regulating comprises coupling PMOS transistor having a first conduction terminal of a PMOS transistor to the deselected bitlines, coupling a second conduction terminal of the PMOS transistor to a reference potential line and biasing a control terminal of the PMOS transistor to a constant biasing voltage V_1 .

12. A method according to claim 11, wherein regulating

further comprises coupling a close-loop voltage regulator to the output of the PMOS transistor.

13. A method according to claim 12, wherein the operative condition is a standby condition, including activating the PMOS transistor and disabling the close-loop voltage regulator.

14. A method according to claim 12, wherein the operative condition is a standby condition, including activating the PMOS transistor in a continuous way and the activating the close-loop voltage regulator in a discontinuous way for fixed times.

15. A according to claim 12, wherein the operative condition is a proper reading/writing operation including activating the PMOS transistor and disabling the close-loop voltage regulator.

FIG. 2

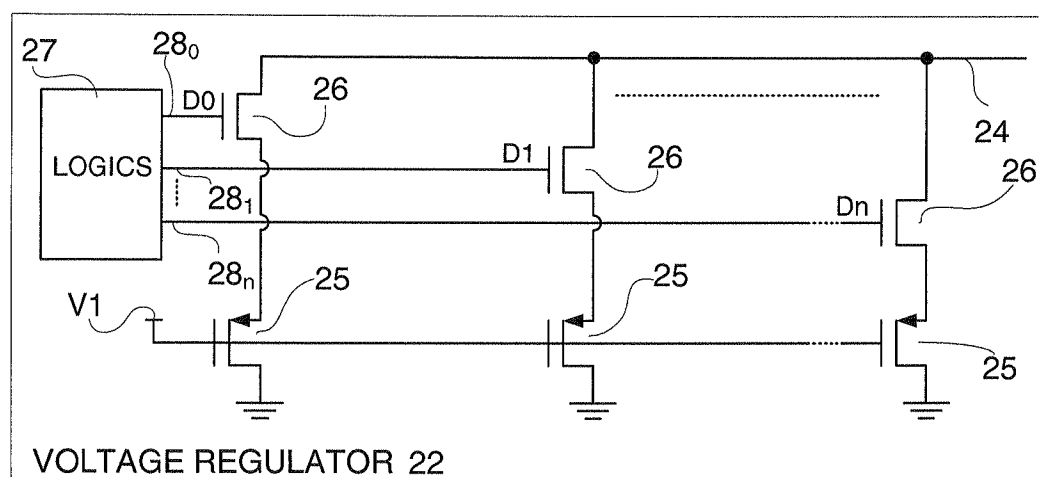
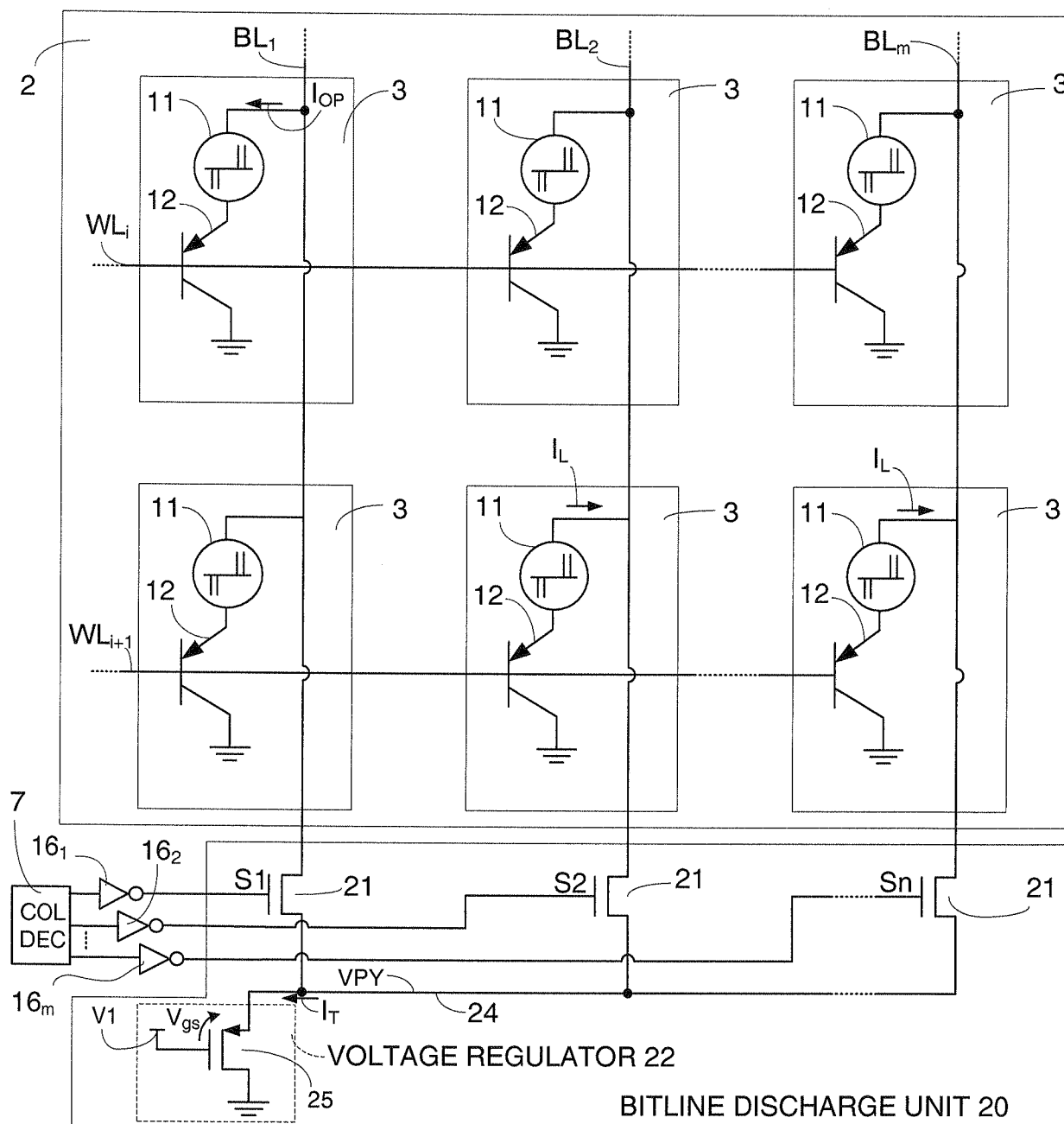


FIG. 3

FIG. 4

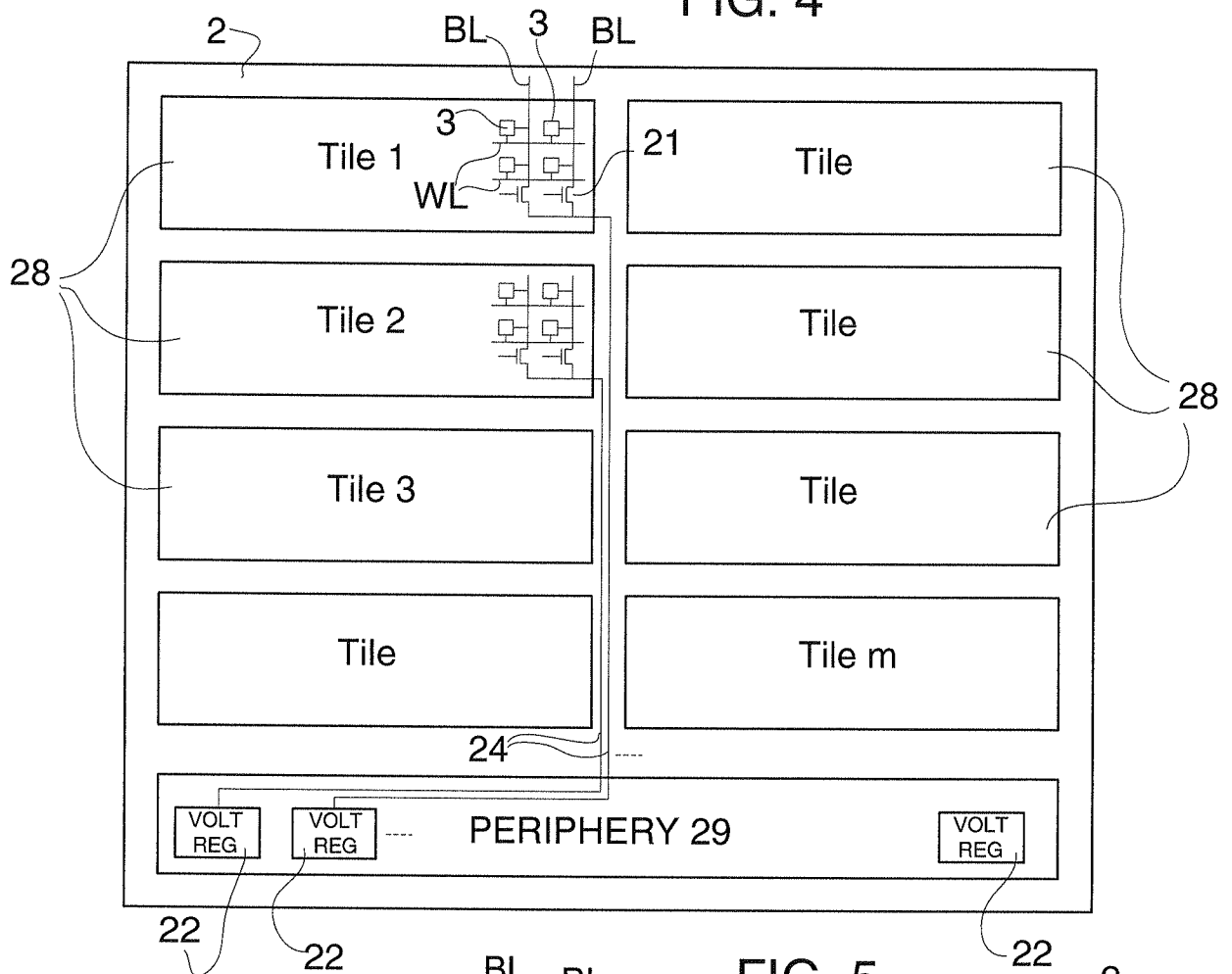


FIG. 5

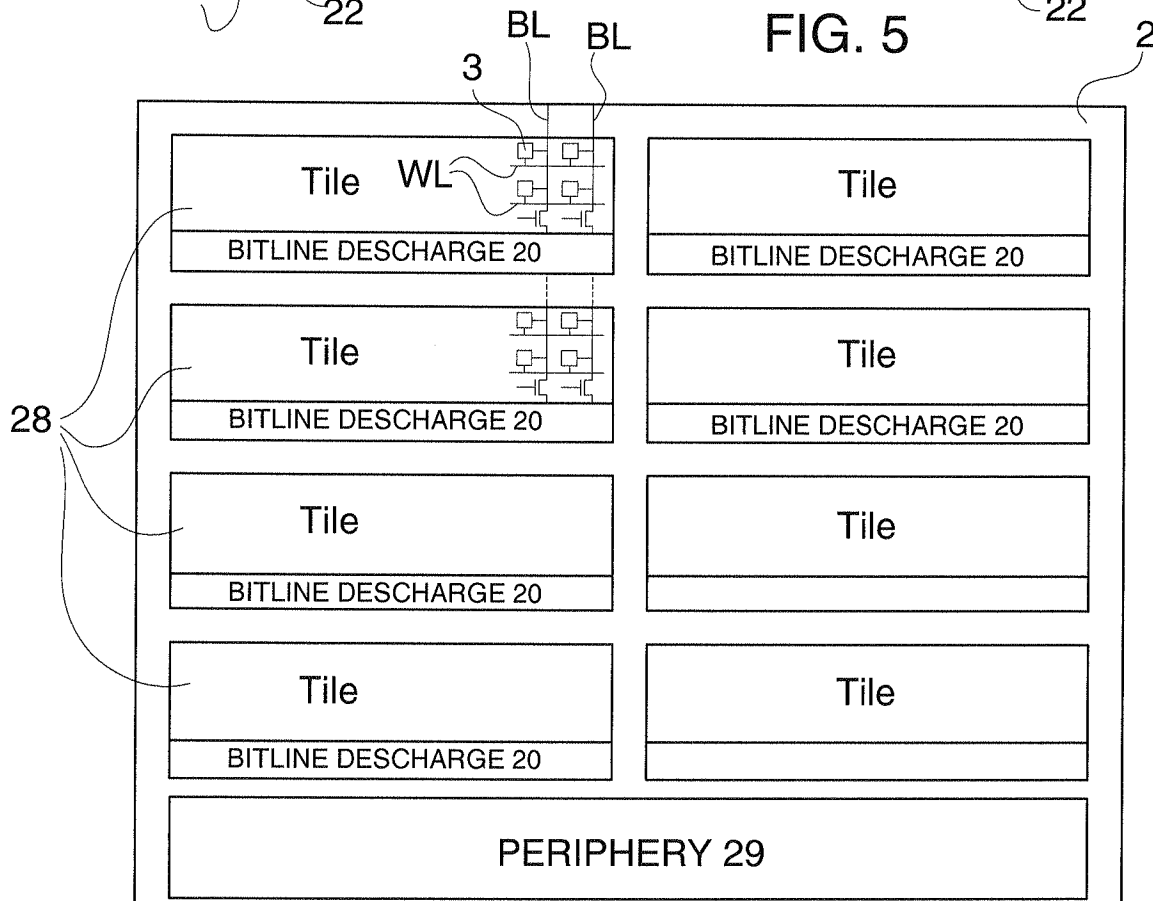


FIG. 6

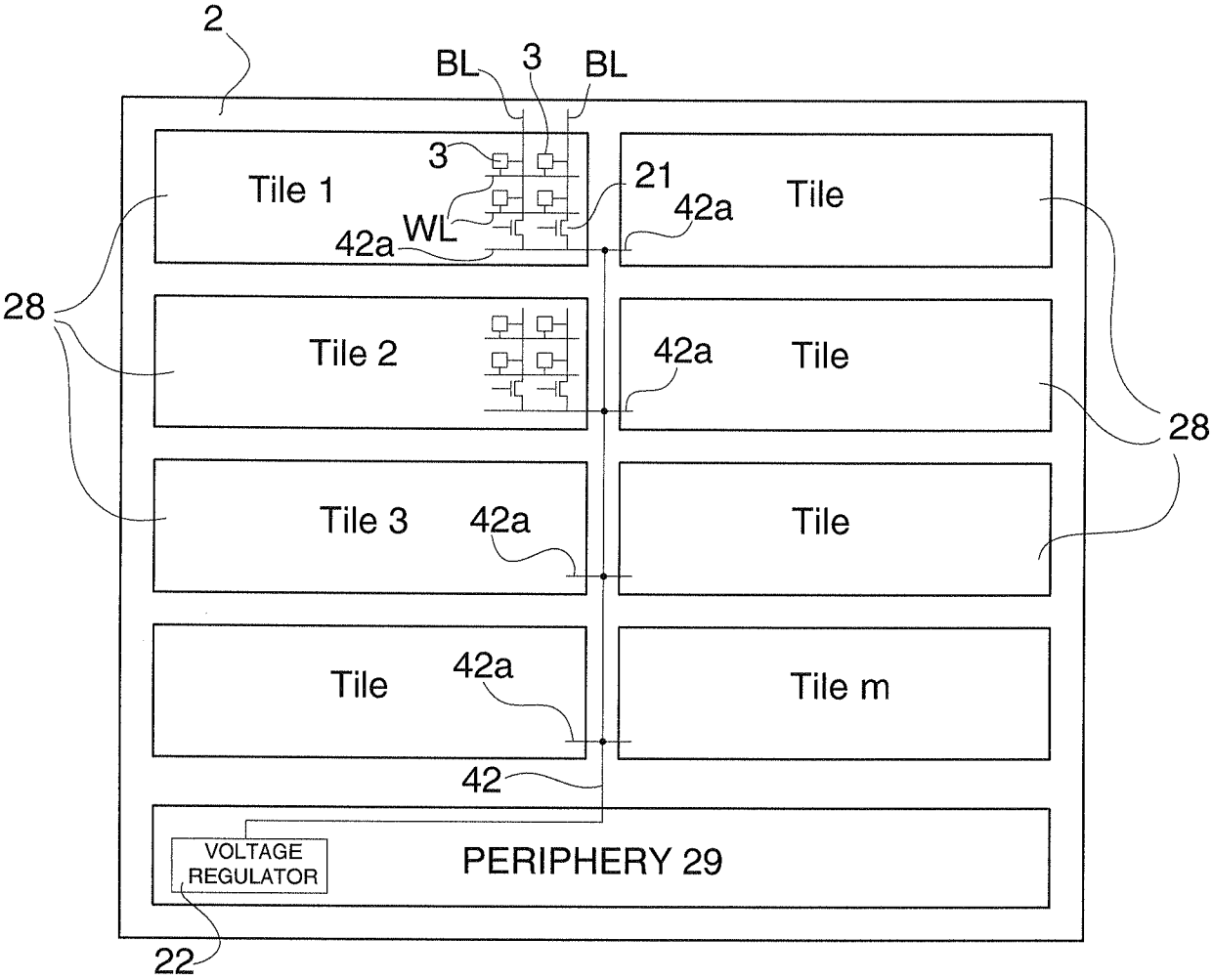


FIG. 7

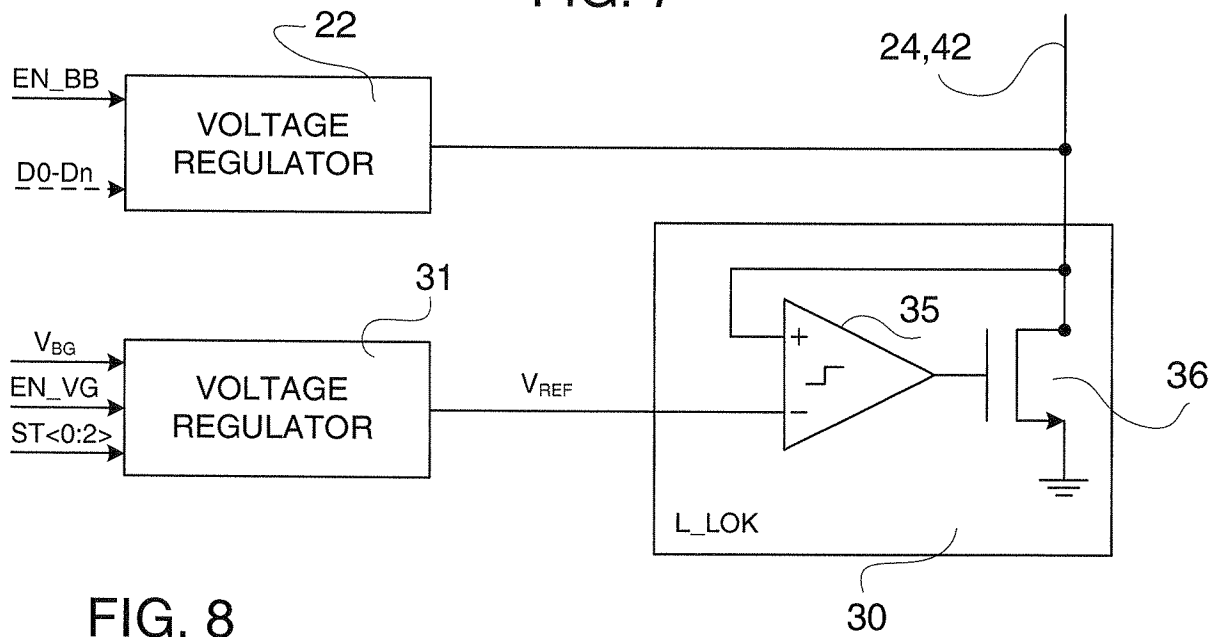


FIG. 8

