【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成24年4月12日(2012.4.12)

【公開番号】特開2010-114873(P2010-114873A)
【公開日】平成22年5月20日(2010.5.20)
【年通号数】公開・登録公報2010-020
【出願番号】特願2009-45830(P2009-45830)
【国際特許分類】
Ｈ０３Ｌ　7/081　(2006.01)
Ｈ０３Ｋ　5/05　(2006.01)
Ｈ０３Ｋ　5/26　(2006.01)
【ＦＩ】
Ｈ０３Ｌ　7/08　Ｊ
Ｈ０３Ｋ　5/05
Ｈ０３Ｋ　5/26　Ｐ
Ｈ０３Ｋ　5/26　Ｇ

【手続補正書】
【提出日】平成24年2月27日(2012.2.27)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
基準クロックを遅延させてＤＬＬクロックを生成するが、制御電圧のレベルに応じて遅延量を調整する遅延手段と、
前記制御電圧の初期レベルを制御し、検出イネーブル信号を生成する初期動作制御手段と、
前記検出イネーブル信号に応じて前記基準クロック及び前記ＤＬＬクロックの位相を比較して、前記制御電圧を生成する遅延制御手段と
を含むことを特徴とするＤＬＬ回路。
【請求項２】
前記遅延手段は、
前記制御電圧のレベルに応じてプルアップバイアス電圧及びプルダウンバイアス電圧を生成するバイアス生成部と、
前記プルアップバイアス電圧及び前記プルダウンバイアス電圧に応じて前記基準クロックを遅延させて、前記ＤＬＬクロックを出力する遅延ラインと
を含むことを特徴とする請求項１に記載のＤＬＬ回路。
【請求項３】
前記初期動作制御手段は、ＤＬＬイネーブル信号がイネーブルされると、前記制御電圧のレベルを下降させ、前記制御電圧のレベルが既設定の基準レベルまで下降したことが感知されると、前記検出イネーブル信号をイネーブルさせることを特徴とする請求項１に記載のＤＬＬ回路。
【請求項４】
前記遅延制御手段は、
前記検出イネーブル信号がイネーブルされると、前記基準クロック及び前記ＤＬＬクロックの位相を比較して、位相検出信号を生成する位相検出器と、

前記位相検出信号に応じて電圧ポンピング動作を行い、ポンピング電圧を生成するチャージポンプと、
前記ポンピング電圧を濾過して、前記制御電圧を生成するローパスフィルタと
を含むことを特徴とする請求項１に記載のＤＬＬ回路。
【請求項５】
前記位相検出信号は、位相アップ信号及び位相ダウン信号を含み、
前記位相検出器は、最初動作時、前記位相アップ信号を先にイネーブルさせることを特徴とする請求項４に記載のＤＬＬ回路。
【請求項６】
初期動作時、制御電圧のレベルを基準レベルまで下降させた後、検出イネーブル信号をイネーブルさせる初期動作制御手段と、
前記検出イネーブル信号に応じて基準クロック及びＤＬＬクロックの位相を比較して、位相検出信号を生成する位相検出器と、
前記位相検出信号に応じて電圧ポンピング動作を行い、ポンピング電圧を生成するチャージポンプと、
前記ポンピング電圧を濾過して、前記制御電圧を生成するローパスフィルタとを
含むことを特徴とするＤＬＬ回路。
【請求項７】
前記初期動作制御手段は、
ＤＬＬイネーブル信号及びリセット信号に応じて、初期電圧制御信号を生成する初期電圧制御部と、
外部供給電源の供給及び前記初期電圧制御信号の制御に応じて、前記制御電圧のレベルを調整する制御電圧調整部と、
前記外部供給電源の供給及び前記初期電圧制御信号の制御に応じて、基準電圧を生成する基準電圧生成部と、
前記初期電圧制御信号に応じて前記基準電圧のレベルと前記制御電圧のレベルとを比較して、前記リセット信号を生成する電圧比較部と、
前記ＤＬＬイネーブル信号及び前記リセット信号に応じて、前記検出イネーブル信号を生成する検出イネーブル制御部と
を含むことを特徴とする請求項３又は請求項６に記載のＤＬＬ回路。
【請求項８】
前記初期電圧制御部は、前記ＤＬＬイネーブル信号がイネーブルされると、前記初期電圧制御信号をイネーブルさせ、前記リセット信号がイネーブルされると、前記初期電圧制御信号をディセーブルさせることを特徴とする請求項７に記載のＤＬＬ回路。
【請求項９】
前記制御電圧調整部は、前記初期電圧制御信号がイネーブルされる前には、前記制御電圧が前記外部供給電源のレベルを有するように制御し、前記初期電圧制御信号がイネーブルされると、前記制御電圧のレベルを下降させていて、前記初期電圧制御信号がディセーブルされると、前記制御電圧のレベル下降を中止することを特徴とする請求項７に記載のＤＬＬ回路。
【請求項１０】
前記基準電圧生成部は、前記初期電圧制御信号のイネーブル時、前記外部供給電源を内部に具備された抵抗の抵抗比によって電圧分配して、前記基準電圧を生成するように構成され、前記基準電圧のレベルが前記基準レベルであることを特徴とする請求項７に記載のＤＬＬ回路。
【請求項１１】
前記電圧比較部は、前記初期電圧制御信号がイネーブルされると、前記制御電圧のレベル及び前記基準電圧のレベルを比較した結果により、前記リセット信号をイネーブル又はディセーブルさせ、前記初期電圧制御信号がディセーブルされると、前記リセット信号をディセーブルさせることを特徴とする請求項７に記載のＤＬＬ回路。

【請求項１２】
前記検出イネーブル制御部は、前記ＤＬＬイネーブル信号がイネーブルされると、前記検出イネーブル信号をディセーブルさせ、前記リセット信号がイネーブルされると、前記検出イネーブル信号をイネーブルさせ、以後、前記リセット信号の状態が変化しても、前記検出イネーブル信号のイネーブル状態を維持させることを特徴とする請求項７に記載のＤＬＬ回路。
【請求項１３】
前記位相検出信号は、位相アップ信号及び位相ダウン信号を含み、
前記位相検出器は、最初動作時、前記位相アップ信号を先にイネーブルさせることを特徴とする請求項６に記載のＤＬＬ回路。
【請求項１４】
前記位相検出器は、
前記基準クロック及び前記ＤＬＬクロックの活性化タイミングを制御して、制御基準クロック及び制御ＤＬＬクロックを生成するタイミング制御部と、
前記制御基準クロック及び前記制御ＤＬＬクロックの位相を判別して、前記位相アップ信号を生成するアップ信号生成部と、
前記制御基準クロック及び前記制御ＤＬＬクロックの位相を判別して、前記位相ダウン信号を生成するダウン信号生成部と
を含むことを特徴とする請求項５又は請求項１３に記載のＤＬＬ回路。
【請求項１５】
前記チャージポンプは、前記位相アップ信号がイネーブルされると、前記ポンピング電圧のレベルを上昇させ、前記位相ダウン信号がイネーブルされると、前記ポンピング電圧のレベルを下降させることを特徴とする請求項５又は請求項６に記載のＤＬＬ回路。
【請求項１６】
前記制御電圧のレベルに応じてプルアップバイアス電圧及びプルダウンバイアス電圧を生成するバイアス生成部と、
前記プルアップバイアス電圧及び前記プルダウンバイアス電圧に応じて前記基準クロックを遅延させ、前記ＤＬＬクロックを出力する遅延ラインと
を含むことを特徴とする請求項６に記載のＤＬＬ回路。
【請求項１７】
制御電圧のレベルを基準レベルの以下に調節し、検出イネーブル信号をイネーブルさせる段階と、
前記検出イネーブル信号に応じて位相アップ信号をイネーブルさせる段階と、
前記位相アップ信号に応じて前記制御電圧のレベルを上昇させる段階と、
前記制御電圧に応じて基準クロックを遅延させて、ＤＬＬクロックを生成する段階と
を含むことを特徴とするＤＬＬ回路の制御方法。
【請求項１８】
前記制御電圧のレベルを調節する段階は、
ＤＬＬイネーブル信号がイネーブルされると、初期電圧制御信号をイネーブルさせる段階と、
前記初期電圧制御信号に応じて前記制御電圧のレベルを下降させ、基準電圧を生成する段階と、
前記制御電圧のレベルが前記基準電圧のレベルの以下に下降したことが感知されると、リセット信号をイネーブルさせる段階と、
前記リセット信号に応じて前記検出イネーブル信号をイネーブルさせる段階と、
前記初期電圧制御信号をディセーブルさせ、前記リセット信号をディセーブルさせる段階と
を含むことを特徴とする請求項１７に記載のＤＬＬ回路の制御方法。
【請求項１９】
前記制御電圧のレベルを上昇させる段階は、

前記位相アップ信号に応じて電圧ポンピング動作を行い、ポンピング電圧を生成するが、前記ポンピング電圧のレベルを上昇させる段階と、
前記ポンピング電圧を濾過して、前記制御電圧を生成する段階と
を含むことを特徴とする請求項１７に記載のＤＬＬ回路の制御方法。
【請求項２０】
前記ＤＬＬクロックを生成する段階は、
前記制御電圧のレベルに応じてプルアップバイアス電圧及びプルダウンバイアス電圧を生成する段階と、
前記プルアップバイアス電圧及び前記プルダウンバイアス電圧に応じて前記基準クロックを遅延させて前記ＤＬＬクロックを生成するが、前記制御電圧に応じて前記ＤＬＬクロックの周波数を調整する段階と
を含むことを特徴とする請求項１７に記載のＤＬＬ回路の制御方法。