

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】令和5年7月6日(2023.7.6)

【国際公開番号】WO2021/003221

【公表番号】特表2022-539111(P2022-539111A)

【公表日】令和4年9月7日(2022.9.7)

【年通号数】公開公報(特許)2022-165

【出願番号】特願2021-577094(P2021-577094)

【国際特許分類】

G 02 F 1/01 (2006.01)

10

【F I】

G 02 F 1/01 C

【手続補正書】

【提出日】令和5年6月28日(2023.6.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

20

【補正の内容】

【特許請求の範囲】

【請求項1】

フォトニクスベースの構成要素の光強度の測定値に基づいて電気信号を出力するように構成されている光電気検出器であって、前記光強度は、前記フォトニクスベースの構成要素の離調量に比例する前記光電気検出器と、

前記光電気検出器から出力されている電気信号に基づいてデジタル信号を出力するように構成されているアナログデジタル変換(A D C)回路と、

前記A D C回路から出力されているデジタル信号に少なくとも部分的に基づいて前記フォトニクスベースの構成要素を同調させるように構成されているフィードバック制御回路と、

前記A D C回路から出力されている前記デジタル信号を受信し、受信した前記デジタル信号に少なくとも部分的に基づいてデジタルパルス列を生成し、前記デジタルパルス列を前記フィードバック制御回路に供給するように構成されているデジタル制御器と、を含むデバイス。

【請求項2】

前記フォトニクスベースの構成要素は、リング共振器である、請求項1に記載のデバイス。

【請求項3】

前記フォトニクスベースの構成要素は、ビューポートを含み、

前記光電気検出器は、前記ビューポートを介して光強度を検出するように構成されている光検出器を含む、請求項1又は2に記載のデバイス。

【請求項4】

前記A D C回路は、デジタル信号の変換の前に前記光電気検出器から出力されている電気信号の少なくとも一部を積分するように構成されている積分コンデンサを更に含む、請求項1～3のいずれか一項に記載のデバイス。

【請求項5】

前記デジタル制御器は、前記積分コンデンサの積分時間を設定するように更に構成されている、請求項4に記載のデバイス。

【請求項6】

40

30

50

前記 A D C 回路は、前記積分コンデンサによる積分の前に前記光電気検出器から出力されている電気信号からオフセット値を引くように構成されている第 1 のアナログマルチブレクサを更に含む、請求項 4 又は 5 に記載のデバイス。

【請求項 7】

前記 A D C 回路は、前記第 1 のアナログマルチブレクサの出力と前記積分コンデンサとの間に配置されている第 2 のアナログマルチブレクサを更に含む、請求項 6 に記載のデバイス。

【請求項 8】

前記 A D C 回路は、前記積分コンデンサによって記憶されている電圧を増幅するように構成されている多段増幅回路を更に含む、請求項 4 ~ 7 のいずれか一項に記載のデバイス。
10

【請求項 9】

前記 A D C 回路は、デュアルスロープ積分 A D C を含む、請求項 1 ~ 8 のいずれか一項に記載のデバイス。

【請求項 10】

前記デジタル制御器は、カウンタを含む、請求項 1 ~ 9 のいずれか一項に記載のデバイス。

【請求項 11】

前記フィードバック制御回路は、デジタルアナログ変換器 (D A C) に結合されているパルス幅変調 (P W M) 回路を含む、請求項 1 ~ 10 のいずれか一項に記載のデバイス。
20

【請求項 12】

前記 D A C は、8 ビット以下の分解能を有する、請求項 11 に記載のデバイス。

【請求項 13】

前記 P W M 回路は、コードディザリングを実行するように構成されている、請求項 11 又は 12 に記載のデバイス。

【請求項 14】

前記デジタル制御器は、前記 P W M 回路によって実行されているコードディザリングの少なくとも 1 つのパラメータを制御するように構成されている、請求項 13 に記載のデバイス。
30

【請求項 15】

前記フィードバック制御回路は、前記フォトニクスベースの構成要素の温度を制御することによって、前記フォトニクスベースの構成要素を同調させるように構成されている、請求項 1 ~ 14 のいずれか一項に記載のデバイス。

【請求項 16】

前記フィードバック制御回路は、前記フォトニクスベースの構成要素の位相シフトを導入することによって、前記フォトニクスベースの構成要素の温度を制御するように構成されている、請求項 15 に記載のデバイス。

【請求項 17】

前記フィードバック制御回路は、電気光学効果及びフォトニクスベースの構成要素の熱位相シフトのうち少なくとも 1 つを与える変調器を含む、請求項 15 又は 16 に記載のデバイス。
40

【請求項 18】

フォトニクスベースの構成要素を安定化させる方法であって、

前記フォトニクスベースの構成要素の離調量に比例する検出光強度に基づいて第 1 の電気信号を生成するステップと、

前記第 1 の電気信号からオフセット値を引いて第 2 の電気信号を生成するステップと、
前記第 2 の電気信号を増幅するステップと、

増幅された前記第 2 の電気信号に基づいてデジタル信号を生成するステップと、

生成された前記デジタル信号に少なくとも部分的にに基づいて前記フォトニクスベースの構成要素を同調させるステップと、を含む方法。
50

【請求項 19】

前記フォトニクスベースの構成要素は、リング共振器である、請求項1_8に記載の方法。

【請求項 20】

前記デジタル信号に少なくとも部分的に基づいてデジタルパルス列を生成するステップと、

生成された前記デジタルパルス列に少なくとも部分的に基づいて前記フォトニクスベースの構成要素を同調させるステップと、を更に含む、請求項1_8又は1_9に記載の方法。

【請求項 21】

前記デジタル信号を生成する前に前記第1の電気信号の少なくとも一部を積分するステップを更に含む、請求項1_8～2_0のいずれか一項に記載の方法。 10

【請求項 22】

前記第1の電気信号を積分するステップを実行する積分時間を動的に設定するステップを更に含む、請求項2_1に記載の方法。

【請求項 23】

前記第2の電気信号を増幅するステップは、多段増幅を実行するステップを含む、請求項1_8～2_2のいずれか一項に記載の方法。

【請求項 24】

生成された前記デジタル信号に基づいてコードディザリングを実行するステップを更に含む、請求項1_8～2_3のいずれか一項に記載の方法。 20

【請求項 25】

前記フォトニクスベースの構成要素を同調させるステップは、前記フォトニクスベースの構成要素の温度を制御するステップを含む、請求項1_8～2_4のいずれか一項に記載の方法。

【請求項 26】

前記フォトニクスベースの構成要素の温度を制御するステップは、前記フォトニクスベースの構成要素の位相シフトを導入するステップを含む、請求項2_5に記載の方法。