

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4973666号
(P4973666)

(45) 発行日 平成24年7月11日 (2012. 7. 11)

(24) 登録日 平成24年4月20日 (2012. 4. 20)

(51) Int. Cl.	F I
HO 1 L 27/10 (2006. 01)	HO 1 L 27/10 4 5 1
HO 1 L 45/00 (2006. 01)	HO 1 L 45/00 Z
HO 1 L 49/00 (2006. 01)	HO 1 L 49/00 Z
HO 1 L 21/316 (2006. 01)	HO 1 L 21/316 S
C 2 3 C 14/06 (2006. 01)	C 2 3 C 14/06 A
請求項の数 9 (全 17 頁) 最終頁に続く	

(21) 出願番号	特願2008-548096 (P2008-548096)	(73) 特許権者	000005223
(86) (22) 出願日	平成18年11月30日 (2006. 11. 30)		富士通株式会社
(86) 国際出願番号	PCT/JP2006/323938		神奈川県川崎市中原区上小田中4丁目1番1号
(87) 国際公開番号	W02008/068800	(74) 代理人	100087479
(87) 国際公開日	平成20年6月12日 (2008. 6. 12)		弁理士 北野 好人
審査請求日	平成20年11月26日 (2008. 11. 26)	(74) 代理人	100114915
			弁理士 三村 治彦
		(72) 発明者	吉田 親子
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	能代 英之
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		最終頁に続く	

(54) 【発明の名称】 抵抗記憶素子及びその製造方法、並びに不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、

窒化チタン膜よりなる第1の電極層と、

前記第1の電極層上に形成され、ルチル相の結晶構造を有する酸化チタン膜よりなる抵抗記憶層と、

前記抵抗記憶層上に形成された第2の電極層と

を有することを特徴とする抵抗記憶素子。

【請求項 2】

請求項 1 記載の抵抗記憶素子において、

前記第1の電極層は、貴金属材料よりなる金属膜上に形成されている

ことを特徴とする抵抗記憶素子。

【請求項 3】

窒化チタン膜よりなる第1の電極層を形成する工程と、

前記窒化チタン膜の表面を熱酸化し、前記窒化チタン膜上に、ルチル相の結晶構造を有する酸化チタン膜よりなる抵抗記憶層を形成する工程と、

前記抵抗記憶層上に、第2の電極層を形成する工程と

を有することを特徴とする抵抗記憶素子の製造方法。

【請求項 4】

10

20

請求項 3 記載の抵抗記憶素子の製造方法において、
前記抵抗記憶層を形成する工程では、形成する前記酸化チタン膜下に前記窒化チタン膜が残存するように、前記窒化チタン膜を熱酸化することを特徴とする抵抗記憶素子の製造方法。

【請求項 5】

請求項 3 又は 4 記載の抵抗記憶素子の製造方法において、
前記窒化チタン膜は、窒素を含むスパッタガスを用いた反応性スパッタにより形成することを特徴とする抵抗記憶素子の製造方法。

【請求項 6】

請求項 5 記載の抵抗記憶素子の製造方法において、
前記スパッタガスは、5 % 以上の窒素を含む窒素とアルゴンとの混合ガスであることを特徴とする抵抗記憶素子の製造方法。

10

【請求項 7】

請求項 3 乃至 6 のいずれか 1 項に記載の抵抗記憶素子の製造方法において、
前記抵抗記憶層を形成する工程では、500～600℃の温度で前記窒化チタン膜を熱酸化することを特徴とする抵抗記憶素子の製造方法。

【請求項 8】

請求項 3 乃至 7 のいずれか 1 項に記載の抵抗記憶素子の製造方法において、
前記第 1 の電極層を形成する工程では、貴金属材料よりなる金属膜上に、前記窒化チタン膜を形成することを特徴とする抵抗記憶素子の製造方法。

20

【請求項 9】

窒化チタン膜よりなる第 1 の電極層と、前記第 1 の電極層上に形成され、ルチル相の結晶構造を有する酸化チタン膜よりなる抵抗記憶層と、前記抵抗記憶層上に形成された第 2 の電極層とを有し、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子と、

前記抵抗記憶素子の前記第 1 の電極層又は前記第 2 の電極層に接続された選択トランジスタと

を有することを特徴とする不揮発性半導体記憶装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗値が異なる複数の抵抗状態を記憶する抵抗記憶素子及びその製造方法、並びにこのような抵抗記憶素子を用いた不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

近年、新たなメモリ素子として、ReRAM (Resistance Random Access Memory: 抵抗変化メモリ) と呼ばれる不揮発性半導体記憶装置が注目されている。ReRAM は、抵抗値が異なる複数の抵抗状態を有し、外部から電氣的刺激を与えることにより抵抗状態が変化する抵抗記憶素子を用い、抵抗記憶素子の高抵抗状態と低抵抗状態とを例えば情報の“0”と“1”とに対応づけることにより、メモリ素子として利用するものである。ReRAM は、高速性、大容量性、低消費電力性等、そのポテンシャルの高さから、その将来性が期待されている。

40

【0003】

抵抗記憶素子は、電圧の印加により抵抗状態が変化する抵抗記憶材料を一对の電極間に挟持したものである。抵抗記憶材料としては、代表的なものとして遷移金属を含む酸化物材料が知られている。

【0004】

抵抗記憶素子を用いた不揮発性半導体記憶装置は、例えば非特許文献 1 及び非特許文献

50

2に記載されている。

【非特許文献1】M. Fujimoto et al., "High-speed resistive switching of TiO₂/TiN nano-crystalline thin film", Japanese Journal of Applied Physics, Vol. 45, No. 11, 2006, pp. L310-L312

【非特許文献2】C. Yoshida et al., "High speed resistive switching in Pt/TiO₂/TiN resistor for multiple-valued memory device, Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials, 2006, pp. 580-581

【非特許文献3】K. Kinoshita et al., Applied Physics Letters, Vol. 89, 2006, 103509

【発明の開示】

10

【発明が解決しようとする課題】

【0005】

抵抗記憶素子の抵抗状態を変化する書き込み動作には、高抵抗状態から低抵抗状態へ変化する動作（セット動作）と、低抵抗状態から高抵抗状態へ変化する動作（リセット動作）とがある。また、書き込み動作には、セット動作とリセット動作とを異なる極性の電圧印加で行うバイポーラ動作と、セット動作とリセット動作とを同じ極性の電圧で行うユニポーラ動作とがある。

【0006】

一般に、バイポーラ動作をする抵抗記憶素子のスイッチング速度は、セット動作及びリセット動作ともに数十nsec〜数百nsec程度である。また、ユニポーラ動作をする抵抗記憶素子のスイッチング速度は、セット動作が数10nsec程度、リセット動作が数μsec程度である。

20

【0007】

このように、従来の抵抗記憶素子のスイッチング速度は、他の半導体記憶装置と比較して十分とはいえず、更なる高速化が望まれていた。また、低消費電力化のためには、スイッチング電流はできる限り少ないことが望ましい。

【0008】

本発明の目的は、スイッチング速度が高速であり且つスイッチング電流が小さい抵抗記憶素子及びその製造方法、並びにこのような抵抗記憶素子を用いた高速且つ低消費電力の不揮発性半導体記憶装置を提供することにある。

30

【課題を解決するための手段】

【0009】

本発明の一観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、窒化チタン膜よりなる第1の電極層と、前記第1の電極層上に形成され、ルチル相の結晶構造を有する酸化チタン膜よりなる抵抗記憶層と、前記抵抗記憶層上に形成された第2の電極層とを有する抵抗記憶素子を提供される。

【0010】

また、本発明の他の観点によれば、窒化チタン膜よりなる第1の電極層を形成する工程と、前記窒化チタン膜の表面を熱酸化し、前記窒化チタン膜上に、ルチル相の結晶構造を有する酸化チタン膜よりなる抵抗記憶層を形成する工程と、前記抵抗記憶層上に、第2の電極層を形成する工程とを有する抵抗記憶素子の製造方法が提供される。

40

【0011】

また、本発明の更に他の観点によれば、窒化チタン膜よりなる第1の電極層と、前記第1の電極層上に形成され、ルチル相の結晶構造を有する酸化チタン膜よりなる抵抗記憶層と、前記抵抗記憶層上に形成された第2の電極層とを有し、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子と、前記抵抗記憶素子の前記第1の電極層又は前記第2の電極層に接続された選択トランジスタとを有する不揮発性半導体記憶装置が提供される。

【発明の効果】

50

【0012】

本発明によれば、窒化チタン膜を熱酸化することによりルチル相の結晶構造を有する酸化チタン膜を形成し、これを抵抗記憶層とする抵抗記憶素子を構成するので、スイッチング速度が速く且つスイッチング電流の小さい抵抗記憶素子を実現することができる。また、このような抵抗記憶素子を用いることにより、書き込み速度が高速で、しかも消費電力の少ない不揮発性半導体記憶装置を構成することができる。

【図面の簡単な説明】

【0013】

【図1】本発明の第1実施形態による抵抗記憶素子の構造を示す概略断面図である。

【図2】本発明の第1実施形態による抵抗記憶素子の製造方法を示す工程断面図である。

【図3】フォーミング処理前における抵抗記憶素子の電流－電圧特性を示すグラフである。

【図4】本発明の第1実施形態による抵抗記憶素子のフォーミング処理の際の電流－電圧特性を示すグラフである。

【図5】本発明の第1実施形態による抵抗記憶素子のバイポーラ動作の際の電流－電圧特性を示すグラフである。

【図6】本発明の第1実施形態による抵抗記憶素子のユニポーラ動作の際の電流－電圧特性を示すグラフである。

【図7】スパッタガスに窒素を添加した場合と添加しない場合とにおける抵抗記憶素子の電流－電圧特性を示すグラフである。

【図8】酸化前の窒化チタン膜の膜厚を50nmとしたときの抵抗記憶素子の電流－電圧特性を示すグラフである。

【図9】酸化前の窒化チタン膜の膜厚を30nmとしたときの抵抗記憶素子の電流－電圧特性を示すグラフである。

【図10】窒化チタン膜を熱酸化して酸化チタン膜を形成した試料におけるX線回折スペクトルを示すグラフである。

【図11】本発明の第2実施形態による不揮発性半導体記憶装置の構造を示す概略断面図である。

【図12】本発明の第2実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図（その1）である。

【図13】本発明の第2実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図（その2）である。

【図14】本発明の第2実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図（その3）である。

【図15】本発明の実施形態の変形例による抵抗記憶素子の電流－電圧特性を示すグラフである。

【符号の説明】

【0014】

- 10…プラチナ膜
- 12…窒化チタン膜
- 14…下部電極層
- 16…抵抗記憶層
- 18…上部電極層
- 20…シリコン基板
- 22…素子分離膜
- 24…ゲート電極
- 26, 28…ソース／ドレイン領域
- 30, 44, 66…層間絶縁膜
- 32, 34, 46, 68…コンタクトホール
- 36, 38, 48, 70…コンタクトプラグ

10

20

30

40

50

４０…グラウンド線

４２…中継配線

５０，５６…プラチナ膜

５２…窒化チタン膜

５４…酸化チタン膜

５８…下部電極層

６０…抵抗記憶層

６２…上部電極層

６４…抵抗記憶素子

７２…ビット線

10

【発明を実施するための最良の形態】

【００１５】

〔第１実施形態〕

本発明の第１実施形態による抵抗記憶素子及びその製造方法について図１乃至図１０を用いて説明する。

【００１６】

図１は本実施形態による抵抗記憶素子の構造を示す概略断面図、図２は本実施形態による抵抗記憶素子の製造方法を示す工程断面図、図３はフォーミング処理前における抵抗記憶素子の電流－電圧特性を示すグラフ、図４は本実施形態による抵抗記憶素子のフォーミング処理の際の電流－電圧特性を示すグラフ、図５は本実施形態による抵抗記憶素子のバイポーラ動作の際の電流－電圧特性を示すグラフ、図６は本実施形態による抵抗記憶素子のユニポーラ動作の際の電流－電圧特性を示すグラフ、図７はスパッタガスに窒素を添加した場合と添加しない場合とにおける抵抗記憶素子の電流－電圧特性を示すグラフ、図８は酸化前の窒化チタン膜の膜厚を５０ｎｍとしたときの抵抗記憶素子の電流－電圧特性を示すグラフ、図９は酸化前の窒化チタン膜の膜厚を３０ｎｍとしたときの抵抗記憶素子の電流－電圧特性を示すグラフ、図１０は窒化チタン膜を熱酸化して酸化チタン膜を形成した試料におけるＸ線回折スペクトルを示すグラフである。

20

【００１７】

はじめに、本実施形態による抵抗記憶素子の構造について図１を用いて説明する。

【００１８】

プラチナ（Pt）膜１０と窒化チタン（TiN）膜１２との積層膜よりなる下部電極層１４上には、ルチル相の結晶構造を有する酸化チタン（TiO₂）よりなる抵抗記憶層１６が形成されている。抵抗記憶層１６上には、プラチナ膜よりなる上部電極層１８が形成されている。

30

【００１９】

次に、本実施形態による抵抗記憶素子の製造方法について図２を用いて説明する。

【００２０】

まず、下地としてのプラチナ膜１０上に、例えば反応性スパッタ法により、例えば膜厚２００ｎｍの窒化チタン膜１２を堆積する。これにより、プラチナ膜１０と窒化チタン膜１２との積層膜からなる下部電極層１４を形成する（図２（a））。成膜条件は、例えば、基板温度を３００℃、パワーを８ｋＷとし、スパッタターゲットとしてチタンを用い、スパッタガスとしては窒素（N₂）とアルゴン（Ar）との混合ガスを用いる。窒素のガス流量は、全ガス流量に対して、５～９５％とする。

40

【００２１】

次いで、酸素雰囲気中で、５００～６００℃の温度範囲、例えば５５０℃で３０分間の熱処理を行い、窒化チタン膜１２の表面を熱酸化する。これにより、下部電極層１４上に、例えば膜厚７０ｎｍの酸化チタン膜（TiO₂）膜よりなる抵抗記憶層１６を形成する（図２（b））。

【００２２】

窒化チタン膜１２を５００～６００℃の温度で熱酸化することにより、形成される酸化

50

チタン膜は、粒径10 nm程度のルチル相の微結晶により構成される。なお、400℃程度の温度で熱酸化を行った場合には、形成される酸化チタン膜はアナターゼ相の結晶構造を有する。

【0023】

窒化チタン膜12を酸化して酸化チタン膜よりなる抵抗記憶層16を形成する際、酸化後のプラチナ膜10と抵抗記憶層16との間に窒化チタン膜12が残存するように、熱酸化条件を適宜調整する。なお、200 nmの窒化チタン膜を熱酸化して70 nmの酸化チタン膜を形成した場合、窒化チタン膜12の膜厚は150 nmとなる。

【0024】

次いで、このように形成した抵抗記憶層16上に、例えばスパッタ法によりプラチナ膜を堆積し、プラチナ膜よりなる上部電極層18を形成する(図2(c))。

10

【0025】

このように、本実施形態による抵抗記憶素子は、抵抗記憶層16がルチル相の結晶構造を有する酸化チタンよりなり、抵抗記憶層16に接する部分の一方の電極(下部電極層14)が窒化チタン膜12により構成されていることに主たる特徴がある。また、本実施形態による抵抗記憶素子の製造方法は、窒化チタン膜12を熱酸化することにより、ルチル相の結晶構造を有する酸化チタン膜よりなる抵抗記憶層16を形成することに主たる特徴がある。このようにして抵抗記憶素子を構成することにより、スイッチング速度を高速化できるとともに、スイッチング電流を低減することができる。

20

【0026】

以下に、本実施形態による抵抗記憶素子及びその製造方法の上記特徴について、抵抗記憶素子の評価結果を交えて説明する。

【0027】

図3は、フォーミング処理前の初期状態の抵抗記憶素子の電流-電圧特性を示すグラフである。図中、「窒素なし」とあるのは、窒化チタン膜12を堆積する際のスパッタガスに窒素を添加しなかった場合であり、すなわち窒化チタン膜12の代わりにチタン膜を形成した場合である。図中「窒素あり」とあるのは、窒化チタン膜12を堆積する際におけるスパッタガス中の窒素の添加割合を5~95%の間で変化した場合である。

【0028】

図3に示すように、スパッタガスに窒素を添加した試料では、窒素を添加していない試料と比較して、電流値が大幅に低減している。スパッタガスに窒素を添加した試料ではその特性に多少のばらつきが認められるが、これは窒素の添加割合に依存するものではない。図3の結果から、スパッタガスに少なくとも5%以上の窒素を添加した試料は、窒素を添加していない試料とは異なる特性を有することが判る。

30

【0029】

図4は、抵抗記憶素子のフォーミング処理の際の電流-電圧特性を示すグラフである。なお、フォーミング処理とは、抵抗記憶素子に、高抵抗状態と低抵抗状態とを可逆的に変化する抵抗記憶特性を付与するために行うものであり、抵抗記憶層に絶縁破壊電圧相当の電圧を印加するものである。抵抗記憶素子14に電圧を印加して抵抗記憶層14をソフトブレークダウンさせることにより、抵抗記憶層14中にフィラメント状の電流パスが形成され、この電流パスによって抵抗記憶特性が発現されるものと考えられている。フォーミング処理は、初期段階において一度行えばよく、その後に行う必要はない。

40

【0030】

図3に示すように、フォーミング前の初期の抵抗記憶素子は、高抵抗の状態である。この抵抗記憶素子に正方向の電圧を印加していくと、図4に示すように、約4Vにおいて絶縁破壊が生じて電流が急激に増加する。すなわち、フォーミング処理が行われている。

【0031】

図5及び図6は、フォーミング処理後における抵抗記憶素子の電流-電圧特性を示すグラフである。図5は正負両方向に電圧を印加したときの電流-電圧特性を、図6は正方向のみに電圧を印加したときの電流-電圧特性を示している。本明細書において、電圧の印

50

加方向は、上部電極層 18 側に下部電極層 14 側よりも高い電圧を印加した場合を正方向とし、下部電極層 14 側に上部電極層 18 側よりも高い電圧を印加した場合を負方向としている。なお、図 5 及び図 6 に示す特性は、窒化チタン膜 12 を堆積する際におけるスパッタガス中の窒素の添加割合を 5～95% の間で変化しても、ほとんど変わらなかった。

【0032】

図 5 に示すように、高抵抗状態の抵抗記憶素子に負方向の電圧を印加していくと、印加電圧が約 -1.3 V のときに急激に電流が増加する現象（セット動作）が生じる。すなわち、抵抗記憶素子は、高抵抗状態から低抵抗状態に変化する。なお、セット動作が生じる電圧を、セット電圧と呼ぶ。

【0033】

10

低抵抗状態の抵抗記憶素子に正方向の電圧を印加していくと、印加電圧が約 0.5 V のときに電流が減少する現象（リセット動作）が生じる。すなわち、抵抗記憶素子は、低抵抗状態から高抵抗状態に変化する。リセット動作は、負方向の電圧印加では生じない。なお、リセット動作が生じる電圧を、リセット電圧と呼ぶ。

【0034】

印加電圧がセット電圧とリセット電圧との間では、抵抗記憶素子はそのままの状態を維持する。すなわち、高抵抗状態又は低抵抗状態を記憶する記憶素子として機能する。

【0035】

このように、本実施形態による抵抗記憶素子では、負方向の電圧印加でセット動作を行い、正方向の電圧印加でリセット動作を行うことが可能である。なお、極性の異なる印加電圧でセット動作及びリセット動作を行う動作モードを、本願明細書ではバイポーラ動作と呼ぶこととする。

20

【0036】

図 6 に示すように、高抵抗状態の抵抗記憶素子に、正方向にリセット電圧を超える高い電圧を印加していくと、印加電圧が約 3.0 V のときに急激に電流が増加する現象（セット動作）が生じる。すなわち、抵抗記憶素子は、高抵抗状態から低抵抗状態に変化する。

【0037】

また、低抵抗状態の抵抗記憶素子に正方向の電圧を印加していくと、印加電圧が約 0.8 V のときに電流が減少する現象（リセット動作）が生じる。すなわち、抵抗記憶素子は、低抵抗状態から高抵抗状態に変化する。

30

【0038】

印加電圧がリセット電圧未満の場合には、抵抗記憶素子はそのままの状態を維持する。すなわち、高抵抗状態又は低抵抗状態を記憶する記憶素子として機能する。

【0039】

このように、本実施形態による抵抗記憶素子は、正方向の電圧印加でセット動作及びリセット動作を行うことも可能である。なお、同極性の電圧の印加でセット動作及びリセット動作を行う動作モードを、本願明細書ではユニポーラ動作と呼ぶこととする。

【0040】

抵抗記憶素子を高抵抗状態から低抵抗状態に変化するセット動作を行う場合、抵抗値の急激な低下によって抵抗記憶素子に流れる電流が急増する。このため、抵抗記憶素子に大電流が流れることによる素子や周辺回路の破壊を防止するために、書き込み回路には選択トランジスタ等を利用した電流制限手段が必要である。

40

【0041】

電流制限値は、抵抗記憶素子の電流－電圧特性（スイッチング電流）に応じて定められる。本実施形態による抵抗記憶素子では、電流制限値は、負極性側に対しては数百 $\mu\text{ A}$ ～数 mA 程度、正極性側に対しては数十 mA 程度であり、正極性側の方が負極性側よりも 1 桁以上大きいことが特徴である。

【0042】

例えば図 5 のバイポーラ動作の場合には、電流制限値を -0.001 A 程度に設定することができる。また、例えば図 6 のユニポーラ動作の場合には、電流制限値を 0.015

50

A程度に設定することができる。すなわち、抵抗記憶素子をバイポーラ動作することのメリットとして、リセット動作の際のスイッチング電流を約1桁程度低減できることが挙げられる。

【0043】

図7は、窒化チタン膜12を堆積する際のスパッタガス中の窒素の添加割合を5%とした試料（実線）と、窒化チタン膜12を堆積する際のスパッタガスに窒素を添加しなかった試料（点線）とにおけるバイポーラ動作時の電流－電圧特性を示すグラフである。

【0044】

図7に示すように、窒化チタン膜12を堆積する際のスパッタガス中の窒素の添加割合を5%とした試料及び窒化チタン膜12を堆積する際のスパッタガスに窒素を添加しなかった試料（すなわち、窒化チタン膜12の代わりにチタン膜を形成した試料）の双方において、バイポーラ動作が可能である。

【0045】

しかしながら、窒素を添加しなかった試料は、スイッチングに要する電流が窒素を添加した試料よりも1桁以上大きくなっている。制限電流値と比較すると、窒素を添加しなかった試料が20mAであるのに対し、窒素を添加した試料では1mAであった。すなわち、抵抗記憶層14としての酸化チタン膜の下地材料を窒化チタン膜12とするメリットとして、スイッチング電流を1桁以上低減できることが挙げられる。

【0046】

なお、同様の試料についてユニポーラ動作時の電流－電圧特性についても測定したが、窒素を添加していない試料ではスイッチング電流が大きすぎてスイッチング特性を観察することができなかった。

【0047】

図8及び図9は、窒化チタン膜12の膜厚を変えて形成した抵抗記憶素子の電流－電圧特性を示すグラフである。図8は窒化チタン膜12の膜厚を50nmとした場合であり、図9は窒化チタン膜12の膜厚を30nmとした場合である。なお、窒化チタン膜12の膜厚を50nmとした図8の試料は、プラチナ膜10と抵抗記憶層16との間に僅かに窒化チタン膜12が残った状態である。また、窒化チタン膜12の膜厚を30nmとした図9の試料は、総ての窒化チタン膜12が酸化され、プラチナ膜10上に酸化チタン膜よりなる抵抗記憶層16が形成された状態である。

【0048】

図8に示すように、窒化チタン膜12の膜厚を50nmとした試料は、窒化チタン膜12の膜厚を200nmとした前述の試料とほぼ等しい特性を有している。窒化チタン膜12は、僅かでも残っていればその効果が得られるものと考えられる。

【0049】

これに対し、窒化チタン膜12の膜厚を30nmとした試料は、図9に示すように、正方向に電圧を印加した場合と負方向に電圧を印加した場合とで対称的な単極性の抵抗記憶特性を有しており、図8のような双極性の抵抗記憶特性を有していない。これは、図9の試料では、抵抗記憶層16に接する下部電極層14及び上部電極層18の双方がプラチナ膜により構成されており、対称的な電流－電圧特性を有しているためと考えられる。

【0050】

すなわち、下部電極層14として抵抗記憶層16側に窒化チタン膜12を残存させるメリットとして、双極性の抵抗記憶特性を得ることができること、ひいてはスイッチング電流を低減できることが挙げられる。

【0051】

図10は窒化チタン膜を550℃の温度で熱酸化して酸化チタン膜を形成した試料におけるX線回折スペクトルを示すグラフである。

【0052】

図10に示すように、550℃で熱酸化を行った試料では、ルチル相のピークが確認できる。

【0053】

また、断面TEM観察及び電子線回折の結果から、550℃の熱酸化により形成した酸化チタン膜は、粒径約10nm程度のルチル相の微結晶からなることが判った。

【0054】

本実施形態による抵抗記憶素子についてスイッチング速度の測定を行ったところ、5ns以下、5nsec以下の電圧パルスによりセット動作及びリセット動作をすることが確認できた。

【0055】

同様の材料系における抵抗記憶素子は、例えば非特許文献1に記載されている。非特許文献1には、-2Vの20nsecの電圧パルスによりセット動作が可能であり、+2.2Vの30nsecの電圧パルスによりリセット動作が可能であることが記載されている。

10

【0056】

本実施形態による抵抗記憶素子のスイッチング速度をこれら値と比較すると、セット動作及びリセット動作のいずれについても、スイッチング速度を大幅に減少できることが判る。

【0057】

本実施形態による抵抗記憶素子においてスイッチング速度を向上できるメカニズムについては明らかではないが、本願発明者等は酸化チタン膜の結晶構造に起因するものと考えている。

【0058】

非特許文献1に記載された抵抗記憶素子では、酸化チタン膜は、アナターゼ相のナノサイズ(2~5nm)のドットにより構成されている。一方、本実施形態による抵抗記憶素子では、酸化チタン膜は、粒径が10nm程度のルチル相の微結晶により構成されている。また、非特許文献1に記載された抵抗記憶素子ではフォーミング処理が不要であるとされており、フォーミング処理が必要な本実施形態による抵抗記憶素子とは電気的な特性が異なっている。

20

【0059】

以上のことから、非特許文献1に記載された抵抗記憶素子と本実施形態による抵抗記憶素子とにおける特性上の相違は、酸化チタン膜の結晶構造に起因するものと推察され、スイッチング速度の向上も酸化チタン膜をルチル相の微結晶により構成することに起因しているものと考えられる。

30

【0060】

また、高温相であるルチル相は、アナターゼ相と比較して安定である。一方、アナターゼ相は高温で加熱するとルチル相になる。結晶転位の温度は主として不純物によって決まり、純粋なものほど低い温度で転移する。ReRAMのスイッチングには熱を伴うことが指摘されており(例えば非特許文献3を参照)、特にリセット動作の際には大きな電流が流れ、これによって素子は発熱することが予想される。このため、このような発熱によってアナターゼ相はルチル相へと変化し、スイッチングを繰り返すことによって特性が変化する可能性がある。この点、ルチル相は安定であり、発熱によってもその構造が変化する虞はない。

40

【0061】

このように、本実施形態によれば、窒化チタン膜を熱酸化することによりルチル相の微結晶よりなる酸化チタン膜を形成し、これを抵抗記憶層とする抵抗記憶素子を構成するので、スイッチング速度が速く且つスイッチング電流の小さい抵抗記憶素子を実現することができる。

【0062】

[第2実施形態]

本発明の第2実施形態による不揮発性半導体記憶装置及びその製造方法について図11乃至図14を用いて説明する。

【0063】

50

図 1 1 は本実施形態による不揮発性半導体記憶装置の構造を示す概略断面図、図 1 2 乃至図 1 4 は本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【0064】

はじめに、本実施形態による不揮発性半導体記憶装置の構造について図 1 1 を用いて説明する。

【0065】

シリコン基板 2 0 上には、素子領域を画定する素子分離膜 2 2 が形成されている。

【0066】

素子分離膜 2 2 が形成されたシリコン基板 2 0 上には、紙面垂直方向に延在するワード線を兼ねるゲート電極 2 4 が形成されている。ゲート電極 2 4 の両側の活性領域内には、ソース／ドレイン領域 2 6, 2 8 が形成されている。これにより、素子領域には、ゲート電極 2 4 とソース／ドレイン領域 2 6, 2 8 とを有する選択トランジスタが形成されている。なお、図 1 1 に示す不揮発性半導体記憶装置では、一の活性領域内に、ソース／ドレイン領域 2 6 を共用する 2 つの選択トランジスタが形成されている。

【0067】

選択トランジスタが形成されたシリコン基板 2 0 上には、層間絶縁膜 3 0 が形成されている。層間絶縁膜 3 0 には、ソース／ドレイン領域 2 6 に接続されたコンタクトプラグ 3 6 と、ソース／ドレイン領域 2 8 に接続されたコンタクトプラグ 3 8 とが埋め込まれている。

【0068】

層間絶縁膜 3 0 上には、コンタクトプラグ 3 6 を介してソース／ドレイン領域 2 6 (ソース端子) に電氣的に接続されたグラウンド線 4 0 と、コンタクトプラグ 3 8 を介してソース／ドレイン領域 2 8 (ドレイン端子) に電氣的に接続された中継配線 4 2 とが形成されている。

【0069】

グラウンド線 4 0 及び中継配線 4 2 が形成された層間絶縁膜 3 0 上には、層間絶縁膜 4 4 が形成されている。層間絶縁膜 4 4 には、中継配線 4 2 に接続されたコンタクトプラグ 4 8 が埋め込まれている。

【0070】

コンタクトプラグ 4 8 が埋め込まれた層間絶縁膜 4 4 上には、抵抗記憶素子 6 4 が形成されている。抵抗記憶素子 6 4 は、コンタクトプラグ 4 8、中継配線 4 2 及びコンタクトプラグ 3 8 を介してソース／ドレイン領域 2 8 に電氣的に接続され、プラチナ膜 5 0 と窒化チタン膜 5 2 との積層膜よりなる下部電極層 5 8 と、下部電極層 5 8 上に形成された酸化チタン膜よりなる抵抗記憶層 6 0 と、抵抗記憶層 6 0 上に形成されたプラチナ膜よりなる上部電極層 6 2 とを有している。

【0071】

抵抗記憶素子 6 4 が形成された層間絶縁膜 4 4 上には、層間絶縁膜 6 6 が形成されている。層間絶縁膜 6 6 には、抵抗記憶素子 6 4 の上部電極層 6 2 に接続されたコンタクトプラグ 7 0 が埋め込まれている。

【0072】

コンタクトプラグ 7 0 が埋め込まれた層間絶縁膜 6 6 上には、コンタクトプラグ 7 0 を介して抵抗記憶素子 6 4 の上部電極層 6 2 に電氣的に接続されたビット線 7 2 が形成されている。

【0073】

こうして、本実施形態による不揮発性半導体記憶装置が構成されている。

【0074】

次に、本実施形態による不揮発性半導体装置の製造方法について図 1 2 乃至図 1 4 を用いて説明する。

【0075】

まず、シリコン基板 20 内に、例えば S T I (Shallow Trench Isolation) 法により、素子領域を画定する素子分離膜 22 を形成する。

【0076】

次いで、シリコン基板 20 の素子領域上に、通常の M O S トランジスタの製造方法と同様にして、ゲート電極 24 及びソース／ドレイン領域 26, 28 を有する選択トランジスタを形成する (図 12 (a))。

【0077】

次いで、選択トランジスタが形成されたシリコン基板 20 上に、例えば C V D 法によりシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を例えば C M P 法により研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜 30 を形成する。

10

【0078】

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜 30 に、ソース／ドレイン領域 26, 28 に達するコンタクトホール 32, 34 を形成する。

【0079】

次いで、例えば C V D 法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール 32, 34 内に、ソース／ドレイン領域 26, 28 に電氣的に接続されたコンタクトプラグ 36, 38 を形成する (図 12 (b))。

【0080】

次いで、コンタクトプラグ 36, 38 が埋め込まれた層間絶縁膜 30 上に、例えば C V D 法により導電膜を堆積後、フォトリソグラフィ及びドライエッチングによりこの導電膜をパターニングし、コンタクトプラグ 36 を介してソース／ドレイン領域 26 に電氣的に接続されたグラウンド線 40 と、コンタクトプラグ 38 を介してソース／ドレイン領域 28 に電氣的に接続された中継配線 42 とを形成する (図 12 (c))。

20

【0081】

次いで、グラウンド線 40 及び中継配線 42 が形成された層間絶縁膜 30 上に、例えば C V D 法によりシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を例えば C M P 法により研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜 44 を形成する。

【0082】

30

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜 44 に、中継配線 42 に達するコンタクトホール 46 を形成する。

【0083】

次いで、例えば C V D 法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール 46 内に、中継配線 42、コンタクトプラグ 38 を介してソース／ドレイン領域 28 に電氣的に接続されたコンタクトプラグ 48 を形成する (図 13 (a))。

【0084】

次いで、コンタクトプラグ 48 が埋め込まれた層間絶縁膜 44 上に、例えばスパッタ法により、例えば膜厚 100 nm のプラチナ膜 50 を堆積する。

40

【0085】

次いで、プラチナ膜 50 上に、例えば反応性スパッタ法により、例えば膜厚 100 nm の窒化チタン膜 52 を形成する (図 13 (b))。この際、スパッタターゲットとしてはチタンを用い、スパッタガスとしては窒素 (N_2) とアルゴン (Ar) との混合ガスを用いる。

【0086】

次いで、酸素雰囲気中で 500 ~ 600 °C の熱処理を行い、窒化チタン膜 52 の表面を酸化する。これにより、窒化チタン膜 52 上に、例えば膜厚 70 nm の酸化チタン膜 54 を形成する (図 13 (c))。500 ~ 600 °C の温度で酸化処理を行うことにより、形成される酸化チタン膜 54 は、ルチル相の微結晶となる。

50

【0087】

次いで、酸化チタン膜54上に、例えばスパッタ法により、例えば膜厚50nmのプラチナ膜56を形成する。

【0088】

次いで、フォトリソグラフィ及びドライエッチングにより、プラチナ膜56、酸化チタン膜54、窒化チタン膜52及びプラチナ膜50をパターンニングし、プラチナ膜50と窒化チタン膜52との積層膜よりなる下部電極層58と、酸化チタン膜54よりなる抵抗記憶層60と、プラチナ膜56よりなる上部電極層62とを有する抵抗記憶素子64を形成する(図14(a))。

【0089】

次いで、抵抗記憶素子64が形成された層間絶縁膜44上に、例えばCVD法によりシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を例えばCMP法により研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜66を形成する。

【0090】

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜66に、抵抗記憶素子64の上部電極層62に達するコンタクトホール68を形成する。

【0091】

次いで、例えばCVD法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール68内に、抵抗記憶素子64の上部電極層62に接続されたコンタクトプラグ70を形成する。

【0092】

次いで、コンタクトプラグ70が埋め込まれた層間絶縁膜66上に、導電膜を堆積後、フォトリソグラフィ及びドライエッチングによりこの導電膜をパターンニングし、コンタクトプラグ70を介して抵抗記憶素子64の上部電極層62に電氣的に接続されたビット線72を形成する(図14(b))。

【0093】

この後、必要に応じて更に上層の配線層等を形成し、不揮発性半導体装置を完成する。

【0094】

このように、本実施形態によれば、スイッチング速度が速くスイッチング電流の小さい第1実施形態による抵抗記憶素子を用いて不揮発性半導体装置を構成するので、書き込み速度が高速で、しかも消費電力の少ない不揮発性半導体記憶装置を構成することができる。

【0095】

[変形実施形態]

本発明は、上記実施形態に限らず種々の変形が可能である。

【0096】

例えば、上記実施形態では、Pt/TiO₂/TiN構造の抵抗記憶素子を示したが、Pt/WO_x/WN構造の抵抗記憶素子においても同様の特性を得ることができる。

【0097】

図15は、温度を室温、スパッタガスとしての窒素流量を25cc、アルゴン流量を5ccとした反応性スパッタにより膜厚200nmの窒化タングステン(WN)膜を堆積後、この表面を500℃10分間の条件で熱酸化して酸化タングステン(WO_x)膜よりなる抵抗記憶層を形成し、この抵抗記憶層上にプラチナよりなる上部電極層を形成した試料における電流-電圧特性を示すグラフである。

【0098】

図15に示すように、Pt/WO_x/WN構造の抵抗記憶素子においても、図5に示すPt/TiO₂/TiN構造の抵抗記憶素子と同様の抵抗記憶特性を実現することができた。

【0099】

本願発明者等は具体的な検討を行っていないが、下部電極層として窒化ハフニウム(H

10

20

30

40

50

f N)、窒化ジルコニウム (Z r N)、窒化タンタル (T a N) 等の遷移金属窒化物を用いた場合にも、窒化チタンや窒化タングステンの場合と同様の結果が期待できる。

【0100】

また、上記実施形態では、上部電極層及び下部電極層の下地膜の構成材料としてプラチナを適用したが、プラチナのほか、ルテニウム (R u)、イリジウム (I r)、ロジウム (R h)、パラジウム (P d) 等の他の貴金属材料を適用してもよい。

【産業上の利用可能性】

【0101】

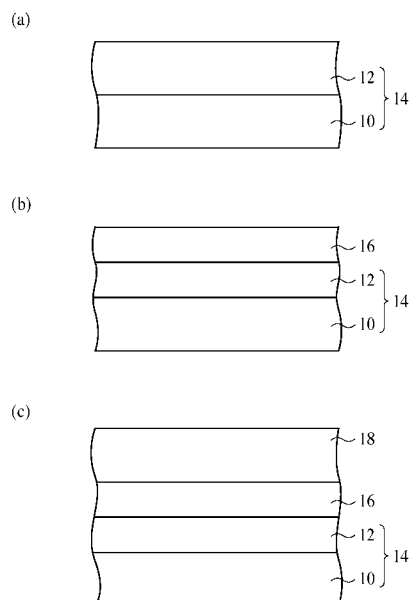
本発明による抵抗記憶素子及びその製造方法は、抵抗記憶素子のスイッチング速度を向上し、スイッチング電流を低減しうるものである。したがって、本発明の抵抗記憶素子及びその製造方法は、高速且つ低消費電力の不揮発性半導体記憶装置を構成するうえで極めて有用である。

10

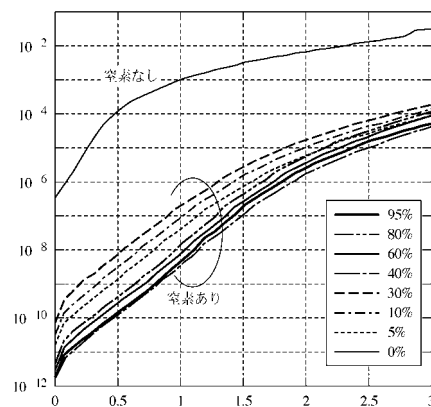
【図 1】



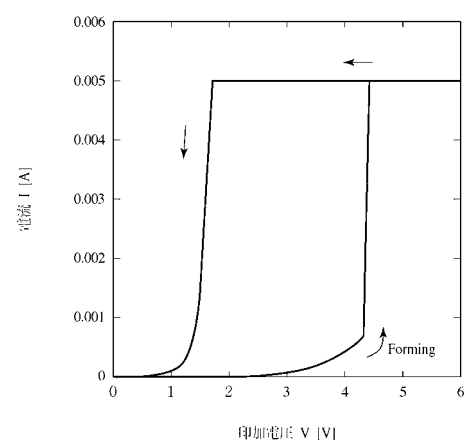
【図 2】



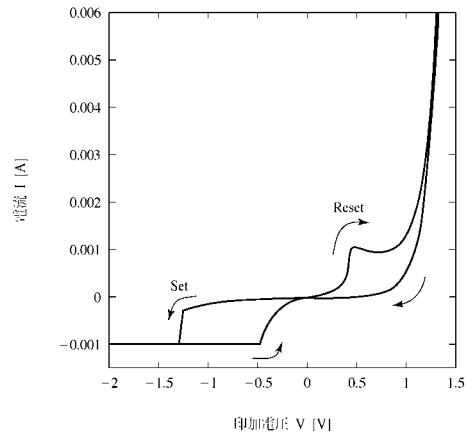
【図 3】



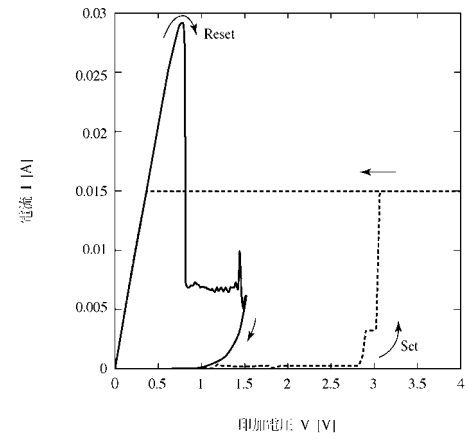
【図 4】



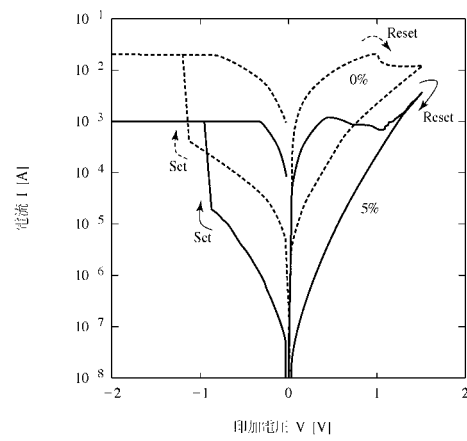
【図 5】



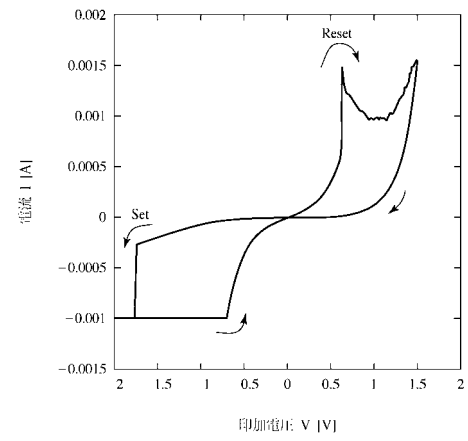
【図 6】



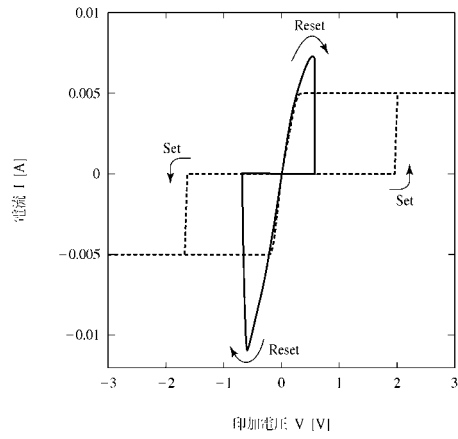
【図 7】



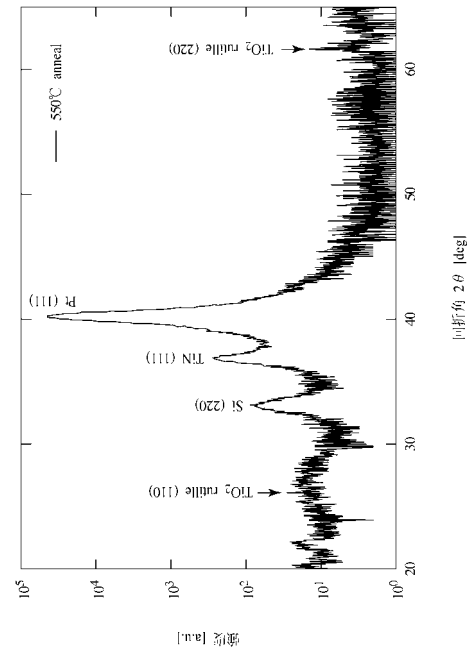
【図 8】



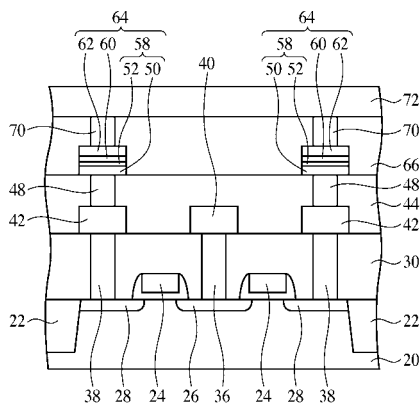
【図 9】



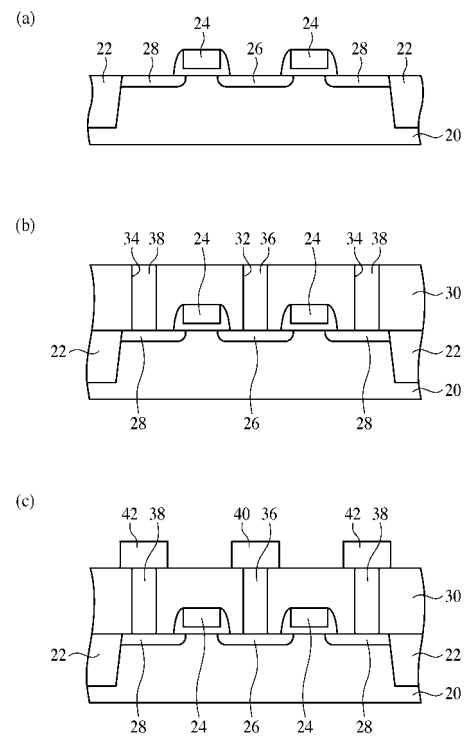
【図 10】



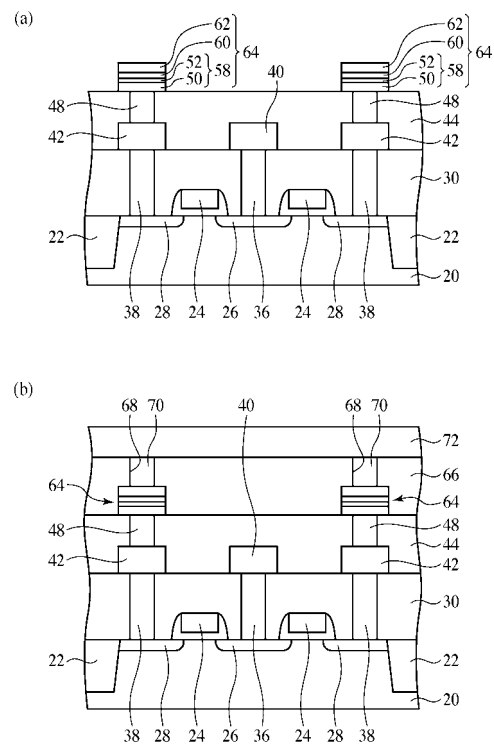
【図 11】



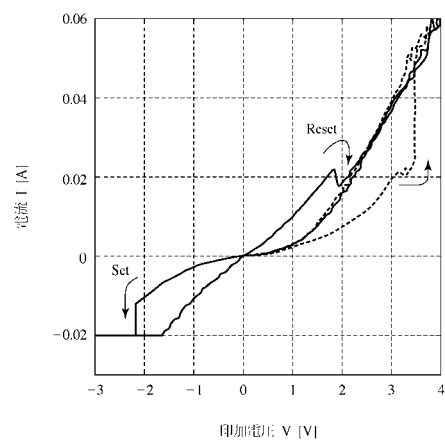
【図 12】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl. F I
C 2 3 C 14/08 (2006.01) C 2 3 C 14/08 E
C 2 3 C 14/58 (2006.01) C 2 3 C 14/58 A

(72)発明者 飯塚 隆
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 瀧内 健夫

(56)参考文献 特開2004-363604(JP, A)
特開2006-086310(JP, A)
特開2002-289793(JP, A)
K. Kinoshita et al., New Model Proposed for Switching Mechanism of FeRAM, Proc. IEEE Non-Volatile Semiconductor Memory Workshop, 2006年 2月12日, 84-85
S. K. Kim et al., High dielectric constant TiO₂ thin films on a Ru electrode grown at 250°C by atomic-layer deposition, Applied Physics Letters, 2004年11月 1日, Vol .85, No.18, 4112-4114

(58)調査した分野(Int.Cl., DB名)
H01L 27/10