(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0093915
(43) 공개일자 2010년08월26일

(51) Int. Cl.
G11C 11/41 (2006.01) *G11C 8/08* (2006.01)
G11C 8/10 (2006.01)
(21) 출원번호 10-2009-0013067
(22) 출원일자 2009년02월17일
심사청구일자 2009년02월17일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
정성우
서울 용산구 이촌1동 한가람아파트 217-1002
공준호
서울특별시 광진구 광장동 484 현대아파트 310-1104
(74) 대리인
조영현, 나승택

전체 청구항 수 : 총 4 항

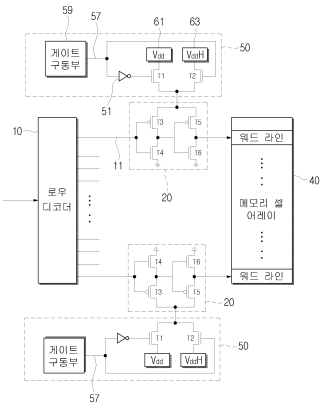
(54) 캐쉬 메모리

(57) 요 약

본 발명은 캐쉬 메모리에 관한 것으로, 특히 공정 변이로 인하여 발생하는 캐쉬 메모리 액세스 실패를 최소화하기 위하여 로우 디코더와 워드 라인 사이에 로직 회로에 해당하는 워드 라인 전압 제어 로직부 및 워드 라인 드라이버를 부가하여 액세스 타임 실패를 가진 워드 라인을 액세스할 때는 기본 전압 신호보다 더 높은 전압 레벨을 가지는 보강 전압 신호를 인가하게 함으로써, 워드 라인의 액세스 타임 지연을 감소시켜 캐쉬 메모리의 액세스 실패를 최소화할 수 있는 캐쉬 메모리에 관한 것이다.

본 발명인 캐쉬 메모리를 이루는 구성수단은, 캐쉬 메모리에 있어서, 입력되는 어드레스 신호를 디코딩하여 출력하는 로우 디코더, 워드 라인들에 액세스 타임 실패를 가진 셀이 포함되어 있는지 여부에 따라, 기본 전압 신호를 출력하거나, 상기 기본 전압 신호보다 더 높은 전압 레벨에 해당하는 보강 전압 신호를 출력하는 복수의 워드 라인 전압 제어 로직부, 상기 로우 디코더의 출력 라인들과 일대일 연결되어, 상기 로우 디코더의 출력 라인을 통해 출력되는 출력 신호가 활성화 신호인 경우에만, 상기 워드 라인 전압 제어 로직부에서 출력되는 기본 전압 신호 또는 보강 전압 신호를 워드 라인들에 공급하는 워드 라인 드라이버를 포함하여 이루어진 것을 특징으로 한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

캐쉬 메모리에 있어서,

입력되는 어드레스 신호를 디코딩하여 출력하는 로우 디코더;

워드 라인들에 액세스 타임 실패를 가진 셀이 포함되어 있는지 여부에 따라, 기본 전압 신호를 출력하거나, 상기 기본 전압 신호보다 더 높은 전압 레벨에 해당하는 보강 전압 신호를 출력하는 복수의 워드 라인 전압 제어 로직부;

상기 로우 디코더의 출력 라인들과 일대일 연결되어, 상기 로우 디코더의 출력 라인을 통해 출력되는 출력 신호가 활성화 신호인 경우에만, 상기 워드 라인 전압 제어 로직부에서 출력되는 기본 전압 신호 또는 보강 전압 신호를 워드 라인들에 공급하는 워드 라인 드라이버를 포함하여 이루어진 것을 특징으로 하는 캐쉬 메모리.

청구항 2

청구항 1에 있어서, 상기 워드 라인 전압 제어 로직부는,

상기 워드 라인들에 액세스 타임 실패를 가진 셀이 포함되어 있는지 여부에 따라 하이 레벨 전압 또는 로우 레벨 전압을 출력하는 게이트 구동부, 상기 게이트 구동부의 출력 라인에 게이트단이 연결되고, 드레인단이 기본 전압원에 연결되며 소오스단이 상기 워드 라인 드라이버에 연결되는 제1 스위칭 트랜지스터, 상기 게이트 구동부의 출력 라인에 게이트단이 연결되되, 상기 제1 스위칭 트랜지스터의 게이트단에 입력되는 레벨 전압에 상대적인 레벨 전압이 게이트단에 입력되고, 드레인단이 보강 전압원에 연결되며 소오스단이 상기 워드 라인 드라이버에 연결되는 제2 스위칭 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 캐쉬 메모리.

청구항 3

청구항 2에 있어서,

상기 게이트 구동부와 상기 제1 스위칭 트랜지스터 사이에만 또는 상기 게이트 구동부와 상기 제2 스위칭 트랜지스터 사이에만 인버터가 연결되는 것을 특징으로 하는 캐쉬 메모리.

청구항 4

청구항 2에 있어서, 상기 워드 라인 드라이버는,

상기 로우 디코더의 출력 라인을 통해 출력되는 신호가 인버팅되어 게이트단에 입력되고, 드레인단이 상기 제1 스위칭 트랜지스터 및 제2 스위칭 트랜지스터의 소오스단에 연결되는 제3 스위칭 트랜지스터, 상기 로우 디코더의 출력 라인을 통해 출력되는 신호가 게이트단에 입력되고, 드레인단이 상기 제3 스위칭 트랜지스터의 소오스단에 연결되며, 소오스단이 그라운드에 연결되는 제4 스위칭 트랜지스터, 상기 제3 스위칭 트랜지스터의 소오스단과 상기 제4 스위칭 트랜지스터의 드레인단을 통해 출력되는 신호가 인버팅되어 게이트단에 입력되고, 드레인단이 상기 제1 스위칭 트랜지스터 및 제2 스위칭 트랜지스터의 소오스단에 연결되며 소오스단이 상기 워드 라인에 연결되는 제5 스위칭 트랜지스터, 상기 제3 스위칭 트랜지스터의 소오스단과 상기 제4 스위칭 트랜지스터의 드레인단을 통해 출력되는 신호가 게이트단에 입력되고, 드레인단이 상기 제5 스위칭 트랜지스터의 소오스단 및 워드 라인에 연결되며 소오스단이 그라운드에 연결되는 제6 스위칭 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 캐쉬 메모리.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 캐쉬 메모리에 관한 것으로, 특히 공정 변이로 인하여 발생하는 캐쉬 메모리 액세스 실패를 최소화하기 위하여 로우 디코더와 워드 라인 사이에 로직 회로에 해당하는 워드 라인 전압 제어 로직부 및 워드 라인 드라이버를 부가하여 액세스 타임 실패를 가진 워드 라인을 액세스할 때는 기본 전압 신호보다 더 높은 전압 레벨을 가지는 보강 전압 신호를 인가하게 함으로써, 워드 라인의 액세스 타임 지연을 감소시켜 캐쉬 메모리의 액세스 실패를 최소화할 수 있는 캐쉬 메모리에 관한 것이다.

배 경 기 술

[0002] 반도체 기술이 발전하면서 칩 제조 기술이 나노 스케일까지 내려갔다. 칩에 들어가는 트랜지스터의 크기가 점점 작아짐에 따라서 공정 변이 문제가 대두되었다. 이전에 큰 스케일의 칩에서는 잘 발생하지 않았던 문제로서, 각각의 트랜지스터가 제조시에 약간씩 다른 특성(유효채널 길이, 산화층 두께 등)을 지니게 된다.

[0003] 이 경우 캐쉬 메모리에서 많이 사용하는 6T SRAM 셀에서 6개의 트랜지스터가 각각 조금씩 다른 특성을 지니게 되면 두가지 문제가 발생할 수 있다. 즉, 액세스 타임(access time)을 맞추지 못하는 경우와 read/write를 못하게 되는 문제가 발생한다.

[0004] 이와 같은 문제가 발생하면, 결함이 발생한 캐쉬 라인 전체를 못쓰게 되고, direct-mapped cache의 경우에는 system failure까지 야기할 수 있다. set-associative 캐쉬의 경우에도 way를 다 쓸 수 있는 것이 아니라서 성능상에 상당한 손해를 보게 된다.

[0005] 결과적으로, 결함 발생으로 인하여 사용하지 못하는 캐쉬 라인이 발생하기 때문에 캐쉬 메모리의 수율이 떨어지는 문제점이 발생한다. 특히 액세스 타임(access time)을 맞추지 못하여 액세스 실패(access failure)가 발생하는 확률이 불안정한 read/write가 발생하는 확률보다 상당히 높고, L1 캐쉬의 경우 대부분 1 사이클(cycle) 안에 액세스가 이루어져야 하기 때문에, 캐쉬 메모리 설계시 액세스 실패(access failure)에 대한 고려는 상당히 중요한 실정이다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 창안된 것으로, 공정 변이로 인하여 발생하는 캐쉬 메모리 액세스 실패를 최소화하기 위하여 로우 디코더와 워드 라인 사이에 로직 회로에 해당하는 워드 라인 전압 제어 로직부 및 워드 라인 드라이버를 부가하여 액세스 타임 실패를 가진 워드 라인을 액세스할 때는 기본 전압 신호보다 더 높은 전압 레벨을 가지는 보강 전압 신호를 인가하게 함으로써, 워드 라인의 액세스 타임 지연을 감소시켜 캐쉬 메모리의 액세스 실패를 최소화할 수 있는 캐쉬 메모리를 제공하는 것을 그 목적으로 한다.

과제 해결수단

[0007] 상기와 같은 과제를 해결하기 위하여 제안된 본 발명인 캐쉬 메모리를 이루는 구성수단은, 캐쉬 메모리에 있어서, 입력되는 어드레스 신호를 디코딩하여 출력하는 로우 디코더, 워드 라인들에 액세스 타임 실패를 가진 셀이 포함되어 있는지 여부에 따라, 기본 전압 신호를 출력하거나, 상기 기본 전압 신호보다 더 높은 전압 레벨에 해당하는 보강 전압 신호를 출력하는 복수의 워드 라인 전압 제어 로직부, 상기 로우 디코더의 출력 라인들과 일대일 연결되어, 상기 로우 디코더의 출력 라인을 통해 출력되는 출력 신호가 활성화 신호인 경우에만, 상기 워드 라인 전압 제어 로직부에서 출력되는 기본 전압 신호 또는 보강 전압 신호를 워드 라인들에 공급하는 워드 라인 드라이버를 포함하여 이루어진 것을 특징으로 한다.

[0008] 또한, 상기 워드 라인 전압 제어 로직부는, 상기 워드 라인들에 액세스 타임 실패를 가진 셀이 포함되어 있는지 여부에 따라 하이 레벨 전압 또는 로우 레벨 전압을 출력하는 게이트 구동부, 상기 게이트 구동부의 출력 라인에 게이트단이 연결되고, 드레인단이 기본 전압원에 연결되며 소오스단이 상기 워드 라인 드라이버에 연결되는 제1 스위칭 트랜지스터, 상기 게이트 구동부의 출력 라인에 게이트단이 연결되되, 상기 제1 스위칭 트랜지스터

의 게이트단에 입력되는 레벨 전압에 상대적인 레벨 전압이 게이트단에 입력되고, 드레인단이 보강 전압원에 연결되며 소오스단이 상기 워드 라인 드라이버에 연결되는 제2 스위칭 트랜지스터를 포함하여 이루어진 것을 특징으로 한다.

[0009] 여기서, 상기 게이트 구동부와 상기 제1 스위칭 트랜지스터 사이에만 또는 상기 게이트 구동부와 상기 제2 스위칭 트랜지스터 사이에만 인버터가 연결되는 것을 특징으로 한다.

[0010] 또한, 상기 워드 라인 드라이버는, 상기 로우 디코더의 출력 라인을 통해 출력되는 신호가 인버팅되어 게이트단에 입력되고, 드레인단이 상기 제1 스위칭 트랜지스터 및 제2 스위칭 트랜지스터의 소오스단에 연결되는 제3 스위칭 트랜지스터, 상기 로우 디코더의 출력 라인을 통해 출력되는 신호가 게이트단에 입력되고, 드레인단이 상기 제3 스위칭 트랜지스터의 소오스단에 연결되며, 소오스단이 그라운드에 연결되는 제4 스위칭 트랜지스터, 상기 제3 스위칭 트랜지스터의 소오스단과 상기 제4 스위칭 트랜지스터의 드레인단을 통해 출력되는 신호가 인버팅되어 게이트단에 입력되고, 드레인단이 상기 제1 스위칭 트랜지스터 및 제2 스위칭 트랜지스터의 소오스단에 연결되며 소오스단이 상기 워드 라인에 연결되는 제5 스위칭 트랜지스터, 상기 제3 스위칭 트랜지스터의 소오스단과 상기 제4 스위칭 트랜지스터의 드레인단을 통해 출력되는 신호가 게이트단에 입력되고, 드레인단이 상기 제5 스위칭 트랜지스터의 소오스단 및 워드 라인에 연결되며 소오스단이 그라운드에 연결되는 제6 스위칭 트랜지스터를 포함하여 이루어진 것을 특징으로 한다.

효 과

[0011] 상기와 같은 과제 및 해결 수단을 가지는 본 발명인 캐쉬 메모리에 의하면, 공정 변이로 인하여 발생하는 캐쉬 메모리 액세스 실패를 최소화하기 위하여 로우 디코더와 워드 라인 사이에 로직 회로에 해당하는 워드 라인 전압 제어 로직부 및 워드 라인 드라이버를 부가하여 액세스 타임 실패를 가진 워드 라인을 액세스할 때는 기본 전압 신호보다 더 높은 전압 레벨을 가지는 보강 전압 신호를 인가하게 함으로써, 워드 라인의 액세스 타임 지연을 감소시켜 캐쉬 메모리의 액세스 실패를 최소화할 수 있는 장점이 있다. 결과적으로 캐쉬 메모리의 수율을 향상시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0012] 이하, 첨부된 도면을 참조하여 상기와 같은 과제, 해결 수단 및 효과를 가지는 본 발명인 캐쉬 메모리에 관한 바람직한 실시예를 상세하게 설명한다.

[0013] 도 1은 일반적인 캐쉬 메모리의 개략적인 구성도를 보여주고, 도 2는 본 발명에 적용되는 수정된 캐쉬 메모리의 개략적인 구성도를 보여준다.

[0014] 도 1에 도시된 바와 같이, 일반적인 캐쉬 메모리는 로우 디코더(10), 워드 라인 드라이버(20), 칼럼 디코더(30) 및 메모리 셀 어레이(40)를 포함하여 이루어진다.

[0015] 상기 로우 디코더(10)는 외부 유닛(미도시)으로부터 입력되는 로우 어드레스 신호를 디코딩하여 출력한다. 이 디코딩된 신호는 상기 워드 라인 드라이버(20)를 제어한다. 그러면, 상기 워드 라인 드라이버(20)는 상기 메모리 셀 어레이(40)에 포함되는 상기 워드 라인들 중 일부를 활성화시킨다. 한편, 상기 칼럼 디코더(30)는 입력되는 칼럼 어드레스 신호를 디코딩하여 해당 비트 라인들을 인에이블 시킨다.

[0016] 상기와 같은 구성요소들을 포함하여 이루어진 캐쉬 메모리는 제조된 후에 테스트 과정을 거치게 된다. 테스트 결과, 공정 변이로 인하여 액세스 타임 실패(access time failure)가 발생하는 셀이 발생한다. 이 액세스 타임 실패가 발생한 셀을 포함한 라인 전체는 못쓰게 된다.

[0017] 따라서, 본 발명은 상기와 같이, 액세스 타임 실패가 발생한 셀을 포함한 캐쉬 라인들을 사용할 수 있도록 하기 위하여 도 2에 도시된 바와 같이, 로우 디코더(10)와 메모리 셀 어레이(40)의 워드 라인 사이에 로직 회로에 해당하는 복수개의 워드 라인 전압 제어 로직부(50)와 워드 라인 드라이버(20)가 배치되는 구성을 제안한다.

[0018] 상기 워드 라인 전압 제어 로직부(50)와 워드 라인 드라이버(20)는 액세스되는 상기 메모리 셀 어레이(40)에 포함되는 워드 라인(액세스 타임 실패가 발생한 셀을 포함한 라인)들로부터 데이터를 신속하게 독출하기 위하여 상기 로우 디코더(10)와 메모리 셀 어레이(40) 사이에 배치된다.

[0019] 즉, 해당 액세스 타임 실패가 발생한 셀을 포함한 워드 라인의 액세스 타임 지연을 방지하기 위하여 상기 워드 라인 전압 제어 로직부(50)와 워드 라인 드라이버(20)가 본 발명에서 필요하게 된다.

[0020] 도 2에 도시된 바와 같이, 본 발명에 따라 수정된 캐쉬 메모리는 로우 디코더(10), 복수개의 워드 라인 드라이버(20), 메모리 셀 어레이(40) 및 복수개의 워드 라인 전압 제어 로직부(50)를 포함하여 이루어진다. 물론, 상기 구성요소 이외에도 일반적인 캐쉬 메모리에 포함되는 구성요소들(칼럼 디코더 등)이 더 구비되는 것은 당연하다.

[0021] 상기 로우 디코더(10)는 일반적인 캐쉬 메모리와 동일하게 입력되는 로우 어드레스 신호를 디코딩하여 출력한다. 일반적인 캐쉬 메모리에서, 상기 디코딩된 신호는 바로 워드 라인 드라이버(20)에 입력되어, 워드 라인 드라이버로 하여금 워드 라인을 활성화시킬 수 있는 하나의 레벨 전압을 워드 라인에 공급하도록 제어한다.

[0022] 그러나 본 발명에서 상기 로우 디코더(10)의 출력 신호는 워드 라인 드라이버(20)에 입력되어, 워드 라인 드라이버(20)로 하여금 워드 라인을 활성화시킬 수 있는 서로 다른 두개의 레벨 전압 중 어느 하나를 워드 라인에 공급하도록 제어한다. 이 경우 상기 워드 라인 드라이버(20)는 상기 워드 라인 전압 제어 로직부(50)에서 출력되는 서로 다른 두개의 레벨 전압 중 어느 하나를 입력받는다.

[0023] 상기 워드 라인 전압 제어 로직부(50)는 상기 로우 디코더(10)의 출력라인(11)들과 해당 워드 라인 사이마다 각각 하나씩 배치된다. 따라서, 상기 워드 라인 전압 제어 로직부(50)는 상기 로우 디코더(10)의 출력 라인(11)들의 개수와 동일하게 형성되어 배치된다.

[0024] 상기 각각의 워드 라인 전압 제어 로직부(50)는 상기 메모리 셀 어레이(40)의 각 워드 라인들에 액세스 타임 실패를 가진 셀이 포함되어 있는지 여부에 따라, 기본 전압 신호를 출력하거나, 상기 기본 전압 신호보다 더 높은 전압 레벨에 해당하는 보강 전압 신호를 출력한다.

[0025] 여기서, 기본 전압 신호는 액세스 타임 실패를 가진 셀이 포함되지 않는 워드 라인(정상적인 워드 라인)을 활성화시킬 수 있을 정도의 레벨에 상응하는 전압 레벨 신호(예를 들어, 공정변이가 발생하지 않는 정상적인 트랜지스터를 턴온시킬 수 있는 문턱 전압(0.7V ~ 0.9V))를 의미하고, 상기 보강 전압 신호는 액세스 타임 실패를 가진 셀이 포함된 워드 라인을 활성화시킬 수 있을 정도의 레벨에 상응하는 전압 레벨 신호(예를 들어, 상기 기본 전압 신호보다 더 높은 전압 레벨로서 1V ~ 1.5V 정도)를 의미한다.

[0026] 정리하면, 상기 워드 라인 전압 제어 로직부(50)는 해당 워드 라인이 액세스 타임 실패를 가진 셀을 포함한 경우에는 보강 전압 신호를 출력하도록 구성되고, 해당 워드 라인이 액세스 타임 실패를 가진 셀을 포함하지 않는 경우에는 기본 전압 신호를 출력하도록 구성된다.

[0027] 예를 들어, 첫번째 워드 라인에 액세스 타임 실패를 가진 셀이 포함된 경우에 상기 워드 라인에 대응되어 배치되는 상기 워드 라인 전압 제어 로직부(50)(첫번째 워드 라인 전압 제어 로직부)는 보강 전압 신호를 출력하고, 반대인 경우에는 기본 전압 신호를 출력한다.

[0028] 상기와 같이 기본 전압 신호 또는 보강 전압 신호를 출력하는 각각의 워드 라인 전압 제어 로직부(50)는 도 2에 도시된 바와 같이, 게이트 구동부(59)와 제1 스위칭 트랜지스터(T1), 제2 스위칭 트랜지스터(T2), 기본 전압원(V_{dd}, 61) 및 보강 전압원($V_{dd}H$, 63)을 포함하여 이루어진다.

[0029] 상기 게이트 구동부(59)는 각 워드 라인 전압 제어 로직부(50)에 대응되는 워드 라인에 액세스 타임 실패를 가진 셀이 포함되어 있는지 여부에 따라 하이 레벨 전압 또는 로우 레벨 전압을 출력한다. 예를 들어, 사전에 테스팅 과정을 거쳐서 각 워드 라인 전압 제어 로직부(50)에 대응되는 워드 라인에 액세스 타임 실패를 가진 셀이 포함된 경우에는 사전에 미리 "1"이 세팅되어 하이 레벨 전압을 출력하고, 워드 라인에 액세스 타임 실패를 가진 셀이 포함되지 않는 경우에는 사전에 "0"이 세팅되어 로우 레벨 전압을 출력한다.

[0030] 물론, 각 워드 라인 전압 제어 로직부(50)에 대응되는 워드 라인에 액세스 타임 실패를 가진 셀이 포함된 경우에 "0"을 사전에 세팅하여 로우 레벨 전압을 출력하도록 하고, 워드 라인에 액세스 타임 실패를 가진 셀이 포함되지 않는 경우에 "1"을 사전에 세팅하여 하이 레벨 전압을 출력하도록 할 수도 있다.

[0031] 여기서, 각 워드 라인 전압 제어 로직부(50)에 대응되는 워드 라인이란, 도 2에 도시된 바와 같이, 하나의 로우 디코더(10)의 출력 라인(11)에 연결되는 워드 라인 드라이버(20)와 이 워드 라인 드라이버(20)에 기본 전압 신호 또는 보강 전압 신호를 출력하는 워드 라인 전압 제어 로직부(50) 및 상기 워드 라인 드라이버(20)의 출력 레벨 전압에 의하여 활성화되는 워드 라인을 하나의 연결 군으로 볼 때, 이 연결 군에 포함되는 워드 라인 전압

제어 로직부(50)와 같은 연결 군에 속하는 워드라인을 말한다.

[0032] 즉, 상기 로우 디코더(10)의 각 출력 라인(11)에 연결되어 워드 라인 드라이버(20)가 각각 배치되고, 상기 각 워드 라인 드라이버(20)에 기본 전압 신호 또는 보강 전압 신호를 제공하기 위하여 상기 워드 라인 전압 제어 로직부(50)가 상기 워드 라인 드라이버(20)에 각각 일대일 연결되며, 상기 각 워드 라인 드라이버(20)의 출력 레벨 전압에 의하여 활성화 또는 비활성화되는 각 워드 라인이 상기 워드 라인 드라이버(20)에 연결될 때, 상기 각 워드 라인 전압 제어 로직부(50)에 대응되는 워드 라인은 상기 각 워드 라인 드라이버(20)에 의하여 활성화 또는 비활성화되는 워드라인이 해당된다.

[0033] 상기 게이트 구동부(59)에서 출력되는 출력 전압은 사전에 세팅된 값들이다. 예를 들어, 상기 게이트 구동부(59)가 포함되는 상기 워드 라인 전압 제어 로직부(50)에 대응되는 워드 라인에 액세스 타임 실패를 가진 셀이 포함된 경우에는 상기 게이트 구동부(59)가 하이(또는 로우) 레벨 전압을 출력할 수 있도록 사전에 세팅하고, 상기 게이트 구동부(59)가 포함되는 상기 워드 라인 전압 제어 로직부(59)에 대응되는 워드 라인에 액세스 타임 실패를 가진 셀이 포함되지 않는 경우에는 상기 게이트 구동부(59)가 로우(또는 하이) 레벨 전압을 출력할 수 있도록 사전에 세팅한다.

[0034] 즉, 상기 각 게이트 구동부(59)는 각 워드 라인에 대응하도록 구비된 한 개의 비트에 "1" 또는 "0" 값이 미리 저장되어 하이 레벨 전압 또는 로우 레벨 전압을 출력한다. 구체적으로, 해당 워드 라인이 액세스 타임 실패를 가진 셀을 포함할 경우 상기 게이트 구동부에 포함되는 비트열에 1(또는 0)이 저장되고, 아닐 경우 0(또는 1)이 저장된다. 0(또는 1)이 저장되었을 경우 로우(또는 하이) 레벨 전압을 출력하고, 1(또는 0)이 저장되었을 경우 하이(또는 로우) 레벨 전압을 출력하게 된다.

[0035] 상기 게이트 구동부(59)에서 출력되는 하이 레벨 전압은 트랜지스터의 게이트단에 입력되어 상기 트랜지스터를 스위칭할 수 있을 정도의 레벨 전압을 의미한다.

[0036] 상기 게이트 구동부(59)의 출력 레벨 전압(하이 레벨 전압 또는 로우 레벨 전압)은 제1 스위칭 트랜지스터(T1)와 제2 스위칭 트랜지스터(T2)의 게이트단으로 입력된다. 다만, 제1 스위칭 트랜지스터(T1)과 제2 스위칭 트랜지스터(T2)의 게이트 단에 인가되는 출력 레벨 전압은 서로 반대되는 레벨 전압이다. 즉, 제1 스위칭 트랜지스터(T1)의 게이트단에 하이(또는 로우) 레벨 전압이 인가되면, 제2 스위칭 트랜지스터(T2)의 게이트단에는 로우(또는 하이) 레벨 전압이 인가되도록 구성된다.

[0037] 상기 제1 스위칭 트랜지스터(T1)는 도 2에 도시된 바와 같이, 상기 게이트 구동부(59)의 출력 라인(57)에 게이트단이 연결되고, 드레인단이 기본 전압원(V_{dd}, 61)에 연결되며, 소오스단이 상기 워드 라인 드라이버(20)에 연결된다.

[0038] 그리고, 제2 스위칭 트랜지스터(T2)는 도 2에 도시된 바와 같이, 상기 게이트 구동부(59)의 출력 라인(57)에 게이트단이 연결되되, 상기 제1 스위칭 트랜지스터(T1)의 게이트단에 입력되는 레벨 전압에 상대적인 레벨 전압이 게이트단에 입력되도록 하고(제1 스위칭 트랜지스터의 게이트단에 하이(또는 로우) 레벨 전압이 인가되면, 제2 스위칭 트랜지스터의 게이트단에는 로우(또는 하이) 레벨 전압이 인가되도록 하고), 드레인단이 보강 전압원($V_{dd}H$, 63)에 연결되며 소오스단이 상기 워드 라인 드라이버(20)에 연결되도록 구성된다.

[0039] 한편, 상기 제1 스위칭 트랜지스터(T1)의 게이트단에 인가되는 레벨 전압과 상기 제2 스위칭 트랜지스터(T2)의 게이트단에 인가되는 전압은 서로 상대적인 레벨 전압이기 때문에, 상기 게이트 구동부(59)와 상기 제1 스위칭 트랜지스터(T1) 사이에만 또는 상기 게이트 구동부(59)와 상기 제2 스위칭 트랜지스터(T2) 사이에만 인버터(51)가 연결되도록 구성된다. 도 2에서는 게이트 구동부(59)와 제1 스위칭 트랜지스터(T1) 사이에만 인버터(51)가 연결되는 것을 예시하고 있다.

[0040] 상기와 같이 구성된 워드 라인 전압 제어 로직부(50)의 동작을 간단히 살펴보면, 게이트 구동부(59)에서 하이(로우) 레벨 전압이 출력되면, 제1 스위칭 트랜지스터(T1) 또는 제2 스위칭 트랜지스터(T2)가 턴온되어 기본 전압 신호 또는 보강 전압 신호가 출력되어 워드 라인 드라이버(20)에 입력된다.

[0041] 만약, 도 2에 도시된 바와 같이, 게이트 구동부(59)와 제1 스위칭 트랜지스터(T1) 사이에만 인버터(51)가 연결되고, 상기 게이트 구동부(59)에서 하이 레벨 전압이 출력되면, 제2 스위칭 트랜지스터(T2)만 턴온되어 보강 전압 신호($V_{dd}H$)가 상기 워드 라인 드라이버(20)에 입력되고, 게이트 구동부(59)와 제1 스위칭 트랜지스터(T1) 사이에만 인버터(51)가 연결되고, 상기 게이트 구동부(59)에서 로우 레벨 전압이 출력되면, 제1 스위칭 트랜지스

터(T1)만 턴온되어 기본 전압 신호(V_{dd})가 상기 워드 라인 드라이버(20)에 입력된다.

[0042] 이 경우의 상기 제1 스위칭 트랜지스터(T1) 및 제2 스위칭 트랜지스터(T2)는 NMOS 트랜지스터로 구성된다. 만약, 상기 제1 스위칭 트랜지스터(T1) 및 제2 스위칭 트랜지스터(T2)가 PMOS 트랜지스터로 구성된 경우에는 상기 인버터(51)는 게이트 구동부(59)와 제2 스위칭 트랜지스터(T2) 사이에만 연결되도록 구성된다.

[0043] 즉, 상기 제1 스위칭 트랜지스터(T1) 및 제2 스위칭 트랜지스터(T2)가 PMOS 트랜지스터로 구성된 경우, 게이트 구동부(59)와 제2 스위칭 트랜지스터(T2) 사이에만 인버터(51)가 연결되고, 상기 게이트 구동부(59)에서 하이 레벨 전압이 출력되면, 제2 스위칭 트랜지스터(T2)만 턴온되어 보강 전압 신호($V_{dd}H$)가 상기 워드 라인 드라이버(20)에 입력되고, 상기 게이트 구동부(59)에서 로우 레벨 전압이 출력되면, 제1 스위칭 트랜지스터(T1)만 턴온되어 기본 전압 신호(V_{dd})가 상기 워드 라인 드라이버(20)에 입력된다.

[0044] 상기와 같이 워드 라인 전압 제어 로직부(50)로부터 출력되는 기본 전압 신호 또는 보강 전압 신호는 워드 라인 드라이버(20)에 입력된다. 상기 워드 라인 드라이버(20)는 도 2에 도시된 바와 같이, 로우 디코더(10)의 출력 라인(11)들과 일대일 연결된다. 따라서, 상기 워드 라인 드라이버(20)는 상기 로우 디코더(10)의 출력 라인(11)들의 개수만큼 구비될 것이다.

[0045] 상기 워드 라인 드라이버(20)는 상기 로우 디코더(10)의 출력 라인을 통해 출력되는 출력 신호가 활성화 신호(트랜지스터를 턴온시킬 수 있는 정도의 문턱 전압)인 경우에만, 상기 워드 라인 전압 제어 로직부(50)에서 출력되는 기본 전압 신호 또는 보강 전압 신호를 대응되는 워드 라인들에 공급한다. 즉, 상기 로우 디코더(10)의 출력 라인을 통해 출력되는 출력 신호가 활성화 신호가 아닌 경우에는 상기 워드 라인 전압 제어 로직부(50)에서 출력되는 기본 전압 신호 또는 보강 전압 신호를 대응되는 워드 라인들에 공급하지 않는다. 따라서, 이 경우에는 대응되는 워드 라인을 활성화시키지 못한다.

[0046] 상기 워드 라인 드라이버(20)의 구체적인 로직 회로는 도 2에 도시된 바와 같이, 네 개의 스위칭 트랜지스터(T3, T4, T5, T6)를 포함하여 구성된다.

[0047] 구체적으로 살펴보면, 제3 스위칭 트랜지스터(T3)는 상기 로우 디코더(10)의 출력 라인(11)을 통해 출력되는 신호가 인버팅되어 게이트단에 입력되고, 드레인단이 상기 제1 스위칭 트랜지스터(T1) 및 제2 스위칭 트랜지스터(T2)의 소오스단에 연결되도록 구성된다. 따라서, 상기 워드 라인 전압 제어 로직부(50)에서 출력되는 기본 전압 신호 또는 보강 전압 신호는 상기 제3 스위칭 트랜지스터(T3)의 드레인단으로 입력된다.

[0048] 상기 제4 스위칭 트랜지스터(T4)는 상기 로우 디코더(10)의 출력 라인(11)을 통해 출력되는 신호가 그대로 게이트단에 입력되고, 드레인단이 상기 제3 스위칭 트랜지스터(T3)의 소오스단에 연결되며, 소오스단이 그라운드에 연결되도록 구성된다.

[0049] 상기 제5 스위칭 트랜지스터(T5)는 상기 제3 스위칭 트랜지스터(T3)의 소오스단과 상기 제4 스위칭 트랜지스터(T4)의 드레인단을 통해 출력되는 신호가 인버팅되어 게이트단에 입력되고, 드레인단이 상기 제1 스위칭 트랜지스터(T1) 및 제2 스위칭 트랜지스터(T2)의 소오스단에 연결되며 소오스단이 상기 워드 라인에 연결되도록 구성된다. 따라서, 상기 워드 라인 전압 제어 로직부(50)에서 출력되는 기본 전압 신호 또는 보강 전압 신호는 상기 제5 스위칭 트랜지스터(T5)의 드레인단으로 입력된다.

[0050] 상기 제6 스위칭 트랜지스터(T6)는 상기 제3 스위칭 트랜지스터(T3)의 소오스단과 상기 제4 스위칭 트랜지스터(T4)의 드레인단을 통해 출력되는 신호가 그대로 게이트단에 입력되고, 드레인단이 상기 제5 스위칭 트랜지스터(T5)의 소오스단 및 워드 라인에 연결되며 소오스단이 그라운드에 연결되도록 구성된다.

[0051] 상기와 같이 구성되는 워드 라인 드라이버(20)는 로우 디코더(10)의 출력 라인(11)을 통해 입력되는 신호가 비활성화 신호(트랜지스터를 턴온시킬 수 없는 레벨 전압 신호, 문턱 전압 미만의 레벨 전압 신호)인 경우에는 상기 워드 라인 전압 제어 로직부(50)로부터 입력되는 기본 전압 신호 또는 보강 전압 신호를 대응되는 워드 라인에 제공하지 못한다.

[0052] 구체적으로 설명하면, 상기 로우 디코더(10)의 출력 라인(11)을 통해 비활성화 신호(예를 들어 문턱 전압 미만의 레벨 전압(0.7V 미만))가 출력되면, 제3 스위칭 트랜지스터(T3)와 제4 스위칭 트랜지스터(T4) 중, 게이트단에 인버팅된 신호가 인가되는 제3 스위칭 트랜지스터(T3)만이 턴온된다. 그러면, 상기 워드 라인 전압 제어 로직부(50)로부터 입력되는 기본 전압 신호 또는 보강 전압 신호가 제5 스위칭 트랜지스터(T5) 및 제6 스위칭 트랜지스터(T6)에 입력된다.

[0053] 상기 기본 전압 신호 또는 보강 전압 신호는 상술한 바와 같이, 트랜지스터를 턴온시킬 수 있는 충분한 레벨 전압 신호이기 때문에, 기본 전압 신호 또는 보강 전압 신호가 인버팅되지 않고 그대로 게이트단에 인가되는 제6 스위칭 트랜지스터(T6)만이 턴온된다. 그러면, 워드 라인에는 그라운드 전압이 제공되기 때문에, 상기 워드 라인은 활성화되지 못한다.

[0054] 반면, 상기 로우 디코더(10)의 출력 라인(11)을 통해 활성화 신호(예를 들어 문턱 전압 이상의 레벨 전압(0.7V 이상))가 출력되면, 제3 스위칭 트랜지스터(T3)와 제4 스위칭 트랜지스터(T4) 중, 게이트단에 그대로 활성화 신호가 인가되는 제4 스위칭 트랜지스터(T4)만이 턴온된다. 그러면, 상기 워드 라인 전압 제어 로직부(50)로부터 입력되는 기본 전압 신호 또는 보강 전압 신호가 제5 스위칭 트랜지스터(T5) 및 제6 스위칭 트랜지스터(T6)에 입력되지 못하고, 그라운드 전압이 제5 스위칭 트랜지스터(T5) 및 제6 스위칭 트랜지스터(T6)에 입력된다.

[0055] 그러면, 상기 그라운드 전압이 인버팅된 레벨 전압이 게이트단에 인가되는 제5 스위칭 트랜지스터(T5)만이 턴온된다. 그러면, 워드 라인에는 제5 스위칭 트랜지스터(T5)의 드레인단을 통해 들어오는 기본 전압 신호 또는 보강 전압 신호가 제공되기 때문에, 상기 워드 라인은 활성화된다.

[0056] 이상에서 설명한 캐쉬 메모리의 전체적인 동작에 대해서 구체적으로 설명하면 다음과 같다. 이하 설명은 워드 라인 전압 제어 로직부(50)에 대응되는 워드 라인에 액세스 타임 실패를 가진 셀이 포함된 경우에는 게이트 구동부(59)에 "1"이 세팅되어 하이 레벨 전압을 출력하고, 액세스 타임 실패를 가진 셀이 포함되지 않는 경우에는 게이트 구동부(59)에 "0"이 세팅되어 로우 레벨 전압을 출력하는 것으로 가정한다. 그리고, 게이트 구동부(59)와 제1 스위칭 트랜지스터(T1) 사이에만 인버터(51)가 연결되는 것으로 가정한다.

[0057] 액세스 타임 실패를 가진 셀이 포함된 워드 라인을 액세스하는 경우에는 상기 게이트 구동부(59)에서는 하이 레벨 전압이 출력된다. 그러면, 제2 스위칭 트랜지스터(T2)만이 턴온되어 워드 라인 전압 제어 로직부(50)는 보강 전압 신호를 출력한다.

[0058] 반대로, 액세스 타임 실패를 가진 셀이 포함되지 않는 워드 라인을 액세스하는 경우에는 상기 게이트 구동부(59)에서는 로우 레벨 전압이 출력된다. 그러면, 제1 스위칭 트랜지스터(T2)만이 턴온되어 워드 라인 전압 제어 로직부(50)는 기본 전압 신호를 출력한다.

[0059] 이와 같이, 액세스 타임 실패를 가진 셀이 포함되지 않는 워드 라인을 액세스하고자 하는 경우에는 일반적인 워드 라인 전압(기본 레벨 전압)이 워드 라인 전압 제어 로직부(50)에서 출력되고, 액세스 타임 실패를 가진 셀이 포함된 워드 라인을 액세스하고자 하는 경우에는 일반적인 워드 라인 전압(기본 레벨 전압 신호)보다 더 높은 워드 라인 전압(보강 레벨 전압 신호)이 워드 라인 전압 제어 로직부(50)에서 출력되도록 한다.

[0060] 이와 같이, 상기 워드 라인 전압 제어 로직부(50)에서 출력되는 기본 전압 신호 또는 보강 전압 신호는 워드 라인 드라이버(20)의 제3 스위칭 트랜지스터(T3) 및 제5 스위칭 트랜지스터(T5)의 드레인단에 입력된다.

[0061] 상기 기본 전압 신호 또는 보강 전압 신호는 워드 라인 드라이버(20)의 동작에 따라 해당 워드 라인에 제공되어 활성화시킨다. 구체적으로, 로우 디코더(10)의 출력 라인(11)을 통해 출력되는 신호가 활성화 신호인 경우에만 상기 기본 전압 신호 또는 보강 전압 신호가 대응되는 워드 라인에 제공되어 활성화시킨다.

[0062] 구체적으로, 로우 디코더(10)의 출력 라인(11)으로부터 활성화 신호가 출력되면, 제3 스위칭 트랜지스터(T3)는 턴온되지 않고 제4 스위칭 트랜지스터(T4)가 턴온되어 그라운드 전압이 제5 스위칭 트랜지스터(T5) 및 제6 스위칭 트랜지스터(T6)에 제공된다. 그러면, 이 그라운드 전압이 인버팅된 상태로 게이트단에 인가되는 제5 스위칭 트랜지스터(T5)가 턴온되고 제6 스위칭 트랜지스터(T6)는 턴온되지 않기 때문에, 해당 워드 라인에는 제5 스위칭 트랜지스터(T5)의 드레인단을 통해 들어오는 기본 전압 신호 또는 보강 전압 신호가 제공되어 활성화된다.

[0063] 이 때, 상기 워드 라인에 액세스 타임 실패를 가진 셀이 포함된 경우에는 상기 워드 라인 전압 제어 로직부(50)에서 보강 전압 신호가 출력되기 때문에, 이 보강 전압 신호가 워드 라인에 제공되어 활성화시킨다. 결과적으로 액세스 타임 실패를 가진 셀을 포함하는 워드 라인도 활성화시킬 수 있어 수율을 향상시킬 수 있다.

[0064] 만약, 상기 워드 라인에 액세스 타임 실패를 가진 셀이 포함되지 않는 경우에는 상기 워드 라인 전압 제어 로직부(50)에서 기본 전압 신호가 출력되기 때문에, 이 기본 전압 신호가 워드 라인에 제공되어 활성화시킨다. 결과적으로 보강 전압 신호 사용을 최소화하여 소비 전력을 필요 이상으로 소요되는 것을 방지한다.

[0065] 한편, 로우 디코더(10)의 출력 라인(11)으로부터 비활성화 신호가 출력되면, 대응되는 워드 라인을 액세스하고자 하는 것이 아니기 때문에 워드 라인에는 그라운드 전압이 제공된다. 구체적으로, 비활성화 신호가 출력 라인(11)으로부터 출력되면, 제4 스위칭 트랜지스터(T4)는 턴온되지 않고 제3 스위칭 트랜지스터(T3)가 턴온되어 기

본 전압 신호 또는 보강 전압 신호에 해당하는 전압이 제5 스위칭 트랜지스터(T5) 및 제6 스위칭 트랜지스터(T6)에 제공된다. 그러면, 이 기본 전압 신호 또는 보강 전압 신호에 해당하는 전압이 그대로 게이트단에 인가되는 제6 스위칭 트랜지스터(T6)가 턴온되고 제5 스위칭 트랜지스터(T5)는 턴온되지 않기 때문에, 해당 워드 라인에는 그라운드 전압이 제공되어 활성화되지 못한다.

[0066] 이상과 같은 구성 및 동작을 가지는 캐쉬 메모리에 의하면, 액세스 타임 실패를 가지는 셀을 포함하지 않는 워드 라인(캐쉬 라인)을 액세스할 때는 일반적인 워드 라인 전압 신호(기본 전압 신호)가 인가될 수 있도록 하고, 액세스 타임 실패를 가진 셀을 포함하는 워드 라인(캐쉬 라인)을 액세스할 때는 일반적인 워드 라인 전압 신호(기본 전압 신호)보다 더 높은 레벨 전압을 가지는 보강 전압 신호가 인가될 수 있도록 한다. 이와 같이, 액세스 타임 실패를 가진 셀을 포함하는 워드 라인을 액세스할 때, 보강 전압 신호를 인가하기 때문에, 워드 라인 액세스 타임을 줄일 수 있고, 결과적으로 캐쉬 메모리의 수율을 증대시킬 수 있다.

도면의 간단한 설명

[0067] 도 1은 본 발명에 적용되는 일반적인 캐쉬 메모리의 개략적인 구성도이다.

[0068] 도 2는 본 발명에 적용되는 수정된 캐쉬 메모리의 개략적인 구성도이다.

[0069] * 도면의 주요부분에 대한 부호의 설명 *

[0070] 10 : 로우 디코더 20 : 워드 라인 드라이버

[0071] 30 : 칼럼 디코더 40 : 메모리 셀 어레이

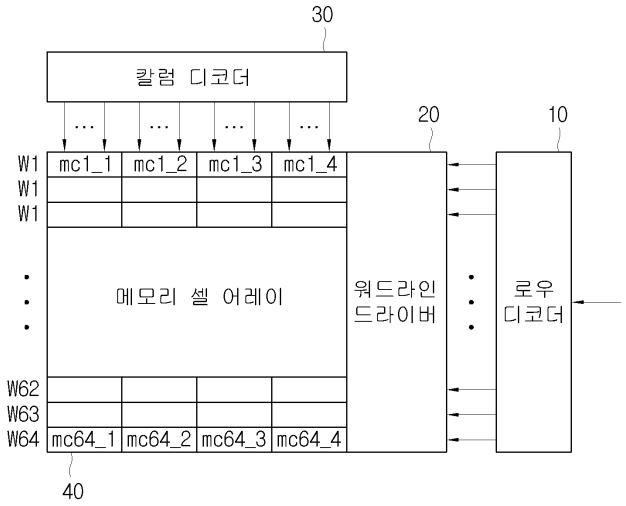
[0072] 50 : 워드 라인 전압 제어 로직부 51 : 인버터

[0073] 59 : 게이트 구동부 61 : 기본 전압원

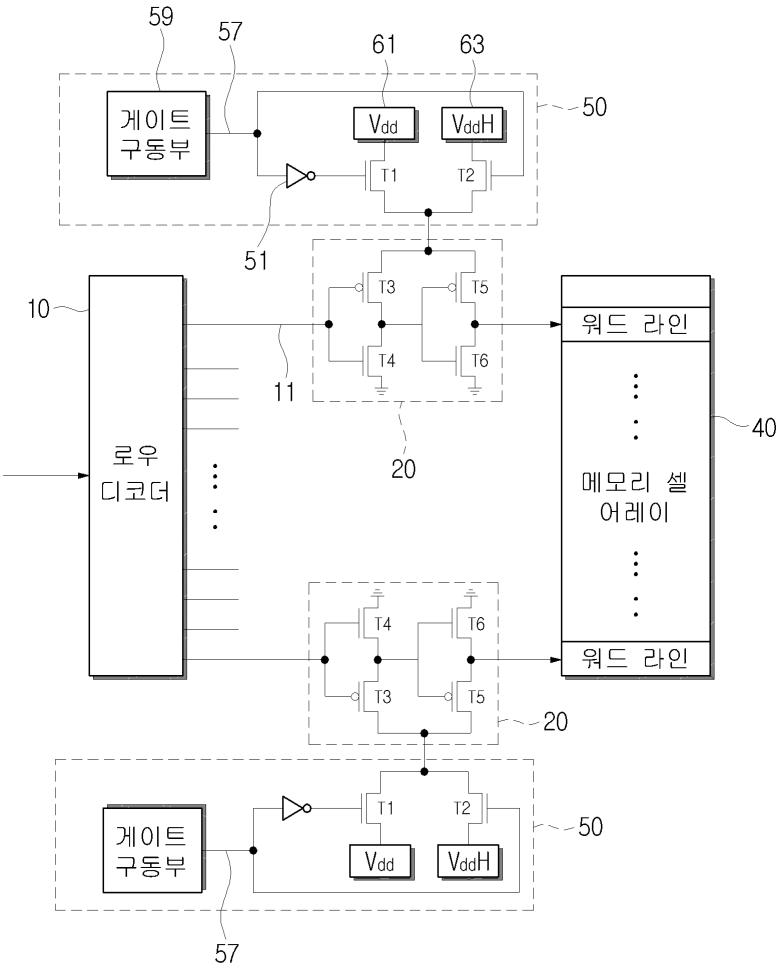
[0074] 63 : 보강 전압원

도면

도면1



도면2


59
57
61
63
게이트
구동부
Vdd
VddH
50
T1
T2
51
10
T3
T5
T4
T6
11
워드 라인
로우
디코더
20
40
메모리 셀
어레이
T4
T6
T3
T5
워드 라인
20
T1
T2
게이트
구동부
Vdd
VddH
50
57