(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월22일
(11) 등록번호 10-2434293
(24) 등록일자 2022년08월16일

(51) 국제특허분류(Int. Cl.)
G09G 3/3225 (2016.01) *G06F 1/16* (2006.01)
G09F 9/30 (2006.01) *G09G 3/20* (2006.01)
(52) CPC특허분류
G09G 3/3225 (2013.01)
G06F 1/1652 (2013.01)
(21) 출원번호 10-2022-7006313(분할)
(22) 출원일자(국제) 2014년07월08일
심사청구일자 2022년02월24일
(85) 번역문제출일자 2022년02월24일
(65) 공개번호 10-2022-0029775
(43) 공개일자 2022년03월08일
(62) 원출원 특허 10-2016-7001140
원출원일자(국제) 2014년07월08일
심사청구일자 2019년07월04일
(86) 국제출원번호 PCT/JP2014/068653
(87) 국제공개번호 WO 2015/008715
국제공개일자 2015년01월22일
(30) 우선권주장
JP-P-2013-150588 2013년07월19일 일본(JP)
(56) 선행기술조사문헌
JP평성11272205 A
(뒷면에 계속)
전체 청구항 수 : 총 6 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
이케다 히사오
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
기무라 하지메
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
양영준, 박충범

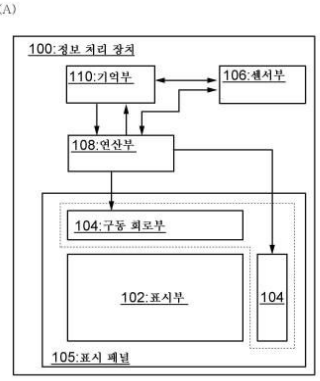
심사관 : 신영교

(54) 발명의 명칭 **반도체 장치**

(57) 요 약

열람성이 높은 정보 처리 장치, 휴대성이 높은 정보 처리 장치, 소비 전력이 낮은 정보 처리 장치, 또는 표시 품질이 높은 정보 처리 장치를 제공하기 위하여, 정보 처리 장치는, 가요성을 갖는 표시부, 표시부의 주변에 배치되는 복수의 구동 회로부, 표시부의 외부 상태를 식별하는 센서부, 구동 회로부에 화상 정보를 공급하는 연산부, 및 연산부에 의하여 실행되는 프로그램을 저장하는 기억부를 포함한다. 표시부가 펼쳐진 제 1 형태 또는 표시부가 접힌 제 2 형태가 센서에 의하여 검지된다. 제 1 형태 또는 제 2 형태에 따라 프로그램에 의하여 휘도 조정 처리가 수행된다.

대 표 도



(52) CPC특허분류
G09F 9/301 (2013.01)
G09G 3/2092 (2013.01)
G09G 2300/0426 (2013.01)
G09G 2310/0264 (2013.01)
G09G 2320/06 (2013.01)
G09G 2380/02 (2020.08)

(56) 선행기술조사문헌
JP2009089328 A
JP2010282181 A
JP2011048124 A
JP2003195973 A
US20100041439 A1
US20110241998 A1

명 세 서

청구범위

청구항 1

반도체 장치에 있어서,

가요성을 갖는 표시부로서, 제 1 영역, 제 2 영역 및 상기 제 1 영역과 제 2 영역 사이의 제 3 영역을 포함하는 상기 표시부;

상기 제 1 영역에 전기적으로 접속되는 제 1 게이트 구동 회로;

상기 제 2 영역 및 상기 제 3 영역에 전기적으로 접속되는 제 2 게이트 구동 회로; 및

상기 표시부의 외부 상태를 식별하는 센서부

를 포함하고,

상기 표시부가 펼쳐진 제 1 형태 또는 상기 표시부가 접힌 제 2 형태가 상기 센서부에 의하여 검지되고,

상기 제 2 형태에서, 상기 표시부의 상기 제 1 영역 및 상기 제 1 게이트 구동 회로는 외부를 향하고 상기 제 3 영역 및 상기 제 2 게이트 구동 회로의 일부와 중첩하고,

상기 제 2 형태에서, 상기 표시부는 상기 제 3 영역으로부터 상기 제 1 영역을 향해 단계적으로 서서히 밝아지는 휘도를 갖는 제 4 영역을 더 포함하고,

상기 제 4 영역은 상기 제 2 형태에서 상기 제 1 영역과 상기 제 3 영역 사이에 위치하는, 반도체 장치.

청구항 2

반도체 장치에 있어서,

가요성을 갖는 표시부로서, 제 1 영역, 제 2 영역 및 상기 제 1 영역과 제 2 영역 사이의 제 3 영역을 포함하는 상기 표시부;

상기 제 1 영역에 전기적으로 접속되는 제 1 게이트 구동 회로;

상기 제 2 영역에 전기적으로 접속되는 제 2 게이트 구동 회로;

상기 제 3 영역에 전기적으로 접속되는 제 3 게이트 구동 회로; 및

상기 표시부의 외부 상태를 식별하는 센서부

를 포함하고,

상기 표시부가 펼쳐진 제 1 형태 또는 상기 표시부가 접힌 제 2 형태가 상기 센서부에 의하여 검지되고,

상기 제 2 형태에서, 상기 표시부의 상기 제 1 영역 및 상기 제 1 게이트 구동 회로는 외부를 향하고 상기 제 3 영역 및 상기 제 3 게이트 구동 회로와 중첩하고,

상기 제 2 형태에서, 상기 표시부는 상기 제 3 영역으로부터 상기 제 1 영역을 향해 단계적으로 서서히 밝아지는 휘도를 갖는 제 4 영역을 더 포함하고,

상기 제 4 영역은 상기 제 2 형태에서 상기 제 1 영역과 상기 제 3 영역 사이에 위치하는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

복수의 소스 구동 회로에 화상 데이터를 공급하는 연산부; 및

상기 연산부에 의해 실행되는 프로그램을 저장하는 기억부

를 더 포함하는 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 표시부는 복수의 발광 소자를 포함하는, 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 표시부는 복수의 유기 EL 소자를 포함하는, 반도체 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

화상은 상기 제 1 형태에서 상기 제 1 영역, 상기 제 2 영역 및 상기 제 3 영역 상에 표시되고, 화상은 상기 제 2 형태에서 상기 제 2 영역 및 상기 제 3 영역 상에 표시되지 않는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 물건, 방법, 또는 제작 방법에 관한 것이다. 또한, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은 예를 들어 휴먼 인터페이스, 반도체 장치, 표시 장치, 발광 장치, 조명 장치, 축전 장치, 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다. 특히, 본 발명은 예를 들어 화상 정보를 처리 및 표시하는 방법과 프로그램, 및 이 프로그램이 기록된 기록 매체를 포함하는 장치에 관한 것이다. 특히, 본 발명은 예를 들어 표시부가 제공된 정보 처리 장치에 의하여 처리된 정보를 포함한 화상이 표시되는 화상 정보를 처리 및 표시하는 방법, 표시부가 제공된 정보 처리 장치에 의하여 처리된 정보를 포함한 화상을 표시하는 프로그램, 및 이 프로그램이 기록된 기록 매체를 포함하는 정보 처리 장치에 관한 것이다.

배 경 기 술

[0002] 정보를 전달하는 수단에 관련된 사회 기반 시설이 발전되고 있다. 이에 의하여, 집이나 직장에서뿐만 아니라 다른 행선지에서도 정보 처리 장치를 사용하여 다양한 정보를 대량으로 취득, 처리, 또는 발신할 수 있게 되었다.

[0003] 이 상황에 따라, 휴대형 정보 처리 장치가 활발히 개발되고 있다.

[0004] 예를 들어, 휴대형 정보 처리 장치의 일례로서, 필름 기판 위에 유기 EL 소자 또는 스위칭 소자로서 기능하는 트랜지스터가 제공된 플렉시블 액티브 매트릭스 발광 장치가 개시(開示)되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개 특허 제2003-174153호

발명의 내용

해결하려는 과제

[0006] 많은 정보를 표시할 수 있는 큰 화면을 갖는 표시 장치는 열람성(browsability)이 우수하다. 따라서, 이러한 표시 장치는 정보 처리 장치에 적합하다.

[0007] 한편, 큰 화면을 갖는 표시 장치는, 작은 화면을 갖는 표시 장치에 비하여 휴대성이 떨어진다. 또한, 큰 화면

을 갖는 표시 장치는, 작은 화면을 갖는 표시 장치보다 소비 전력이 높다.

[0008] 또한, 표시 장치의 표시 품질은 열화되는 경우가 있다. 예를 들어, 발광 소자가 표시 장치에 사용되는 경우, 발광 강도 또는 발광 시간에 따라 발광 소자의 발광 특성이 열화된다. 따라서, 발광 강도 또는 발광 시간이 화소마다 다른 경우에는, 발광 소자들의 열화 차이가 표시 불균일로서 관찰되어 표시 품질의 저하를 일으킨다.

[0009] 상술한 문제의 관점에서, 본 발명의 일 형태의 한 목적은 열람성이 높은 정보 처리 장치 등을 제공하는 것이다. 또는, 다른 목적은 휴대성이 높은 정보 처리 장치 등을 제공하는 것이다. 다른 목적은 소비 전력이 낮은 정보 처리 장치 등을 제공하는 것이다. 다른 목적은 표시 품질이 높은 정보 처리 장치 등을 제공하는 것이다. 다른 목적은 표시 불균일이 적은 정보 처리 장치 등을 제공하는 것이다. 다른 목적은 신규 정보 처리 장치 등을 제공하는 것이다.

[0010] 또한, 이들 목적의 기재는 다른 목적들의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 이들 목적 모두를 달성할 필요는 없다. 다른 목적들이, 명세서, 도면, 청구항 등의 기재로부터 명백해지며 추출될 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 형태는 가요성을 갖는 표시부, 표시부의 주변에 배치되는 복수의 구동 회로부, 표시부의 외부 상태를 식별하는 센서부, 구동 회로부에 화상 정보를 공급하는 연산부, 및 연산부에 의하여 실행되는 프로그램을 저장하는 기억부를 포함하는 정보 처리 장치이다. 표시부가 펼쳐진 제 1 형태 또는 표시부가 접힌 제 2 형태가 센서에 의하여 검지된다. 제 1 형태 또는 제 2 형태에 따라 프로그램에 의하여 휘도 조정 처리가 수행된다.

[0012] 본 발명의 일 형태에 따른 정보 처리 장치에 의하여 저장되는 프로그램은, 외부 형태를 특정하는 제 1 단계와, 제 1 형태의 경우에 제 5 단계로, 또는 제 1 형태 이외의 형태의 경우에 제 3 단계로 프로그램이 진행하는 제 2 단계와, 제 2 형태의 경우에 제 4 단계로, 또는 제 2 형태 이외의 형태의 경우에 제 1 단계로 프로그램이 진행하는 제 3 단계와, 휘도 조정 처리를 수행하는 제 4 단계와, 프로그램을 종료하는 제 5 단계를 포함한다. 휘도 조정 처리는 표시 영역 및 비표시 영역을 결정하는 제 6 단계와, 구동 회로부들 중 적어도 하나의 구동을 정지하는 제 7 단계와, 비표시 영역의 일부로부터 광을 사출하는 제 8 단계와, 휘도 조정 처리가 해제되는 경우에 제 10 단계로, 또는 휘도 조정 처리가 해제되지 않는 경우에 제 8 단계로 프로그램이 진행하는 제 9 단계와, 휘도 조정 처리로부터 상기 프로그램으로 복귀하는 제 10 단계를 포함한다.

[0013] 이와 같이 본 발명의 일 형태에 따른 정보 처리 장치에서는, 제 1 형태 또는 제 2 형태에 따라 프로그램에 의하여 휘도 조정 처리가 수행됨으로써, 표시부의 표시 불균일 및 소비 전력을 억제할 수 있다.

발명의 효과

[0014] 본 발명의 일 형태에 따르면, 열람성이 높은 정보 처리 장치를 제공할 수 있다. 또는, 휴대성이 높은 정보 처리 장치를 제공할 수 있다. 또는, 소비 전력이 낮은 정보 처리 장치를 제공할 수 있다. 또는, 표시 품질이 높은 정보 처리 장치를 제공할 수 있다.

도면의 간단한 설명

[0015] 도 1의 (A) 및 (B)는 정보 처리 장치의 구조를 도시한 블록도 및 상면 개략도.

도 2의 (A) 및 (B)는 정보 처리 장치의 구조를 도시한 상면 개략도 및 단면도.

도 3의 (A)~(C)는 정보 처리 장치의 구조를 도시한 상면 개략도 및 단면도.

도 4는 정보 처리 장치의 연산부에 의하여 실행되는 프로그램을 나타낸 흐름도.

도 5는 정보 처리 장치의 연산부에 의하여 실행되는 프로그램을 나타낸 흐름도.

도 6의 (A)~(D)는 정보 처리 장치의 구조를 각각 도시한 상면 개략도 및 단면도.

도 7의 (A) 및 (B)는 정보 처리 장치의 구조를 각각 도시한 상면 개략도.

도 8의 (A) 및 (B)는 화소의 회로 구성을 각각 도시한 도면.

도 9의 (A) 및 (B)는 표시 장치의 회로 구성을 각각 도시한 도면.

도 10은 표시 장치의 회로 구성을 도시한 도면.

도 11의 (A) 및 (B)는 표시 장치의 회로 구성을 각각 도시한 도면.

도 12의 (A) 및 (B)는 표시 장치의 회로 구성을 각각 도시한 도면.

도 13의 (A) 및 (B)는 표시 장치의 회로 구성을 각각 도시한 도면.

도 14는 표시 장치의 회로 구성을 도시한 도면.

도 15의 (A) 및 (B)는 표시 장치의 회로 구성을 각각 도시한 도면.

도 16의 (A) 및 (B)는 표시 장치의 회로 구성을 각각 도시한 도면.

도 17의 (A) 및 (B)는 표시 장치의 회로 구성을 각각 도시한 도면.

도 18의 (A)~(D)는 정보 처리 장치의 구조를 각각 도시한 단면도.

도 19의 (A)~(C)는 정보 처리 장치의 일 형태를 도시한 사시도.

도 20의 (A) 및 (B)는 정보 처리 장치에 사용될 수 있는 발광 패널을 도시한 상면도 및 단면도.

도 21의 (A) 및 (B)는 정보 처리 장치에 사용될 수 있는 발광 패널을 각각 도시한 단면도.

도 22의 (A) 및 (B)는 정보 처리 장치에 사용될 수 있는 발광 패널을 각각 도시한 단면도.

도 23의 (A) 및 (B)는 정보 처리 장치에 사용될 수 있는 발광 패널을 도시한 단면도.

도 24의 (A)~(C)는 정보 처리 장치에 사용될 수 있는 발광 패널의 제작 방법을 도시한 단면도.

도 25의 (A)~(C)는 정보 처리 장치에 사용될 수 있는 발광 패널의 제작 방법을 도시한 단면도.

도 26은 정보 처리 장치에 사용될 수 있는 발광 패널을 도시한 단면도.

발명을 실시하기 위한 구체적인 내용

[0016] 일 형태에 따른 정보 처리 장치에 대하여 도면을 참조하여 자세히 설명하기로 한다. 다만, 본 발명은 아래의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 아래의 실시형태의 내용에 한정하여 해석되는 것은 아니다. 또한, 아래에서 설명하는 발명의 구조에서 동일 부분 또는 같은 기능을 갖는 부분에는 다른 도면들에서 동일한 부호를 붙이고, 이런 부분의 설명은 반복되지 않는다.

[0017] 또한, 도면에 있어서 블록도에서의 블록의 배치는 설명을 위하여 위치 관계를 특정한다. 따라서, 도면이 다른 블록들에서 다른 기능을 실현하는 것으로 나타내더라도, 실제의 회로 또는 영역은 같은 회로 또는 영역에서 다른 기능이 실현될 수 있도록 구성될 수 있다. 또한, 도면에 있어서 블록도에서의 각 블록의 기능은 설명을 위하여 특정된다. 따라서, 하나의 블록이 도시되더라도, 실제의 회로 또는 영역은 하나의 블록에서 수행되는 것처럼 도시된 처리가 복수의 블록에서 수행되도록 구성될 수 있다.

[0018] (실시형태 1)

[0019] 본 실시형태에서는, 본 발명의 일 형태에 따른 정보 처리 장치의 구조에 대하여 도 1의 (A) 및 (B), 도 2의 (A) 및 (B), 도 3의 (A)~(C), 도 4, 도 5, 도 6의 (A)~(D), 도 7의 (A) 및 (B), 도 8의 (A) 및 (B), 도 9의 (A) 및 (B), 도 10, 도 11의 (A) 및 (B), 도 12의 (A) 및 (B), 도 13의 (A) 및 (B), 도 14, 도 15의 (A) 및 (B), 도 16의 (A) 및 (B), 도 17의 (A) 및 (B), 및 도 18의 (A)~(D)를 참조하여 설명한다.

[0020] 도 1의 (A)는 본 발명의 일 형태에 따른 정보 처리 장치(100)의 구조를 도시한 블록도이다.

[0021] 도 1의 (A)에 나타낸 정보 처리 장치(100)는 가요성을 갖는 표시부(102), 표시부(102)의 주변에 배치되는 복수의 구동 회로부(104), 표시부(102)의 외부 상태를 식별하는 센서부(106), 구동 회로부(104)에 화상 정보를 공급하는 연산부(108), 및 연산부(108)에 의하여 실행되는 프로그램을 저장하는 기억부(110)를 포함한다.

[0022] 또한, 도 1의 (A)에서, 표시 패널(105)은 표시부(102) 및 구동 회로부(104)에 의하여 구성된다. 또한, 표시 패널(105)은 표시부(102)만을 표시하여도 좋고, 또는 표시부(102), 센서부(106), 연산부(108), 기억부(110) 등의 조합이어도 좋다.

[0023] 또한, 도 1의 (A)에 도시된 바와 같이 가요성을 갖는 표시부(102) 및 구동 회로부(104)에 의하여 표시 패널

(105)을 구성함으로써, 구동 회로부(104)도 가요성을 갖는다. 그러나, 구동 회로부(104)는, 표시 패널(105)이 형성되는 기판과 다른 기판 위에 형성되면, 가요성을 가질 필요가 없다.

[0024] 도 1의 (A)에서의 본 발명의 일 형태에 따른 정보 처리 장치(100)에서, 가요성을 갖는 표시부(102)의 외형은 변화될 수 있기 때문에, 높은 열람성의 기능과 높은 휴대성의 기능이 양립될 수 있다. 예를 들어, 정보 처리 장치(100)는, 표시부(102)가 펼쳐진 경우에 열람성이 우수하고, 표시부(102)가 접힌 경우에는 휴대성이 우수하다.

[0025] 여기서, 도 1의 (A)의 구성 요소에 대하여 아래에서 자세히 설명한다.

[0026] <표시부>

[0027] 표시부(102)는, 예를 들어 가요성 기판 또는 가요성 필름 등 그 외형을 변화시킬 수 있는 기판 위에 형성된다.

[0028] <구동 회로부>

[0029] 구동 회로부(104)는 표시부(102)의 주변에 배치된다. 구동 회로부(104)로부터 표시부(102)에 신호가 공급된다. 구동 회로부(104)는 적어도 표시부(102)를 구동시킬 필요가 있고, 예를 들어 표시부(102)에서 화소들이 매트릭스로 배치되는 경우에는, 화소를 선택하기 위한 신호(주사 신호)를 출력하는 회로(게이트 드라이버) 및 화소의 표시 소자를 구동하기 위한 신호(정보 신호)를 공급하는 회로(소스 드라이버)가 사용될 수 있다.

[0030] 구동 회로부(104)의 일부 또는 모두는 표시부(102)와 같은 공정에서 같은 기판 위에 형성되는 것이 바람직하다. 특히, 표시부(102)와 같은 공정에서 같은 기판 위에 쉽게 형성할 수 있는 게이트 드라이버는 접을 수 있는 부분 부근에 제공되는 것이 바람직하다. 게이트 드라이버는 동작 주파수가 낮고, 따라서 표시부(102)와 같은 공정에서 같은 기판 위에 형성하기 쉽다. 이로써, 구성 요소의 수 및 단자의 수를 저감할 수 있다. 또한, 표시부(102)와 같은 공정에서 형성되는 소자가 사용되기 때문에, 구동 회로부(104)의 일부 또는 모두도 가요성을 가질 수 있다. 따라서, 표시부(102)는 임의의 부분에서 접힐 수 있다. 따라서, 정보 처리 장치(100)는 파손되기 어렵고 내구성이 있는 장치가 될 수 있다. 구동 회로부(104)의 구조는 이에 한정되지 않고, 예를 들어 구동 회로부(104)는 표시부(102)와 같은 기판 위에 형성될 필요는 없다. 이 경우, 구동 회로부(104)의 일부 또는 모두가 COG법 또는 TAB법에 의하여 실장될 수 있다. 구동 회로부(104)가 COG법 또는 TAB법에 의하여 실장되는 경우에 표시부(102)가 제공된 기판이 접혔을 때는, 접히는 영역에 COG법 또는 TAB법에 의하여 제공된 IC, LSI 등을 제공하지 않는 것이 바람직하다. 이로써, 표시부(102)가 제공된 기판은 접힐 수 있다.

[0031] 또한, 구동 회로부(104)는 보호 회로, 제어 회로, 전원 회로, 신호 생성 회로 등으로서의 기능을 가져도 좋다.

[0032] 구동 회로부(104)는 복수의 전원 회로를 포함하고, 복수의 전원 회로가 독립적으로 제어됨으로써 표시부(102)가 분할적으로 구동되어도 좋다. 또는, 구동 회로부(104)는, 표시부(102)의 분할된 각 부분에 대한 전원 전압의 공급이 제어될 수 있도록 구성되어도 좋다. 또한, 표시부(102)에 제공된 발광 소자를 흐르는 전류량을 모니터링하는 기능을 갖는 회로가 전원 회로의 일부에 또는 전원 회로와 떨어진 위치에 제공되어도 좋다. 발광 소자를 흐르는 전류량을 모니터링함으로써, 표시부(102)에서의 소비 전력을 측정할 수 있다. 모니터링되는 전류량의 일례로서, 표시부(102)에 제공된 발광 소자의 애노드와 캐소드 사이의 전류량을 모니터링할 수 있다.

[0033] <연산부>

[0034] 연산부(108)는 구동 회로부(104)에 화상 정보를 공급하는 기능을 갖는다.

[0035] <센서부>

[0036] 센서부(106)는 표시부(102)의 외부 상태를 식별할 수 있는 기능을 갖는다. 예를 들어, 표시부(102)가 펼쳐진 제 1 형태 또는 표시부(102)가 접힌 제 2 형태를 검지할 수 있다. 센서부(106)는 적어도 표시부(102)의 외부 상태를 식별할 필요가 있고, 예를 들어 스위치, MEMS 압력 센서, 가속도 센서, 적외선 센서, 자기 센서, 또는 감압 센서로 이루어진다.

[0037] <기억부>

[0038] 기억부(110)는 연산부(108)에 의하여 실행되는 프로그램을 저장한다. 프로그램은 센서부(106)로부터의 정보에 따라 연산부(108)가 다른 처리를 실행하도록 한다.

[0039] 다음에, 도 1의 (A)에 도시된 표시 패널(105)의 구체적인 구조에 대하여 이하에서 설명한다.

[0040] 도 1의 (B)는 표시 패널(105)의 구조를 도시한 상면 개략도이다.

[0041] 도 1의 (B)에서의 표시 패널(105)은 파선 α_1-α_2 및 β_1-β_2를 따라 접힐 수 있다. 또한, 도 1의 (B)에서의 구조의 경우에는, 표시 패널(105)은 세 부분으로 접힐 수 있다. 그러나, 표시 패널(105)의 구조는 이에 한정되지 않고, 표시 패널(105)은 한 군데 또는 세 군데 이상을 따라 접혀도 좋다. 또한, 접는 부분인 파선 α_1-α_2 및 β_1-β_2는 서로 평행하게 배치되지만, 본 발명의 일 형태는 이에 한정되지 않는다. 접는 부분은 반드시 평행할 필요는 없고, 서로 교차되어도 좋다.

[0042] 도 1의 (B)에서의 표시 패널(105)은 표시부(102), 및 표시부(102) 주변의 구동 회로부(104)를 포함한다. 구동 회로부(104)는 제 1 게이트 드라이버(104g_1), 제 2 게이트 드라이버(104g_2), 제 1 소스 드라이버(104s_1), 및 제 2 소스 드라이버(104s_2)를 포함한다. 또한, 제 1 게이트 드라이버(104g_1), 제 1 소스 드라이버(104s_1), 및 제 2 소스 드라이버(104s_2)는 접히지 않는 영역에 독립적으로 형성된다.

[0043] 이 때, 제 2 게이트 드라이버(104g_2)는 접히는 영역에 설치되지만, 표시부(102)와 같은 공정에서 같은 기판 위에 형성됨으로써 문제 없이 동작할 수 있다. 그러나, 본 발명의 일 형태는 이에 한정되지 않고, 도 7의 (A)에 나타낸 바와 같이, 예를 들어 게이트 드라이버들(게이트 드라이버(104g_1A, 104g_1B), 게이트 드라이버(104g_2A, 104g_2B), 게이트 드라이버(104g_2C, 104g_2D) 등)이 표시부(102)의 양측에 배치되어도 좋고, 또는 소스 드라이버가 하나만 제공되어도 좋다. 또는, 소스 드라이버는 도 1의 (B)에서의 게이트 드라이버의 위치에 배치되어도 좋고, 게이트 드라이버는 도 1의 (B)에서의 소스 드라이버의 위치에 배치되어도 좋다. 또는, 접히는 영역에 제 2 게이트 드라이버(104g_2)를 배치하지 않고, 도 7의 (A)에서의 게이트 드라이버(104g_2A, 104g_2C) 또는 게이트 드라이버(104g_2B, 104g_2D)와 같이 접는 부분에 회로가 제공되는 것을 피하여도 좋다. 이로써, 표시 패널의 신뢰성을 향상시킬 수 있다. 또는, 게이트 드라이버를 COG법 또는 TAB법에 의하여 실장할 수 있다.

[0044] 도 7의 (B)에 나타낸 바와 같이, 게이트 드라이버 및 소스 드라이버는 같은 측에 배치되어도 좋다. 도 7의 (B)에서, 제 1 게이트 드라이버(104g_3), 제 2 게이트 드라이버(104g_4), 제 1 소스 드라이버(104s_3), 및 제 2 소스 드라이버(104s_4)는, 한 측에 배치되어 있다. 제 1 게이트 드라이버(104g_3) 및 제 2 게이트 드라이버(104g_4)는 표시부(102)의 주변을 둘러싸도록 배치된 배선을 통하여 서로 접속된다. 이러한 배치에 의하여, 표시부(102)가 접히는 위치를 자유로이 바꿀 수 있다. 또한, 구동 회로는 접히지 않으므로, 트랜지스터에 압력이 가해지지 않는다. 따라서, 표시 패널의 신뢰성을 향상시킬 수 있다. 또한, 도 7의 (B)에서, 게이트 드라이버는, 게이트선에 접속된 배선을 크게 우회하여 소스 드라이버 측에 배치되지만, 본 발명의 일 형태는 이에 한정되지 않는다. 또는, 소스선에 접속된 배선을 크게 우회하여 소스 드라이버가 게이트 드라이버 측에 배치되어도 좋다.

[0045] 다음에, 도 1의 (B)에서의 표시 패널(105)의 표시부(102)가 펼쳐진 표시 상태(제 1 형태)에 대하여 도 2의 (A) 및 (B)를 참조하여 설명한다.

[0046] 도 2의 (A)는 표시 패널(105)의 표시부(102)가 펼쳐진 경우(제 1 형태)의 상면 개략도이고, 도 2의 (B)는 도 2의 (A)의 일점쇄선 A-B를 따른 단면도이다.

[0047] 도 2의 (A) 및 (B)에서의 표시부(102)의 경우, 제 1 게이트 드라이버(104g_1), 제 2 게이트 드라이버(104g_2), 제 1 소스 드라이버(104s_1), 및 제 2 소스 드라이버(104s_2)를 사용함으로써 표시부(102) 전체에 화상을 표시할 수 있다.

[0048] 다음에, 도 1의 (B)에서의 표시 패널(105)의 표시부(102)가 접힌 표시 상태(제 2 형태)에 대하여 도 3의 (A)~(C)를 참조하여 설명한다.

[0049] 도 3의 (A)는 표시부(102)가 접힌 경우(제 2 형태)의 상면 개략도이고, 도 3의 (B)는 도 3의 (A)의 일점쇄선 A-B를 따른 단면도이다. 또한, 도 3의 (C)는 도 3의 (B)와 다른 표시 상태의 표시 패널(105)의 단면도이다.

[0050] 도 3의 (A)에서의 표시부(102)의 경우, 도 3의 (B)에 나타낸 바와 같이 제 1 게이트 드라이버(104g_1), 제 2 게이트 드라이버(104g_2), 제 1 소스 드라이버(104s_1), 및 제 2 소스 드라이버(104s_2)를 사용함으로써 표시부(102) 전체에 화상을 표시할 수 있다. 그러나, 접힌 부분에 위치된 영역(120)을 시청자는 직접 볼 수 없다. 따라서, 도 3의 (C)에 나타낸 바와 같이, 표시부(102)를 표시부(102a) 및 표시부(102b)로 나누고, 시청자가 볼 수 있는 표시부(102a)의 화상만을 표시하고 시청자가 볼 수 없는 표시부(102b)의 화상을 표시하지 않음으로써, 표시부(102)의 소비 전력을 저감할 수 있다.

[0051] 이와 같이, 표시부(102b)의 화상을 표시하지 않기 위하여 다양한 방법을 채용할 수 있다. 예를 들어, 표시부

(102b)의 화소에 휘도나 그레이스케일이 최소인 흑색 화상을 표시한다. 즉, 표시부(102b)에 공급되는 비디오 신호를 제어함으로써 흑색 화상을 표시한다. 이로써, 표시부(102b)로부터 광이 사출되지 않고, 이는 실질적으로 화상이 표시되지 않는 상태에 상당한다.

[0052] 또한, 다른 방법을 채용할 수도 있다. 이런 경우에는, 화소의 회로 구성에 따라 방법이 다르다. 또는, 소스 드라이버 및 게이트 드라이버가 배치되는 장소에 따라 방법이 다르다.

[0053] 우선, 도 8의 (A) 및 (B)에 화소 회로의 예를 도시하였다. 도 8의 (A) 및 (B)에는 트랜지스터를 포함하는 액티브 매트릭스 화소를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 트랜지스터 등이 없는 패시브 매트릭스 화소를 채용하여도 좋다. 또는, 화소가 배치되지 않고 전체면으로부터 광이 사출되는 조명 장치를 채용하여도 좋다.

[0054] 화소(909)는 트랜지스터(901), 트랜지스터(903), 용량 소자(902), 및 발광 소자(904)를 포함한다. 화소들은 배선(906, 905, 907, 908)을 통하여 서로 전기적으로 접속된다.

[0055] 배선(906)은 비디오 신호, 초기화 신호, 프리차지 신호 등을 공급할 수 있는 기능을 갖는다. 따라서, 배선(906)은 소스 신호선, 비디오 신호선 등으로서의 기능을 갖는다. 배선(905)은 선택 신호 등을 공급할 수 있는 기능을 갖는다. 따라서, 배선(905)은 게이트 신호선 등으로서의 기능을 갖는다. 배선(907)은 발광 소자(904) 또는 트랜지스터(903)에 전류를 공급하는 기능 또는 트랜지스터(903)의 전류를 보정하기 위한 신호를 공급하는 기능을 갖는다. 따라서, 배선(907)은 애노드선, 전류 공급선, 전원선, 전압 공급선 등으로서의 기능을 갖는다. 배선(908)은 캐소드선, 공통 전극 등으로서의 기능을 갖는다.

[0056] 트랜지스터(901)는 비디오 신호, 초기화 신호 등을 공급할지 여부, 또는 화소를 선택할지 여부 등을 제어할 수 있는 기능을 갖는다. 따라서, 트랜지스터(901)는 선택 트랜지스터로서의 기능을 갖는다. 용량 소자(902)는 비디오 신호, 트랜지스터의 문턱 전압 등을 유지할 수 있는 기능을 갖는다. 트랜지스터(903)는 발광 소자(904)를 흐르는 전류량을 제어할 수 있는 기능을 갖는다. 트랜지스터(903)는 용량 소자(902)에 유지된 전압에 따라 전류량을 제어할 수 있다. 따라서, 트랜지스터(903)는 구동 트랜지스터로서의 기능을 갖는다. 그러므로, 트랜지스터(903)는 도 8의 (A)에서는 p채널 트랜지스터이고 도 8의 (B)에서는 n채널 트랜지스터인 것이 바람직하다. 다만, 본 발명의 일 형태는 이에 한정되지 않는다.

[0057] 또한, 화소 회로는 다양한 구성을 가질 수 있다. 따라서, 본 발명의 일 형태는 도 8의 (A) 및 (B)에서의 구성에 한정되지 않는다.

[0058] 도 9의 (A) 및 (B)에서, 도 8의 (A)에서의 화소 회로들이 매트릭스로 배치되어 있다. 도 9의 (A)는 접는 부분이 배선(907)과 평행하게 제공된 경우를 나타낸 것이고, 도 9의 (B)는 접는 부분이 배선(905)과 평행하게 제공된 경우를 나타낸 것이다.

[0059] 도 10은, 배선(907)의 도통 상태를 제어하는 회로(911)가 제공된 도 9의 (A)의 경우의 블록도이다. 배선(906)은 소스 드라이버 회로(912)에 전기적으로 접속된다. 배선(907)은 회로(911)에 전기적으로 접속된다. 회로(911)에 의하여, 복수의 배선(907) 중 어느 배선에 전압이 공급되고 어느 배선에 전압이 공급되지 않는지를 제어할 수 있다. 따라서, 표시 패널(105)이 접혔을 때 비발광 영역이 형성될 수 있어, 소비 전력을 저감할 수 있다.

[0060] 도 11의 (A) 및 (B)는 회로(911)의 내부의 회로 구성의 예를 도시한 것이다. 도 11의 (A)에서, 제 1 접는 부분을 나타내는 파선 α_1-α_2의 왼쪽 영역에는 배선(918A)이 사용되고, 오른쪽 영역에는 배선(918B)이 사용된다. 표시 패널(105)이 접혔을 때, 제 1 접는 부분을 나타내는 파선 α_1-α_2의 왼쪽 영역은 표시 영역이고, 오른쪽 영역은 비표시 영역이다. 여기서, 배선(907A, 907B) 등은 배선(918A)에 접속되고, 배선(907C, 907D, 907E, 907F) 등은 배선(918B)에 접속된다. 이러한 구성에 의하여, 표시 패널(105)이 접혔을 때에 배선(918A)에 전압을 공급하면, 배선(907A, 907B) 등을 통하여 각 화소의 트랜지스터(903) 및 발광 소자(904)에 전류가 공급된다. 따라서, 발광을 얻을 수 있다. 한편, 배선(918B)에 전압을 공급하지 않아 부유 상태로 하거나, 또는 발광 소자(904)가 발광하지 않을 정도의 전압을 공급하면, 각 화소의 트랜지스터(903) 및 발광 소자(904)에 전류가 공급되지 않는다.

[0061] 또한, 도 11의 (A)에서 각 화소의 트랜지스터(903) 및 발광 소자(904)는, 제 1 접는 부분을 나타내는 파선 α_1-α_2를 경계로 배선(918A) 및 배선(918B)에 따로 접속되지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도

11의 (B)에 나타낸 바와 같이, 표시 패널(105)이 접했을 때에 제 1 접는 부분을 나타내는 파선 α_1-α_2의 오른쪽 영역도 발광하도록 배선(907C)이 배선(918A)에 접속되어도 좋다.

[0062] 또한, 소스 드라이버 회로(912) 및 회로(911)를 복수의 IC 칩으로 나누고, 접는 부분과 중첩되는 영역에 IC 칩들을 배치하지 않음으로써 이들을 COG법 또는 TAB법에 의하여 실장할 수 있다.

[0063] 또한, 도 11의 (A) 및 (B)에서 표시 패널(105)이 접했을 때에 배선(918A) 및 배선(918B)에 의하여 발광 영역 및 비발광 영역을 각각 제어할 수 있지만, 본 발명의 일 형태는 이에 한정되지 않는다. 배선(918A) 및 배선(918B)을 하나의 배선으로 합치고 스위치를 배치함으로써 발광을 제어하여도 좋다. 도 12의 (A)에서, 제 1 접는 부분을 나타내는 파선 α_1-α_2의 왼쪽 영역에서의 배선(907A, 907B) 등은 스위치를 통하지 않고 배선(918)에 접속된다. 따라서, 표시 패널(105)이 접히는지 여부에 상관없이 광이 사출될 수 있다. 한편, 제 1 접는 부분을 나타내는 파선 α_1-α_2의 오른쪽 영역에서의 배선(907C, 907D, 907E, 907F) 등은 각각 스위치(917C, 917D, 917E, 917F) 등을 통하여 배선(918)에 접속된다. 따라서, 표시 패널(105)이 접했을 때에 이들 스위치를 오프 상태로 함으로써 이 오른쪽 영역의 화소가 발광하지 않도록 제어할 수 있다.

[0064] 또한, 스위치가 제공되는지 여부로 인하여 일부의 영역에서 저항값이 변화되는 경우에, 도 12의 (B)에 나타낸 바와 같이, 제 1 접는 부분을 나타내는 파선 α_1-α_2의 왼쪽 영역에서의 배선(907A, 907B) 등은 스위치(917A, 917B) 등을 통하여 배선(918)에 접속되어도 좋다.

[0065] 다음에, 도 9의 (B)의 경우에, 발광을 일부의 영역에서 제어할 수 있는 회로 구성을 도 13의 (A)에 나타내었다. 도 13의 (A)에 나타낸 바와 같이, 제 1 접는 부분을 나타내는 파선 α_1-α_2의 아래쪽 영역의 각 화소에서는 게이트 드라이버(913B)가 트랜지스터(903) 및 발광 소자(904)에 접속되는 한편, 제 1 접는 부분을 나타내는 파선 α_1-α_2의 위쪽 영역의 각 화소에서는 게이트 드라이버(913A)가 트랜지스터(903) 및 발광 소자(904)에 접속된다. 제 1 접는 부분을 나타내는 파선 α_1-α_2의 아래쪽 영역에서, 게이트 드라이버(913B)는 표시 패널(105)이 접했을 때도 광이 사출되도록 동작하는 한편, 위쪽 영역에서는 게이트 드라이버(913A)는 표시 패널(105)이 접했을 때에 광이 사출되지 않도록 화소를 선택하지 않게 동작한다. 예를 들어, 게이트 드라이버(913A)는 L 신호를 출력함으로써 실질적으로 주사 동작을 수행하지 않는다. 이로써, 소비 전력을 저감할 수 있다. 또한, 도 3의 (C)는 도 13의 (A)의 경우에 상당한다.

[0066] 도 3의 (C)에 나타낸 표시부(102)의 경우, 예를 들어 실질적으로 주사 동작을 수행하지 않도록, 제 1 게이트 드라이버(104g_1), 제 1 소스 드라이버(104s_1), 및 제 2 소스 드라이버(104s_2)를 사용하고 제 2 게이트 드라이버(104g_2)로부터 선택 신호를 출력하지 않게(예를 들어, L 신호만이 출력되도록) 하여 표시부(102a)만을 표시할 수 있다.

[0067] 또한, 도 13의 (B)에 나타낸 바와 같이, 게이트 드라이버(914)의 출력부에 회로(915)를 제공함으로써, 선택 신호가 출력되는지 여부를 제어하여도 좋다. 도 14는 회로(915)의 일례를 도시한 것이다. 게이트 드라이버(914)의 출력은 배선(920)의 전위를 H 신호로 설정함으로써 AND 회로(919)에 의하여 제어되어 배선(905)에 출력된다. 한편, 배선(920)의 전위를 L 신호로 설정함으로써 배선(905)에는 항상 L 신호가 공급된다. 따라서, 화소에 대한 선택 신호의 공급을 정지할 수 있어, 소비 전력을 저감할 수 있다.

[0068] 또한, 게이트 드라이버(914), 회로(915), 게이트 드라이버(913A) 등을 복수의 IC 칩으로 나누고, 접는 부분과 중첩되는 영역에 IC 칩들을 배치하지 않음으로써 이들을 COG법 또는 TAB법에 의하여 실장할 수 있다.

[0069] 다음에, 도 15의 (A) 및 (B)에서, 도 8의 (B)의 화소 회로가 매트릭스로 배치되어 있다. 도 15의 (A)는 접는 부분이 배선(906)과 평행하게 제공된 경우를 나타낸 것이고, 도 15의 (B)는 접는 부분이 배선(905)과 평행하게 제공된 경우를 나타낸 것이다.

[0070] 도 13의 (A)에서와 마찬가지로 도 16의 (A) 및 (B)에서, 영역에 따라 다른 구동 회로가 배치되어 있다. 또한, 배선(905)을 구동하기 위한 회로가 제공되는 경우 및 배선(907)을 구동하기 위한 회로가 제공되는 경우가 있다. 도 16의 (A)에서는, 배선(907)을 구동하기 위한 회로로서 회로(916A) 및 회로(916B)가 제공된다. 한편, 도 16의 (B)에서는, 배선(905)을 구동하기 위한 회로(913)가 영역에 따라 분할되는 일 없이 제공된다. 바꿔 말하면, 배선(905)을 구동하기 위한 회로 및 배선(907)을 구동하기 위한 회로는 영역마다 분할될 수도 있고, 또는 분할되지 않을 수도 있다.

[0071] 도 17의 (A)는, 도 13의 (B)의 회로(915)와 마찬가지로 회로(916)의 출력부에 회로(921)가 제공된 예를 도시한

것이다. 도 17의 (B)는 회로(921)의 구체적인 예를 도시한 것이다. 배선(907)의 전위는 배선(923)의 전위를 제어함으로써 AND 회로(922)에 의하여 제어된다.

[0072] 이와 같이, 다양한 방법에 의하여 영역에 따라 발광 상태를 제어할 수 있다.

[0073] 그러나, 도 3의 (C)에서의 표시부(102)와 같이, 표시부(102a)에서만 화상이 표시되는 구조에서 구동 회로부(104)를 구동하고, 그리고 도 2의 (A) 및 (B)의 표시 패널(105)의 표시부(102)가 펼쳐진 상태(제 1 형태)에서 표시부(102) 전체에서 화상을 표시하면, 도 3의 (C)에서, 표시부(102a)의 휘도가 표시부(102b)의 휘도와 다른 현상이 일어난다.

[0074] 예를 들어, 발광 소자가 표시부(102)에 사용되는 경우에 표시부(102a)에서만 화상이 표시되는 구조로 인하여, 표시부(102a)의 발광 소자가 열화될 수 있다. 따라서, 표시부(102)가 펼쳐진 제 1 형태에서, 표시부(102)의 면내에서 휘도 등이 변화되고, 이러한 변화가 표시 불균일로서 인식된다. 특히, 표시부(102a)와 표시부(102b) 사이의 경계에서 휘도 변화는 현저해지기 때문에, 표시부(102a)와 표시부(102b) 사이의 경계가 시청자에 의하여 인식된다.

[0075] 따라서, 본 발명의 일 형태에 따른 정보 처리 장치(100)에서는, 표시부(102)가 펼쳐진 제 1 형태 또는 표시부(102)가 접힌 제 2 형태에 따라 프로그램이 휘도 조정 처리를 실행하여 구동 방법을 제어함으로써, 표시부(102)의 표시 불균일, 즉 표시부(102a)와 표시부(102b) 사이의 휘도 차이를 저감할 수 있다. 따라서, 표시 품질이 높은 정보 처리 장치를 제공할 수 있다.

[0076] 여기서, 도 4 및 도 5를 참조하여 상술한 프로그램 및 구동 방법에 대하여 설명한다.

[0077] <프로그램>

[0078] 도 4는 도 1의 (A)의 정보 처리 장치(100)에 포함된 기억부(110)의 프로그램의 흐름도이다.

[0079] 제 1 단계에서, 표시부(102)의 외부 상태가 센서부(106)로부터의 정보에 의하여 특정된다(단계 S1).

[0080] 제 2 단계에서, 표시부(102)가 펼쳐진 형태(제 1 형태)인지 여부가 판단된다(단계 S2). 제 1 형태의 경우에 제 5 단계로, 또는 제 1 형태 이외의 형태의 경우에 제 3 단계로 프로그램이 진행한다.

[0081] 제 3 단계에서, 표시부(102)가 접힌 형태(제 2 형태)인지 여부가 판단된다(단계 S3). 제 2 형태의 경우에 제 4 단계로, 또는 제 2 형태 이외의 형태의 경우에 제 1 단계(단계 S1)로 프로그램이 진행한다.

[0082] 제 4 단계에서, 휘도 조정 처리가 수행된다(단계 S4).

[0083] 제 5 단계에서, 프로그램이 종료된다(단계 S5).

[0084] 여기서, 제 4 단계(단계 S4)에서의 휘도 조정 처리에 관하여 도 5에 나타낸 흐름도를 참조하여 설명한다.

[0085] <휘도 조정 처리>

[0086] 제 6 단계에서, 표시 영역 및 비표시 영역이 결정된다(단계 V6). 특히, 비표시 영역은, 시청자가 인식할 수 있는 표시 영역의 경계로부터 시작되는 영역으로 결정되는 것이 바람직하다.

[0087] 제 7 단계에서, 예를 들어 적어도 하나의 구동 회로부가 정지된다(단계 V7). 또한, 그 외에, 이미 설명한 바와 같이, 다양한 비발광 영역을 제어하는 다양한 방법을 채용할 수 있다.

[0088] 표시부(102)가 접힌 형태(제 2 형태)에서, 적어도 하나의 구동 회로부를 정지함으로써, 시청자에게 보이지 않는 영역에서의 화상이 표시되지 않게 할 수 있기 때문에, 소비 전력이 낮은 정보 처리 장치(100)를 얻을 수 있다.

[0089] 제 8 단계에서, 비표시 영역의 일부로부터 광이 사출된다(단계 V8).

[0090] 제 9 단계에서, 휘도 조정 처리가 해제될지 여부가 판단된다(단계 V9). 프로그램은 휘도 조정 처리가 해제되는 경우에 제 10 단계로 진행하고, 또는 휘도 조정 처리가 해제되지 않는 경우에 제 8 단계로 진행한다.

[0091] 제 10 단계는 휘도 조정 처리로부터 상기 프로그램으로 복귀한다(단계 V10).

[0092] 여기서, 상술한 휘도 조정 처리의 구체적인 방법에 대하여 도 6의 (A)~(D)를 참조하여 설명한다.

[0093] 도 6의 (A) 및 (C)는 각각 표시 패널(105)의 구조를 도시한 상면 개략도이다. 도 6의 (B)는 도 6의 (A)의 일점쇄선 A-B를 따른 단면도이고, 도 6의 (D)는 도 6의 (B)의 일점쇄선 A-B를 따른 단면도이다.

[0094] 또한, 도 6의 (A) 및 (B)는 각각 표시부(102)가 펼쳐진 형태(제 1 형태)의 상면 개략도 및 단면도이고, 한편, 도 6의 (C) 및 (D)는 각각 표시 패널(105)의 표시부(102)가 접힌 형태(제 2 형태)의 상면 개략도 및 단면도이다.

[0095] 도 1의 (B)에서의 표시 패널(105)과 마찬가지로 도 6의 (A)에서의 표시 패널(105)은 파선 α_1-α_2 및 β_1-β_2를 따라 접힐 수 있다.

[0096] 도 6의 (A)~(D)에서의 표시 패널(105)은 표시부(102), 및 표시부(102) 주변의 구동 회로부(104)를 포함한다. 구동 회로부(104)는 제 1 게이트 드라이버(104g_1), 제 2 게이트 드라이버(104g_2), 제 1 소스 드라이버(104s_1), 및 제 2 소스 드라이버(104s_2)를 포함한다. 또한, 제 1 게이트 드라이버(104g_1), 제 1 소스 드라이버(104s_1), 및 제 2 소스 드라이버(104s_2)는 접히지 않는 영역에 독립적으로 형성된다.

[0097] 도 6의 (D)에서 표시부(102)는, 도 3의 (C)의 표시부(102)와 비슷한 방식으로 표시부(102a) 및 표시부(102b)로 나눠지고, 시청자가 볼 수 있는 표시부(102a)의 화상만이 표시되고, 시청자가 볼 수 있는 표시부(102b)의 화상은 표시되지 않는다.

[0098] 또한, 도 6의 (D)에서의 표시부(102b)에서, 표시부(102a)의 경계로부터 시작되어 제 1 발광 영역(131), 제 2 발광 영역(132), 및 제 3 발광 영역(133)을 포함하는 발광 영역(130)이 형성된다.

[0099] 상술한 프로그램에 의하여 실행되는 제 8 단계(단계 V8)에서 발광 영역(130)으로부터 광이 사출된다.

[0100] 발광 영역(130)에서, 제 1 발광 영역(131)의 휘도는 제 2 발광 영역(132)보다 높고, 제 2 발광 영역(132)의 휘도는 제 3 발광 영역보다 높은 관계가 만족된다. 이 관계는 각 영역의 화소에 공급된 비디오 신호를 제어함으로써 실현할 수 있다.

[0101] 표시부(102a)의 휘도로부터 단계적으로 휘도가 변화되는 발광 영역을 제공함으로써, 표시부(102a)와 표시부(102b) 사이의 경계의 휘도는 서서히 변화된다. 예를 들어, 표시부(102)에 발광 소자를 사용하는 경우에 표시부(102a)로부터만 광이 사출되면, 표시부(102a)에서의 발광 소자의 영역만이 열화된다. 그러나, 표시부(102a)의 휘도로부터 단계적으로 휘도가 변화되는 발광 영역을 제공함으로써, 표시부(102a)로부터 표시부(102b)의 범위에서 발광 소자의 열화가 저감된다. 따라서, 시청자는 표시부(102a)와 표시부(102b) 사이의 경계를 인식할 수 없어, 표시 품질이 높은 정보 처리 장치가 제공될 수 있다.

[0102] 또한, 이해를 쉽게 하기 위하여 도 6의 (A) 및 (B)를 도시하였고, 도 6의 (C) 및 (D)에서의 표시부(102)가 접힌 형태(제 2 형태)에서 발광 영역(130)으로부터 광이 사출될 수 있다.

[0103] 따라서, 발광 영역(130)은 예를 들어, 표시부(102b)의 영역이 아니라 표시부(102a)의 영역에 포함된다고 생각될 수도 있다. 예를 들어, 도 6의 (D)에 대응하는 도 18의 (A)에 도시된 바와 같이, 표시부(102a)가 측면 부분까지 연장되어 제공되어, 제 1 발광 영역(131), 제 2 발광 영역(132), 및 제 3 발광 영역(133)은 완전히 숨겨져도 좋다. 이로써, 보이는 영역은 통상의 휘도로 인식되기 때문에 적절한 표시가 수행될 수 있다. 또는 도 18의 (B)에 도시된 바와 같이, 표시부(102a)를 평탄한 영역만으로 한정하고, 제 1 발광 영역(131), 제 2 발광 영역(132), 및 제 3 발광 영역(133)을 만곡부에 제공하여도 좋다. 만곡부는 일그러져 보이기 때문에, 이러한 부분은 정확한 표시에는 적합하지 않다. 따라서, 그 영역을 그라데이션으로 표시함으로써, 열화의 영향이 덜 보이게 할 수 있다.

[0104] 또는, 도 18의 (B), 도 6의 (D), 및 도 18의 (A)와 같은 상태를 소정의 기간마다 전환하여도 좋다. 또는, 경계는 도 18의 (B)의 상태로부터 도 6의 (D)의 상태로, 더 나아가 도 18의 (A)의 상태로 서서히 변화되고, 그 후에 마찬가지로 경계가 도 6의 (D)의 상태를 거쳐 도 18의 (B)의 상태로 되돌아가도 좋다. 이렇게 발광 영역을 변화시킴으로써, 열화의 영향이 덜 보이게 할 수 있다.

[0105] 또는, 표시부(102b)에서의 발광 영역의 초기점(initial point)을 변화시키거나, 표시부(102b)에서의 발광 영역의 위치 또는 휘도를 변화시켜도 좋다. 예를 들어, 표시부(102)가 여러 번 접히는 경우에, 첫 번째로 접을 때에는 제 1 발광 영역(131)으로부터만 광이 사출된다. 두 번째로 접을 때에는 제 1 발광 영역(131) 및 제 2 발광 영역(132)으로부터 광이 사출된다. 세 번째로 접을 때에는 초기점을 변화시킴으로써 제 1 발광 영역(131)으로부터 광이 사출된다. 이러한 발광 패턴은, 표시부(102a)와 표시부(102b) 사이의 경계에서의 휘도 차이를 저감하기 위하여 유효적인 구동 방법이다.

[0106] 도 6의 (A), (B) 및 (D)에서 발광 영역(130)은 제 1 발광 영역(131), 제 2 발광 영역(132), 및 제 3 발광 영역

(133)을 포함하지만, 본 발명의 일 형태는 이런 구조에 한정되지 않는다.

[0107] 예를 들어, 발광 영역(130)은 제 1 발광 영역(131), 제 2 발광 영역(132), 및 제 3 발광 영역(133)을 포함하지 않아도 좋다. 이와 같은 경우에는, 도 18의 (C), 도 3의 (C), 및 도 18의 (D)와 같은 상태를 소정의 기간마다 전환하여도 좋다. 또는, 경계는 도 18의 (C)의 상태로부터 도 3의 (C)의 상태로, 더 나아가 도 18의 (D)의 상태로 서서히 변화되고, 그 후에 마찬가지로 경계가 도 3의 (C)의 상태를 거쳐 도 18의 (C)의 상태로 되돌아가도 좋다. 이렇게 발광 영역을 변화시킴으로써, 열화의 영향이 덜 보이게 할 수 있다.

[0108] 또는, 정보 처리 장치(150)가 충전될 때만 발광 영역(130)으로부터 광이 사출되는 다른 프로그램을 실행하여도 좋다.

[0109] 구동 회로부(104) 내의 회로와는 다른 회로로 발광 영역(130)을 독립적으로 제어하여도 좋다. 예를 들어, 발광 영역(130)에서 화상을 표시할 필요가 없기 때문에, 발광 영역(130)의 발광 소자는 그 애노드와 캐소드가 단락(short-circuit)되도록 구성된다. 이 경우, 표시부(102)에 제공된 발광 소자는 구동 회로부(104)에 의하여 구동될 수 있다.

[0110] 또한, 발광 영역(130)의 제 1 발광 영역(131), 제 2 발광 영역(132), 및 제 3 발광 영역(133) 각각의 휘도는, 표시부(102a)를 흐르는 전류를 전류 모니터 회로에 의하여 측정하여 전류 모니터 회로의 전류값을 판독함으로써 설정된다.

[0111] 본 실시형태는 본 명세서에서의 다른 실시형태들 중 어느 것과 적절히 조합할 수 있다.

[0112] (실시형태 2)

[0113] 본 실시형태에서는, 본 발명의 일 형태에 따른 정보 처리 장치의 일례에 대하여 도 19의 (A)~(C)를 참조하여 설명한다.

[0114] 도 19의 (A)는 표시부가 펼쳐진 형태(제 1 형태)에서의 정보 처리 장치(150)를 도시한 것이다. 도 19의 (B)는 표시부가 펼쳐진 형태(제 1 형태) 및 표시부가 접힌 형태(제 2 형태) 중 한쪽으로부터 다른 쪽으로 변화되는 도중의 정보 처리 장치(150)를 도시한 것이다. 도 19의 (C)는 표시부가 접힌 형태(제 2 형태)에서의 정보 처리 장치(150)를 도시한 것이다.

[0115] 도 19의 (A)~(C)에서의 정보 처리 장치(150)는 가요성을 갖는 표시부를 포함하는 표시 패널(152)을 포함한다. 정보 처리 장치(150)는 복수의 지지 패널(153a), 복수의 지지 패널(155a), 및 복수의 지지 패널(155b)을 더 포함한다.

[0116] 지지 패널(153a)은 예를 들어 표시 패널(152)의 재료보다 가요성이 낮은 재료를 사용하여 형성되고, 지지 패널(155a) 및 지지 패널(155b)은 예를 들어 지지 패널(153a)의 재료보다 가요성이 낮은 재료를 사용하여 각각 형성된다. 도 19의 (A)~(C)에 도시된 바와 같이, 표시 패널(152)의 주변 및 표시 패널(152)의 표시부와 반대의 표면에 지지 패널이 배치되면, 표시 패널(152)의 기계적 강도가 높게 되어 파손되기 어려워진다.

[0117] 또한, 지지 패널(153a, 155a, 155b)이 차광성을 갖는 재료를 사용하여 형성되면, 표시 패널(152)의 구동 회로부에 대한 외광의 조사가 억제될 수 있어 바람직하다. 따라서, 구동 회로부에 사용되는 트랜지스터 등의 광열화가 억제될 수 있다.

[0118] 도 19의 (A)~(C)에는 도시되지 않았지만, 표시 패널(152)과 지지 패널(155b) 사이에는 정보 처리 장치(150)의 연산부, 기억부, 센서부 등을 배치할 수 있다.

[0119] 지지 패널(153a, 155a, 155b)은 플라스틱, 금속, 합금, 고무 등을 재료로서 사용하여 형성할 수 있다. 플라스틱, 고무 등은, 가볍고 파손되기 어려운 지지 패널을 형성할 수 있기 때문에 바람직하게 사용된다. 예를 들어, 지지 패널(153a, 155a, 155b)로서 실리콘(silicone) 고무, 스테인리스스틸, 또는 알루미늄을 사용하여도 좋다.

[0120] 또한, 정보 처리 장치(150)에서 가요성을 갖는 표시부를 포함하는 표시 패널(152)은 안쪽이든 바깥쪽이든 접힐 수 있다. 정보 처리 장치(150)가 사용되지 않을 때, 표시부가 내부를 향하도록 표시 패널(152)이 접힘으로써, 표시부에 흠집이 생기거나 표시부가 더러워지는 것을 억제할 수 있다.

[0121] 본 실시형태는 본 명세서에서의 다른 실시형태들 중 어느 것과 적절히 조합할 수 있다.

[0122] (실시형태 3)

[0123] 본 실시형태에서, 본 발명의 일 형태에 따른 정보 처리 장치에 사용될 수 있는 발광 패널에 대하여 도 20의 (A)

및 (B), 도 21의 (A) 및 (B), 도 22의 (A) 및 (B), 도 23의 (A) 및 (B), 도 24의 (A)~(C), 및 도 25의 (A)~(C)를 참조하여 설명한다.

[0124] <구체적인 예 1>

[0125] 도 20의 (A)는 발광 패널의 상면도이고, 도 20의 (B)는 도 20의 (A)의 일점쇄선 A1-A2를 따른 단면도의 일례이다.

[0126] 도 20의 (B)에 도시된 발광 패널은 소자층(180), 접착층(185), 및 기판(181)을 포함한다. 소자층(180)은 기판(201), 접착층(203), 절연층(205), 복수의 트랜지스터, 도전층(254), 절연층(207), 절연층(209), 복수의 발광 소자, 절연층(211), 밀봉층(213), 절연층(261), 착색층(259), 차광층(257), 및 절연층(255)을 포함한다.

[0127] 도전층(254)은 커넥터(215)를 통하여 FPC(186)에 전기적으로 접속된다.

[0128] 발광 소자(230)는 하부 전극(231), EL층(233), 및 상부 전극(235)을 포함한다. 하부 전극(231)은 트랜지스터(240)의 소스 전극 또는 드레인 전극에 전기적으로 접속된다. 하부 전극(231)의 단부는 절연층(211)으로 덮인다. 발광 소자(230)는 톱 이미션 구조를 갖는다. 상부 전극(235)은 투광성을 가져, EL층(233)으로부터 사출되는 광을 투과시킨다.

[0129] 착색층(259)은 발광 소자(230)와 중첩되도록 제공되고, 차광층(257)은 절연층(211)과 중첩되도록 제공된다. 착색층(259) 및 차광층(257)은 절연층(261)으로 덮인다. 발광 소자(230)와 절연층(261) 사이의 공간은 밀봉층(213)으로 충전된다.

[0130] 발광 패널은 광 추출부(182) 및 구동 회로부(184)에 복수의 트랜지스터를 포함한다. 트랜지스터(240)는 절연층(205) 위에 제공된다. 절연층(205) 및 기판(201)은 접착층(203)에 의하여 서로 접착된다. 절연층(255) 및 기판(181)은 접착층(185)에 의하여 서로 접착된다. 절연층(205) 및 절연층(255)에 투수성이 낮은 막을 사용하면, 물 등의 불순물이 발광 소자(230) 또는 트랜지스터(240)에 들어가는 것을 방지할 수 있어, 발광 패널의 신뢰성을 향상시킬 수 있으므로 바람직하다. 접착층(203)은 접착층(185)과 같은 재료를 사용하여 형성할 수 있다.

[0131] 구체적인 예 1에서의 발광 패널은, 절연층(205), 트랜지스터(240), 및 발광 소자(230)를 내열성이 높은 형성 기판 위에 형성하고; 이 형성 기판을 분리하고; 절연층(205), 트랜지스터(240), 및 발광 소자(230)를 기판(201)에 전치(transfer)하여 접착층(203)에 의하여 이 기판에 접착시킴으로써 제작된다. 구체적인 예 1에서의 발광 패널은, 절연층(255), 착색층(259), 및 차광층(257)을 내열성이 높은 형성 기판 위에 형성하고; 이 형성 기판을 분리하고; 절연층(255), 착색층(259), 및 차광층(257)을 기판(181)에 전치하여 접착층(185)에 의하여 이 기판에 접착시킴으로써 제작된다.

[0132] 투수성이 높고 내열성이 낮은 재료(예를 들어 수지)가 기판에 사용되는 경우, 제작 공정에서 높은 온도에 기판을 노출할 수 없다. 따라서, 상기 기판 위에 트랜지스터 및 절연막을 형성하기 위한 조건에 제한이 있다. 본 실시형태의 제작 방법에 있어서, 내열성이 높은 형성 기판 위에 트랜지스터 등을 형성할 수 있기 때문에, 신뢰성이 높은 트랜지스터 및 투수성이 충분히 낮은 절연막을 형성할 수 있다. 그리고, 이 트랜지스터 및 절연막을 기판(181) 및 기판(201) 위에 전치함으로써, 신뢰성이 높은 발광 패널을 제작할 수 있다. 따라서, 본 발명의 일 형태에 의하여, 얇거나 가벼우며 신뢰성이 높은 정보 처리 장치를 제공할 수 있다.

[0133] 기판(181) 및 기판(201)은 인성(toughness)이 높은 재료를 사용하여 각각 형성되는 것이 바람직하다. 이 경우, 파손되기 어려운 내충격성이 높은 표시 장치를 제공할 수 있다. 예를 들어, 기판(181)이 유기 수지 기판이고, 기판(201)이 얇은 금속 재료 또는 얇은 합금 재료를 사용하여 형성된 기판이면, 유리 기판이 사용되는 경우에 비하여, 발광 패널이 더 가볍고 파손되기 어려워질 수 있다.

[0134] 열 전도성이 높은 금속 재료 및 합금 재료는, 열을 기판 전체에 전도하기 쉽고 따라서 발광 패널에서의 국소적인 온도 상승을 방지할 수 있어 바람직하다. 금속 재료 또는 합금 재료를 사용한 기판의 두께는 10 μm 이상 200 μm 이하가 바람직하고, 20 μm 이상 50 μm 이하이면 더 바람직하다.

[0135] 또한, 기판(201)에 열 방사율이 높은 재료가 사용되면, 발광 패널의 표면 온도가 상승되는 것을 방지할 수 있어, 발광 패널의 파손 또는 신뢰성 저하를 방지할 수 있다. 예를 들어, 기판(201)은 금속 기판과, 열 방사율이 높은 층(예를 들어, 이 층은 금속 산화물 또는 세라믹 재료를 사용하여 형성될 수 있음)의 적층 구조를 가질 수 있다.

[0136] <구체적인 예 2>

[0137] 도 21의 (A)는 발광 패널에서의 광 추출부(182)의 다른 예를 도시한 것이다. 도 21의 (A)에서의 발광 패널은 터치 조작이 가능하다. 이하의 구체적인 예에서는, 구체적인 예 1과 같은 구성 요소의 설명은 생략한다.

[0138] 도 21의 (A)에 도시된 발광 패널은 소자층(180), 접착층(185), 및 기판(181)을 포함한다. 소자층(180)은 기판(201), 접착층(203), 절연층(205), 복수의 트랜지스터, 절연층(207), 절연층(209), 복수의 발광 소자, 절연층(211), 절연층(217), 밀봉층(213), 절연층(261), 착색층(259), 차광층(257), 복수의 수광 소자, 도전층(281), 도전층(283), 절연층(291), 절연층(293), 절연층(295), 및 절연층(255)을 포함한다.

[0139] 구체적인 예 2는 절연층(211) 위에 절연층(217)을 포함한다. 기판(181)과 기판(201) 사이의 공간은 절연층(217)에 의하여 조정할 수 있다.

[0140] 도 21의 (A)는 절연층(255)과 밀봉층(213) 사이에 수광 소자가 제공되는 예를 도시한 것이다. 수광 소자는 기판(201) 측의 비발광 영역(예를 들어 트랜지스터(240) 또는 배선이 제공된 영역)과 중첩되도록 배치되기 때문에, 화소(발광 소자)의 개구율이 저하되는 일이 없이 발광 패널에 터치 센서가 제공될 수 있다.

[0141] 발광 패널에 포함되는 수광 소자로서, 예를 들어 p-n 포토다이오드 또는 p-i-n 포토다이오드가 사용될 수 있다. 본 실시형태에서, p형 반도체층(271), i형 반도체층(273), 및 n형 반도체층(275)을 포함하는 p-i-n 포토다이오드가 수광 소자로서 사용된다.

[0142] 또한, i형 반도체층(273)은, p형 전도도를 부여하는 불순물 및 n형 전도도를 부여하는 불순물 각각의 농도가 $1\times10^{20}cm^{-3}$ 이하이고, 암 전도도보다 100배 이상 높은 광 전도도를 갖는 반도체이다. i형 반도체층(273)은, 주기율표의 13족 또는 15족에 속하는 불순물 원소를 포함하는 반도체도 그 범주에 포함한다. 바꿔 말하면 i형 반도체가, 가전자 제어를 위한 불순물 원소를 의도적으로 첨가하지 않을 때에 약한 n형 전기 전도도를 갖기 때문에, i형 반도체층(273)은 p형 전도도를 부여하는 불순물 원소가 성막 시 또는 성막 후에, 의도적 또는 비의도적으로 첨가되는 반도체를 그 범주에 포함한다.

[0143] 차광층(257)은 발광 소자(230) 위쪽에 위치되며 수광 소자와 중첩된다. 수광 소자와 밀봉층(213) 사이의 차광층(257)은, 수광 소자에 발광 소자(230)로부터 사출되는 광이 조사되는 것을 방지할 수 있다.

[0144] 도전층(281) 및 도전층(283)은 수광 소자에 전기적으로 접속된다. 도전층(281)은 수광 소자에 입사되는 광을 투과시키는 것이 바람직하다. 도전층(283)은 수광 소자에 입사되는 광을 차단하는 것이 바람직하다.

[0145] 기판(181)과 밀봉층(213) 사이에 광학식 터치 센서를 제공하면, 광학식 터치 센서가 발광 소자(230)로부터 사출된 광에 의한 영향을 받기 어렵고 그 S/N비가 향상될 수 있기 때문에 바람직하다.

[0146] <구체적인 예 3>

[0147] 도 21의 (B)는 발광 패널에서의 광 추출부(182)의 또 다른 예를 도시한 것이다. 도 21의 (B)에서의 발광 패널은 터치 조작이 가능하다.

[0148] 도 21의 (B)에 도시된 발광 패널은 소자층(180), 접착층(185), 및 기판(181)을 포함한다. 소자층(180)은 기판(201), 접착층(203), 절연층(205), 복수의 트랜지스터, 절연층(207), 절연층(209a), 절연층(209b), 복수의 발광 소자, 절연층(211), 절연층(217), 밀봉층(213), 착색층(259), 차광층(257), 복수의 수광 소자, 도전층(280), 도전층(281), 및 절연층(255)을 포함한다.

[0149] 도 21의 (B)는 절연층(205)과 밀봉층(213) 사이에 수광 소자가 제공되는 예를 도시한 것이다. 수광 소자가 절연층(205)과 밀봉층(213) 사이에 제공되기 때문에, 수광 소자가 전기적으로 접속되는 도전층 및 수광 소자에 포함되는 광전 변환층은, 트랜지스터(240)에 포함되는 도전층 및 반도체층과 같은 재료를 사용하여 같은 공정에서 형성될 수 있다. 따라서, 터치 조작이 가능한 발광 패널이 제조 공정수를 크게 증가하지 않고 제조될 수 있다.

[0150] <구체적인 예 4>

[0151] 도 22의 (A)는 발광 패널의 또 다른 예를 도시한 것이다. 도 22의 (A)에서의 발광 패널은 터치 조작이 가능하다.

[0152] 도 22의 (A)에 도시된 발광 패널은 소자층(180), 접착층(185), 및 기판(181)을 포함한다. 소자층(180)은 기판(201), 접착층(203), 절연층(205), 복수의 트랜지스터, 도전층(253), 도전층(254), 절연층(207), 절연층(209), 복수의 발광 소자, 절연층(211), 절연층(217), 밀봉층(213), 착색층(259), 차광층(257), 절연층(255), 도전층(272), 도전층(274), 절연층(276), 절연층(278), 도전층(294), 및 도전층(296)을 포함한다.

[0153] 도 22의 (A)는 절연층(255)과 밀봉층(213) 사이에 정전용량 터치 센서가 제공되는 예를 도시한 것이다. 정전용량 터치 센서는 도전층(272) 및 도전층(274)을 포함한다.

[0154] 도전층(253) 및 도전층(254)은 커넥터(215)를 통하여 FPC(186)에 전기적으로 접속된다. 도전층(294) 및 도전층(296)은, 도전성 입자(292)를 통하여 도전층(274)에 전기적으로 접속된다. 따라서 FPC(186)를 통하여 정전용량 터치 센서를 구동할 수 있다.

[0155] <구체적인 예 5>

[0156] 도 22의 (B)는 발광 패널의 또 다른 예를 도시한 것이다. 도 22의 (B)에서의 발광 패널은 터치 조작이 가능하다.

[0157] 도 22의 (B)에 도시된 발광 패널은 소자층(180), 접착층(185), 및 기판(181)을 포함한다. 소자층(180)은 기판(201), 접착층(203), 절연층(205), 복수의 트랜지스터, 도전층(253), 도전층(254), 절연층(207), 절연층(209), 복수의 발광 소자, 절연층(211), 절연층(217), 밀봉층(213), 착색층(259), 차광층(257), 절연층(255), 도전층(270), 도전층(272), 도전층(274), 절연층(276), 및 절연층(278)을 포함한다.

[0158] 도 22의 (B)는 절연층(255)과 밀봉층(213) 사이에 정전용량 터치 센서가 제공되는 예를 도시한 것이다. 정전용량 터치 센서는 도전층(272) 및 도전층(274)을 포함한다.

[0159] 도전층(253) 및 도전층(254)은 커넥터(215a)를 통하여 FPC(186a)에 전기적으로 접속된다. 도전층(270)은 커넥터(215b)를 통하여 FPC(186b)에 전기적으로 접속된다. 따라서, FPC(186a)를 통하여 발광 소자(230)와 트랜지스터(240)를 구동할 수 있고, FPC(186b)를 통하여 정전용량 터치 센서를 구동할 수 있다.

[0160] <구체적인 예 6>

[0161] 도 23의 (A)는 발광 패널에서의 광 추출부(182)의 또 다른 예를 도시한 것이다.

[0162] 도 23의 (A)에서의 광 추출부(182)는 기판(181), 접착층(185), 기판(202), 절연층(205), 복수의 트랜지스터, 절연층(207), 도전층(208), 절연층(209a), 절연층(209b), 복수의 발광 소자, 절연층(211), 밀봉층(213), 및 착색층(259)을 포함한다.

[0163] 발광 소자(230)는, 하부 전극(231), EL층(233), 및 상부 전극(235)을 포함한다. 하부 전극(231)은, 도전층(208)을 통하여 트랜지스터(240)의 소스 전극 또는 드레인 전극에 전기적으로 접속된다. 하부 전극(231)의 단부는 절연층(211)으로 덮인다. 발광 소자(230)는 톱 이미션 구조를 갖는다. 하부 전극(231)은, 투광성을 가져, EL층(233)으로부터 사출되는 광을 투과시킨다.

[0164] 착색층(259)은 발광 소자(230)와 중첩되도록 제공되고, 발광 소자(230)로부터 사출되는 광이 착색층(259)을 통하여 기판(181) 측으로부터 추출된다. 발광 소자(230)와 기판(202) 사이의 공간은 밀봉층(213)으로 충전된다. 기판(202)은 기판(201)과 비슷한 재료를 사용하여 형성될 수 있다.

[0165] <구체적인 예 7>

[0166] 도 23의 (B)는 발광 패널의 또 다른 예를 도시한 것이다.

[0167] 도 23의 (B)에 도시된 발광 패널은 소자층(180), 접착층(185), 및 기판(181)을 포함한다. 소자층(180)은 기판(202), 절연층(205), 도전층(310a), 도전층(310b), 복수의 발광 소자, 절연층(211), 도전층(212), 및 밀봉층(213)을 포함한다.

[0168] 발광 패널의 외부 접속 전극인, 도전층(310a) 및 도전층(310b)은, FPC 등에 각각 전기적으로 접속될 수 있다.

[0169] 발광 소자(230)는, 하부 전극(231), EL층(233), 및 상부 전극(235)을 포함한다. 하부 전극(231)의 단부는 절연층(211)으로 덮인다. 발광 소자(230)는 보텀 이미션 구조를 갖는다. 하부 전극(231)은, 투광성을 가져, EL층(233)으로부터 사출되는 광을 투과시킨다. 도전층(212)은 하부 전극(231)에 전기적으로 접속된다.

[0170] 기판(181)은, 광 추출 구조로서, 반구 렌즈, 마이크로렌즈 어레이, 요철 표면 구조가 제공된 필름, 광 확산 필름 등을 가져도 좋다. 예를 들어, 광 추출 구조를 갖는 기판(181)은, 상술한 렌즈 또는 필름을 상기 기판, 상기 렌즈 또는 필름과 실질적으로 같은 굴절률을 갖는 접착제 등에 의하여 수지 기판에 접착시킴으로써 형성될 수 있다.

[0171] 도전층(212)은 반드시 제공될 필요는 없지만, 하부 전극(231)의 저항으로 인한 전압 강하를 방지할 수 있기 때

문에 제공되는 것이 바람직하다. 또한, 같은 목적으로, 상부 전극(235)에 전기적으로 접속되는 도전층이 절연층(211) 위에 제공되어도 좋다.

[0172] 도전층(212)은 구리, 타이타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 스칸듐, 니켈, 또는 알루미늄으로부터 선택된 재료, 이들 재료 중 어느 것을 주성분으로서 포함하는 합금 재료를 사용하여 형성된 단층 또는 적층일 수 있다. 도전층(212)의 두께는 0.1㎛ 이상 3㎛ 이하, 바람직하게는 0.1㎛ 이상 0.5㎛ 이하일 수 있다.

[0173] 페이스트(예를 들어 은 페이스트)가, 상부 전극(235)에 전기적으로 접속된 도전층을 위한 재료로서 사용되면, 상기 도전층을 형성하는 금속 입자가 모여서, 상기 도전층 표면은 거칠고 틈이 많게 된다. 따라서, EL층(233)이 상기 도전층을 완전히 덮기 어려워, 상부 전극과 상기 도전층은 서로 전기적으로 접속되기 쉬워져 바람직하다.

[0174] <재료의 예>

[0175] 다음에, 발광 패널에 사용될 수 있는 재료 등에 대하여 설명한다. 또한, 본 실시형태에서 이미 설명한 구성 요소에 대한 설명은 생략한다.

[0176] 소자층(180)은 적어도 발광층을 포함한다. 발광 소자로서는, 자발광 소자가 사용될 수 있고, 전류 또는 전압에 의하여 휘도가 제어되는 소자가 발광 소자의 범주에 포함된다. 예를 들어 발광 다이오드(LED), 유기 EL 소자, 무기 EL 소자 등이 사용될 수 있다. 이들 소자 중, 발광 효율 및 제작 방법의 관점에서 유기 EL 소자가 특히 바람직하다.

[0177] 소자층(180)은 발광 소자를 구동하기 위한 트랜지스터, 터치 센서 등을 더 포함하여도 좋다.

[0178] 발광 패널에서의 트랜지스터의 구조는 특히 한정되지 않는다. 예를 들어, 순스태거 트랜지스터(forward staggered transistor) 또는 역스태거 트랜지스터(inverted staggered transistor)가 사용되어도 좋다. 톱 게이트 트랜지스터 또는 보텀 게이트 트랜지스터가 사용되어도 좋다. 트랜지스터에 사용되는 반도체 재료는 특별히 한정되지 않고, 예를 들어 실리콘 또는 저마늄이 사용될 수 있다. 또는, In-Ga-Zn계 금속 산화물 등, 인듐, 갈륨, 및 아연 중 적어도 하나를 포함하는 산화물 반도체가 사용되어도 좋다.

[0179] 트랜지스터에 사용되는 반도체 재료의 결정성에 특별한 한정은 없고, 비정질 반도체 또는 결정성을 갖는 반도체(미결정 반도체, 다결정 반도체, 단결정 반도체, 또는 결정 영역을 부분적으로 포함하는 반도체)가 사용되어도 좋다. 결정성을 갖는 반도체가 사용되면, 트랜지스터 특성의 열화를 억제할 수 있어 바람직하다.

[0180] 발광 패널에 포함되는 발광 소자는 한 쌍의 전극(하부 전극(231) 및 상부 전극(235)) 및 상기 한 쌍의 전극 사이의 EL층(233)을 포함한다. 상기 한 쌍의 전극 중 한쪽은 애노드로서 기능하고 다른 쪽은 캐소드로서 기능한다.

[0181] 발광 소자는 톱 이미션 구조, 보텀 이미션 구조, 및 듀얼 이미션 구조 중 어느 것을 가져도 좋다. 가시광을 투과시키는 도전막은 광이 추출되는 전극으로서 사용된다. 가시광을 반사하는 도전막은 광이 추출되지 않는 전극으로서 사용되는 것이 바람직하다.

[0182] 가시광을 투과시키는 도전막은 예를 들어 산화 인듐, 산화 인듐 주석(ITO), 산화 인듐 아연, 산화 아연, 또는 갈륨이 첨가된 산화 아연을 사용하여 형성될 수 있다. 또는, 금, 은, 백금, 마그네슘, 니켈, 텅스텐, 크로뮴, 몰리브데넘, 철, 코발트, 구리, 팔라듐, 또는 타이타늄 등의 금속 재료의 막; 이들 금속 재료 중 어느 것을 포함하는 합금; 또는 이들 금속 재료 중 어느 것의 질화물(예를 들어, 질화 타이타늄)이 투광성을 가지도록 얇게 형성될 수 있다. 또는, 상술한 재료 중 어느 것의 적층을 도전층으로서 사용할 수 있다. 예를 들어, 은과 마그네슘의 합금과 ITO의 적층막이 사용되면 전도도가 증가될 수 있어 바람직하다. 또는, 그래핀 등이 사용되어도 좋다.

[0183] 가시광을 반사하는 도전막에는, 예를 들어, 알루미늄, 금, 백금, 은, 니켈, 텅스텐, 크로뮴, 몰리브데넘, 철, 코발트, 구리, 또는 팔라듐 등의 금속 재료, 또는 이들 금속 재료 중 어느 것을 포함하는 합금이 사용될 수 있다. 또한, 란타넘, 네오디뮴, 저마늄 등이 상기 금속 재료 또는 상기 합금에 첨가되어도 좋다. 또한, 알루미늄과 타이타늄의 합금, 알루미늄과 니켈의 합금, 또는 알루미늄과 네오디뮴의 합금 등 알루미늄을 포함하는 합금(알루미늄 합금); 또는 은과 구리의 합금, 은과 팔라듐과 구리의 합금, 또는 은과 마그네슘의 합금 등 은을 포함하는 합금이 도전막에 사용될 수 있다. 은과 구리의 합금은 내열성이 높기 때문에 바람직하다. 또한, 금속막 또는 금속 산화물막이 알루미늄 합금막 위와 접촉하여 적층되면, 알루미늄 합금막의 산화를 방지할 수 있

다. 상기 금속막 또는 상기 금속 산화물막을 위한 재료의 예는 타이타늄 및 산화 타이타늄이다. 또는, 가시광을 투과시키는 상술한 도전막 및 금속 재료를 포함하는 막이 적층되어도 좋다. 예를 들어, 은과 ITO의 적층막 또는 은과 마그네슘의 합금과 ITO의 적층막이 사용될 수 있다.

[0184] 전극은 각각 증착법 또는 스퍼터링법에 의하여 형성될 수 있다. 또는, 잉크젯법 등의 토출법, 스크린 인쇄법 등의 인쇄법, 또는 도금법이 사용되어도 좋다.

[0185] 발광 소자의 문턱 전압보다 높은 전압이 하부 전극(231)과 상부 전극(235) 사이에 인가되면, 애노드 측으로부터 EL층(233)으로 정공이 주입되고, 캐소드 측으로부터 EL층(233)으로 전자가 주입된다. 주입된 전자 및 정공은 EL층(233)에서 재결합하고, EL층(233)에 포함되는 발광 물질이 광을 사출한다.

[0186] EL층(233)은 적어도 발광층을 포함한다. 발광층에 더하여, EL층(233)은 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블로킹 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 바이폴러성 물질(전자 및 정공 수송성이 높은 물질) 등 중 어느 것을 포함하는 하나 이상의 층을 더 포함하여도 좋다.

[0187] EL층(233)에, 저분자 화합물 또는 고분자 화합물이 사용될 수 있고, 무기 화합물이 사용되어도 좋다. EL층(233)에 포함되는 각 층은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등 중 어느 것에 의하여 형성될 수 있다.

[0188] 소자층(180)에서, 발광 소자는 투수성이 낮은 한 쌍의 절연막 사이에 제공되는 것이 바람직하다. 이로써, 물 등의 불순물이 발광 소자에 들어가는 것을 방지할 수 있어, 발광 장치의 신뢰성 저하의 방지로 이어진다.

[0189] 투수성이 낮은 절연막으로서, 질소 및 실리콘을 포함하는 막(예를 들어 질화 실리콘막 또는 질화산화 실리콘막), 질소 및 알루미늄을 포함하는 막(예를 들어 질화 알루미늄막) 등이 사용될 수 있다. 또는, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막 등이 사용될 수 있다.

[0190] 예를 들어, 투수성이 낮은 절연막의 수증기 투과율은 1×10^{-5}[g/m^2 · day] 이하이고, 바람직하게는 1×10^{-6}[g/m^2 · day] 이하, 더 바람직하게는 1×10^{-7}[g/m^2 · day] 이하, 더욱 바람직하게는 1×10^{-8}[g/m^2 · day] 이하이다.

[0191] 기판(181)은 투광성을 가져, 소자층(180)에 포함되는 발광 소자로부터 사출되는 광을 적어도 투과시킨다. 기판(181)은 가요성 기판이어도 좋다. 또한, 기판(181)의 굴절률은 대기보다 높다.

[0192] 유리보다 가벼운 유기 수지는 기판(181)에 사용되는 것이 바람직하고, 이 경우, 발광 장치는 유리가 사용되는 경우에 비하여 더 가볍게 될 수 있다.

[0193] 가요성 및 가시광에 대한 투광성을 갖는 재료의 예에는 가요성을 가질 정도로 얇은 유리, 폴리에틸렌테레프탈레이트(PET) 및 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터 수지, 폴리아크릴로나이트릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에터설폰(PES) 수지, 폴리아마이드 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드 이미드 수지, 및 폴리염화바이닐 수지가 포함된다. 특히, 열팽창 계수가 낮은 재료가 바람직하고, 예를 들어 폴리아마이드 이미드 수지, 폴리이미드 수지, 또는 PET가 적합하게 사용될 수 있다. 유기 수지에 유리 섬유가 함침(含浸)된 기판 또는 유기 수지에 무기 필러(filler)를 섞음으로써 열팽창 계수가 저감된 기판이 사용될 수도 있다.

[0194] 기판(181)은, 상술한 재료의 어느 것의 층 위에 발광 장치의 표면을 대미지로부터 보호하는 하드코드층(질화 실리콘층 등), 압력을 분산할 수 있는 층(아라미드 수지층 등)이 적층된 구조를 가져도 좋다. 또한, 수분 등으로 인한 발광 소자의 수명 저하를 억제하기 위하여, 투수성이 낮은 절연막이 상기 적층 구조에 포함되어도 좋다.

[0195] 접착층(185)은 투광성을 가져, 소자층(180)에 포함된 발광 소자로부터 사출되는 광을 적어도 투과시킨다. 또한, 접착층(185)의 굴절률은 대기보다 높다.

[0196] 접착층(185)에는, 2성분형(two-component type) 수지, 광경화성 수지, 열경화성 수지 등 실온에서 경화될 수 있는 수지가 사용될 수 있다. 그 예에는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지 등을 들 수 있다. 특히, 에폭시 수지 등 투습성이 낮은 재료가 바람직하다.

[0197] 또한, 상기 수지가 건조제를 포함하여도 좋다. 예를 들어, 알칼리 토금속의 산화물(예를 들어 산화 칼슘 또는 산화 바륨) 등, 화학 흡착에 의하여 수분을 흡착하는 물질이 사용될 수 있다. 또는, 제올라이트 또는 실리카겔 등, 물리 흡착에 의하여 수분을 흡착하는 물질이 사용되어도 좋다. 수분 등의 불순물이 발광 소자에 들어가는 것을 방지할 수 있어, 발광 장치의 신뢰성이 향상되기 때문에 건조제가 포함되는 것이 바람직하다.

[0198] 또한, 상기 수지에 굴절률이 높은 필러(예를 들어 산화 타이타늄)가 섞이면, 발광 소자로부터의 광 추출 효율이 향상될 수 있어 바람직하다.

[0199] 접착층(185)은 광을 산란시키기 위한 산란 부재를 포함하여도 좋다. 예를 들어, 접착층(185)은 상술한 수지와 상기 수지와 상이한 굴절률을 갖는 입자의 혼합물일 수 있다. 상기 입자는 광을 산란시키기 위한 산란 부재로서 기능한다.

[0200] 수지와 이 수지와 상이한 굴절률을 갖는 입자 사이의 굴절률의 차이는 0.1 이상이 바람직하고, 0.3 이상이 더 바람직하다. 구체적으로 에폭시 수지, 아크릴 수지, 이미드 수지, 실리콘(silicone) 등이 수지로서 사용될 수 있고, 산화 타이타늄, 산화 바륨, 제올라이트 등이 입자로서 사용될 수 있다.

[0201] 산화 타이타늄 또는 산화 바륨의 입자는 광을 굉장히 산란시키기 때문에 바람직하다. 제올라이트가 사용될 때, 수지 등에 포함되는 물을 흡착할 수 있으므로, 발광 소자의 신뢰성을 향상시킨다.

[0202] 절연층(205) 및 절연층(255)은 각각 무기 절연 재료를 사용하여 형성될 수 있다. 투수성이 낮은 절연막을 사용하면 신뢰성이 높은 발광 패널이 제공될 수 있어 특히 바람직하다.

[0203] 절연층(207)은 트랜지스터에 포함된 반도체에 불순물이 확산되는 것을 방지하는 효과를 갖는다. 절연층(207)으로서는, 산화 실리콘막, 산화질화 실리콘막, 또는 산화 알루미늄막 등의 무기 절연막이 사용될 수 있다.

[0204] 절연층(209, 209a, 209b) 각각으로서는, 트랜지스터 등으로 인한 표면 요철을 저감하기 위하여 평탄화 기능을 갖는 절연막을 선택하는 것이 바람직하다. 예를 들어, 폴리이미드계 수지, 아크릴계 수지, 또는 벤조사이클로부텐계 수지 등의 유기 재료가 사용될 수 있다. 이러한 유기 재료 대신에, 저유전율 재료(low-k 재료) 등이 사용될 수 있다. 또한, 이들 재료로 형성되는 복수의 절연막 또는 무기 절연막들이 적층되어도 좋다.

[0205] 절연층(211)은 하부 전극(231)의 단부를 덮도록 제공된다. 절연층(211)은 위에 형성되는 EL층(233) 및 상부 전극(235)으로 양호하게 덮이기 위하여, 절연층(211)의 측벽이 연속적인 곡률의 경사면을 갖는 것이 바람직하다.

[0206] 절연층(211)의 재료로서는, 수지 또는 무기 절연 재료가 사용될 수 있다. 수지로서는, 예를 들어 폴리이미드계 수지, 폴리아마이드계 수지, 아크릴계 수지, 실록산계 수지, 에폭시계 수지, 페놀계 수지 등이 사용될 수 있다. 특히, 절연층(211)을 쉽게 형성하기 위하여, 네거티브 감광성 수지 또는 포지티브 감광성 수지가 바람직하게 사용된다.

[0207] 절연층(211)을 형성하는 방법에 특별한 제한은 없지만, 포토리소그래피법, 스퍼터링법, 증착법, 액적 토출법(예를 들어 잉크젯법), 인쇄법(예를 들어 스크린 인쇄법 또는 오프셋 인쇄법) 등이 사용될 수 있다.

[0208] 절연층(217)은 무기 절연 재료, 유기 절연 재료, 금속 재료 등을 사용하여 형성될 수 있다. 유기 절연 재료로서는, 예를 들어 네거티브 또는 포지티브 감광성 수지, 비감광성 수지 등이 사용될 수 있다. 금속 재료로서는, 타이타늄, 알루미늄 등이 사용될 수 있다. 절연층(217)에 도전성 재료가 사용되고, 절연층(217)이 상부 전극(235)에 전기적으로 접속되는 경우, 상부 전극(235)의 저항으로 인한 전압 강하가 방지될 수 있다. 절연층(217)은 테이퍼 형상 및 역테이퍼 형상 중 어느 쪽을 가져도 좋다.

[0209] 절연층(276, 278, 291, 293, 295) 각각은 무기 절연 재료 또는 유기 절연 재료를 사용하여 형성될 수 있다. 센서 소자로 인한 표면 요철을 저감하기 위하여 절연층(278) 및 절연층(295) 각각에 평탄화 기능을 갖는 절연층을 사용하는 것이 특히 바람직하다.

[0210] 밀봉층(213)에, 2성분형 수지 등 실온에서 경화될 수 있는 수지, 광경화성 수지, 열경화성 수지 등이 사용될 수 있다. 예를 들어, 폴리바이닐클로라이드(PVC) 수지, 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 실리콘(silicone) 수지, 폴리바이닐뷰티랄(PVB) 수지, 에틸렌바이닐아세테이트(EVA) 수지 등이 사용될 수 있다. 건조제가 밀봉층(213)에 포함되어도 좋다. 발광 소자(230)로부터 사출되는 광이 밀봉층(213)을 통하여 발광 패널의 외부에 추출되는 경우, 밀봉층(213)은 굴절률이 높은 필러 또는 산란 부재를 포함하는 것이 바람직하다. 건조제, 굴절률이 높은 필러, 및 산란 부재를 위한 재료는 접착층(185)에 사용될 수 있는 것과 비슷하다.

[0211] 도전층(253), 도전층(254), 도전층(294), 및 도전층(296) 각각은 트랜지스터 또는 발광 소자에 포함되는 도전층과 같은 재료를 사용하여 같은 공정에서 형성될 수 있다. 도전층(280)은 트랜지스터에 포함되는 도전층과 같은 재료를 사용하여 같은 공정에서 형성될 수 있다.

[0212] 예를 들어, 상기 도전층은 각각 몰리브데넘, 타이타늄, 크로뮴, 탄탈럼, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐 등의 금속 재료, 및 이들 원소 중 어느 것을 포함하는 합금 재료 중 어느 것을 사용하여 단층 구조 또는

적층 구조를 갖도록 형성될 수 있다. 상기 도전층은 각각 도전성 금속 산화물을 사용하여 형성되어도 좋다. 도전성 금속 산화물로서, 산화 인듐(예를 들어 In_2O_3), 산화 주석(예를 들어 SnO_2), 산화 아연(ZnO), ITO, 산화 인듐 아연(예를 들어 In_2O_3-ZnO), 또는 이들 금속 산화물 재료 중 어느 것에 산화 실리콘이 포함된 것이 사용될 수 있다.

[0213] 도전층(208, 212, 310a, 310b) 각각도 상술한 금속 재료, 합금 재료, 및 도전성 금속 산화물 중 어느 것을 사용하여 형성될 수 있다.

[0214] 도전층(272, 274, 281, 283) 각각은 투광성을 갖는 도전층이다. 상기 도전층은 예를 들어 산화 인듐, ITO, 산화 인듐 아연, 산화 아연, 갈륨이 첨가된 산화 아연 등을 사용하여 형성될 수 있다. 도전층(270)은 도전층(272)과 같은 재료를 사용하여 같은 공정에서 형성될 수 있다.

[0215] 도전성 입자(292)로서, 금속 재료로 코팅된, 유기 수지, 실리카 등의 입자가 사용된다. 접촉 저항을 저감할 수 있기 때문에 금속 재료로서 니켈 또는 금을 사용하는 것이 바람직하다. 니켈과, 더구나 금으로 코팅된 입자 등, 2종류 이상의 금속 재료의 층으로 각각 코팅된 입자를 사용하는 것도 바람직하다.

[0216] 커넥터(215)에, 금속 입자와 열경화성 수지의 혼합체에 의하여 얻어지고, 열 압착 본딩에 의하여 이방성 전기 전도도가 제공되는, 페이스트 형태 또는 시트 형태의 재료를 사용할 수 있다. 금속 입자로서, 2종류 이상의 금속으로 층을 이루는 입자, 예를 들어 금으로 코팅된 니켈 입자가 사용되는 것이 바람직하다.

[0217] 착색층(259)은 특정한 파장 대역의 광을 투과시키는 착색층이다. 예를 들어, 적색 파장 대역에서의 광을 투과시키는 적색(R) 컬러 필터, 녹색 파장 대역에서의 광을 투과시키는 녹색(G) 컬러 필터, 청색 파장 대역에서의 광을 투과시키는 청색(B) 컬러 필터 등을 사용할 수 있다. 각 착색층은, 인쇄법, 잉크젯법, 포토리소그래피법을 사용하는 에칭법 등에 의하여 다양한 재료 중 어느 것으로 원하는 위치에 형성된다.

[0218] 차광층(257)이, 인접한 착색층(259)들 사이에 제공된다. 인접한 발광 소자로부터 사출된 광을 차광층(257)이 차단함으로써 인접한 화소들 사이의 혼색을 방지한다. 여기서, 착색층(259)은 이 단부가 차광층(257)과 중첩되도록 제공됨으로써, 광 누설을 저감할 수 있다. 차광층(257)은, 예를 들어 금속 재료, 안료 또는 염료를 포함하는 수지 재료 등, 발광 소자로부터 사출되는 광을 차단하는 재료를 사용하여 형성될 수 있다. 또한, 차광층(257)이 도 20의 (A)에 도시된 바와 같이, 구동 회로부(184) 등, 광 추출부(182) 외의 영역에 제공되면 도광(guided light) 등의 원하지 않는 누설을 방지할 수 있어 바람직하다.

[0219] 착색층(259) 및 차광층(257)을 덮는 절연층(261)은 착색층(259) 또는 차광층(257)에 포함되는 안료 등의 불순물이 발광 소자 등으로 확산되는 것을 방지할 수 있기 때문에 제공되는 것이 바람직하다. 절연층(261)에, 투광성 재료가 사용되고 무기 절연 재료 또는 유기 절연 재료가 사용될 수 있다. 투수성이 낮은 절연막이 절연층(261)에 사용되어도 좋다.

[0220] <제작 방법의 예>

[0221] 다음에, 발광 패널의 제작 방법의 예에 대하여 도 24의 (A)~(C) 및 도 25의 (A)~(C)를 참조하여 설명한다. 여기서, 제작 방법에 대하여 구체적인 예 1(도 20의 (B))의 발광 패널을 예로서 사용하여 설명한다.

[0222] 먼저, 박리층(303)을 형성 기판(301) 위에 형성하고, 절연층(205)을 박리층(303) 위에 형성한다. 다음에 복수의 트랜지스터, 도전층(254), 절연층(207), 절연층(209), 복수의 발광 소자, 및 절연층(211)을 절연층(205) 위에 형성한다. 개구는 도전층(254)을 노출하도록 절연층(211), 절연층(209), 및 절연층(207)에 형성한다(도 24의 (A)).

[0223] 또한, 박리층(307)을 형성 기판(305) 위에 형성하고, 절연층(255)을 박리층(307) 위에 형성한다. 다음에 차광층(257), 착색층(259), 및 절연층(261)을 절연층(255) 위에 형성한다(도 24의 (B)).

[0224] 형성 기판(301) 및 형성 기판(305)은 각각 유리 기판, 석영 기판, 사파이어 기판, 세라믹 기판, 금속 기판 등일 수 있다.

[0225] 유리 기판에, 예를 들어 알루미노실리케이트 유리(aluminosilicate glass), 알루미노보로실리케이트 유리(aluminoborosilicate glass), 또는 바륨보로실리케이트 유리(barium borosilicate glass) 등의 유리 재료를 사용할 수 있다. 나중에 수행되는 가열 처리의 온도가 높을 때, 730℃ 이상의 스트레인점을 갖는 기판을 사용하는 것이 바람직하다. 또한, 대량의 산화 바륨(BaO)을 포함하면 유리 기판은 내열이고 더 실용적일 수 있다. 또는 결정화된 유리 등을 사용하여도 좋다.

[0226] 형성 기판으로서 유리 기판을 사용하는 경우, 산화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 또는 질화산화 실리콘막 등의 절연막을 형성 기판과 박리층 사이에 형성하면 유리 기판으로부터의 오염을 방지할 수 있어 바람직하다.

[0227] 박리층(303) 및 박리층(307)은 각각 텅스텐, 몰리브데넘, 타이타늄, 탄탈럼, 나이오븀, 니켈, 코발트, 지르코늄, 아연, 루테늄, 로듐, 팔라듐, 오스뮴, 이리듐, 및 실리콘으로부터 선택된 원소; 상기 원소 중 어느 것을 포함하는 합금 재료; 또는 상기 원소 중 어느 것을 포함하는 화합물 재료를 포함하는 단층 구조 또는 적층 구조를 갖는다. 실리콘을 포함하는 층의 결정 구조는 비정질, 미결정, 또는 다결정이라도 좋다.

[0228] 박리층은, 스퍼터링법, 플라즈마 CVD법, 도포법, 인쇄법 등에 의하여 형성할 수 있다. 또한, 도포법은 스핀 코팅법, 액적 토출법, 및 디스펜싱법을 포함한다.

[0229] 박리층이 단층 구조를 갖는 경우, 텅스텐층, 몰리브데넘층, 또는 텅스텐 및 몰리브데넘의 혼합체를 포함하는 층이 형성되는 것이 바람직하다. 또는 텅스텐의 산화물 또는 산화질화물을 포함하는 층, 몰리브데넘의 산화물 또는 산화질화물을 포함하는 층, 또는 텅스텐 및 몰리브데넘의 혼합체의 산화물 또는 산화질화물을 포함하는 층이 형성되어도 좋다. 또한, 텅스텐 및 몰리브데넘의 혼합체는 예를 들어 텅스텐과 몰리브데넘의 합금에 상당한다.

[0230] 박리층이 텅스텐을 포함하는 층 및 텅스텐의 산화물을 포함하는 층을 포함하는 적층 구조를 갖도록 형성되는 경우, 텅스텐의 산화물을 포함하는 층은 이하와 같이 형성할 수 있다: 먼저 텅스텐을 포함하는 층을 형성하고, 이 위에 산화물로 형성되는 절연막을 형성하여, 텅스텐의 산화물을 포함하는 층을 텅스텐층과 절연막 사이의 계면에 형성한다. 또는 열 산화 처리, 산소 플라즈마 처리, 아산화 질소(N_2O) 플라즈마 처리, 오존수 등 산화력이 높은 용액에 의한 처리 등을 텅스텐을 포함하는 층의 표면에 수행함으로써 텅스텐의 산화물을 포함하는 층을 형성하여도 좋다. 플라즈마 처리 또는 가열 처리는 산소, 질소, 또는 아산화 질소 단독, 또는 이들 가스 중 어느 것과 다른 가스의 혼합 가스의 분위기에서 수행하여도 좋다. 박리층의 표면 상태를 플라즈마 처리 또는 가열 처리에 의하여 변화함으로써, 박리층과 나중에 형성되는 절연막 사이의 접착을 제어할 수 있다.

[0231] 또는, 절연층(205) 또는 절연층(255)과, 박리층 사이에 절연층을 제공하여, 이 절연층과, 절연층(205) 또는 절연층(255) 사이의 계면에서 박리가 수행되도록 할 수 있다. 상기 절연층은 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막 등 중 어느 것을 포함하는 단층 구조 또는 적층 구조를 가질 수 있다.

[0232] 절연층들은 각각 스퍼터링법, 플라즈마 CVD법, 도포법, 인쇄법 등에 의하여 형성할 수 있다. 예를 들어, 절연층을 250℃ 이상 400℃ 이하의 온도로 플라즈마 CVD법에 의하여 형성함으로써, 절연층은 투수성이 매우 낮은 치밀한 막이 될 수 있다.

[0233] 다음에, 밀봉층(213)을 위한 재료를, 위에 착색층(259) 등이 형성된 형성 기판(305) 표면 또는 위에 발광 소자(230) 등이 형성된 형성 기판(301) 표면에 도포하고, 형성 기판(301) 및 형성 기판(305)을 밀봉층(213)을 개재(介在)하여 이들 2면이 서로 대향하도록 접착한다(도 24의 (C)).

[0234] 다음에 형성 기판(301)을 박리하고, 노출된 절연층(205)과 기판(201)을 접착층(203)에 의하여 서로 접착한다. 또한, 형성 기판(305)을 박리하고, 노출된 절연층(255)과 기판(181)을 접착층(185)에 의하여 서로 접착한다. 도 25의 (A)에서 기판(181)은 도전층(254)과 중첩되지 않지만, 기판(181)은 도전층(254)과 중첩되어도 좋다.

[0235] 다양한 방법 중 어느 것을 박리 공정에 적절히 사용할 수 있다. 예를 들어, 박리되는 층과 접촉되는 측에 박리층으로서 금속 산화물막을 포함하는 층이 형성될 때, 상기 금속 산화물막을 결정화에 의하여 취약화하여, 박리되는 층을 형성 기판으로부터 박리할 수 있다. 또는, 내열성이 높은 형성 기판과 박리되는 층 사이에 수소를 포함하는 비정질 실리콘막이 박리층으로서 형성될 때, 상기 비정질 실리콘막을 레이저 광 조사 또는 에칭에 의하여 제거함으로써, 박리되는 층을 형성 기판으로부터 박리할 수 있다. 또는 박리되는 층과 접촉되는 측에 박리층으로서 금속 산화물막을 포함하는 층이 형성된 후, 상기 금속 산화물막을 결정화에 의하여 취약화하고, 박리층의 일부를 용액 또는 NF_3, BrF_3, 또는 ClF_3 등의 불화 가스를 사용한 에칭에 의하여 더 제거함으로써 취약화된 금속 산화물막에서 박리할 수 있다. 또는, 박리층으로서 질소, 산소, 수소 등을 포함하는 막(예를 들어, 수소를 포함하는 비정질 실리콘막, 수소를 포함하는 합금막, 산소를 포함하는 합금막 등)을 사용하고, 박리층에 레이저 광을 조사하여 박리층 내에 포함된 질소, 산소, 또는 수소를 가스로서 방출하여, 박리되는 층과 형성 기판 사이의 박리를 촉진하는 방법이 수행되어도 좋다. 또는 박리되는 층이 제공된 형성 기판을 기계적으로 제거 또는 용액 또는 NF_3, BrF_3, 또는 ClF_3 등의 불화 가스를 사용한 에칭으로 제거하는 방법 등을 사용할 수 있다. 이 경우, 박리층이 반드시 제공될 필요는 없다.

[0236] 또한, 박리 공정은 상술한 박리 방법을 조합함으로써 쉽게 수행될 수 있다. 바꿔 말하면 레이저 광 조사, 가스, 용액 등에 의한 박리층에 대한 에칭, 또는 예리한 나이프, 메스 등에 의한 기계적인 제거를 수행하여 박리층과 박리되는 층이 서로 쉽게 박리될 수 있게 한 후, (기계 등에 의한) 물리적인 힘에 의하여 박리가 수행될 수 있다.

[0237] 형성 기판으로부터 박리되는 층의 박리는, 박리층과 박리되는 층 사이의 계면을 액체로 채움으로써 수행하여도 좋다. 또한, 박리는 물 등의 액체를 끼얹으면서 수행하여도 좋다.

[0238] 또 다른 박리 방법으로서, 텅스텐을 사용하여 박리층을 형성하는 경우, 암모니아수와 과산화수소수의 혼합 용액을 사용하여 박리층을 에칭하면서 박리를 수행하는 것이 바람직하다.

[0239] 또한, 형성 기판과 박리되는 층 사이의 계면에서 박리가 가능한 경우, 박리층은 필요하지 않다. 예를 들어, 유리가 형성 기판으로서 사용되고, 폴리이미드 등의 유기 수지가 유리에 접촉하여 형성되고, 절연막, 트랜지스터 등이 유기 수지 위에 형성된다. 이 경우, 유기 수지를 가열함으로써 형성 기판과 유기 수지 사이의 계면에서 박리가 가능하다. 또는 형성 기판과 유기 수지 사이에 금속층을 제공하고, 전류를 상기 금속층에 흘려 금속층을 가열함으로써, 금속층과 유기 수지 사이의 계면에서의 박리를 수행하여도 좋다.

[0240] 마지막으로, 도전층(254)을 노출하도록 개구를 절연층(255)과 밀봉층(213)에 형성한다(도 25의 (B)). 기판(181)이 도전층(254)과 중첩되는 경우, 개구를 기판(181) 및 접착층(185)에도 형성한다(도 25의 (C)). 개구를 형성하기 위한 방법은 특별히 한정되지 않고, 예를 들어 레이저 어블레이션법, 에칭법, 이온빔 스퍼터링법 등일 수 있다. 또 다른 방법으로서 예리한 나이프 등에 의하여 도전층(254) 위의 막에 칼집을 내고 막의 일부를 물리적인 힘으로 박리하여도 좋다.

[0241] 상술한 바와 같이 하여, 발광 패널을 제작할 수 있다.

[0242] 상술한 바와 같이, 본 실시형태의 발광 패널은 2개의 기판(한쪽은 기판(181)이고, 다른 쪽은 기판(201) 또는 기판(202))을 포함한다. 발광 패널은, 터치 센서를 포함하더라도 2개의 기판으로 형성될 수 있다. 최소수의 기판을 사용함으로써 광 추출 효율의 향상 및 표시의 선명도의 향상을 쉽게 달성할 수 있다.

[0243] 본 실시형태는 본 명세서에서의 다른 실시형태들 중 어느 것과 적절히 조합할 수 있다.

[0244] (실시형태 4)

[0245] 본 실시형태에서는, 정보 처리 장치에 사용될 수 있는 발광 패널에 대하여 도 26을 참조하여 설명한다.

[0246] 도 26에 도시된 발광 패널은 기판(401), 트랜지스터(240), 발광 소자(230), 절연층(207), 절연층(209), 절연층(211), 절연층(217), 공간(405), 절연층(261), 차광층(257), 착색층(259), 수광 소자(p형 반도체층(271), i형 반도체층(273), 및 n형 반도체층(275)을 포함함), 도전층(281), 도전층(283), 절연층(291), 절연층(293), 절연층(295), 및 기판(403)을 포함한다.

[0247] 상기 발광 패널은, 발광 소자(230) 및 수광 소자를 둘러싸도록 기판(401)과 기판(403) 사이에 프레임 형상으로 형성된 접착층(미도시)을 포함한다. 발광 소자(230)는 상기 접착층, 기판(401), 및 기판(403)에 의하여 밀봉된다.

[0248] 본 실시형태의 발광 패널에서, 기판(403)은 투광성을 갖는다. 발광 소자(230)로부터 사출되는 광은 착색층(259), 기판(403) 등을 통하여 대기에 추출된다.

[0249] 본 실시형태의 발광 패널은 터치 조작이 가능하다. 구체적으로는, 기판(403) 표면상에서의 물체의 근접 또는 접촉을 수광 소자에 의하여 검지할 수 있다.

[0250] 광학 터치 센서는, 표면에 물체가 터치됨으로 인한 대미지의 영향이 센싱 정확도에 미치지 않기 때문에 내구성이 높아 바람직하다. 광학 터치 센서는, 비접촉 센싱이 가능하고, 표시 장치에 사용되어도 화상의 선명도가 열화되지 않고, 큰 사이즈의 발광 패널 및 표시 장치에 적용 가능하다는 점도 유리하다.

[0251] 기판(403)과 공간(405) 사이에 광학 터치 센서를 제공하면, 광학 터치 센서가 발광 소자(230)로부터 사출된 광에 의한 영향을 받기 어렵고 S/N비를 향상시킬 수 있기 때문에 바람직하다.

[0252] 차광층(257)은 발광 소자(230)의 위쪽에 위치하며 수광 소자와 중첩된다. 차광층(257)은, 발광 소자(230)로부터 사출되는 광이 수광 소자에 조사되는 것을 방지할 수 있다.

[0253] 기판(401) 및 기판(403)에 사용되는 재료에 특별한 한정은 없다. 발광 소자로부터 사출되는 광이 추출되는 기판은 상기 광을 투과시키는 재료를 사용하여 형성된다. 예를 들어, 유리, 석영, 세라믹, 사파이어, 또는 유기 수지 등의 재료가 사용될 수 있다. 발광이 추출되지 않는 기판은 투광성을 가질 필요가 없기 때문에 상술한 기판에 더하여 금속 재료 또는 합금 재료를 사용한 금속 기판 등이 사용될 수 있다. 또한, 상술한 실시형태에서든 기판을 위한 재료 중 어느 것이 기판(401) 및 기판(403)에 사용될 수도 있다.

[0254] 발광 패널을 밀봉하기 위한 방법은 한정되지 않고, 고체 밀봉 또는 중공(hollow) 밀봉이 채용될 수 있다. 예를 들어, 글라스 프릿 등의 유리 재료, 2성분형 수지 등 실온에서 경화될 수 있는 수지, 광경화성 수지, 또는 열경화성 수지 등의 수지 재료가 사용될 수 있다. 공간(405)은 질소 또는 아르곤 등의 불활성 가스, 또는 밀봉층(213)에 사용되는 것과 같은 수지 등으로 충전되어도 좋다. 또한, 수지는 건조제, 굴절률이 높은 필러, 또는 산란 부재를 포함하여도 좋다.

[0255] 본 실시형태는, 본 명세서에서의 다른 실시형태들 중 어느 것과 적절히 조합할 수 있다.

부호의 설명

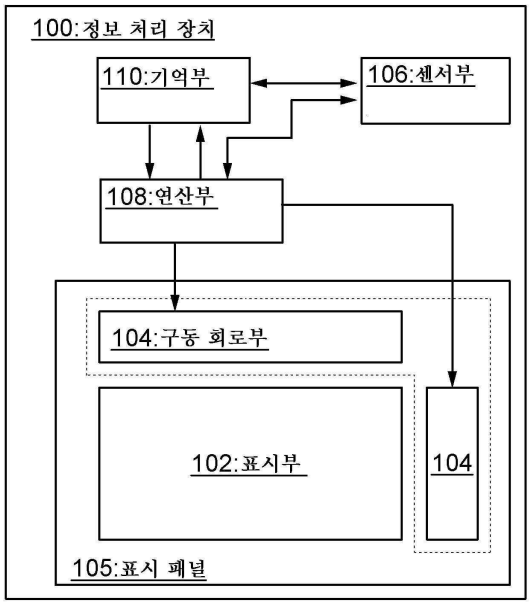
[0256] 100: 정보 처리 장치, 102: 표시부, 102a: 표시부, 102b: 표시부, 104: 구동 회로부, 104g_1: 게이트 드라이버, 104g_1A: 게이트 드라이버, 104g_1B: 게이트 드라이버, 104g_2: 게이트 드라이버, 104g_2A: 게이트 드라이버, 104g_2B: 게이트 드라이버, 104g_2C: 게이트 드라이버, 104g_2D: 게이트 드라이버, 104g_3: 게이트 드라이버, 104g_4: 게이트 드라이버, 104s_1: 소스 드라이버, 104s_2: 소스 드라이버, 104s_3: 소스 드라이버, 104s_4: 소스 드라이버, 105: 표시 패널, 106: 센서부, 108: 연산부, 110: 기억부, 120: 영역, 130:, 발광 영역, 131: 발광 영역, 132: 발광 영역, 133: 발광 영역, 150: 정보 처리 장치, 152: 표시 패널, 153a: 지지 패널, 155a: 지지 패널, 155b: 지지 패널, 180: 소자층, 181: 기판, 182: 광 추출부, 184: 구동 회로부, 185: 접착층, 186: FPC, 186a: FPC, 186b: FPC, 201: 기판, 202: 기판, 203: 접착층, 205: 절연층, 207: 절연층, 208: 도전층, 209: 절연층, 209a: 절연층, 209b: 절연층, 211: 절연층, 212: 도전층, 213: 밀봉층, 215: 커넥터, 215a: 커넥터, 215b: 커넥터, 217: 절연층, 230: 발광 소자, 231: 하부 전극, 233: EL층, 235: 상부 전극, 240: 트랜지스터, 253: 도전층, 254: 도전층, 255: 절연층, 257: 차광층, 259: 착색층, 261: 절연층, 270: 도전층, 271: p형 반도체층, 272: 도전층, 273: i형 반도체층, 274: 도전층, 275: n형 반도체층, 276: 절연층, 278: 절연층, 280: 도전층, 281: 도전층, 283: 도전층, 291: 절연층, 292: 도전성 입자, 293: 절연층, 294: 도전층, 295: 절연층, 296: 도전층, 301: 형성 기판, 303: 박리층, 305: 형성 기판, 307: 박리층, 310a: 도전층, 310b: 도전층, 401: 기판, 403: 기판, 405: 공간, 901: 트랜지스터, 902: 용량 소자, 903: 트랜지스터, 904: 발광 소자, 905: 배선, 906: 배선, 907: 배선, 907A: 배선, 907B: 배선, 907C: 배선, 907D: 배선, 907E: 배선, 907F: 배선, 908: 배선, 909: 화소, 911: 회로, 912: 소스 드라이버 회로, 913: 회로, 913A: 게이트 드라이버, 913B: 게이트 드라이버, 914: 게이트 드라이버, 915: 회로, 916: 회로, 916A: 회로, 916B: 회로, 917A: 스위치, 917B: 스위치, 917C: 스위치, 917D: 스위치, 917E: 스위치, 917F: 스위치, 918: 배선, 918A: 배선, 918B: 배선, 919: AND 회로, 920: 배선, 921: 회로, 922: AND 회로, 923: 배선.

본 출원은 2013년 7월 19일에 일본 특허청에 출원된 일련 번호 2013-150588의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

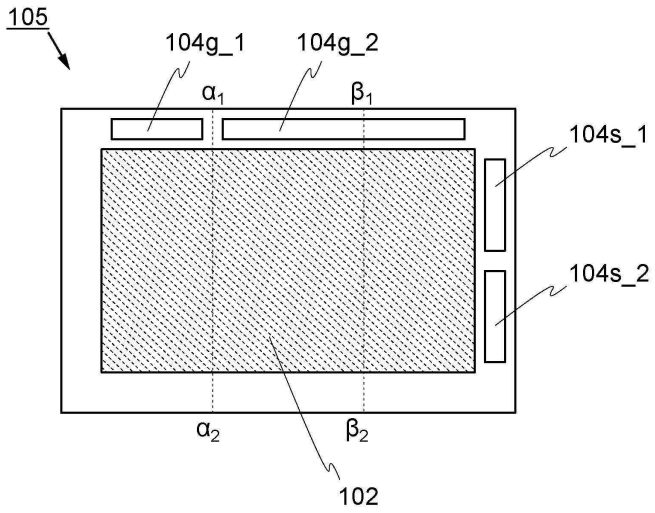
도면

도면1

(A)

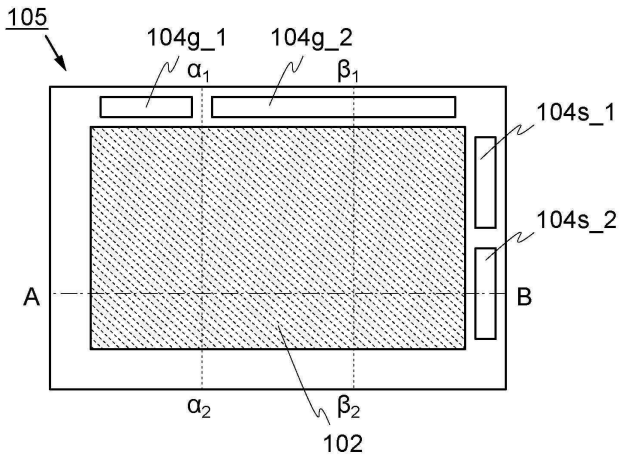

100:정보 처리 장치
110:기억부
106:센서부
108:연산부
104:구동 회로부
102:표시부
104
105:표시 패널

(B)

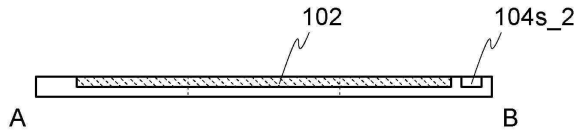

105
104g_1
104g_2
α1
β1
104s_1
104s_2
α2
β2
102

도면2

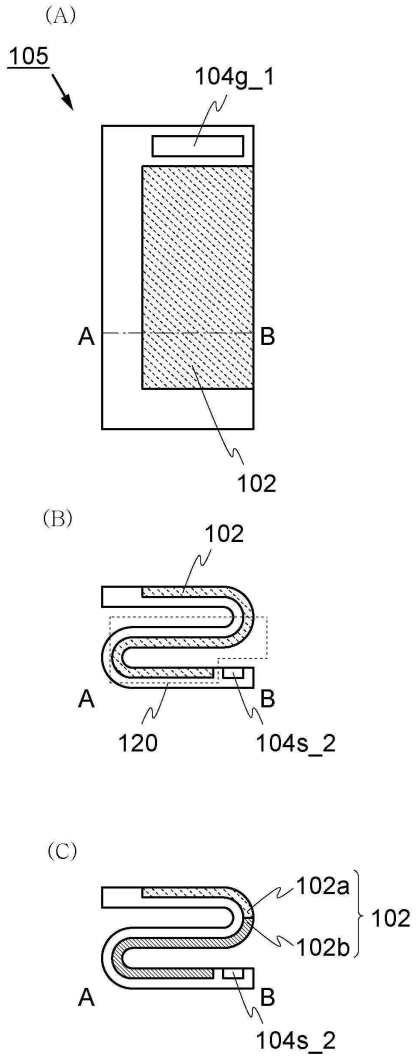
(A)



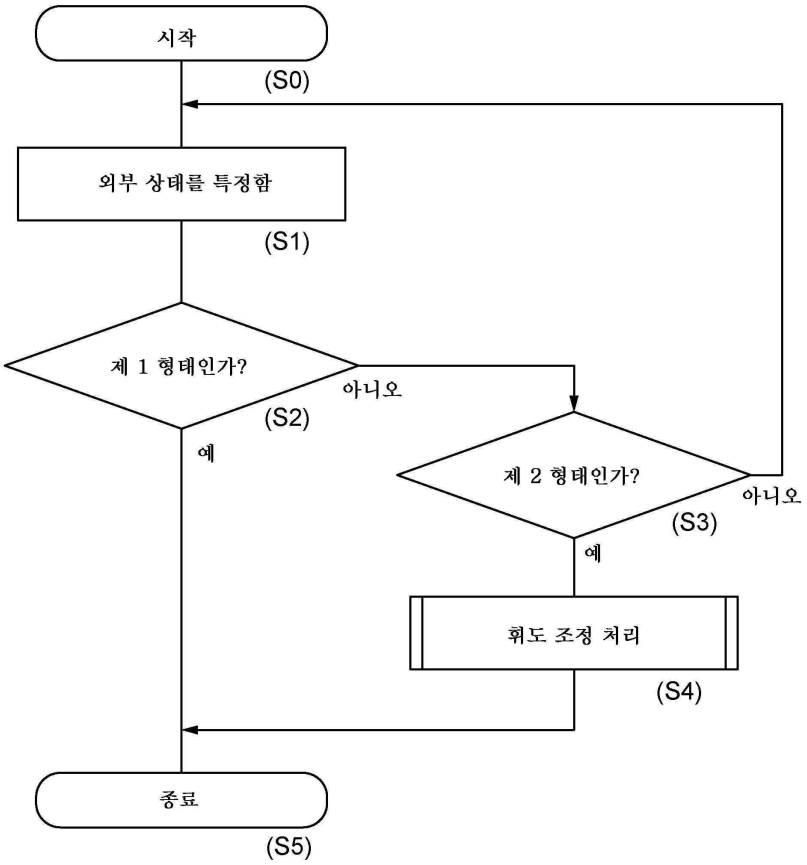
(B)



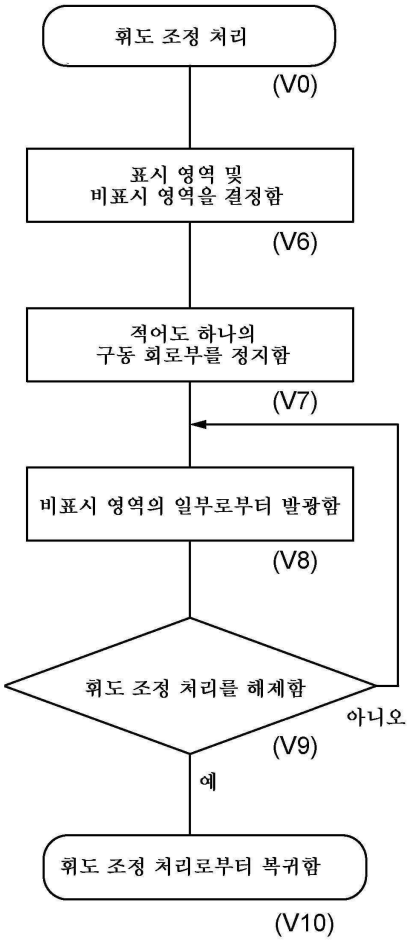
도면3



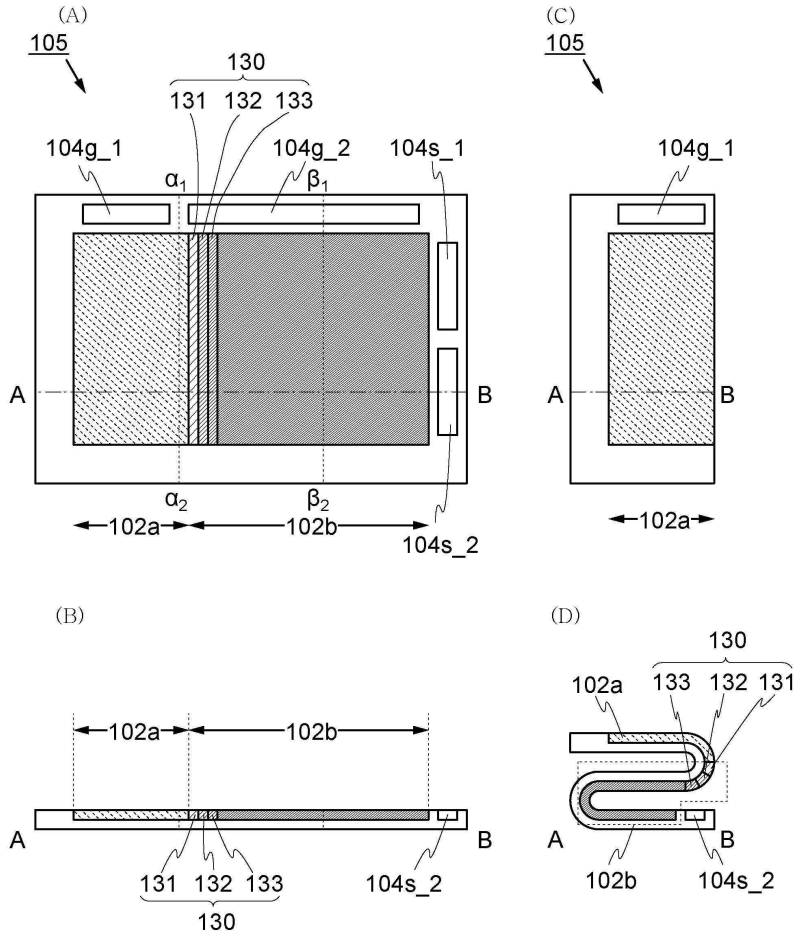
도면4


시작
(S0)
외부 상태를 특정함
(S1)
제 1 형태인가?
(S2)
아니오
예
제 2 형태인가?
(S3)
아니오
예
휘도 조정 처리
(S4)
종료
(S5)

도면5

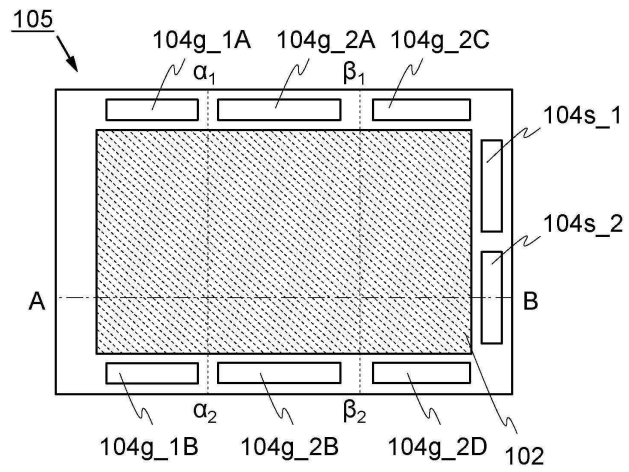

휘도 조정 처리
(V0)
표시 영역 및
비표시 영역을 결정함
(V6)
적어도 하나의
구동 회로부를 정지함
(V7)
비표시 영역의 일부로부터 발광함
(V8)
휘도 조정 처리를 해제함
아니오
(V9)
예
휘도 조정 처리로부터 복귀함
(V10)

도면6

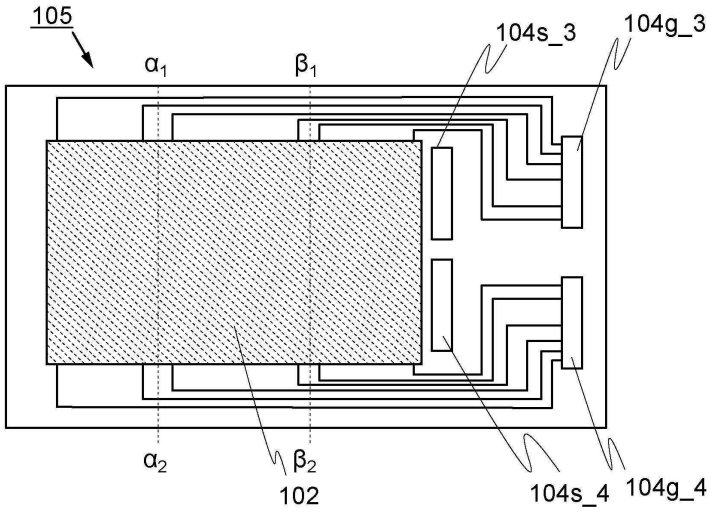

(A)
105
130
131 132 133
104g_1
104g_2
104s_1
α1
β1
A
B
α2
β2
102a
102b
104s_2
(C)
105
104g_1
A
B
102a
(B)
102a
102b
A
B
131 132 133
130
104s_2
(D)
130
102a
133 132 131
A
B
102b
104s_2

도면7

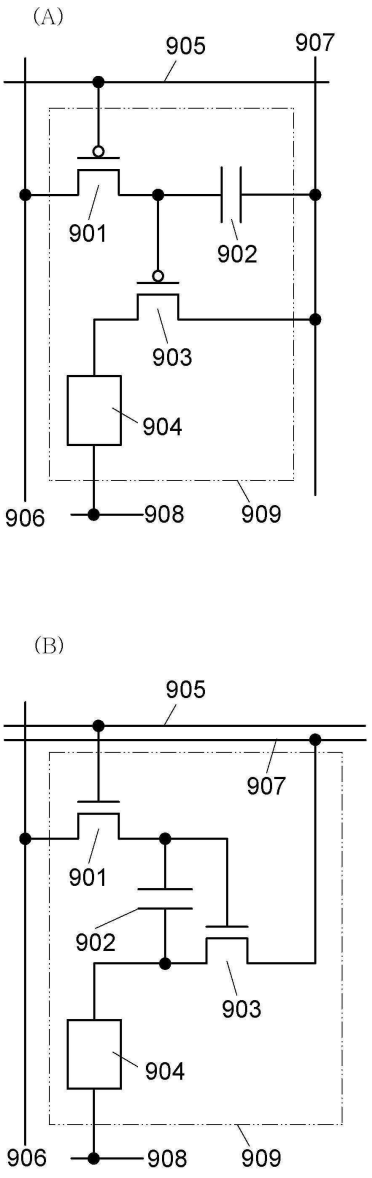
(A)


105
104g_1A
104g_2A
104g_2C
α1
β1
104s_1
104s_2
A
B
α2
β2
104g_1B
104g_2B
104g_2D
102

(B)

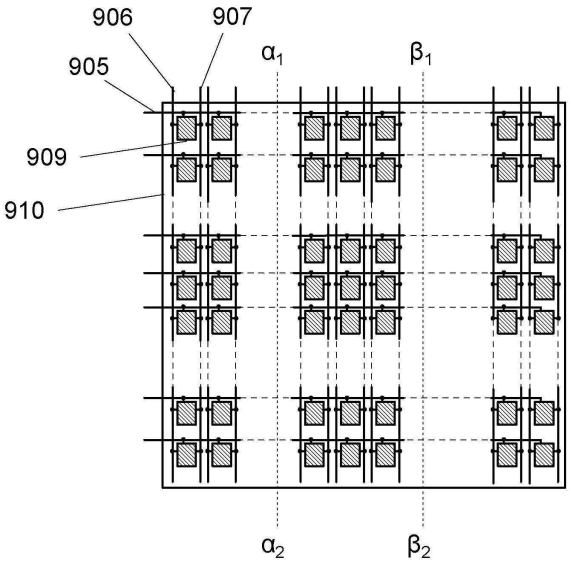

105
α1
β1
104s_3
104g_3
α2
β2
102
104s_4
104g_4

도면8

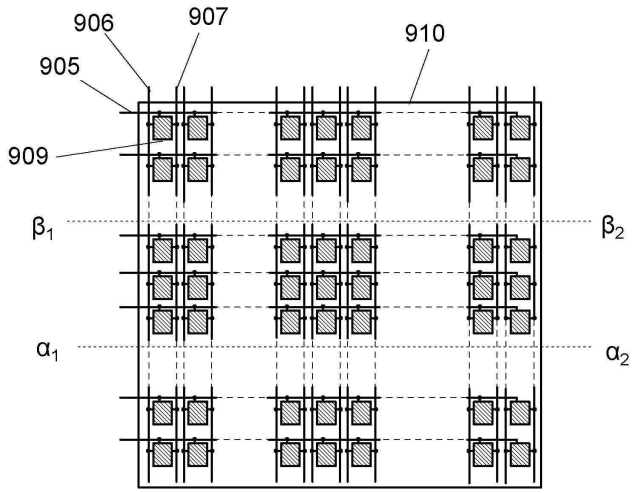

(A)
905
907
901
902
903
904
906
908
909
(B)
905
907
901
902
903
904
906
908
909

도면9

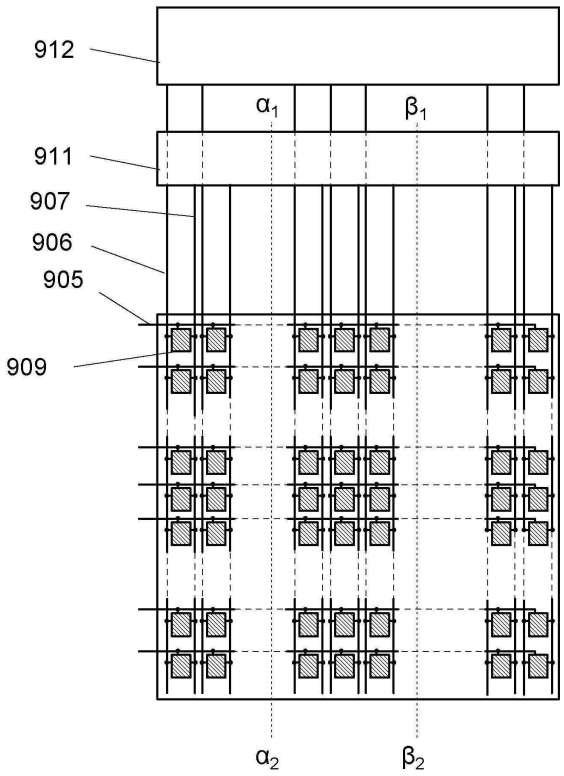
(A)



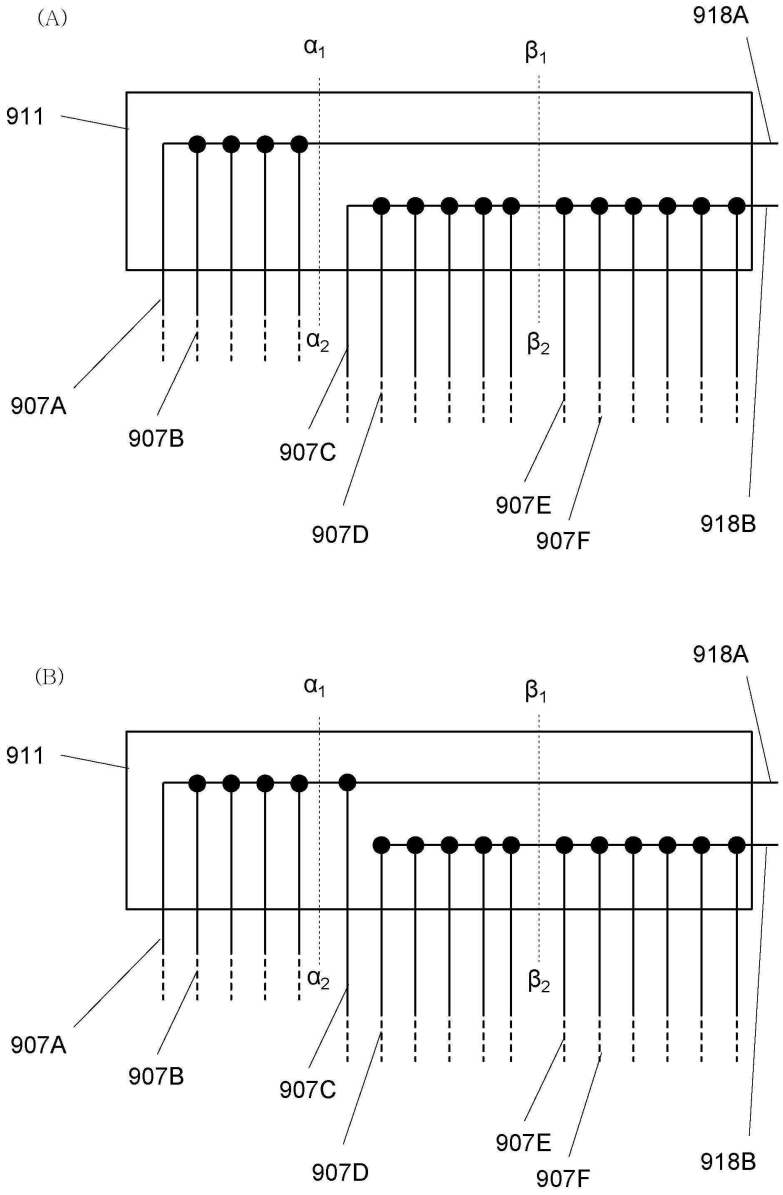
(B)



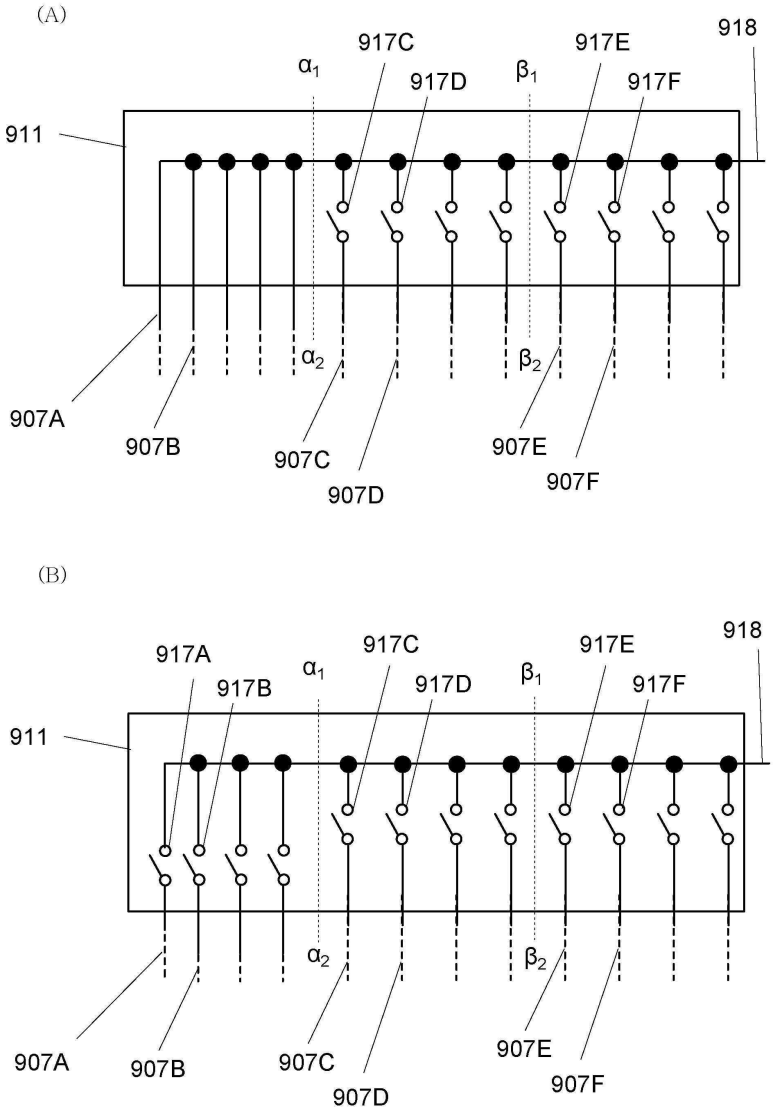
도면10



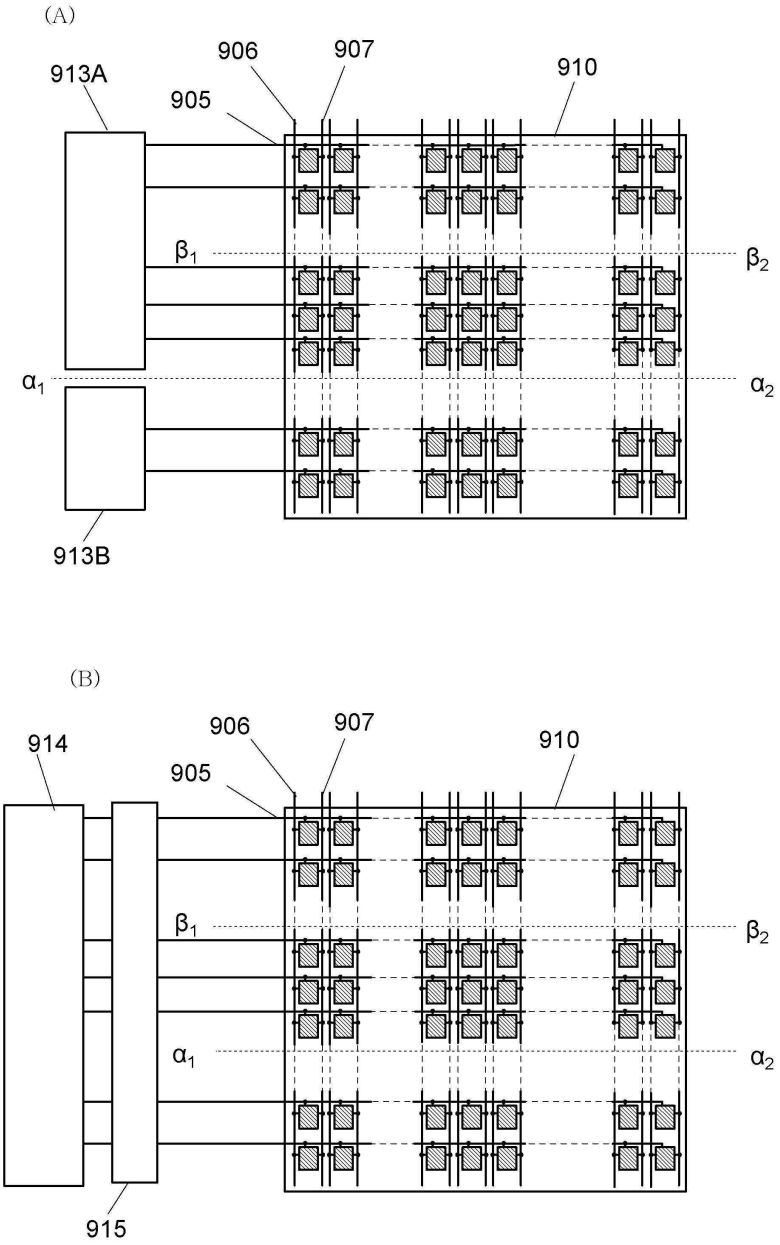
도면11


(A)
911
α1
β1
918A
α2
β2
907A
907B
907C
907D
907E
907F
918B
(B)
911
α1
β1
918A
α2
β2
907A
907B
907C
907D
907E
907F
918B

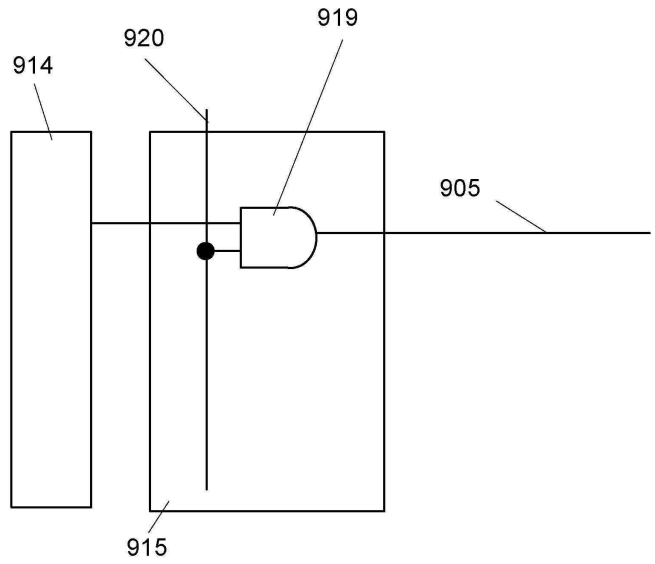
도면12


(A)
911
α1
917C
917D
β1
917E
917F
918
α2
β2
907A
907B
907C
907D
907E
907F
(B)
911
917A
917B
α1
917C
917D
β1
917E
917F
918
α2
β2
907A
907B
907C
907D
907E
907F

도면13

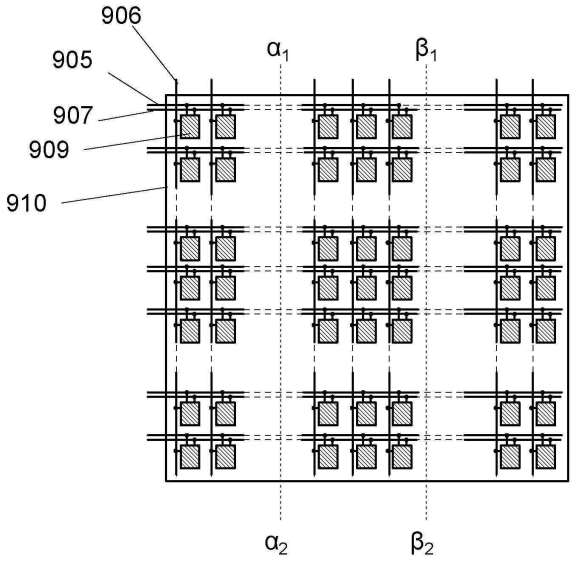

(A)
913A
906
907
910
905
β1
β2
α1
α2
913B
(B)
914
906
907
910
905
β1
β2
α1
α2
915

도면14

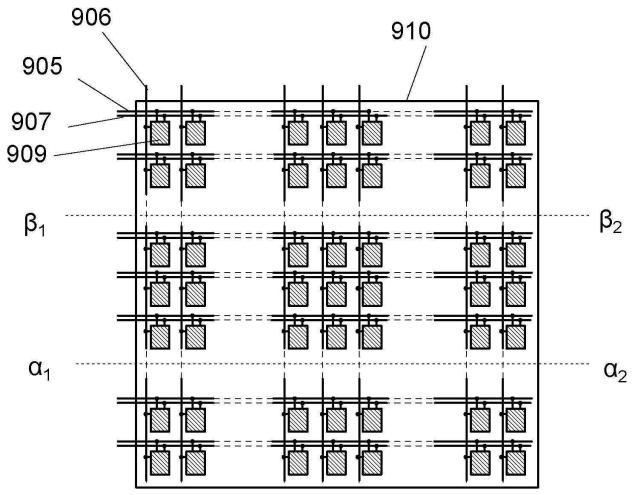


도면15

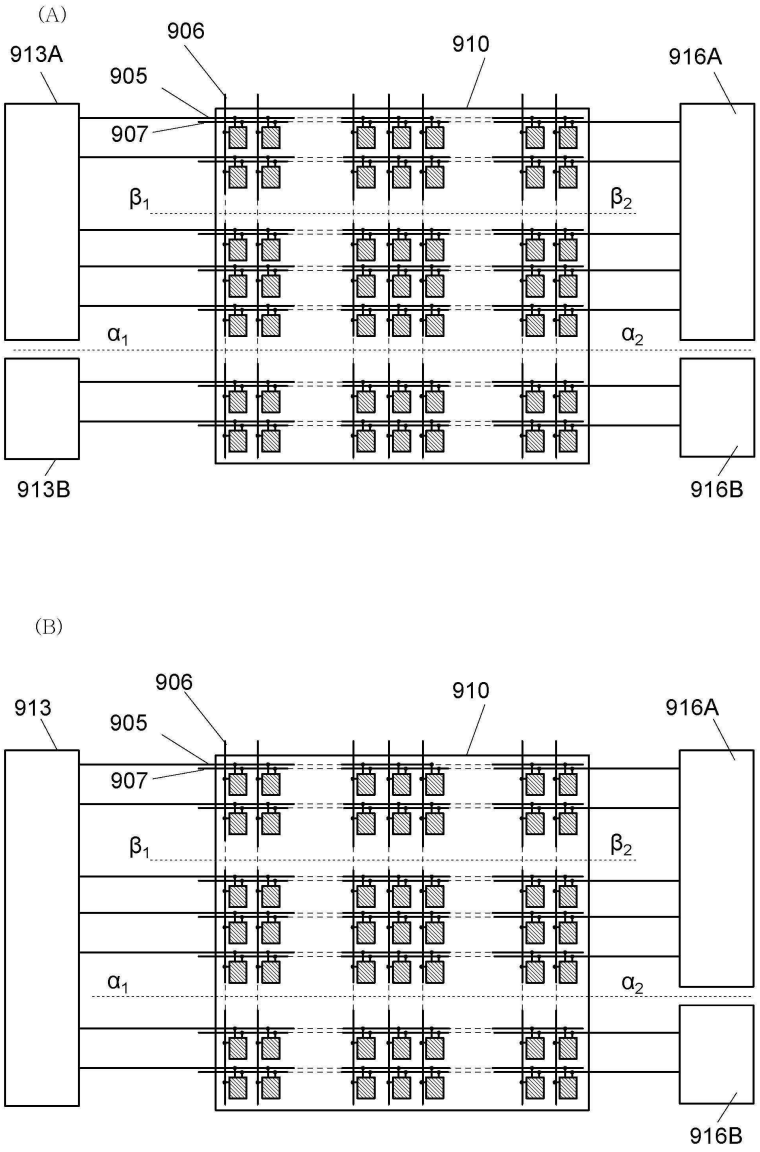
(A)



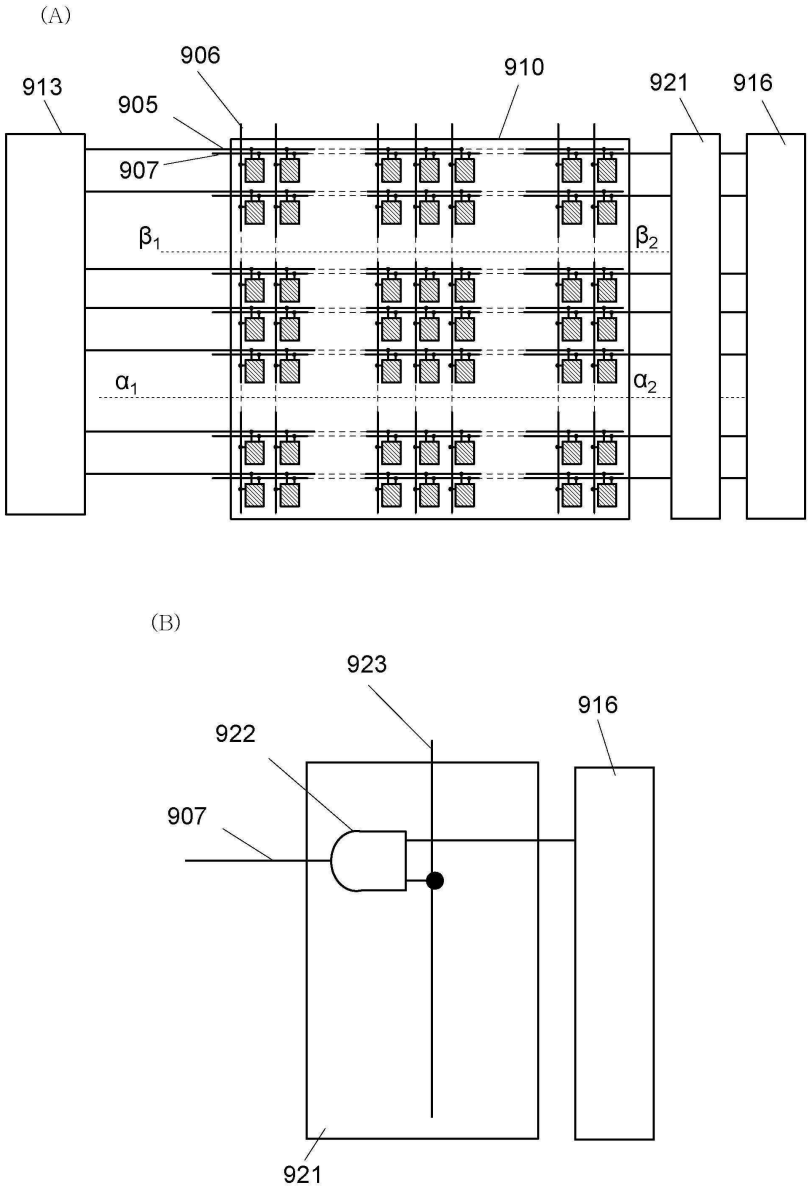
(B)



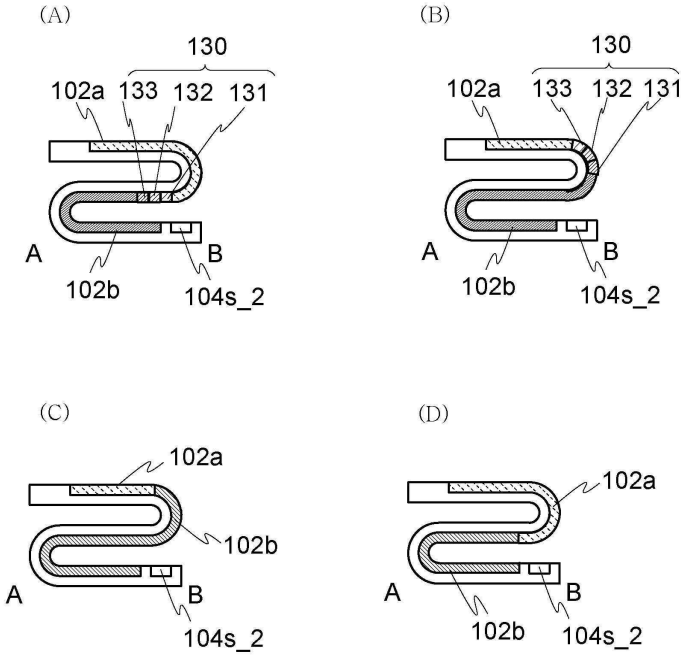
도면16


(A)
913A
906
905
910
916A
907
β1
β2
α1
α2
913B
916B
(B)
913
906
905
910
916A
907
β1
β2
α1
α2
916B

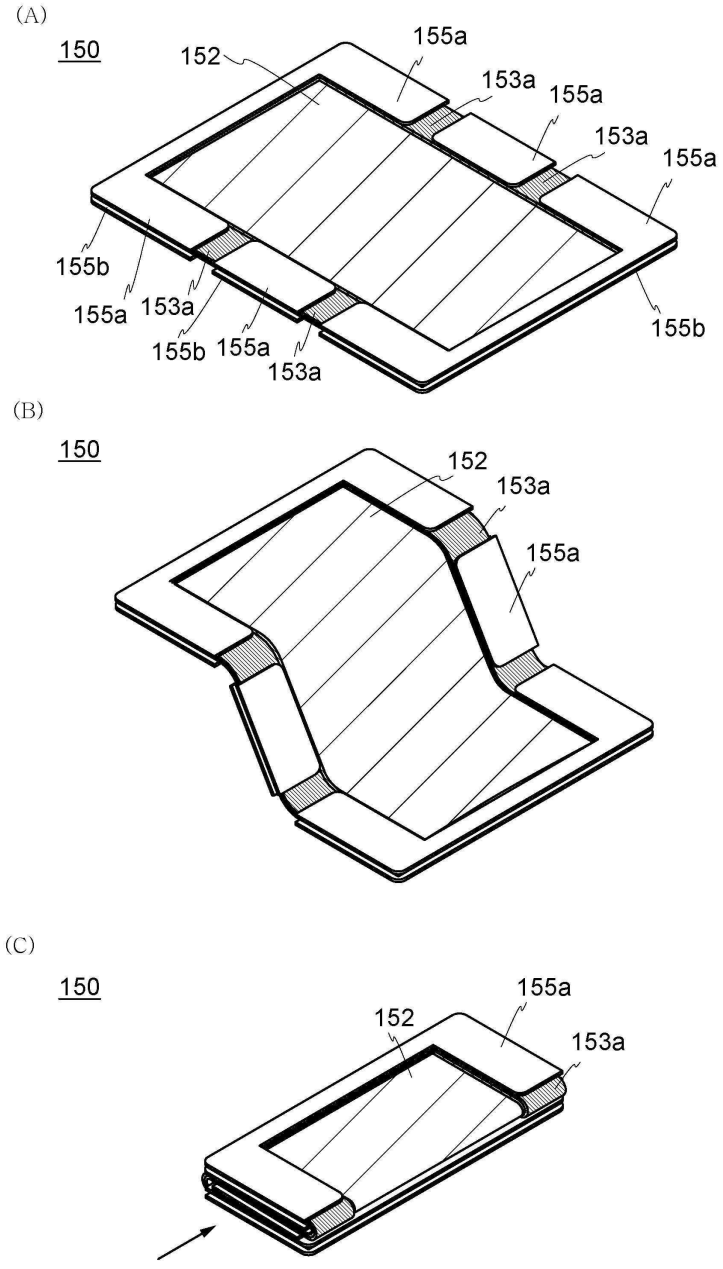
도면17



도면18

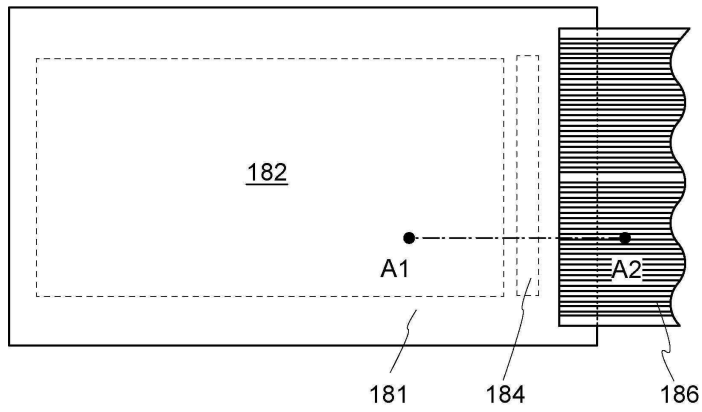

(A)
130
102a
133
132
131
A
B
102b
104s_2
(B)
130
102a
133
132
131
A
B
102b
104s_2
(C)
102a
102b
A
B
104s_2
(D)
102a
A
B
102b
104s_2

도면19

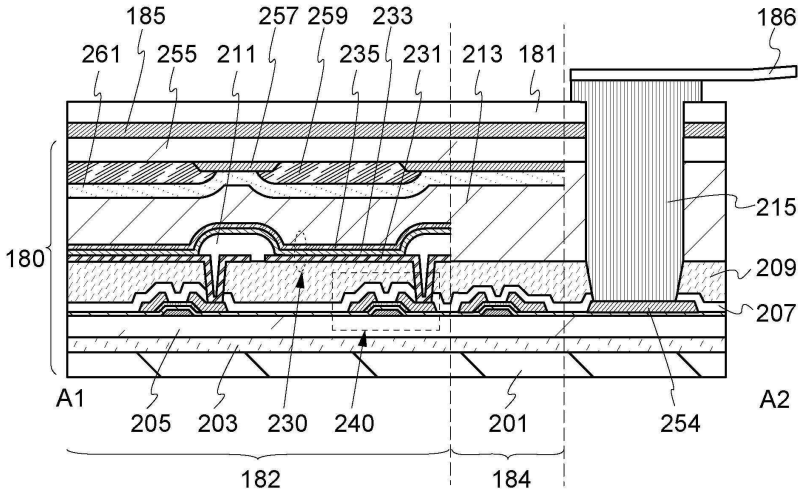

(A)
150
152
155a
153a
155a
153a
155a
155b
155a
153a
155b
155a
153a
155b
(B)
150
152
153a
155a
(C)
150
155a
152
153a

도면20

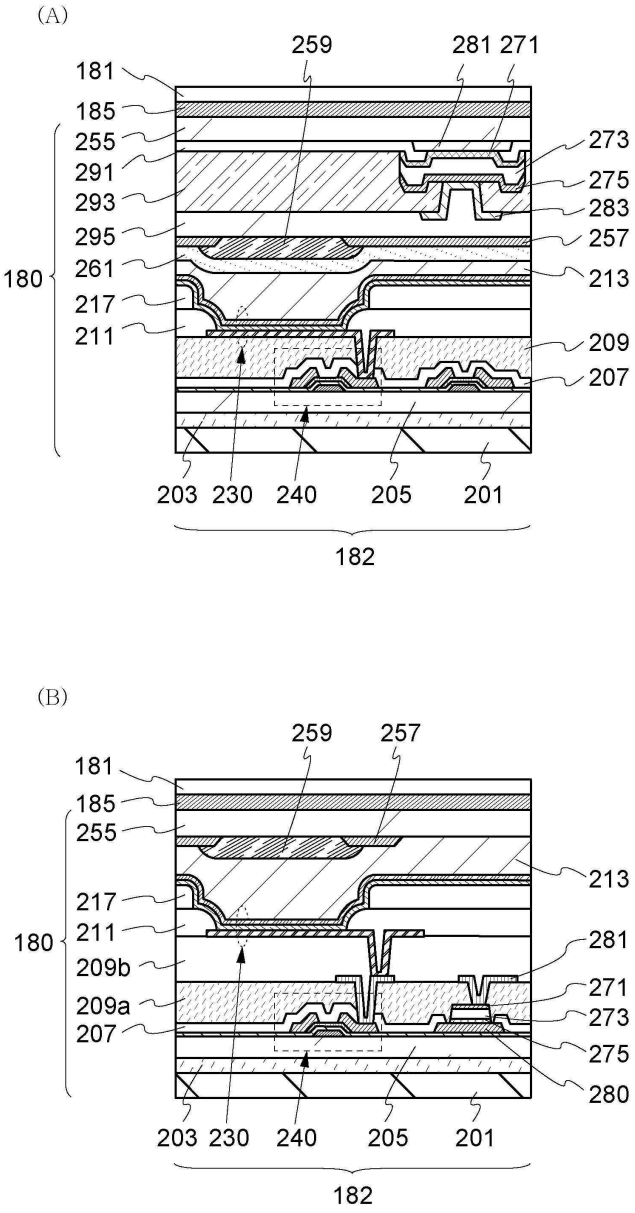
(A)


182
A1
A2
181
184
186

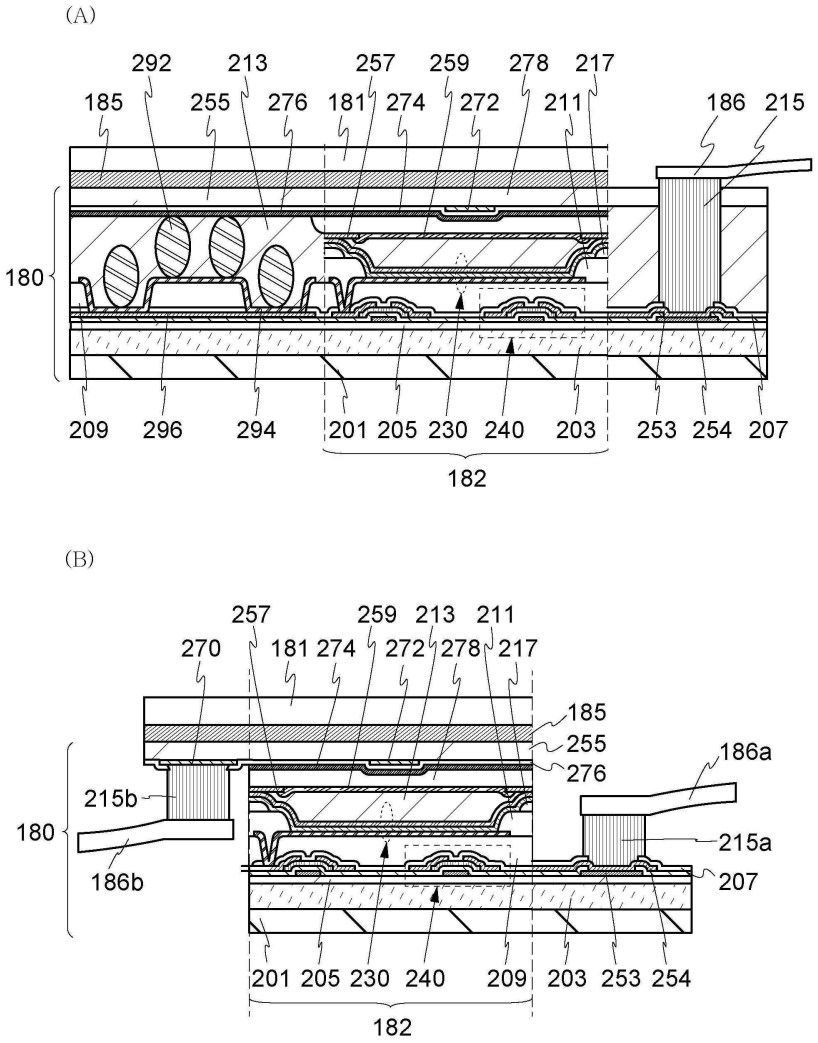
(B)


185
257
259
233
186
261
255
211
235
231
213
181
215
180
209
207
A1
A2
205
203
230
240
201
254
182
184

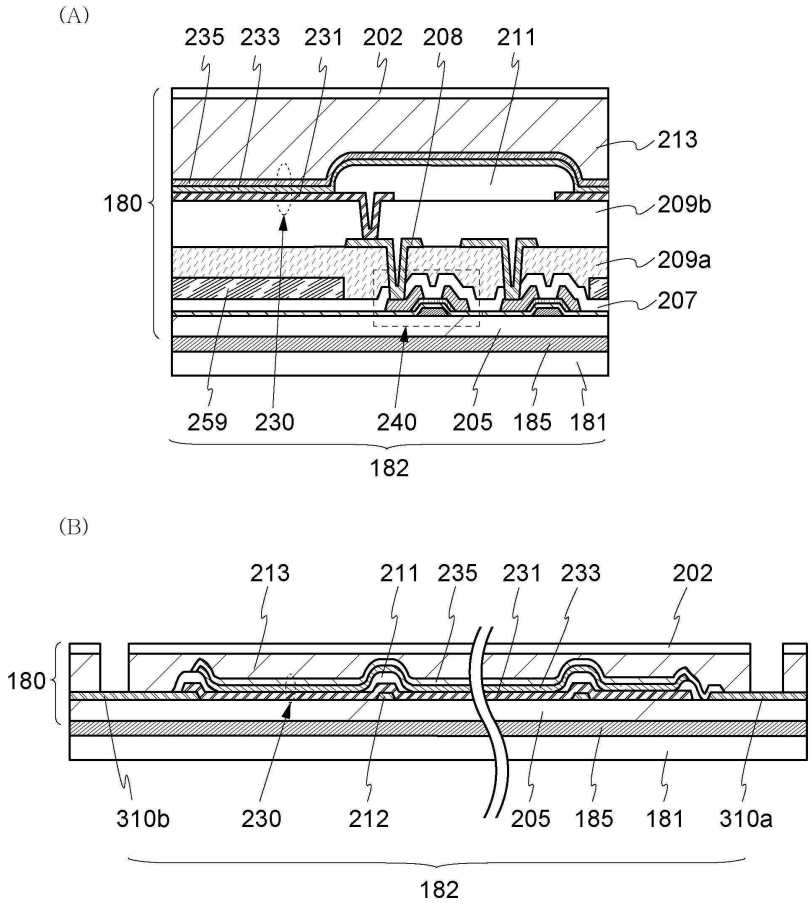
도면21


(A)
259
281 271
181
185
255
291
293
295
261
217
211
180
273
275
283
257
213
209
207
203 230 240 205 201
182
(B)
259
257
181
185
255
217
211
209b
209a
207
180
213
281
271
273
275
280
203 230 240 205 201
182

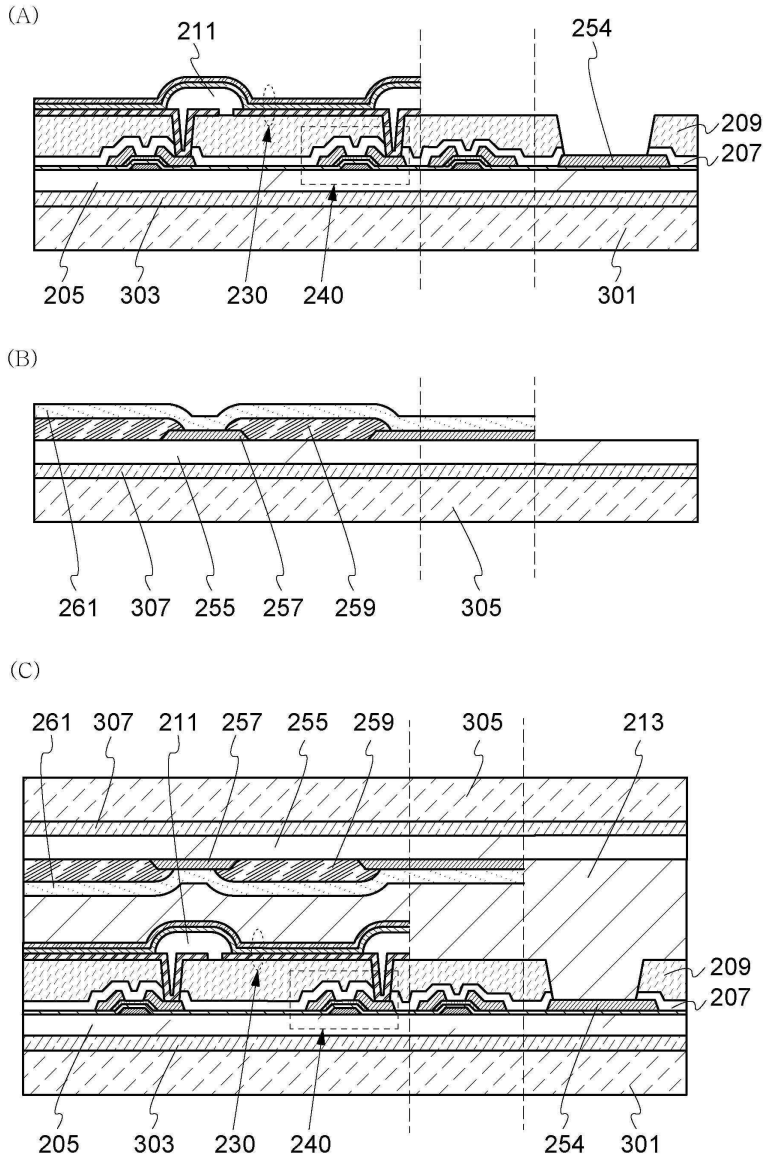
도면22


(A)
292
213
257
259
278
217
185
255
276
181
274
272
211
186
215
180
209
296
294
201
205
230
240
203
253
254
207
182
(B)
257
259
213
211
270
181
274
272
278
217
185
255
276
186a
215b
180
215a
186b
207
201
205
230
240
209
203
253
254
182

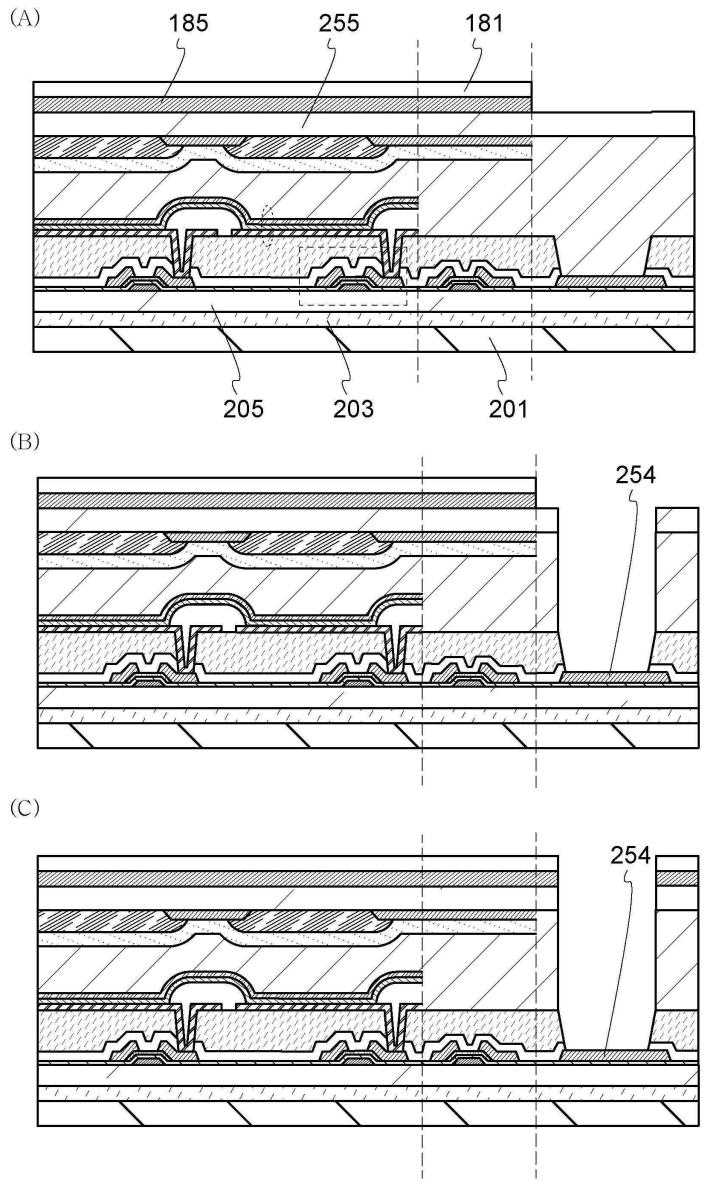
도면23


(A)
235
233
231
202
208
211
213
180
209b
209a
207
259
230
240
205
185
181
182
(B)
213
211
235
231
233
202
180
310b
230
212
205
185
181
310a
182

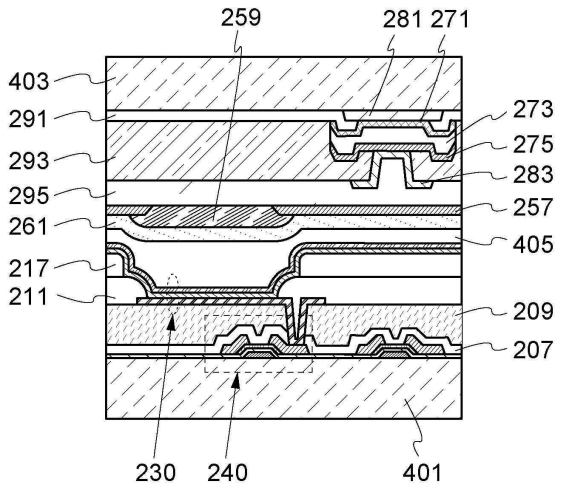
도면24


(A)
211
254
209
207
205
303
230
240
301
(B)
261
307
255
257
259
305
(C)
261
307
211
257
255
259
305
213
209
207
205
303
230
240
254
301

도면25



도면26


259
281 271
403
291
293
295
261
217
211
273
275
283
257
405
209
207
230
240
401