【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成16年10月28日(2004.10.28)

【公開番号】特開2000-269179(P2000-269179A)
【公開日】平成12年9月29日(2000.9.29)
【出願番号】特願平11-74999
【国際特許分類第７版】
　ＨＯ１Ｌ　21/306
　ＨＯ１Ｌ　21/304
　ＨＯ１Ｌ　27/10
【ＦＩ】
　ＨＯ１Ｌ　21/306　　Ｄ
　ＨＯ１Ｌ　21/304　６２１Ｄ
　ＨＯ１Ｌ　27/10　３１１

【手続補正書】
【提出日】平成15年10月24日(2003.10.24)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
メモリマット領域を有する半導体装置の製造方法において、
半導体基板上に研磨ストッパー膜を堆積する工程と、
上記研磨ストッパー膜及び上記半導体基板をエッチングし、フィールド領域に溝を形成する工程と、
上記溝を埋め込むように絶縁膜を堆積する工程と、
上記メモリマット領域上の上記絶縁膜を部分的にエッチング除去して前記メモリマット領域を取囲む前記絶縁膜の角を形成し、前記メモリマット領域内にピラーの一つの面積が活性領域より大きく複数の活性領域にまたがっているように前記絶縁膜の複数のピラーを形成する工程と、
上記研磨ストッパー膜が露出するまで上記絶縁膜を化学的機械研磨する工程とを有することを特徴とする半導体装置の製造方法。
【請求項２】
前記角及び前記ピラーを、前記メモリマット領域外において研磨すべき前記絶縁膜の体積と、前記角と前記ピラーの体積とが、等しくなるように形成することを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項３】
前記研磨ストッパー膜が、シリコン窒化膜であることを特徴とする請求項１～２に記載の半導体装置の製造方法。
【請求項４】
前記絶縁膜が、シリコン酸化膜であることを特徴とする請求項１～３に記載の半導体装置の製造方法。
【請求項５】
前記絶縁膜の堆積を、O_3－ＴＥＯＳを用いた化学気相成長法により行なうことを特徴とする請求項１～４に記載の半導体装置の製造方法。
【請求項６】

前記絶縁膜の堆積を、ＨＤＰ法により行なうことを特徴とする請求項１～４に記載の半導体装置の製造方法。
【請求項７】
半導体基体表面に熱酸化膜を形成する工程と、
上記熱酸化膜上にシリコン窒化膜を堆積する工程と、
上記シリコン窒化膜をアクティブ領域に合わせてパターニングする工程と、
パターニングされた上記シリコン窒化膜をマスクとして上記熱酸化膜及び上記シリコン基板をエッチングし、フィールド領域に溝を形成する工程と、
絶縁膜を堆積する工程と、
メモリマット領域内に前記メモリマット領域を取囲む前記絶縁膜の角を形成し、前記メモリマット領域内にピラーの一つの面積が前記アクティブ領域より大きく複数の前記アクティブ領域にまたがっているように前記絶縁膜の複数のピラーが残されるように、上記メモリマット領域内の上記絶縁膜を部分的にエッチングする工程と、
化学的機械研磨を行い、パターニングされた上記シリコン窒化膜を露出する工程と、
露出した上記シリコン窒化膜を除去する工程と、
上記アクティブ領域の上記熱酸化膜を除去し、上記アクティブ領域に素子を形成する工程とを有することを特徴とする半導体装置の製造方法。
【請求項８】
前記絶縁膜が、シリコン酸化膜であることを特徴とする請求項７に記載の半導体装置の製造方法。
【請求項９】
前記絶縁膜の堆積を、O_3－ＴＥＯＳを用いた化学気相成長法により行なうことを特徴とする請求項７または８に記載の半導体装置の製造方法。
【請求項１０】
前記絶縁膜の堆積を、ＨＤＰ法により行なうことを特徴とする請求項７または８に記載の半導体装置の製造方法。
【請求項１１】
メモリマット領域を有する半導体装置の製造方法において、
半導体基体のメモリマット領域のアクティブ領域にゲート絶縁膜を形成する工程と、
上記半導体ゲート絶縁膜上にゲート電極の材料膜を堆積する工程と、
上記ゲート電極材料膜上に研磨ストッパー膜を堆積する工程と、
上記ゲート電極材料膜と上記研磨ストッパー膜との積層膜をパターニングし、複数のゲート電極を形成する工程と、
上記アクティブ領域の上記ゲート電極を挟んだ両側にソース・ドレイン領域を形成する工程と、
上記ゲート電極の側面に側壁膜を形成する工程と、
上記ゲート電極間を埋め込むように層間絶縁膜を堆積する工程と、
上記メモリマット領域上の上記層間絶縁膜を部分的にエッチング除去して前記メモリマット領域を取囲む前記層間絶縁膜の角と、前記メモリマット領域内に前記層間絶縁膜の複数のピラーとを残す工程と、
上記ゲート電極上の研磨ストッパー膜が露出するまで上記層間絶縁膜と柱状層間絶縁膜を化学的機械研磨する工程とを有することを特徴とする半導体装置の製造方法。
【請求項１２】
前記角及び前記ピラーを、前記メモリマット領域外において研磨すべき前記層間絶縁膜の体積と、前記角と前記ピラーの体積とが、等しくなるように形成することを特徴とする請求項１１に記載の半導体装置の製造方法。
【請求項１３】
前記ゲート電極の材料膜が、多結晶シリコン膜，多結晶シリコン膜と金属シリサイド膜の積層膜或いは多結晶シリコン膜と金属膜との積層膜のいずれかであることを特徴とする請求項１１または１２に記載の半導体装置の製造方法。

【請求項１４】
前記研磨ストッパー膜が、シリコン窒化膜であることを特徴とする請求項１１～１３に記載の半導体装置の製造方法。
【請求項１５】
前記層間絶縁膜が、シリコン酸化膜であることを特徴とする請求項１１～１４に記載の半導体装置の製造方法。
【請求項１６】
メモリマット部と周辺回路部とを有するＤＲＡＭの製造方法において、
半導体基体表面に熱酸化膜を形成する工程と、
上記熱酸化膜上に第１のシリコン窒化膜を堆積する工程と、
上記第１のシリコン窒化膜をアクティブ領域に合わせてパターニングする工程と、
パターニングされた上記第１シリコン窒化膜をマスクとして上記熱酸化膜及び上記シリコン基板をエッチングし、フィールド領域に溝を形成する工程と、
第１の絶縁膜を堆積する工程と、
上記メモリマット部内に上記メモリマット部内を取囲む前記第１の絶縁膜の角と上記第１の絶縁膜のピラーが複数残されるように、上記メモリマット部上の上記第１の絶縁膜を部分的にエッチングする工程と、
上記第１の絶縁膜を化学的機械研磨を行い、パターニングされた上記第１のシリコン窒化膜を露出する工程と、
露出した上記第１のシリコン窒化膜を除去する工程とを有することを特徴とするＤＲＡＭの製造方法。
【請求項１７】
前記第１の絶縁膜を部分的にエッチングする工程において、前記周辺回路部における研磨すべき前記第１の絶縁膜の体積と前記メモリマット部における研磨すべき前記第１の絶縁膜の体積とが等しくなるようにすることを特徴とする請求項１６に記載のＤＲＡＭの製造方法。
【請求項１８】
さらに、前記アクティブ領域の前記熱酸化膜を除去し、前記アクティブ領域にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極の材料膜を堆積する工程と、
上記材料膜上に第２のシリコン窒化膜を堆積する工程と、
上記材料膜と上記第２のシリコン窒化膜との積層膜をパターニングし、少なくとも前記メモリマット部の１つのアクティブ領域を２本のゲート電極が横切るように、複数のゲート電極を形成する工程と、
前記アクティブ領域の前記ゲート電極を挟んだ両側にソース・ドレイン領域を形成する工程と、
前記半導体基体上に第３のシリコン窒化膜を堆積する工程と、
上記第３のシリコン窒化膜を異方性エッチングし、上記ゲート電極の側面に第３のシリコン窒素膜を残す工程と、
前記半導体基体上に前記ゲート電極の間を埋め込むように第２の絶縁膜を堆積する工程と、
前記メモリマット部内に上記メモリマット部内を取囲む前記第２の絶縁膜の角と上記第２の絶縁膜のピラーが複数残されるように、前記メモリマット部上の上記第２の絶縁膜を部分的にエッチングする工程と、
上記ゲート電極上の上記第２のシリコン窒化膜が露出するまで上記第２の絶縁膜を化学的機械研磨する工程と、
上記研磨した第２の絶縁膜上に第３の絶縁膜を堆積する工程と、
上記第２及び第３の絶縁膜を貫通し、前記メモリマット部の各アクティブ領域の２本のゲート電極の間に形成されたソース・ドレイン領域に接続された複数の第１のプラグを形成する工程と、

上記第１のプラグに接続された金属配線を形成する工程と、
上記第３の絶縁膜上に第４の絶縁膜を堆積する工程と、
上記第２，第３及び第４の絶縁膜を貫通し、前記メモリマット部の各アクティブ領域の２本のゲート電極の外側に形成された各ソース・ドレイン領域に接続された複数の第２のプラグを形成する工程と、
上記第２のプラグに接続されたキャパシタを形成する工程とを有することを特徴とする請求項１６または１７に記載のＤＲＡＭの製造方法。