

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



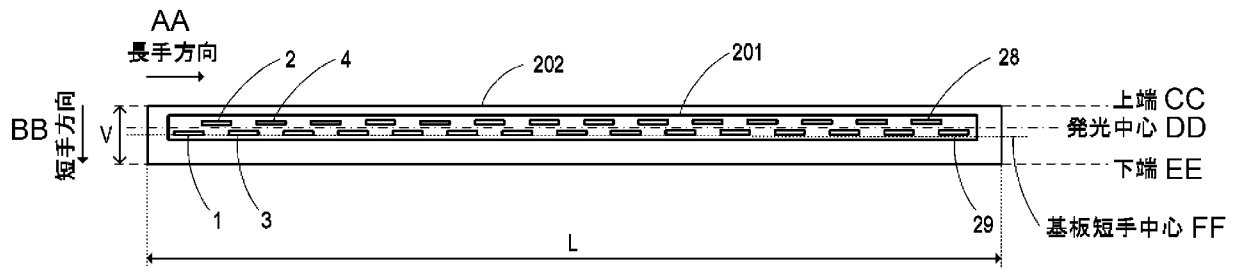
(10) 国際公開番号

WO 2020/004484 A1

- (51) 国際特許分類:
B41J 2/447 (2006.01) *G03G 15/04* (2006.01)
B41J 2/45 (2006.01) *H01L 33/62* (2010.01)
- (21) 国際出願番号: PCT/JP2019/025427
- (22) 国際出願日: 2019年6月26日(26.06.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-121823 2018年6月27日(27.06.2018) JP
- (71) 出願人: キヤノン株式会社 (CANON KABUSHIKI KAISHA) [JP/JP]; 〒1468501 東京都大田区下丸子3丁目30番2号 Tokyo (JP).
- (72) 発明者: 関 広高 (SEKI Hirotaka); 〒1468501 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内 Tokyo (JP).
- (74) 代理人: 岡部 譲, 外 (OKABE Yuzuru et al.); 〒1070062 東京都港区南青山1-1-1 新青山ビル東館8階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: IMAGE FORMING DEVICE

(54) 発明の名称: 画像形成装置



AA Longitudinal direction
BB Lateral direction
CC Upper edge
DD Light emission center
EE Lower edge
FF Lateral direction center of board

(57) Abstract: An odd number of surface light emitting element array chips 1 to 29 are mounted on a drive board 202, an even number of the surface light emitting element array chips 2, 4, ..., 28 from among the odd number of surface light emitting element array chips 1 to 29 are disposed on one side in an intersecting direction, and the remaining odd number of surface light emitting element array chips 1, 3, ..., 29 from among the odd number of surface light emitting element array chips are disposed on the other side in the intersecting direction, and the position of a light emission center is moved further toward the side of a printed circuit board 202 on which the even number of surface light emitting element array chips 2, 4, ..., 28 are disposed than the lateral center of the board. In this way, an increase in the size of the printed circuit board can be suppressed, and congestion of the wiring on the printed circuit board can be suppressed, even if an odd number of light emitting element arrays are disposed on the printed circuit board.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 駆動基板 202 には、奇数個の面発光素子アレイチップ 1~29 が実装されており、交差方向における一方の側に奇数個の面発光素子アレイチップ 1~29 のうち偶数個の面発光素子アレイチップ 2、4、・・・、28 が配置され、交差方向における他方の側に奇数個の面発光素子アレイチップのうち残りの奇数個の面発光素子アレイチップ 1、3、・・・、29 が配置され、発光中心の位置は、プリント基板 202 の基板短手中心よりも偶数個の面発光アレイチップ 2、4、・・・、28 が配置されている側に移動されている。これによって、発光素子アレイをプリント基板上に奇数個配置した場合でも、プリント基板の大型化を抑え、かつ、プリント基板上の配線が混雑することを抑制することができる。

明 細 書

発明の名称：画像形成装置

技術分野

[0001] 本発明は、画像形成装置に関し、特に、電子写真方式の画像形成装置に関する。

背景技術

[0002] 電子写真方式の画像形成装置であるプリンタでは、LED (Light Emitting Diode) や有機EL (Organic Electro Luminescence) などを用いた露光ヘッドを使用して感光ドラムを露光し、潜像形成を行う方式が一般的に知られている。露光ヘッドは、感光ドラムの長手方向に配列された発光素子列と、発光素子列からの光を感光ドラム上に結像させるロッドレンズアレイと、から構成される。LED や有機EL は、発光面からの光の照射方向がロッドレンズアレイと同一方向となる面発光形状を有する構成が知られている。ここで、発光素子列の長さは、感光ドラム上における画像領域幅に応じて決まり、プリンタの解像度に応じて発光素子間の間隔が決まる。例えば、1200dpi のプリンタの場合、画素の間隔は解像度に相当する間隔である21.16 μm であり、そのため、発光素子間の間隔も21.16 μm に対応する間隔となる。

[0003] このような発光素子の間隔を21.16 μm とすると、A3サイズ (約300mm) を印刷することが可能な画像形成装置の場合、長手方向に14173個の発光素子が配列される。ディスクリートの発光素子をワイヤボンディングでプリント基板上に実装する場合、発光素子の数が多いとワイヤボンディングの数が多くなり、実装コストが高くなる。そのため、従来は、ワイヤボンディングの数を少なくする方式が用いられている。具体的には、複数の発光素子を1つの半導体チップ上に形成することによって発光素子アレイとし、各発光素子の端子を半導体チップ内で共通化する。例えば、500個の発光素子を1つの半導体チップ上に形成した場合、プリント基板上には発

光素子アレイを29個実装すれば、発光素子の数は14500(=500×29)となり、300mmの画像領域幅を確保できる。そして、ワイヤボンディングの数(実装個数)を削減することができる。このような露光ヘッドを使用したプリンタでは、レーザビームを回転多面鏡によって偏向されたレーザビームによって感光ドラムを走査するレーザ走査方式のプリンタと比べて、使用する部品数が少ないため、装置の小型化、低コスト化が容易である。また、露光ヘッドを使用したプリンタでは回転多面鏡の回転によって生じる音が低減される。

[0004] 発光素子アレイ及び発光素子アレイを駆動する駆動回路素子は、プリント基板上に一体的に配置される。各発光素子アレイは、プリント基板に形成された配線パターンやワイヤボンディングによって駆動回路からの駆動信号を受信し、点灯制御される。例えば、特許文献1には、プリント基板の小型化を図るために、次のように配線することが開示されている。プリント基板の長手方向に複数の発光素子アレイが千鳥状に配置される。そして、プリント基板の短手方向に対し一方に配置された発光素子アレイの駆動信号は、プリント基板に対し配置された一方の側部側に配線される。一方、プリント基板の短手方向に対し他方に配置された発光素子アレイの駆動信号は、プリント基板に対し配置された他方の側部側に配線される。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-182010号公報

発明の概要

発明が解決しようとする課題

[0006] 従来技術のように、プリント基板上に配置する発光素子アレイの数が偶数(例えば30個等)であれば、配線パターンやワイヤボンディングの本数はプリント基板の短手方向に均等に配置される。このため、プリント基板上に配置された発光素子アレイを中心にプリント基板の長さを均等にすることが

可能となる。しかし、発光素子アレイを奇数個（例えば29個等）実装する場合、次のようにする必要がある。発光素子アレイの総数が奇数個の場合、発光素子アレイの数が偶数個の場合のように発光素子アレイを中心にプリント基板の短手方向を均等にするためには、ボンディングパッドの数の差を吸収するためにプリント基板の短手方向の長さを長くする必要がある。または、プリント基板の中心に発光素子アレイを実装しつつプリント基板の短手方向の長さを長くしたくない場合は、次のようにする必要がある。プリント基板の短手方向に対し発光素子アレイが多く配置される側の駆動信号の配線を細くし、更に細密にする必要がある。このため、各配線間におけるクロストークによる誤動作が発生するという課題が生じる。

[0007] 本発明は、このような状況のもとでなされたもので、発光素子アレイをプリント基板上に奇数個配置した場合でも、プリント基板の大型化を抑え、かつ、プリント基板上の配線が混雑することを抑制することを目的とする。

課題を解決するための手段

[0008] 上述した課題を解決するために、本発明の一実施例による画像形成装置は、以下の構成を備える。

[0009] 回転可能な感光体と、前記感光体を露光する複数の発光素子が前記感光体の回転方向と交差する交差方向において第1の解像度に対応する間隔で配列されたチップと、複数の前記チップが実装されたプリント基板と、前記プリント基板に実装され前記複数のチップの発光素子を駆動する駆動部と、を有する露光ヘッドであって、前記プリント基板に前記複数のチップと前記駆動部とを電氣的に接続する配線パターンがプリントされた露光ヘッドと、を備える画像形成装置であって、前記プリント基板には、奇数個の前記チップが実装されており、前記交差方向における一方の側に前記奇数個のチップのうち偶数個のチップが配置され、前記交差方向における他方の側に前記奇数個のチップのうち残りの奇数個のチップが配置され、前記複数のチップの発光素子の光量の強度の前記回転方向における中心の位置は、前記回転方向における前記プリント基板の位置の中心よりも前記偶数個のチップが配置されて

いる側に移動されていることを特徴とする画像形成装置。

発明の効果

[0010] 本発明によれば、発光素子アレイをプリント基板上に奇数個配置した場合でも、プリント基板の大型化を抑え、かつ、プリント基板上の配線が混雑することを抑制することができる。

図面の簡単な説明

[0011] [図1]実施例の画像形成装置の構成を示す概略断面図。

[図2A]実施例の露光ヘッドと感光ドラムの位置関係を説明する図。

[図2B]露光ヘッドの構成を説明する図。

[図3A]実施例の駆動基板の面発光素子アレイ素子群が実装された面の模式図。

[図3B]駆動基板の面発光素子アレイ素子群が実装された面と反対の面の模式図。

[図3C]面発光素子アレイチップの構成を説明する図。

[図4]実施例の制御基板及び露光ヘッドの制御ブロック図。

[図5]実施例のチップデータ変換部の制御ブロック図。

[図6]実施例の面発光素子アレイチップの回路を説明する図。

[図7A]実施例のシフトサイリスタのゲート電位の分布状態を説明する図。

[図7B]実施例のシフトサイリスタのゲート電位の分布状態を説明する図。

[図7C]実施例のシフトサイリスタのゲート電位の分布状態を説明する図。

[図8]実施例の面発光素子アレイチップの駆動信号波形を示す図。

[図9A]実施例のメサ構造を有する複数の発光素子の平面図。

[図9B]図9AのI X B - I X B線に沿って取ったメサ構造を有する発光素子の断面図。

[図10A]実施例の発光中心がオフセットされた理想的な矩形の駆動基板の詳細図。

[図10B]実施例の発光中心がオフセットされた矩形でない駆動基板の詳細図。

[図10C]実施例の発光中心がオフセットされた矩形でない駆動基板の詳細図。

[図11]実施例の面発光素子アレイチップの配線を示す図。

発明を実施するための形態

[0012] 以下に、図面を参照して本発明の実施の形態について詳細に説明する。

実施例

[0013] [画像形成装置の構成]

図1は、本実施例における電子写真方式の画像形成装置10の構成を示す概略断面図である。図1に示す画像形成装置10は、スキャナ機能とプリンタ機能を備える複合機(MFP)であり、スキャナ部100、作像部103、定着部104、給送／搬送部105、及びこれらを制御するプリンタ制御部(不図示)から構成される。スキャナ部100は、原稿台に置かれた原稿に照明を照射し原稿画像を光学的に読み取り、読み取った画像を電気信号に変換して画像データを作成する。

[0014] 作像部103は、無端の搬送ベルト111の回転方向(反時計回り方向)に沿って、シアン(C)、マゼンタ(M)、イエロー(Y)、ブラック(K)の順に並べられた、4連の画像形成ステーションを備える。4つの画像形成ステーションは同じ構成を有し、各画像形成ステーションは、矢印方向(時計回り方向)に回転可能な感光体である感光ドラム102、露光ヘッド106、帯電器107、現像器108を備えている。なお、感光ドラム102、露光ヘッド106、帯電器107、現像器108の添え字a、b、c、dは、それぞれ画像形成ステーションのブラック(K)、イエロー(Y)、マゼンタ(M)、シアン(C)に対応する構成であることを示す。なお、以下では、特定の感光ドラム等を指す場合を除き、符号の添え字を省略することとする。

[0015] 作像部103では、感光ドラム102を回転し、帯電器107によって感光ドラム102を帯電させる。露光手段である露光ヘッド106は、配列されたLEDアレイを画像データに応じて発光し、LEDアレイのチップ面で発光した光を、ロッドレンズアレイによって感光ドラム102上(感光体上)に集光し、静電潜像を形成する。現像器108は、感光ドラム102に形

成された静電潜像をトナーで現像する。そして、現像されたトナー像は、記録紙を搬送する搬送ベルト 111 上の記録紙に転写される。このような一連の電子写真プロセスが各画像形成ステーションで実行される。なお、画像形成時には、シアン（C）の画像形成ステーションでの画像形成が開始されて所定時間が経過した後に、順次、マゼンタ（M）、イエロー（Y）、ブラック（K）の各画像形成ステーションで、画像形成動作が実行される。

[0016] 図 1 に示す画像形成装置 10 は、記録紙を給送するユニットとして、給送／搬送部 105 が有する本体内給送ユニット 109 a、109 b、大容量の給送ユニットである外部給送ユニット 109 c、及び手差し給送ユニット 109 d を備えている。画像形成時には、このうち、予め指示された給送ユニットから記録紙が給送され、給送された記録紙はレジストレーションローラ 110 まで搬送される。レジストレーションローラ 110 は、上述した作像部 103 において形成されたトナー像が記録紙に転写されるタイミングで、搬送ベルト 111 に記録紙を搬送する。搬送ベルト 111 により搬送される記録紙には、各画像形成ステーションの感光ドラム 102 上に形成されたトナー像が順次転写される。未定着のトナー像が転写された記録紙は、定着部 104 へと搬送される。定着部 104 は、ハロゲンヒータ等の熱源を内蔵し、記録紙上のトナー像を、2 つのローラにより加熱・加圧することによって記録紙に定着させる。定着部 104 によりトナー像が定着された記録紙は、排出口ローラ 112 により画像形成装置 10 の外部に排出される。

[0017] ブラック（K）の画像形成ステーションの記録紙搬送方向の下流側には、搬送ベルト 111 に対向する位置に、検知手段である光学センサ 113 が配置されている。光学センサ 113 は、各画像形成ステーション間のトナー像の色ずれ量を導出するため、搬送ベルト 111 上に形成されたテスト画像の位置の検出を行う。光学センサ 113 により導出された色ずれ量は、後述する制御基板 415（図 4 参照）に通知され、記録紙上に色ずれのないフルカラートナー像が転写されるように、各色の画像位置が補正される。また、プリンタ制御部（不図示）は、複合機（MFP）全体を制御する MFP 制御部

(不図示)からの指示に応じて、上述したスキャナ部１００、作像部１０３、定着部１０４、給送／搬送部１０５等を制御しながら、画像形成動作を実行する。

[0018] ここでは、電子写真方式の画像形成装置の例として、搬送ベルト１１１上の記録紙に各画像形成ステーションの感光ドラム１０２に形成されたトナー像を直接転写する方式の画像形成装置１０について説明した。本発明は、このような感光ドラム１０２上のトナー像を直接、記録紙に転写する方式のプリンタに限定されるものではない。例えば、感光ドラム１０２上のトナー像を中間転写ベルトに転写する一次転写部と、中間転写ベルト上のトナー像を記録紙に転写する二次転写部を備える画像形成装置についても、本発明は適用することができる。

[0019] [露光ヘッドの構成]

次に、感光ドラム１０２に露光を行う露光ヘッド１０６について、図２Ａ及び図２Ｂを参照して説明する。図２Ａは、露光ヘッド１０６と感光ドラム１０２との位置関係を示す斜視図であり、図２Ｂは、露光ヘッド１０６の内部構成と、露光ヘッド１０６からの光束２０５がロッドレンズアレイ２０３により感光ドラム１０２に集光される様子を説明する図である。図２Ａに示すように、露光ヘッド１０６は、矢印方向に回転する感光ドラム１０２の上部の、感光ドラム１０２に対向する位置に、取付け部材（不図示）によって画像形成装置１０に取り付けられている（図１）。

[0020] 図２Ｂに示すように、露光ヘッド１０６は、プリント基板である駆動基板２０２と、駆動基板２０２に実装された面発光素子アレイ素子群２０１と、ロッドレンズアレイ２０３と、ハウジング２０４とから構成されている。ハウジング２０４には、ロッドレンズアレイ２０３と駆動基板２０２が取り付けられる。ロッドレンズアレイ２０３は、面発光素子アレイ素子群２０１からの光束２０５を感光ドラム１０２上に集光させる。工場では、露光ヘッド１０６単体で組立て調整作業が行われ、各スポットのピント調整、光量調整が行われる。ここで、感光ドラム１０２とロッドレンズアレイ２０３との間

の距離、及びロッドレンズアレイ 203 と面発光素子アレイ素子群 201 との間の距離が、所定の間隔となるように組立て調整が行われる。これにより、面発光素子アレイ素子群 201 からの光が感光ドラム 102 上に結像される。そのため、工場でのピント調整時には、ロッドレンズアレイ 203 と面発光素子アレイ素子群 201 との距離が所定の値となるように、ロッドレンズアレイ 203 の取付け位置の調整が行われる。また、工場での光量調整時には、面発光素子アレイ素子群 201 の各発光素子を順次発光させていき、ロッドレンズアレイ 203 を介して感光ドラム 102 上に集光させた光が所定光量になるように、各発光素子の駆動電流の調整が行われる。

[0021] [面発光素子アレイ素子群の構成]

図 3 A、図 3 B 及び図 3 C は、面発光素子アレイ素子群 201 を説明する図である。図 3 A は、駆動基板 202 の面発光素子アレイ素子群 201 が実装された面の構成を示す模式図であり、図 3 B は、駆動基板 202 の面発光素子アレイ素子群 201 が実装された面（第 1 面）とは反対側の面（第 2 面）の構成を示す模式図である。

[0022] 図 3 A に示すように、駆動基板 202 に実装された面発光素子アレイ素子群 201 は、29 個の面発光素子アレイチップ 1～29 が、駆動基板 202 の長手方向に沿って、千鳥状に 2 列に配置された構成を有している。なお、図 3 A において、上下方向は第 1 の方向である副走査方向（感光ドラム 102 の回転方向）を示し、水平方向は、副走査方向と直交する第 2 の方向である主走査方向を示す。主走査方向は、感光ドラム 102 の回転方向と交差する交差方向でもある。各々の面発光素子アレイチップの内部には、計 516 個の発光点を有する面発光素子アレイチップの各素子が、面発光素子アレイチップの長手方向に所定の解像度ピッチで配列されている。本実施例では、面発光素子アレイチップの各素子のピッチは、第 1 の解像度である 1200 dpi の解像度のピッチである約 $21.16 \mu\text{m}$ ($\div 2.54 \text{ cm} / 1200 \text{ ドット}$) となっている。その結果、1 つの面発光素子アレイチップ内における 516 個の発光点の端から端までの配列間隔は、約 10.9 mm ($\div 2$

1. $16\mu\text{m} \times 516$) である。面発光素子アレイ素子群201は、29個の面発光素子アレイチップから構成されている。面発光素子アレイ素子群201における露光可能な発光素子数は14,964素子(=516素子 $\times$ 29チップ)となり、約316mm(≒約10.9mm $\times$ 29チップ)の主走査方向の画像幅に対応した画像形成が可能となる。

[0023] 図3Cは、長手方向に2列に配置された面発光素子アレイチップのチップ間の境界部の様子を示す図であり、水平方向は、図3Aの面発光素子アレイ素子群201の長手方向である。図3Cに示すように、面発光素子アレイチップの端部には、制御信号が入力されるワイヤボンディングパッド300が配置されており、ワイヤボンディングパッド300から入力された信号により、転送部301及び発光素子302が駆動される。

[0024] また、面発光素子アレイチップは、複数の発光素子302を有している。面発光素子アレイチップ間の境界部Lcにおいても、発光素子302の長手方向のピッチ(2つの発光素子の中心点と中心点の間隔)は、1200dpiの解像度のピッチである約21.16 μm となっている。また、上下2列に並んだ面発光素子アレイチップは、上下の面発光素子アレイチップの発光点の間隔(図中、矢印Sで示す)が約84 μm (1200dpiで4画素分、2400dpiで8画素分の各解像度の整数倍の距離)となるように配置されている。

[0025] また、図3Bに示すように、面発光素子アレイ素子群201が実装された面とは反対側の駆動基板202の面には、駆動部303a、303b、及びコネクタ305が実装されている。駆動部303a、303bは、ドライバICである。コネクタ305の両側に配置された駆動部303a、303bは、それぞれ面発光素子アレイチップ1~15、面発光素子アレイチップ16~29を駆動する。駆動部303a、303bは、それぞれパターン304a、304bを介して、コネクタ305と接続されている。駆動基板202には、複数の面発光素子アレイチップと駆動部303a、303bとを電氣的に接続するパターン(配線パターン)304a、304bがプリントさ

れている。駆動基板 202 の長手方向の長さを L とする。駆動部 303 a は、駆動基板 202 の長手方向の長さ L に対して、駆動基板 202 の長手方向の左端から約 $1/3$ （略 3 分の 1）の距離に配置されている。駆動部 303 b は、駆動基板 202 の長手方向の長さ L に対して、駆動基板 202 の長手方向の右端から約 $1/3$ の距離に配置されている。コネクタ 305 には、後述する制御基板 415（図 4 参照）からの駆動部 303 a、303 b を制御する信号線、電源電圧、グランドが接続されており、駆動部 303 a、303 b と接続される。また、駆動部 303 a、303 b からは、それぞれ面発光素子アレイ素子群 201 を駆動するためにこれらを電氣的に接続するための配線が駆動基板 202 の内層を通り、面発光素子アレイチップ 1～15、面発光素子アレイチップ 16～29 に接続されている。

[0026] [制御基板、露光ヘッドの制御構成]

図 4 は、画像データを処理し、露光ヘッド 106 に出力する制御基板 415 と、制御基板 415 から入力された画像データに基づいて、感光ドラム 102 を露光する駆動基板 202 の制御ブロック図である。以下に説明する各ブロック 401～414 は、IC 内部のモジュールを示す。駆動基板 202 については、図 4 に示す駆動部 303 a により制御される面発光素子アレイチップ 1～15 について説明する。なお、駆動部 303 b（図 4 には不図示）により制御される面発光素子アレイチップ 16～29 も、駆動部 303 a により制御される面発光素子アレイチップ 1～15 と同様の動作を行う。また、説明を簡易化するために、ここでは 1 つの色の画像処理について説明するが、本実施例の画像形成装置 10 では、同様の処理を 4 色同時に並列処理される。図 4 に示す制御基板 415 は、露光ヘッド 106 を制御する信号を送信するためのコネクタ 416 を有している。コネクタ 416 からは、駆動基板 202 のコネクタ 305 に接続された伝送ケーブル 417、418、419 を介して、それぞれ画像データ、後述する Line 同期信号、制御基板 415 の CPU 400 からの制御信号が送信される。

[0027] [制御基板]

制御基板415は、露光ヘッド106に対して露光ヘッド106を制御するための信号を送信する。この信号は、クロック信号、画像データ、Line同期信号をパラレルーシリアル変換した信号である。この信号は、制御基板415側のコネクタ416から信号を伝送する伝送ケーブル417を介して露光ヘッド側のコネクタ305に入力される。また、CPU400の通信信号は、伝送ケーブル418を介して、露光ヘッド106側のコネクタ305に入力される。

[0028] 制御基板415では、CPU400により、画像データの処理と印刷タイミングの処理が行われる。制御基板415は、画像データ生成部401、ラインデータシフト部402、チップデータ変換部403、チップデータシフト部404、データ送信部405、同期信号生成部406の機能ブロックから構成されている。以下、制御基板415での画像データが処理される順に、各機能ブロックでの処理について説明する。

[0029] (画像データ生成部)

データ生成手段である画像データ生成部401は、スキャナ部100又は画像形成装置10に接続された外部コンピュータから受信した画像データに対して、CPU400から指示された解像度でディザリング処理を行い、プリント出力のための画像データを生成する。本実施例では、画像データ生成部401は、第2の解像度である2400dpiの解像度でディザリング処理を行うものとする。すなわち、画像データ生成部401が生成する画像データは、2400dpi相当の画素データである。本実施例の2400dpi相当の画素データは1ビットであるものとするが、複数ビットで1画素を表現しても良い。画像データ生成部401が生成する画素データは、副走査方向の2400dpi相当のラインに対応するラインデータである。なお、画像データ生成部401は、1つの集積回路401Aである。

[0030] (ラインデータシフト部)

CPU400は、光学センサ113により検知された色ずれ量に基づいて、主走査方向（露光ヘッド106の長手方向）、副走査方向（感光ドラム1

02の回転方向でもあり、記録紙の搬送方向でもある)の画像シフト量を2400dpi単位で各々決定する。画像シフト量は、例えば、光学センサ113による色ずれ検出用パターン画像の検知結果に基づいて算出される色間の相対的な色ずれ量に基づいて、CPU400によって決定される。そして、CPU400は、補正手段であるラインデータシフト部402に画像シフト量を指示する。ラインデータシフト部402では、CPU400から指示された画像シフト量を基に、記録紙1ページ内の画像領域全域に対して、画像データ生成部401から入力された画像データを2400dpi単位でシフト処理する。なお、ラインデータシフト部402は、記録紙1ページ内の画像領域を複数に分割し、分割された複数の画像領域毎にシフト処理を実行するようにしても良い。

[0031] (同期信号生成部)

第2の生成手段である同期信号生成部406は、感光ドラム102の回転速度に同期した信号で、感光ドラム102の回転方向における出力画像の解像度の1ライン分に対応する周期信号(以下、Line同期信号という)を生成する。CPU400は、同期信号生成部406にLine同期信号の周期、すなわち予め定められた感光ドラム102の回転速度に対して、感光ドラム102表面が回転方向(副走査方向)に2400dpiの画素サイズ(約10.5 μ m)移動する時間を指示する。例えば、副走査方向に200mm/秒の速度で印刷する場合には、CPU400は、Line同期信号の周期(副走査方向1ライン分の周期)を約52.9 μ s($\div$ (25.4mm/2400ドット)/200mm)として、同期信号生成部406に指示する。画像形成装置10が感光ドラム102の回転速度を検知する検知部(例えば感光ドラムの回転軸に設置したエンコーダ)を有している場合は、CPU400は、検知部の結果(エンコーダが出力する信号の発生周期)に基づいて、副走査方向の感光ドラム102の回転速度を算出し、当該算出結果に基づいてLine同期信号の周期を決定する。一方、感光ドラム102の回転速度を検知する検知部を有していない場合、CPU400は、ユーザが操作

部から入力するシートの坪量 (g/m^2) やシートサイズなどの紙の種類の情報に基づいて、L i n e 同期信号の周期を決定する。

[0032] (チップデータ変換部)

チップデータ変換部403は、L i n e 同期信号に同期して、ラインデータシフト部402より、感光ドラム102の副走査方向の1ライン分ずつ、ラインデータの読み出しを行う。そして、チップデータ変換部403は、読み出したラインデータをチップ毎のラインデータに分割するデータ処理を実行する。

[0033] 図5は、チップデータ変換部403の構成を示すブロック図である。図5において、同期信号生成部406から出力されるL i n e 同期信号は、カウンタ530に入力される。カウンタ530は、入力されるL i n e 同期信号を変調してL i n e 同期信号よりも高周波のC L K 信号を生成する周波数変調回路を備えている。カウンタ530は、周波数変調回路の代わりにL i n e 同期信号よりも高周波のクロック信号 (C L K) を生成する発振器を内蔵していても良い。以下では、チップデータ変換部403がラインデータシフト部402からラインデータを読み出す構成を例示するが、実施の形態はこれに限られるものではない。すなわち、ラインデータシフト部402にL i n e 同期信号を供給し、かつ上記C L K 信号をラインデータシフト部402が内部で生成することによって、ラインデータシフト部402がチップデータ変換部403に対して主体的にラインデータを送信するよう構成しても良い。

[0034] カウンタ530はL i n e 同期信号が入力されると、カウント値を0にリセットした後、クロック信号 (C L K) のパルス数に同期して、カウンタ値をインクリメントする。カウンタ530が生成するC L K 信号の周波数は、チップデータ変換部403がL i n e 同期信号の1周期内に読み出すべき画素データの容量 (ビット数) と、後述するチップデータ変換部403のデータ処理速度と、に基づいて設計段階で決定される。例えば、上述したように、面発光素子アレイ素子群201は、副走査方向の1ラインを露光する発光

素子を14,964素子(1200dpi換算)有している。一方、画像データ生成部401は、2400dpiの解像度でディザリング処理を行っている。そのため、ラインデータシフト部402から出力される副走査方向の1ライン分の画像データの画素数は、29,928画素(=14,964×(2400dpi/1200dpi))となる。チップデータ変換部403は、Line同期信号の間に、副走査方向1ライン分の画像データを読み出して後述するラインメモリ500への書き込みと、後述するメモリ501～529への画像データの書き込みを行う。そのため、カウンタ530は、1ラインのラインデータに含まれる画素数(29,928)の2倍の数(59,856)のカウント動作を行う。カウンタ530のカウント値が1～29,928までの期間をTm1、カウント値が29,929～59,856までの期間をTm2とする。

[0035] READ制御部531は、カウンタ530のカウント値に応じてラインデータをラインデータシフト部402から読み出す。すなわち、READ制御部531は、カウンタ530のカウント値が1～29,928までの期間Tm1に、主走査方向1ライン分のラインデータ(29,928画素)をラインメモリ500に格納する。また、WR制御部532は、カウンタ530のカウント値が29,929～59,856の期間Tm2に、ラインメモリ500に格納された副走査方向1ライン分のラインデータをメモリ501～529に分割して書き込む。メモリ501～529はラインメモリ500よりも記憶容量の少ないメモリであり、チップ毎に分割されたラインデータ(分割ラインデータ)を記憶する。メモリ501～529は、面発光素子アレイチップ1～29に対応して設けられているFIFO(First In First Out:先入れ先出し)メモリである。即ち、メモリ501は面発光素子アレイチップ1に対応するラインデータを記憶し、メモリ502は面発光素子アレイチップ2に対応するラインデータを記憶し、・・・メモリ529は面発光素子アレイチップ29に対応するラインデータを記憶する。

[0036] 本実施例では、ラインメモリ500から、主走査方向1ライン分のライン

データを順次読み出し、まず、面発光素子アレイチップ1のラインデータを格納するメモリ501への書き込みが行われる。次に、面発光素子アレイチップ2の画像データを格納するメモリ502への書き込みが行われ、以降、面発光素子アレイチップ29の画像データを格納するメモリ529まで順次、書き込みが連続的に行われる。なお、チップデータ変換部403の後段のチップデータシフト部404では、面発光素子アレイチップ単位での副走査方向のデータシフト処理が行われる。そのため、メモリ501～529には、副走査方向10ライン分のラインデータが格納されるものとする。

[0037] 更に、メモリ501～529に格納されるラインデータは、各面発光素子アレイチップに対応する1チップ分のラインデータに加えて、隣接する面発光素子アレイチップの端部の画素データを複写した画素データも併せて格納される。例えば、メモリ502には、次のような画素データが格納される。すなわち、メモリ502には、面発光素子アレイチップ2に対応するラインデータの両端それぞれに、面発光素子アレイチップ1の面発光素子アレイチップ2側の最端部の画素データと、面発光素子アレイチップ3の面発光素子アレイチップ2側の最端部の画素データと、が付加されて格納される。

[0038] (チップデータシフト部)

補正手段であるチップデータシフト部404は、CPU400から予め指示された面発光素子アレイチップ毎の副走査方向の画像シフト量に関するデータ(2400dpi単位)に基づいて、メモリ501～529からのラインデータの相対的な読み出しタイミングを制御する。以下、チップデータシフト部404が実行する副走査方向の画像シフト処理について具体的に説明する。

[0039] 露光ヘッド長手方向において、偶数番目の各面発光素子アレイチップの実装位置にずれがないことが望ましい。同様に、露光ヘッド長手方向において、奇数番目の各面発光素子アレイチップの実装位置にずれがないことが望ましい。また、偶数番目の各面発光素子アレイチップと奇数番目の各面発光素子アレイチップとの副走査方向の実装位置関係は2400dpi相当で所定

の画素数（例えば、8画素）であることが設計上好ましい。さらに、各面発光素子アレイチップ内における発光素子列の副走査方向の配置位置が固体差を持たず一定であることが好ましい。しかしながら、これらの実装位置や発光素子列の配置位置は誤差を含み、これらの誤差が出力画像の画質の低下を招く恐れがある。

[0040] 図4に示すメモリ430（ROM）には、駆動基板202に千鳥状に実装された面発光素子アレイチップ1～15の各発光素子列の副走査方向の相対的な位置関係から演算された補正データが記憶されている。例えば、メモリ430には、副走査方向の位置の基準となる面発光素子アレイチップ1の発光素子列に対して、他の面発光素子アレイチップ2～15の各発光素子列が副走査方向に2400dpi相当で何画素ずれて駆動基板202に実装されているかの測定データに基づく補正データが記憶されている。測定データは、駆動基板202に面発光素子アレイチップ2～15を実装した後、測定装置によって各面発光素子アレイチップの発光素子を点灯させ、その受光結果に基づいて計測される。CPU400は、画像形成装置10の電源がONされたことに応じてメモリ430から読み出した補正データをチップデータシフト部404の内部レジスタに設定する。チップデータシフト部404は、内部レジスタに設定された補正データに基づいてメモリ501～529に記憶された同一ラインを形成するためのラインデータのシフト処理を行う。例えば、面発光素子アレイチップ1の発光素子列に対して面発光素子アレイチップ2の発光素子列が2400dpi相当で副走査方向に8画素ずれて駆動基板202に実装されている場合、チップデータシフト部404は、駆動基板202への面発光素子アレイチップ1に対応するラインデータの出力タイミングに対して、同一ラインをなす面発光素子アレイチップ2に対応するラインデータの出力タイミングが8画素分遅延するように面発光素子アレイチップ1に対応するラインデータに対して面発光素子アレイチップ2に対応する全ラインデータをシフトさせる。

[0041] （データ送信部）

データ送信部405は、露光ヘッド106に対して、上述した一連のラインデータに対するデータ処理を実行した後のラインデータを駆動基板202に送信する。図3Aに示すように、面発光素子アレイチップのうち、奇数番目の面発光素子アレイチップ1、3、5、・・・29は、副走査方向の上流側に配置され、偶数番目の面発光素子アレイチップ2、4、6、・・・28は、副走査方向の下流側に配置されている。奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529への画像データの書き込みは、最初のLine同期信号の期間で行われる。そして、次のLine同期信号の期間で、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529から、副走査方向1ライン目のデータの読み出しが行われる。同様に、更に次のLine同期信号の期間では、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529から、副走査方向2ライン目のデータの読み出しが行われる。そして、10番目のLine同期信号の期間で、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529から、副走査方向9ライン目のデータの読み出しが行われる。また、偶数番目の面発光素子アレイチップ2に対応するメモリ502は、メモリ502への画像データの書き込みが行われた期間TL1から、Line同期信号の9パルス後の期間で、メモリ502から画像データの読み出しが行われる。

[0042] データ送信部405は、チップデータシフト部404によって処理されたラインデータを駆動基板202に送信する。カウンタ530は、発振器の代わりに、入力されるLine同期信号を変調してLine同期信号よりも高周波のCLK信号を生成する周波数変調回路を備えている。カウンタ530は、周波数変調回路の代わりにLine同期信号よりも高周波のクロック信号（CLK）を生成する発振器を内蔵していても良い。本実施例では、Line同期信号の1周期内でカウント値が59,856（1ラインの画素データ数の2倍の数）以上になるように、クロック信号の周波数を定めている。これにより、Line同期信号の1周期の時間内で、ラインメモリ500へ

の画像データの入力（書き込み）、及びラインメモリ500からメモリ501～529への画像データの出力（書き込み）が可能となる。

[0043] 一方、メモリ501～529からのデータの読み出しは、Line同期信号の1周期の期間内に、29個のメモリ501～529から各面発光素子アレイチップに対応する、主走査方向1ライン分の画像データをパラレルに出力する。そのため、メモリ501～529からの画像データの読み出し速度は、メモリへの書き込み速度に対して、低速で読み出してもよい。例えば、本実施例では、メモリ501～529への画像データの書き込み時のパルス数の58倍の長い周期で、メモリ501～529から画像データを読み出すものとする。

[0044] なお、ラインデータシフト部402、チップデータ変換部403、チップデータシフト部404、データ送信部405、同期信号生成部406は、集積回路401Aとは異なる集積回路402Aである。また、CPU400は、集積回路401A及び集積回路402Aとは異なる集積回路である。

[0045] [露光ヘッドの駆動部]

(データ受信部)

次に、駆動基板202の駆動部303a内部の処理について説明する。データ受信部407は、制御基板415のデータ送信部405から送信されたデータを受信し、それぞれクロック信号、Line同期信号、画像データを分離する。データ受信部407とデータ送信部405は一般的に知られているパラレルーシリアル変換を使用すれば良い。本実施例では、クロック信号、Line同期信号、画像データをパラレルーシリアル変換により駆動部303aへ送信しているが、それぞれパラレルで送信しても良い。また駆動部303aはデータ受信部407で受信したクロック信号を基に動作する。これは駆動部303aにクロック発振器や水晶振動子を不要とすることが可能となるためである。

[0046] ここで、データ受信部407、データ送信部405は、Line同期信号に同期して副走査方向のライン単位で、画像データを送受信するものとする

。前述したように、チップデータ変換部403では、面発光素子アレイチップ1～29のチップ毎にデータの配列を行い、以降の処理ブロックは面発光素子アレイチップ1～29のチップのデータを並列処理する構成となっている。駆動部303aでは、面発光素子アレイチップ1～15に対応した画像データを受信し、チップ毎に並列に処理可能な回路を有するものとする。

[0047] (PWM信号生成部、タイミング制御部、制御信号生成部、駆動電圧生成部)

続くPWM信号生成部411では、画素毎のデータ値に応じて面発光素子アレイチップが1画素区間で発光する発光時間に対応したパルス幅信号(以下、PWM信号という)を生成する。PWM信号を出力するタイミングは、タイミング制御部412により制御される。タイミング制御部412は、制御基板415の同期信号生成部406で生成されたLine同期信号より、各画素の画素区間に対応した同期信号を生成し、PWM信号生成部411に出力する。駆動電圧生成部414は、PWM信号に同期して、面発光素子アレイチップを駆動する駆動電圧を生成する。なお、駆動電圧生成部414は、CPU400によって所定の光量となるように出力信号の電圧レベルを5V中心に調整可能な構成とする。本実施例では、各面発光素子アレイチップは、同時に4つの発光素子を独立して駆動できる構成となっている。駆動電圧生成部414は、面発光素子アレイチップ毎に駆動信号4ライン、露光ヘッド106全体では、千鳥状構成の1ライン(15チップ)×4=60ラインに駆動信号を供給する。各面発光素子アレイチップに供給される駆動信号は、ΦW1～ΦW4とする(図6参照)。一方、後述するシフトサイリスタ(図6参照)の動作により、順次、面発光素子アレイチップが駆動される。制御信号生成部413は、タイミング制御部412で生成された画素区間に対応する同期信号より、画素毎にシフトサイリスタを転送するための制御信号Φs、Φ1、Φ2を生成する(図6参照)。

[0048] [SLED回路の説明]

図6は、本実施例の自己走査型発光素子(Self-Scanning

LED: SLED) アレイチップの一部分を抜き出した等価回路である。図6において、 R_a 、 R_g はそれぞれアノード抵抗、ゲート抵抗であり、 T_n はシフトサイリスタ、 D_n は転送ダイオード、 L_n は発光サイリスタを示す。また、 G_n は、対応するシフトサイリスタ T_n 、及びシフトサイリスタ T_n に接続されている発光サイリスタ L_n の共通ゲートを表している。ここで、 n は2以上の整数とする。 $\Phi 1$ は奇数番目のシフトサイリスタ T の転送ライン、 $\Phi 2$ は偶数番目のシフトサイリスタ T の転送ラインである。 $\Phi W 1 \sim \Phi W 4$ は発光サイリスタ L の点灯信号ラインであり、それぞれ抵抗 $R W 1 \sim R W 4$ と接続されている。 $V G K$ はゲートラインであり、 Φs はスタートパルスラインである。図6に示すように、1個のシフトサイリスタ T_n に対し、発光サイリスタは $L_{4n-3} \sim L_{4n}$ までの4個が接続されており、同時に4個の発光サイリスタ $L_{4n-3} \sim L_{4n}$ が点灯可能な構成となっている。

[0049] [SLED回路の動作]

次に、図6に示すSLED回路の動作について説明する。なお、図6の回路図において、ゲートライン $V G K$ には5Vが印加されているものとし、転送ライン $\Phi 1$ 、 $\Phi 2$ 、及び点灯信号ライン $\Phi W 1 \sim \Phi W 4$ に入力される電圧も、同じく5Vとする。図6において、シフトサイリスタ T_n がオン状態にあるとき、シフトサイリスタ T_n 、及びシフトサイリスタ T_n に接続されている発光サイリスタ L_n の共通ゲート G_n の電位は約0.2Vまで引き下げられる。発光サイリスタ L_n の共通ゲート G_n と発光サイリスタ L_{n+1} の共通ゲート G_{n+1} との間には、結合ダイオード D_n で接続されているため、結合ダイオード D_n の拡散電位にほぼ等しい電位差が発生する。本実施例では、結合ダイオード D_n の拡散電位は約1.5Vであるので、発光サイリスタ L_{n+1} の共通ゲート G_{n+1} の電位は、発光サイリスタ L_n の共通ゲート G_n の電位の0.2Vに、拡散電位の1.5Vを加えた1.7V(=0.2V+1.5V)となる。以下、同様に、発光サイリスタ L_{n+2} の共通ゲート G_{n+2} の電位は3.2V(=1.7V+1.5V)、発光サイリスタ

L_{n+3} （不図示）の共通ゲート G_{n+3} （不図示）の電位は 4.7 V （ $= 3.2\text{ V} + 1.5\text{ V}$ ）となる。ただし、発光サイリスタ L_{n+4} の共通ゲート G_{n+4} 以降の電位は、ゲートライン V_{GK} の電圧が 5 V であり、これ以上の高い電位にはならないので、 5 V となる。また、発光サイリスタ L_n の共通ゲート G_n より前（図6の共通ゲート G_n よりも左側）の共通ゲート G_{n-1} の電位については、結合ダイオード D_{n-1} が逆バイアス状態になっているため、ゲートライン V_{GK} の電圧がそのまま印加され、 5 V となっている。

[0050] 図7Aは、上述したシフトサイリスタ T_n がオン状態のときの各発光サイリスタ L_n の共通ゲート G_n のゲート電位の分布を示す図であり、共通ゲート G_{n-1} 、 G_n 、 $G_{n+1} \dots$ は、図6中の発光サイリスタ L の共通ゲートを指している。また、図7Aの縦軸は、ゲート電位を示す。各シフトサイリスタ T_n がオンするために必要な電圧（以下、しきい値電圧と表記）は、各々の発光サイリスタ L_n の共通ゲート G_n のゲート電位に拡散電位（ 1.5 V ）を加えたものと、ほぼ同じ電位である。シフトサイリスタ T_n がオンしているとき、同じシフトサイリスタ T_n の転送ライン Φ_2 のラインに接続されているシフトサイリスタの中で、共通ゲートのゲート電位が最も低いのはシフトサイリスタ T_{n+2} である。シフトサイリスタ T_{n+2} に接続されている発光サイリスタ L_{n+2} の共通ゲート G_{n+2} の電位は、先に説明したように 3.2 V （ $= 1.7\text{ V} + 1.5\text{ V}$ ）（図7A）である。したがって、シフトサイリスタ T_{n+2} のしきい値電圧は 4.7 V （ $= 3.2\text{ V} + 1.5\text{ V}$ ）となる。しかしながら、シフトサイリスタ T_n がオンしているため、転送ライン Φ_2 の電位は約 1.5 V （拡散電位）に引き込まれており、シフトサイリスタ T_{n+2} のしきい値電圧より低いために、シフトサイリスタ T_{n+2} はオンすることができない。同じ転送ライン Φ_2 に接続されている他のシフトサイリスタは、シフトサイリスタ T_{n+2} よりもしきい値電圧が高いため、同様にオンすることができず、シフトサイリスタ T_n のみがオン状態を保つことができる。

[0051] また、転送ラインΦ1に接続されているシフトサイリスタについては、しきい値電圧が最も低い状態であるシフトサイリスタ T_{n+1} のしきい値電圧は 3.2 V ($=1.7\text{ V}+1.5\text{ V}$)である。そして、次にしきい値電圧の低いシフトサイリスタ T_{n+3} (図6では不図示)は 6.2 V ($=4.7\text{ V}+1.5\text{ V}$)である。この状態で、転送ラインΦ1に 5 V が入力されると、シフトサイリスタ T_{n+1} のみがオン状態に遷移できる。この状態では、シフトサイリスタ T_n とシフトサイリスタ T_{n+1} が同時にオンした状態である。そのため、シフトサイリスタ T_{n+1} から図6の回路図中、右側に設けられたシフトサイリスタ T_{n+2} 、 T_{n+3} 等のゲート電位は、各々、拡散電位 (1.5 V) 分、引き下げられる。ただし、ゲートラインVGKの電圧が 5 V であり、発光サイリスタLの共通ゲートの電圧はゲートラインVGKの電圧で制限されるため、シフトサイリスタ T_{n+5} より右側のゲート電位は 5 V となる。図7Bは、このときの各共通ゲート $G_{n-1}\sim G_{n+4}$ のゲート電圧分布を示す図であり、縦軸はゲート電位を示す。この状態で、転送ラインΦ2の電位を 0 V に下げると、シフトサイリスタ T_n がオフし、シフトサイリスタ T_n の共通ゲート G_n の電位がVGK電位まで上昇する。図7Cは、このときのゲート電圧分布を示す図であり、縦軸はゲート電位を示す。こうして、シフトサイリスタ T_n からシフトサイリスタ T_{n+1} へのオン状態の転送が完了する。

[0052] [発光サイリスタの発光動作]

次に、発光サイリスタの発光動作に関して説明する。シフトサイリスタ T_n のみがオンしているとき、発光サイリスタ $L_{4n-3}\sim L_{4n}$ までの4個の発光サイリスタのゲートはシフトサイリスタ T_n の共通ゲート G_n に共通に接続されている。そのため、発光サイリスタ $L_{4n-3}\sim L_{4n}$ のゲート電位は、共通ゲート G_n と同じ 0.2 V である。したがって、各々の発光サイリスタのしきい値は 1.7 V ($=0.2\text{ V}+1.5\text{ V}$)であり、発光サイリスタの点灯信号ラインΦW1～ΦW4から、 1.7 V 以上の電圧が入力されれば、発光サイリスタ $L_{4n-3}\sim L_{4n}$ は点灯可能である。したがって

、シフトサイリスタ T_n がオンしているときに、点灯信号ライン $\Phi W1 \sim \Phi W4$ に点灯信号を入力することにより、発光サイリスタ $L_{4n-3} \sim L_{4n}$ までの4個の発光サイリスタを選択的に発光させることが可能である。このとき、シフトサイリスタ T_n の隣のシフトサイリスタ T_{n+1} の共通ゲート G_{n+1} の電位は $1.7V$ であり、共通ゲート G_{n+1} にゲート接続している発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ のしきい値電圧は $3.2V (= 1.7V + 1.5V)$ となる。点灯信号ライン $\Phi W1 \sim \Phi W4$ から入力される点灯信号は $5V$ であるので、発光サイリスタ $L_{4n-3} \sim L_{4n}$ の点灯パターンと同じ点灯パターンで、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ も点灯しそうである。ところが、発光サイリスタ $L_{4n-3} \sim L_{4n}$ までの方がしきい値電圧が低いため、点灯信号ライン $\Phi W1 \sim \Phi W4$ から点灯信号が入力された場合には、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ よりも早くオンする。一旦、発光サイリスタ $L_{4n-3} \sim L_{4n}$ がオンすると、接続されている点灯信号ライン $\Phi W1 \sim \Phi W4$ が約 $1.5V$ （拡散電位）に引き下げられる。そのため、点灯信号ライン $\Phi W1 \sim \Phi W4$ の電位が、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ のしきい値電圧よりも低くなるため、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ はオンすることができない。このように、1個のシフトサイリスタ T に複数の発光サイリスタ L を接続することで、複数の発光サイリスタ L を同時点灯させることができる。

[0053] 図8は、図6に示すSLED回路の駆動信号のタイミングチャートである。図8では、上から順に、ゲートラインVGK、スタートパルスライン Φ_s 、奇数番目、偶数番目のシフトサイリスタの転送ライン $\Phi 1$ 、 $\Phi 2$ 、発光サイリスタの点灯信号ライン $\Phi W1 \sim \Phi W4$ の駆動信号の電圧波形を表している。なお、各駆動信号は、オン時の電圧は $5V$ 、オフ時の電圧は $0V$ である。また、図8の横軸は時間を示す。また、 T_c は、クロック信号 $\Phi 1$ の周期を示し、 $T_c/2$ は、周期 T_c の半分（ $= 1/2$ ）の周期を示す。

[0054] ゲートラインVGKには常に $5V$ が供給される。また、奇数番目のシフトサイリスタ用のクロック信号 $\Phi 1$ 、偶数番目のシフトサイリスタ用のクロッ

ク信号Φ 2 が同じ周期 T_c にて入力され、スタートパルスラインの信号Φ s は5 Vが供給されている。奇数番目のシフトサイリスタ用のクロック信号Φ 1 が最初に5 Vになる少し前に、ゲートラインVGKに電位差をつけるために、スタートパルスラインの信号Φ s は0 Vに落とされる。これにより、最初のシフトサイリスタ T_{n-1} のゲート電位が5 Vから1.7 Vに引き込まれ、しきい値電圧が3.2 Vになって、転送ラインΦ 1 による信号でオンできる状態になる。転送ラインΦ 1 に5 Vが印加され、最初のシフトサイリスタ T_{n-1} がオン状態に遷移してから少し遅れて、スタートパルスラインΦ s に5 Vが供給され、以降、スタートパルスラインΦ s には5 Vが供給され続ける。

[0055] 転送ラインΦ 1 と転送ラインΦ 2 は互いのオン状態（ここでは5 V）が重なる時間 T_{ov} を持ち、略相補的な関係になるように構成される。発光サイリスタ点灯用信号ラインΦ W1～Φ W4 は、転送ラインΦ 1、Φ 2 の周期の半分の周期で送信され、対応するシフトサイリスタがオン状態のときに、5 Vが印加されると点灯する。例えば期間aでは同一のシフトサイリスタに接続されている4つの発光サイリスタが全て点灯している状態であり、期間bでは3つの発光サイリスタが同時点灯している。また、期間cでは全ての発光サイリスタは消灯状態であり、期間dでは2つの発光サイリスタが同時点灯している。期間eでは点灯する発光サイリスタは1つのみである。

[0056] 本実施例では1個のシフトサイリスタに接続する発光サイリスタの数は4個としているがこれに限ったものではなく、用途に応じて4個より少なくても多くてもよい。なお、上述した回路では各サイリスタのカソードを共通とする回路について説明したが、アノード共通回路でも適宜極性を反転することで適用可能である。

[0057] [面発光サイリスタの構造]

図9A及び図9Bは、本実施例の面発光サイリスタ部の概略図である。図9Aは、メサ（台形）構造922に形成された発光素子が複数配列されている発光素子アレイの平面図（模式図）である。図9Bは、図9Aに示すIX

B-I-X-B線で、メサ構造922に形成された発光素子を切断したときの断面概略図である。発光素子が形成されたメサ構造922は、所定のピッチ（発光素子間の間隔）（例えば1200 dpiの解像度の場合には約21.16 μm ）で配置されており、各メサ構造922は、素子分離溝924により互いに分離されている。

[0058] 図9Bにおいて、900は第一伝導型の化合物半導体基板、902は基板900と同じ第一伝導型のバッファ層、904は第一伝導型の二種類の半導体層の積層で構成される分布ブラッグ反射（DBR）層である。また、906は第1の第一伝導型半導体層、908は第一伝導型とは異なる第1の第二伝導型半導体層、910は第2の第一伝導型半導体層、912は第2の第二伝導型半導体層である。図9Bに示すように、半導体層906、908、910、912の、伝導型の異なる半導体を交互に積層することで、pnpn型（又はnpnp型）のサイリスタ構造を形成している。本実施例では、基板900にはn型のGaAs基板を用い、バッファ層902にはn型GaAs又はn型のAlGaAs層、DBR層、904にはn型の高Al組成のAlGaAsと低Al組成のAlGaAsの積層構造を用いている。DBR層の上の第1の第一伝導型半導体層906にはn型AlGaAs、第1の第二伝導型半導体層908にはp型AlGaAs、第2の第一伝導型半導体層910にはn型AlGaAs、第2の第二伝導型半導体層912にはp型AlGaAsを用いている。

[0059] また、メサ構造型の面発光素子では、電流狭窄機構を用い、電流をメサ構造922側面に流さないようにすることで発光効率を向上させている。ここで、本実施例における電流狭窄機構について説明する。図9Bに示すように、本実施例では第2の第二伝導型半導体層912であるp型AlGaAsの上に、p型のGaP層914を形成し、更にその上にn型の透明導電体であるITO（Indium-Tin Oxide）層918を形成している。p型GaP層914は、透明導電体ITO層918と接触する部分の不純物濃度を十分高く形成しておく。発光サイリスタに対して順バイアスを加えたとき（例えば裏面

電極 926 を接地し、表面電極 920 に正電圧を加えたとき）、p 型 GaP 層 914 は、透明導電体 ITO 層 918 と接触する部分の不純物濃度を十分高く形成されているため、トンネル接合となる。その結果、電流が流れる。このような構造により、p 型 GaP 層 914 は、n 型透明導電体 ITO 層 918 と接触する部分に電流を集中させ、電流狭窄機構を形成している。なお、本実施例においては、ITO 層 918 と p 型 AlGaAs 層 912 との間に層間絶縁層 916 を設けている。ところが、n 型 ITO 層 918 と p 型 AlGaAs 層 912 で形成される付設ダイオードは、発光サイリスタの順方向バイアスに対して逆バイアスになっており、順バイアスしたときに、トンネル接合部以外は基本的に電流が流れない。そのため、n 型 ITO 層 918 と p 型 AlGaAs 層 912 で形成される付設ダイオードの逆方向耐圧が必要な用途に対して十分であれば、省略することも可能である。このような構成により、p 型 GaP 層 914 と n 型透明導電体 ITO 層 918 とが接触する部分とほぼ同等な部分の下部の半導体積層部が発光し、DBR 層 904 によってそのほとんどの発光が基板 900 と反対側に反射される。

[0060] 本実施例における露光ヘッド 106 は、解像度に応じて発光点の密度（発光素子間の間隔）が決定される。面発光素子アレイチップ内部の各発光素子は、素子分離溝 924 によってメサ構造 922 に分離され、例えば 1200 dpi の解像度で画像形成を行う場合は、隣接する発光素子（発光点）の素子中心間隔は 21.16 μm となるように配列される。

[0061] [面発光素子アレイチップの駆動基板上の配置]

図 10A、図 10B 及び図 10C は、本実施例の面発光素子アレイチップ 1～29 が駆動基板 202 上に配置されたときの関係を示す図である。図 10A は駆動基板 202 が理想的な矩形の場合を示す。駆動基板 202 の短手方向に 2 列に千鳥状にずらして配置された面発光素子アレイチップは全部で 29 個配置されている。ここで、奇数番目（1、3、・・・、27、29）の 15 個の面発光素子アレイチップが配置されている方を下側、偶数番目（2、4、・・・、26、28）の 14 個の面発光素子アレイチップが配置さ

れている方を上側とする。すなわち、上側には面発光素子アレイチップが合計 14 個、略 1 列に長手方向に配置され、下側には面発光素子アレイが合計 15 個、略 1 列に長手方向に配置される。また、駆動基板 202 の短手方向における上側の端部を上端、下側の端部を下端という。

[0062] 駆動基板 202 の短手方向の長さを V とすると、点線で示される駆動基板 202 の短手方向における中心（以下、基板短手中心という）は $V/2$ の位置となる。ここで、破線で表される面発光素子アレイチップの光量の強度の短手方向における中心（以下、発光中心という）は、駆動基板 202 の短手方向の中心に対して、偶数番目の面発光アレイチップ側へ移動（オフセット）させている。これにより、面発光素子アレイチップの数が多い（15 個）下側の 1 列の奇数番目の面発光素子アレイチップ用の信号線を配線する領域（以下、配線領域という）をより多く確保することが可能となる。このとき、短手方向において発光中心を基板短手中心からオフセットさせる量（以下、オフセット量という）は、次のようにする。例えば、駆動基板 202 の短手方向の長さ V を約 8.5 mm とすると、オフセット量は約 1 mm や 2 mm であり、設計公差よりも十分に大きい量である。

[0063] 図 10B 及び図 10C は駆動基板 202 が矩形ではない場合の例を示す。画像形成装置 10 に駆動基板 202 を配置する様々な制約から、駆動基板 202 を図 10A に示すような理想的な矩形にすることができない場合が発生する。図 10B は、駆動基板 202 の四隅が短手方向に対して一部凸形状となっており、長手方向における一方の端部の凸形状を凸部 202a、他方の端部の凸形状を 202b とする。以下に、駆動基板 202 の上端の定義について説明する。駆動基板 202 の凸部 202a、202b の長手方向における長さ A と駆動基板 202 の凸部 202a、202b を除く長手方向における長さ D とを比較する。なお、 $D = L - 2 \times A$ である。そして、合計値で長い方を駆動基板 202 の上端と定義する。駆動基板 202 の下端の定義についても同様とする。そうすると、図 10B の場合、駆動基板 202 の上端も下端も、凸部 202a、202b の長さ A の合計値 $2 \times A$ よりも凸部 202

a、202bではない長さDの方が長い ($D > 2 \times A$)。このため、図10Bでは、上端も下端も、凸部202a、202bではない部分を駆動基板202の上端又は下端と定義する。

[0064] 図10Cでも同様に、上端又は下端を定義する。図10Cでは、駆動基板202の上端左側が凸部202c、下端右側が凸部202dとなっている。駆動基板202の上端を決定する場合、凸部202cの長手方向における長さBと凸部202cではない部分の長手方向における長さEとを比較する。ここで、凸部202cではない長さEの方が長さBよりも長いため ($E > B$)、凸部202cではない部分を駆動基板202の上端と定義する。また、駆動基板202の下端を決定する場合、凸部202dの長手方向における長さCと凸部202cではない部分の長手方向における長さFとを比較する。ここで、凸部202cではない長さFの方が長さCよりも長いため ($F > C$)、凸部202dではない部分を駆動基板202の下端と定義する。

[0065] ここで図10B及び図10C共に駆動基板202の短手方向における基板短手中心は、前述した駆動基板202の上端及び下端を決定した後で、以下の式(1)から算出する。

$$\text{基板短手中心} = (\text{上端から下端までの長さ}) / 2 \quad (1)$$

[0066] すなわち、駆動基板202の基板短手中心とは、定義された駆動基板202の上端及び下端における中心である。図10B及び図10Cに、基板短手中心をそれぞれ点線で示す。図10B及び図10Cの例では、定義された駆動基板202の上端から下端までの長さはVであるため、基板短手中心は $V / 2$ の位置となる。一方、破線で表される発光中心は、基板短手中心に対して偶数番目の面発光素子アレイチップ側へ所定のオフセット量で移動させている。これにより面発光素子アレイチップの数が多い下側1列(奇数番目)の面発光素子アレイチップ用の配線領域をより多く確保することが可能となる。以上のように、複数の面発光素子アレイチップの発光中心の位置は、駆動基板202の基板短手中心よりも偶数個の面発光素子アレイチップが配置されている側に移動されている。

[0067] [駆動基板上の配線]

図 1 1 に、駆動基板 2 0 2 における面発光素子アレイチップ 2 3 ~ 2 7 の配線拡大図を示す。ここでスタートパルスライン ΦS 及び転送ライン $\Phi 1$ 、 $\Phi 2$ は、すべての面発光素子アレイチップ 1 ~ 2 9 に共通して配線されるため、説明を省略する。本実施例では図 6 で説明した通り、各面発光素子アレイチップ 1 ~ 2 9 に点灯信号ライン $\Phi W 1 \sim \Phi W 4$ ままでが接続される。そのため、面発光素子アレイチップ 2 4 及び面発光素子アレイチップ 2 6 に必要な配線数は、この 2 つに限ると合計で 8 本必要となる。一方、面発光素子アレイチップ 2 3、面発光素子アレイチップ 2 5 及び面発光素子アレイチップ 2 7 に必要な配線数は、この 3 つに限ると合計で 1 2 本必要となる。よって駆動基板 2 0 2 の上端、下端から定義される基板短手中心から発光中心を、面発光素子アレイチップの数が少ない方（すなわち、偶数番目の方）に移動させる。これにより、面発光素子アレイチップの数の多い側（奇数番目の方）の配線領域をより多く確保することが可能となる。

[0068] 以上、本実施例においては、駆動基板 2 0 2 上に面発光素子アレイチップが奇数個、千鳥状に配置された場合に、駆動基板 2 0 2 の短手方向において奇数番目の面発光素子アレイチップが配置される方の配線領域を多く確保することができる。これは、駆動基板 2 0 2 の上端、下端から定義される基板短手中心から発光中心を、面発光素子アレイチップの数が少ない方に移動させる構成による。このため、面発光素子アレイチップが奇数個であった場合でも、駆動基板 2 0 2 の短手方向の長さを長くすることなく、面発光素子アレイチップを駆動基板 2 0 2 上に配置することが可能となる。

[0069] 以上、実施例によれば、発光素子アレイをプリント基板上に奇数個配置した場合でも、プリント基板の大型化を抑え、かつ、プリント基板上の配線が混雑することを抑制することができる。

[0070] 本発明は上記実施の形態に制限されるものではなく、本発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、本発明の範囲を公にするために以下の請求項を添付する。

[0071] 本願は、2018年6月27日提出の日本国特許出願特願2018-121823を基礎として優先権を主張するものであり、その記載内容の全てをここに援用する。

符号の説明

[0072] 10 画像形成装置
 102 感光ドラム
 106 露光ヘッド
 201 面発光素子アレイ素子群

請求の範囲

[請求項1]

回転可能な感光体と、

前記感光体を露光する複数の発光素子が前記感光体の回転方向と交差する交差方向において第1の解像度に対応する間隔で配列されたチップと、複数の前記チップが実装されたプリント基板と、前記プリント基板に実装され前記複数のチップの発光素子を駆動する駆動部と、を有する露光ヘッドであって、前記プリント基板に前記複数のチップと前記駆動部とを電氣的に接続する配線パターンがプリントされた露光ヘッドと、

を備える画像形成装置であって、

前記プリント基板には、奇数個の前記チップが実装されており、前記交差方向における一方の側に前記奇数個のチップのうち偶数個のチップが配置され、前記交差方向における他方の側に前記奇数個のチップのうち残りの奇数個のチップが配置され、

前記複数のチップの発光素子の光量の強度の前記回転方向における中心の位置は、前記回転方向における前記プリント基板の位置の中心よりも前記偶数個のチップが配置されている側に移動されていることを特徴とする画像形成装置。

[請求項2]

前記回転方向における前記プリント基板の位置の中心は、前記一方の側の端部から前記他方の側の端部までの長さを2で除して求められることを特徴とする請求項1に記載の画像形成装置。

[請求項3]

前記一方の側の端部が凸部を有している場合、

前記凸部の前記交差方向における合計の長さ、と、前記凸部を除く部分の前記交差方向における合計の長さのうち、合計の長さが長くなった方を前記一方の側の端部と定義することを特徴とする請求項2に記載の画像形成装置。

[請求項4]

前記他方の側の端部が凸部を有している場合、

前記凸部の前記交差方向における合計の長さ、と、前記凸部を除く部

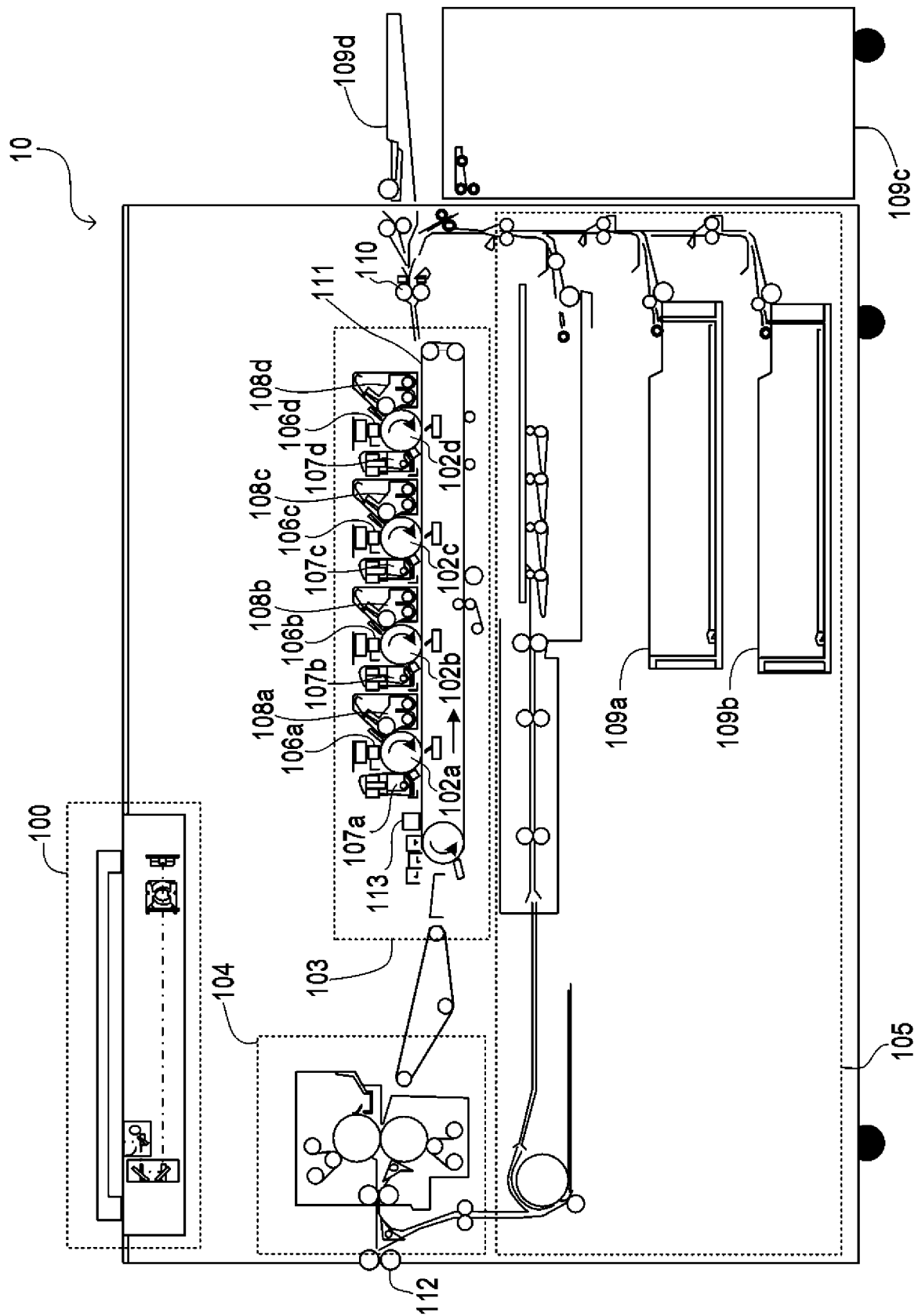
分の前記交差方向における合計の長さのうち、合計の長さが長くなった方を前記他方の側の端部と定義することを特徴とする請求項2に記載の画像形成装置。

[請求項5]

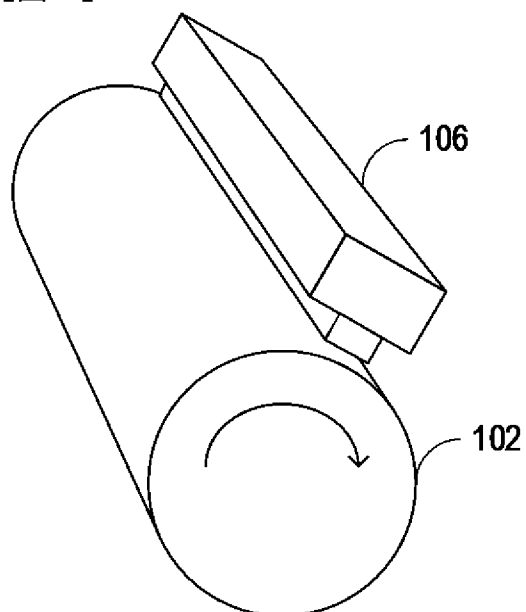
2つの前記駆動部を有し、

前記2つの駆動部は、前記プリント基板の前記交差方向における端部からそれぞれ略3分の1の位置に配置されていることを特徴とする請求項1から請求項4のいずれか1項に記載の画像形成装置。

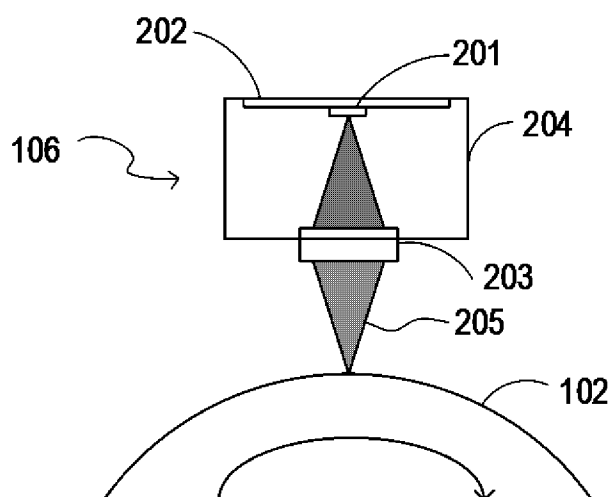
[図1]



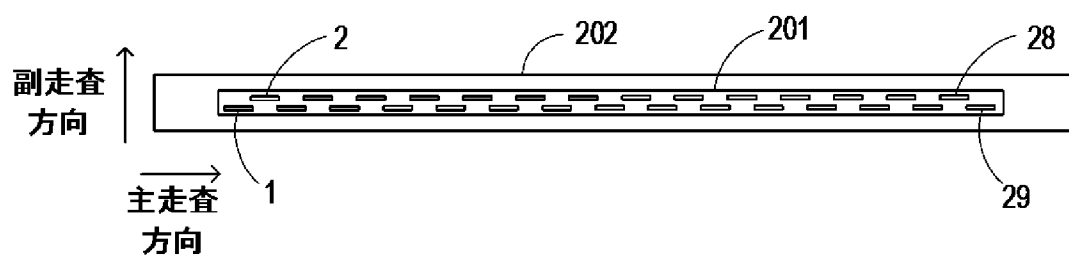
[図2A]



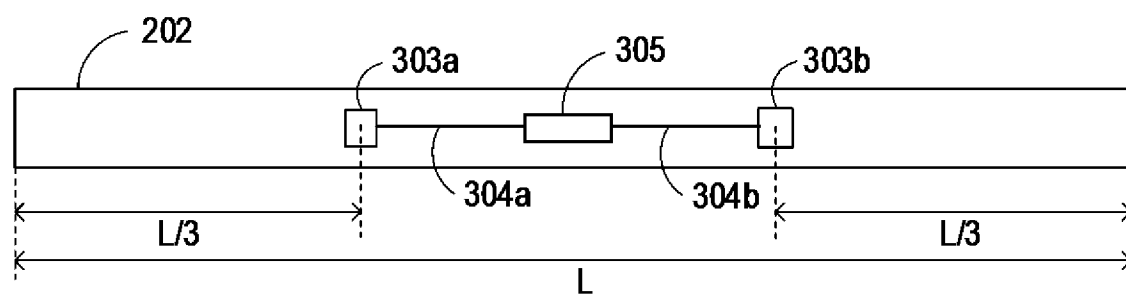
[図2B]



[図3A]

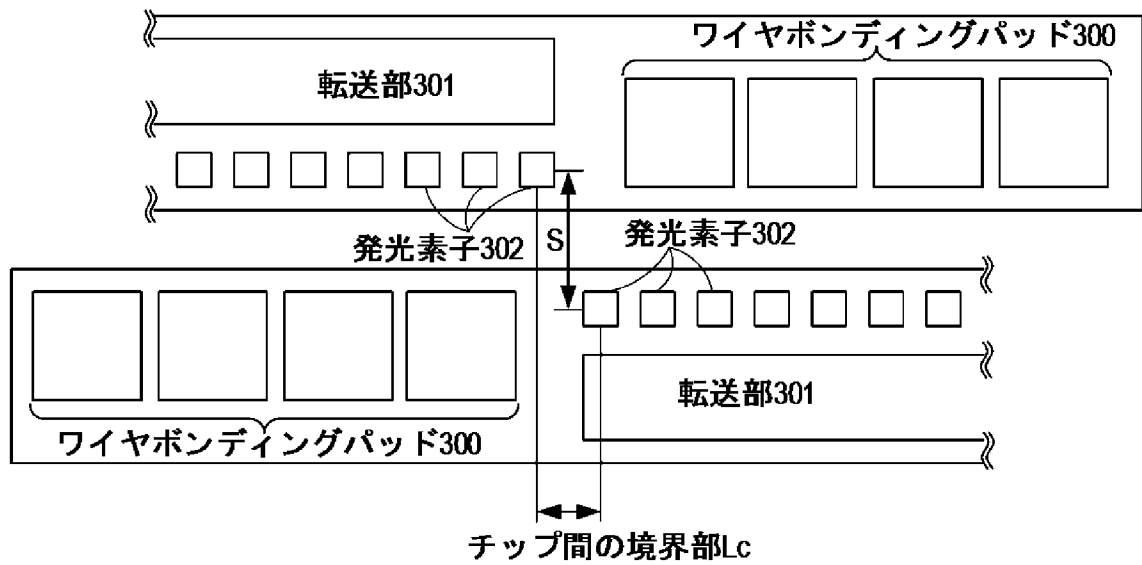


[図3B]

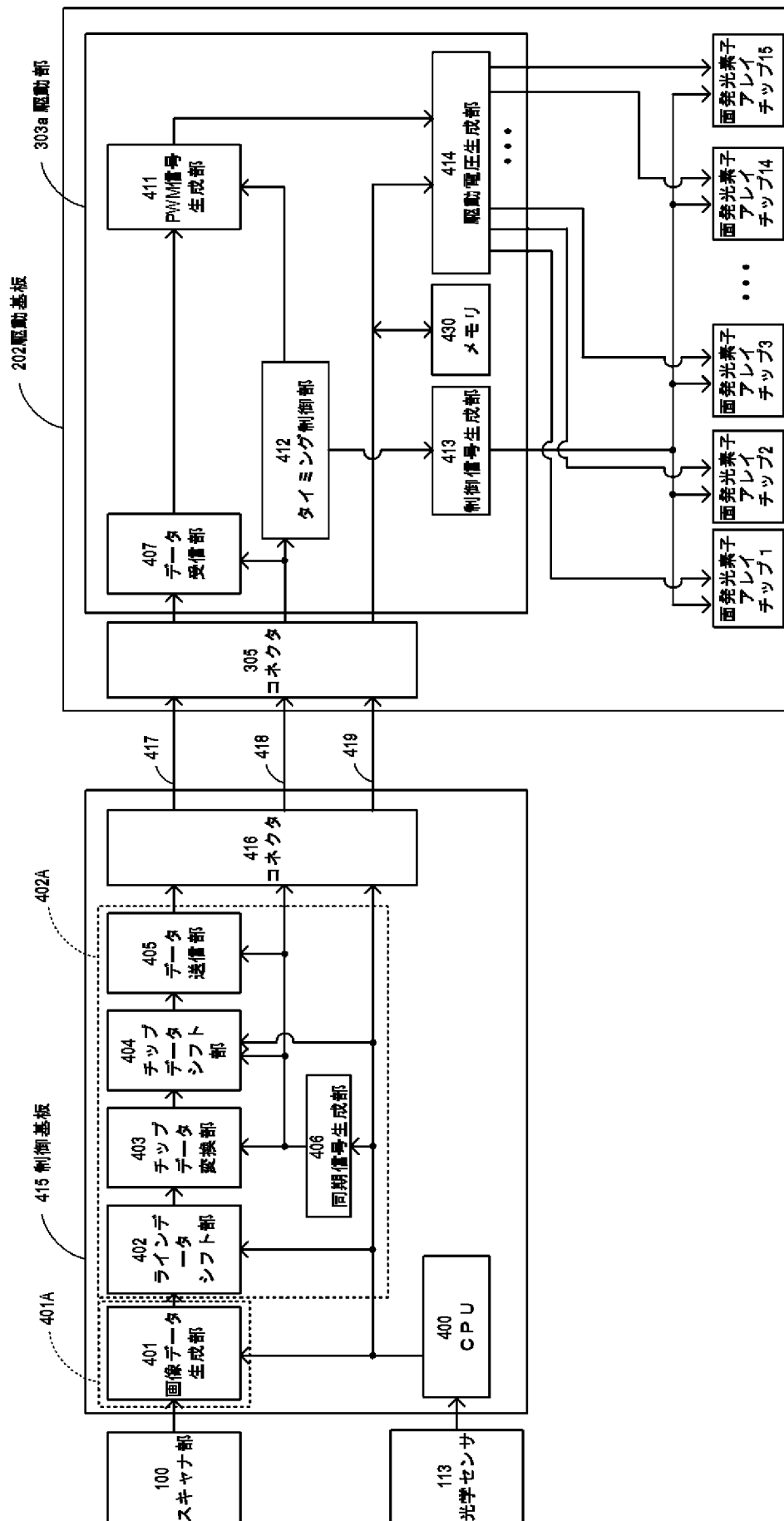


[図3C]

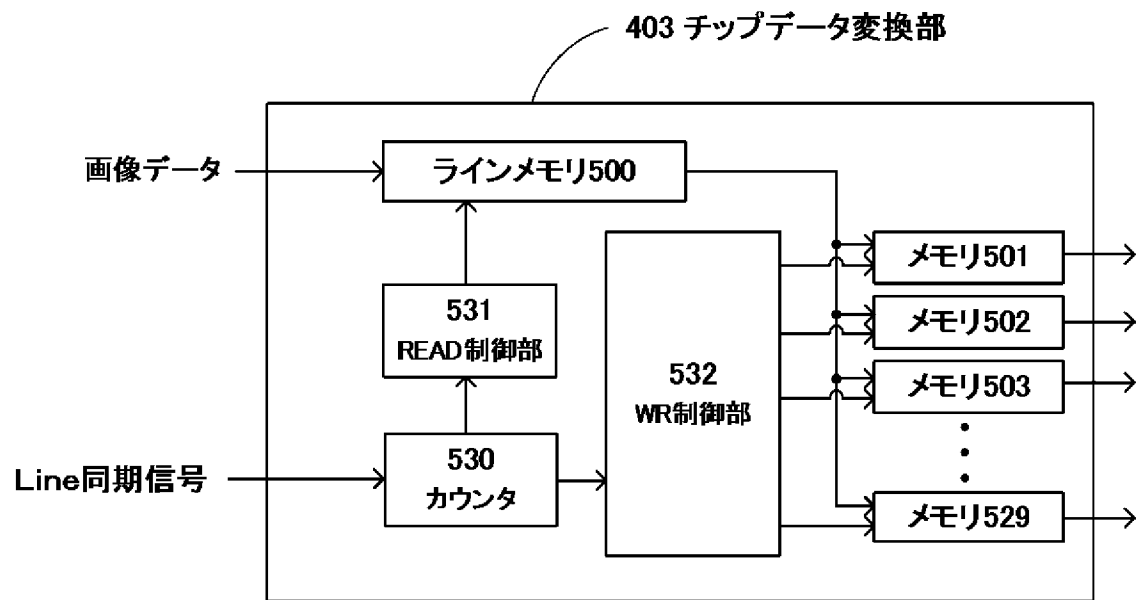
→ 長手方向



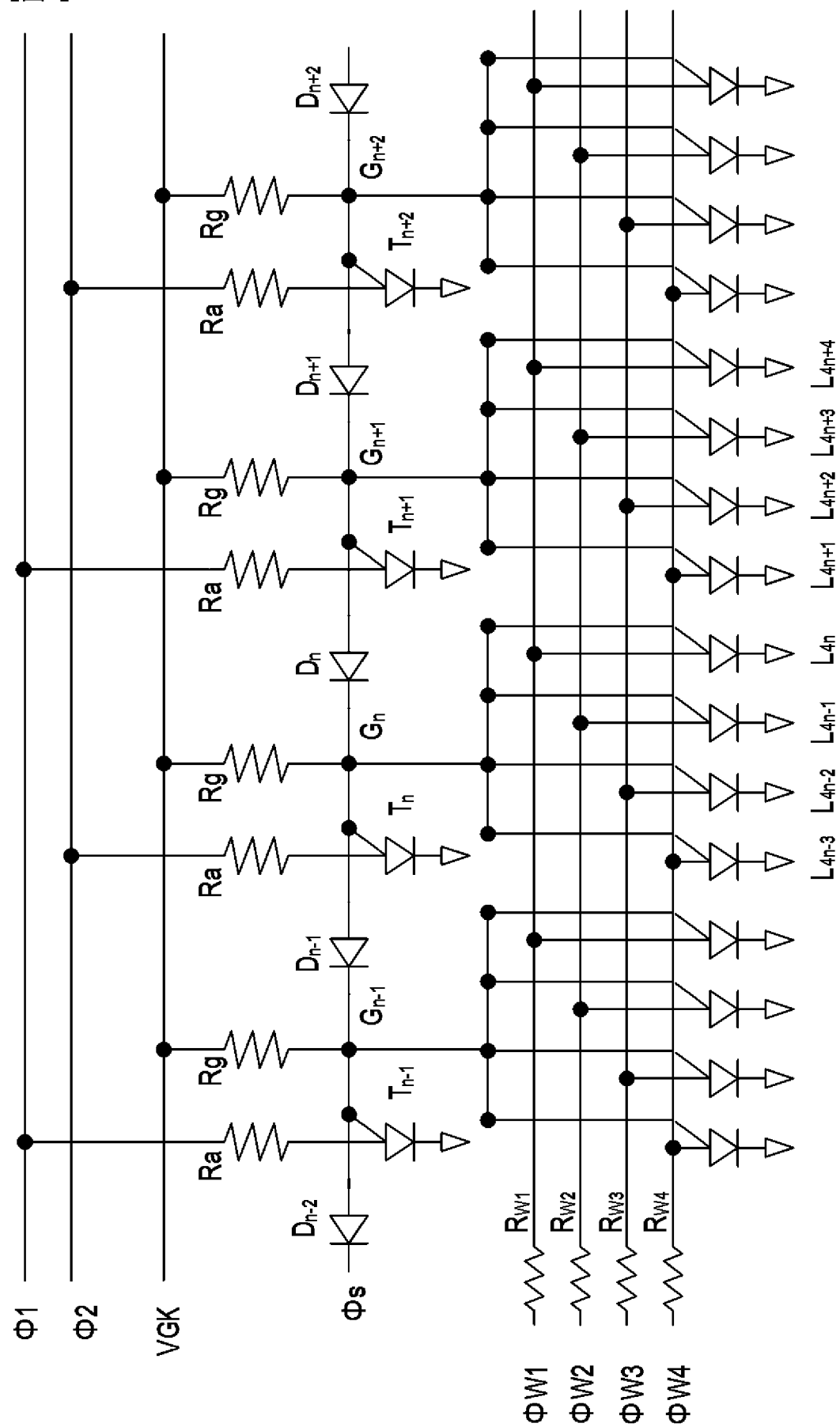
[図4]



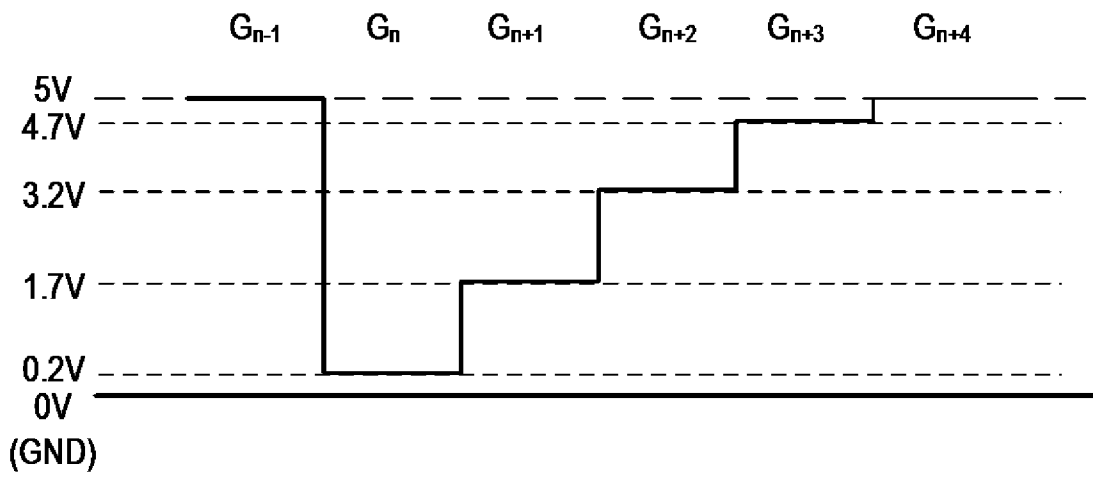
[図5]



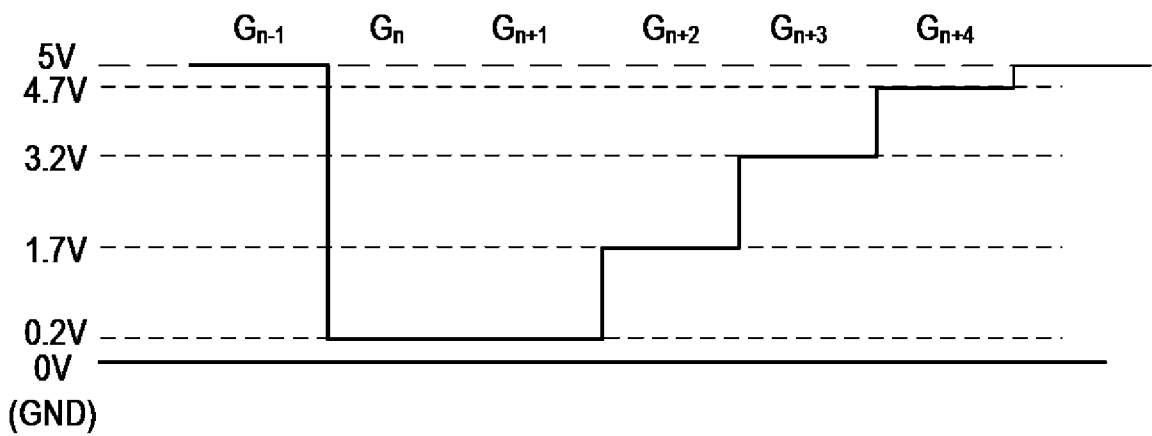
[図6]



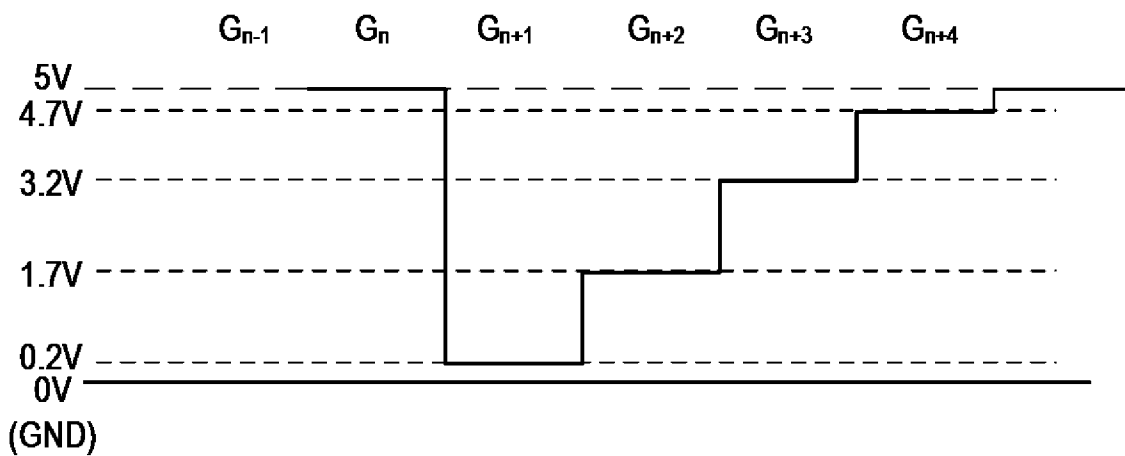
[図7A]



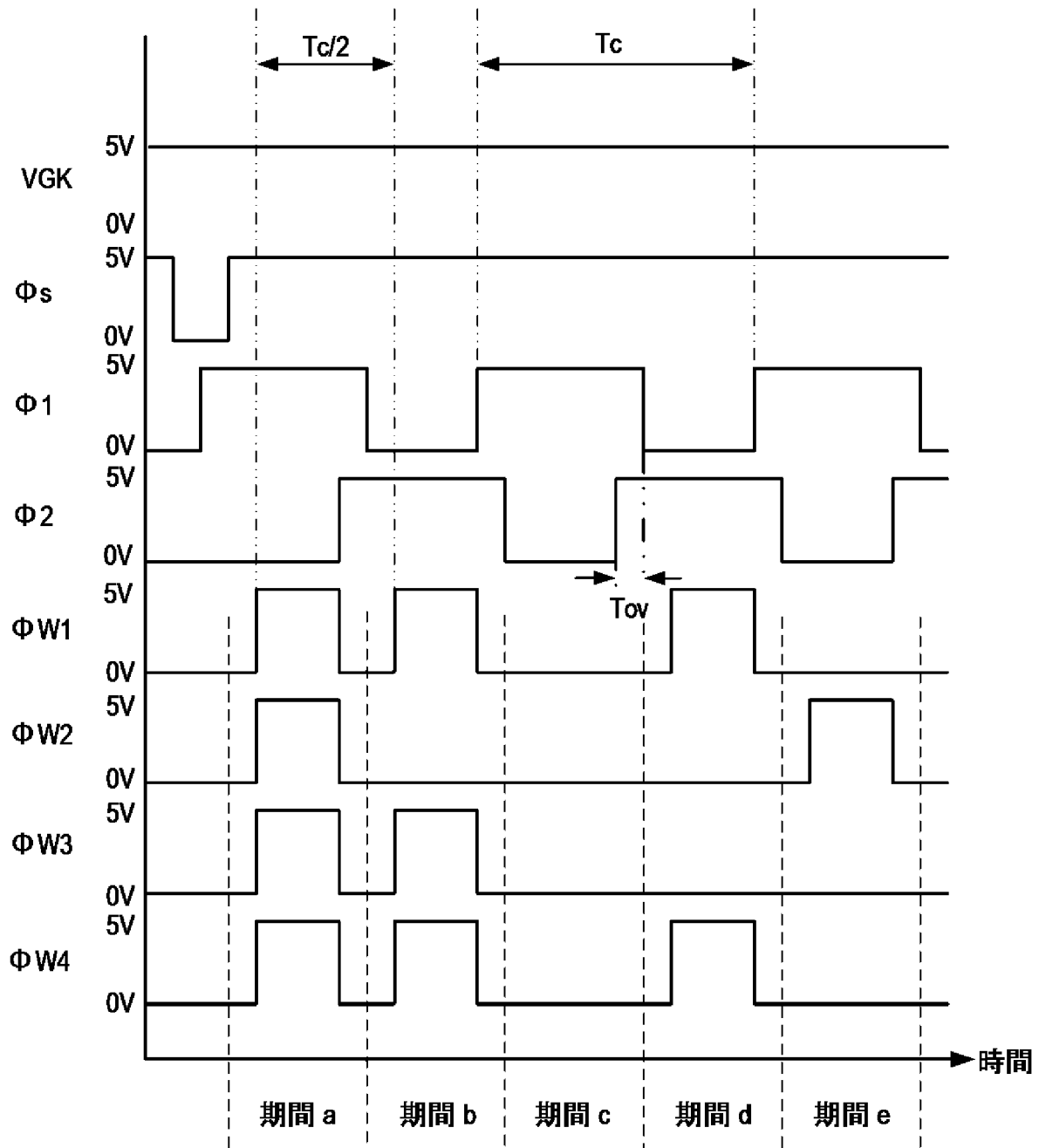
[図7B]



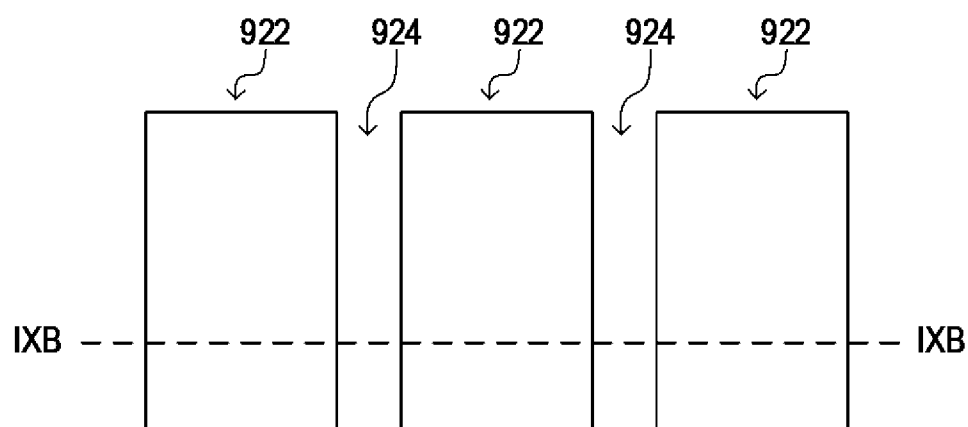
[図7C]



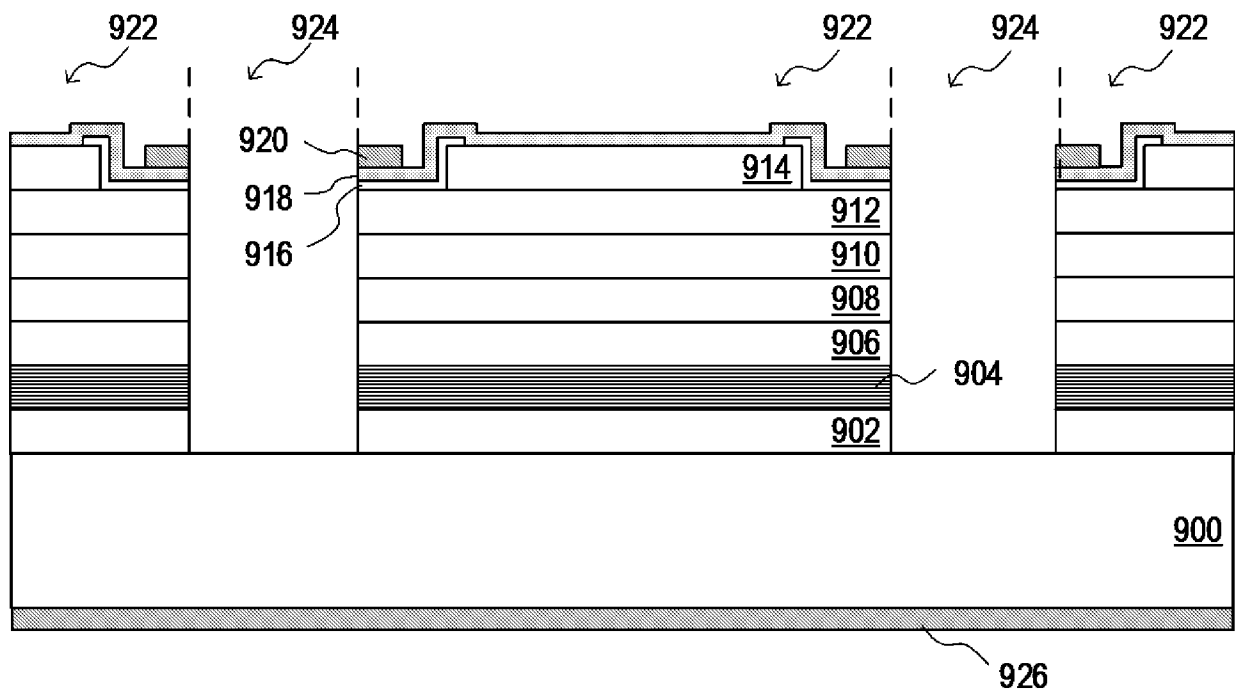
[図8]



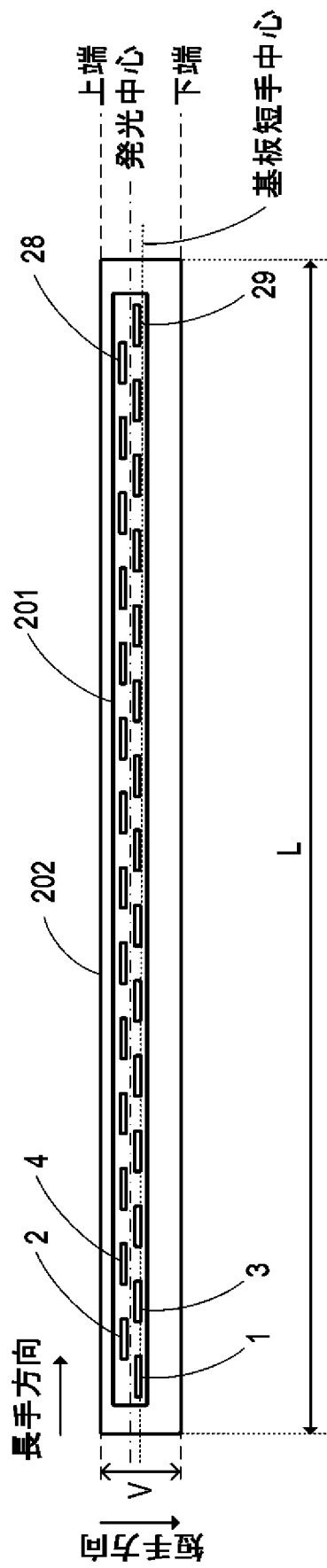
[図9A]



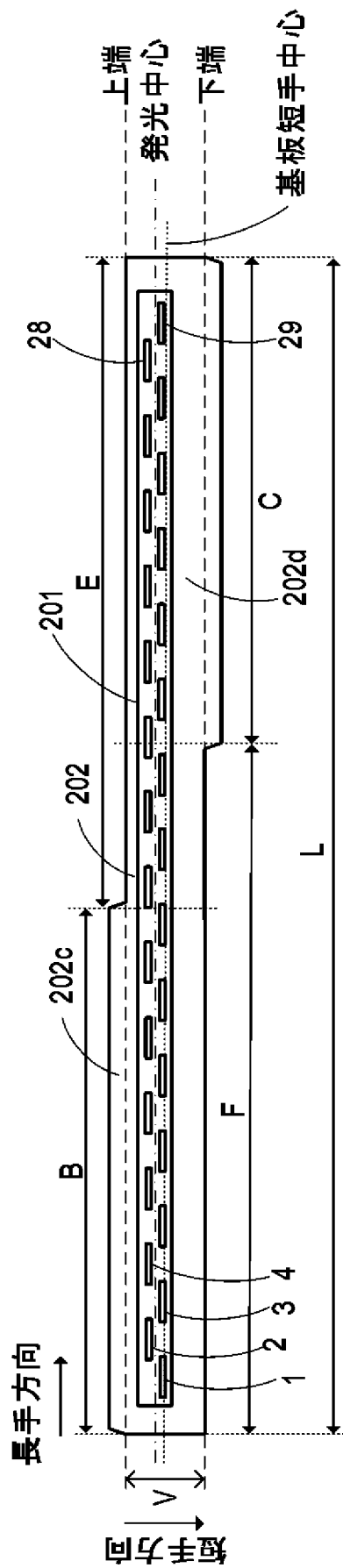
[図9B]



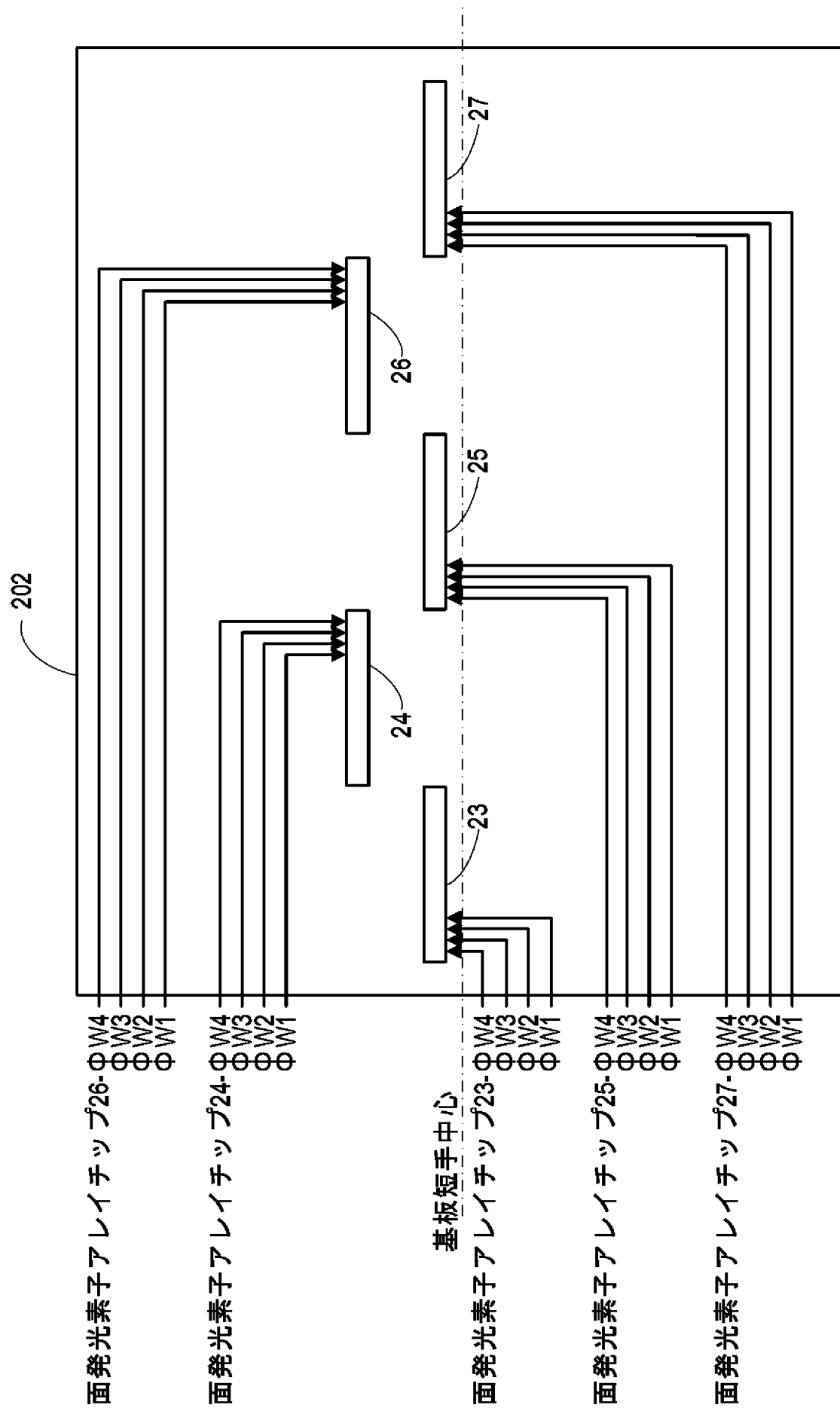
[図10A]



[図10C]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025427

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. B41J2/447 (2006.01) i, B41J2/45 (2006.01) i, G03G15/04 (2006.01) i,
H01L33/62 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. B41J2/447, B41J2/45, G03G15/04, H01L33/62

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2009-218602 A (FUJI XEROX CO., LTD.) 24 September 2009, paragraphs [0014], [0094], [0098], fig. 2, 13 (Family: none)	1-2 3-5
P, A	JP 2019-98548 A (CANON INC.) 24 June 2019, paragraphs [0011]-[0012], fig. 3 (Family: none)	1-5
A	JP 2001-10110 A (KYOCERA CORP.) 16 January 2001, paragraphs [0010]-[0026], fig. 1-2 (Family: none)	1-5
A	US 2015/0191011 A1 (HEWLETT-PACKARD DEVELOPMENT COMPANY, L. P.) 09 July 2015, entire text, all drawings & US 2016/0009083 A1 & WO 2014/051543 A1	1-5

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 August 2019 (21.08.2019)

Date of mailing of the international search report

03 September 2019 (03.09.2019)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025427

Review of the subject of the international search

(Regarding the claims)

(1) The invention in claim 1 also includes a non-zigzag arrangement. However, with regard to the mode for carrying out the invention, only the case is disclosed, in which chips in which a plurality of light emitting elements are arranged with a first resolution are arranged in a zigzag form in the intersection direction of a printed board, and light emitting elements are arranged with the first resolution on the printed board (paragraph [0022], fig. 3A-3C).

The problem to be solved by the present invention occurs when configuring a light emitting element array of a first resolution by arranging, in a zigzag form, even-number chips and odd-number chips of an odd number of chips.

Therefore, it cannot be said that the disclosure of the mode for carrying out the invention can be extended or generalized to the extent of the scope of the invention in claim 1.

(2) In the invention in claim 1, the location of the center of the intensity of the quantity of light of light emitting elements of a plurality of chips in the rotation direction is biased to the side on which the even number of chips are arranged rather than to the center of the location of the printed board in the rotation direction. However, with regard to the mode for carrying out the invention, only the case is disclosed, in which the center of light emission from the substrate short side defined from the top and the bottom of a driving substrate 202 is biased towards the side (i.e., even-number side) on which the number of surface emitting element array chips is fewer (paragraphs [0062], [0066]-[0067], fig. 10A).

For example, when 15 chips are arranged in two columns in a zigzag form, the number of odd-number chips is eight, and the number of even-number chips is seven. In this example, when configuring as described in claim 1, the location of the center of the intensity of the quantity of light of light emitting elements of a plurality of chips in the rotation direction is biased to the side of the array of odd-number chips, the number of which is an even number. However, this feature is not disclosed in the description or the drawings.

(Regarding the subject of the search)

The invention in claim 1 was not excluded, but the subject of the search was limited as described below on the basis of the above points (1) and (2).

With regard to the invention in claim 1, chips in which a plurality of light emitting elements are arranged with a first resolution are arranged in two columns in a zigzag form in the intersection direction of a printed board so that light emitting elements are arranged with the first resolution on the printed board, and the location of the center of the intensity of the quantity of light of light emitting elements of a plurality of chips in the rotation direction is biased to the side of the column (i.e., the side on which even-number chips are arranged) on which the number of chips is fewer rather than to the center of the location of the printed board in the rotation direction.

Likewise, the subject of the search was limited with regard to claims 2-5 referring to claim 1.

Furthermore, with regard to the wording "even number of chips among the odd number of chips are arranged on one side in the intersection direction, and the remaining odd number of chips among the odd number of chips are arranged on the other side in the intersection direction", "intersection direction" was regarded as a typographical error for "rotation direction".

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. B41J2/447(2006.01)i, B41J2/45(2006.01)i, G03G15/04(2006.01)i, H01L33/62(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. B41J2/447, B41J2/45, G03G15/04, H01L33/62

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2009-218602 A（富士ゼロックス株式会社）2009.09.24, 段落 0014, 0094, 0098, 図 2, 13（ファミリーなし）	1-2 3-5
P, A	JP 2019-98548 A（キヤノン株式会社）2019.06.24, 段落 0011-0012, 図 3（ファミリーなし）	1-5
A	JP 2001-10110 A（京セラ株式会社）2001.01.16, 段落 0010-0026, 図 1-2（ファミリーなし）	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21.08.2019

国際調査報告の発送日

03.09.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大浜 登世子

2 P

4468

電話番号 03-3581-1101 内線 3261

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2015/0191011 A1 (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.) 2015.07.09, 全文, 全図 & US 2016/0009083 A1 & WO 2014/051543 A1	1-5

国際調査における対象の検討

(請求の範囲の記載について)

(1) 請求項1に係る発明は、千鳥状に配列されていないものも含まれる。しかしながら、発明を実施するための形態においては、第1の解像度で複数の発光素子が配列されたチップが、プリント基板の交差方向に千鳥状に配置された構成であり、プリント基板上において、発光素子が第1の解像度で配置されている場合についてしか開示がない(段落0022, 図3A~3C)。

本願発明が解決しようとする課題は、奇数個のチップを偶数番目のチップと奇数番目のチップとが千鳥状に配置されることで第1の解像度の発光素子列を構成する場合において生じるものである。

そうすると、請求項1に係る発明の範囲まで、発明を実施するための形態に記載された内容を拡張ないし一般化できるとはいえない。

(2) 請求項1に係る発明は、複数のチップの発光素子の光量の強度の前記回転方向における中心の位置が、前記回転方向における前記プリント基板の位置の中心よりも前記偶数個のチップが配置されている側に移動されているものとなっている。しかしながら、発明を実施するための形態においては、駆動基板202の上端、下端から定義される基板短手中心から発光中心を、面発光素子アレイチップの数が少ない方(すなわち、偶数番目の方)に移動させることしか記載されていない(段落0062, 0066-0067, 図10A)。

例えば、15個のチップを千鳥状に2列に配置した場合、奇数番目のチップの数は8個、偶数番目のチップの数は7個となる。この例において、請求項1の記載の通りに構成すると、複数のチップの発光素子の光量の強度の前記回転方向における中心の位置が、偶数個存在する奇数番目のチップの列の方に移動することになる。しかしながら、そのような技術の開示は、明細書又は図面にはない。

(調査対象について)

請求項1に係る発明については、除外対象とはしないが、上記(1)及び(2)をふまえ、下記の通り調査対象を限定した。

請求項1に係る発明において、第1の解像度で複数の発光素子が配列されたチップが、プリント基板の交差方向に千鳥状に2列に配置されることで、プリント基板上の発光素子が第1の解像度で配置されたものであり、かつ、複数のチップの発光素子の光量の強度の回転方向における中心の位置を、回転方向におけるプリント基板の位置の中心よりも、チップの数が少ない方の列側(すなわち、偶数番目のチップが配列されている方)に移動させたもの。

請求項1を引用する請求項2-5についても同様に調査対象を限定した。

なお、請求項1の「前記交差方向における一方の側に前記奇数個のチップのうち偶数個のチップが配置され、前記交差方向における他方の側に前記奇数個のチップのうち残りの奇数個のチップが配置され」との記載における「交差方向」は「回転方向」の誤記であるものとして扱った。