



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월26일
 (11) 등록번호 10-0817031
 (24) 등록일자 2008년03월20일

(51) Int. Cl.

G06F 13/14 (2006.01) G06F 13/00 (2006.01)

(21) 출원번호 10-2006-0081109

(22) 출원일자 2006년08월25일

심사청구일자 2006년08월25일

(65) 공개번호 10-2008-0018653

(43) 공개일자 2008년02월28일

(56) 선행기술조사문헌

KR1020040096627 A

KR1020000016664 A

JP2003273942 A

JP2002335234 A

전체 청구항 수 : 총 22 항

(73) 특허권자

주식회사 케이씨씨

서울 금천구 가산동 517-4

(72) 발명자

이경탁

서울 양천구 신정7동 신시가지11단지아파트
 1104-307

(74) 대리인

서경민, 서만규

심사관 : 퇴-신성길

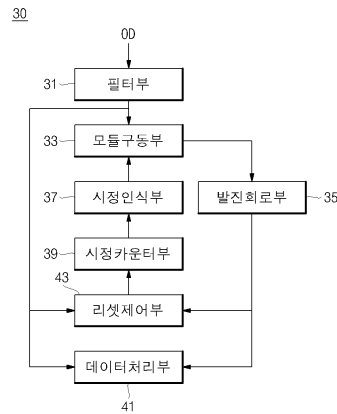
(54) 단선 직렬 통신 모듈

(57) 요약

본 발명은 집적회로 간의 통신 및 그 장치에 관한 것으로 특히, 데이터 전송속도가 빠르면서도 노이즈의 영향을 감소시키는 것이 가능한 단선직렬 통신모듈에 관한 것이다.

본 발명에 따른 단선직렬 통신모듈은 명령데이터를 생성하는 상위 제어장치와 싱글버스로 연결되어, 스타트신호, 데이터신호, 애크신호 및 동작정지신호로 구분되는 명령데이터를 수신하고, 상기 데이터신호를 적어도 1비트 이상의 데이터비트로 변환하여 상기 명령데이터에 따라 동작하는 제어대상칩에 전달하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

명령데이터를 생성하는 상위 제어장치와 싱글버스로 연결되어, 스타트신호, 데이터신호, 액크신호 및 동작정지신호로 구분되는 명령데이터를 수신하고,

상기 데이터신호를 적어도 1비트 이상의 데이터비트로 변환하여 상기 명령데이터에 따라 동작하는 제어대상칩에 전달하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 2

제 1 항에 있어서,

상기 제어대상칩과 일체형인 것을 특징으로 하는 단선직렬 통신모듈.

청구항 3

제 1 항에 있어서,

상기 명령데이터에 포함된 노이즈를 제거하는 필터부와,

상기 명령데이터에 따라 구동 또는 유휴 상태를 결정하는 모듈구동부와,

상기 모듈구동부의 제어에 따라 클럭신호를 발생하는 발진회로부와,

상기 스타트신호 및 상기 정지신호의 판별을 위한 신호확인신호를 생성하는 시정카운터부와,

상기 신호확인신호에 따라 상기 모듈구동부에 상기 구동 상태의 유지를 위한 동작유지신호를 제공하는 시정인식부와,

상기 데이터신호를 변환하여 상기 데이터비트를 생성하는 데이터처리부 및,

상기 클럭신호의 생성을 위한 전원을 공급하는 전원공급부를 구비하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 4

제 3 항에 있어서,

상기 필터부는,

상기 노이즈가 제거된 상기 명령데이터를 상기 모듈구동부 및 상기 데이터처리부에 제공하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 5

제 3 항에 있어서,

상기 모듈구동부는,

상기 구동 또는 상기 유휴상태의 판단을 위해 적어도 하나 이상의 낸드게이트 또는 앤드게이트로 구성되는 판단부를 구비하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 6

제 3 항에 있어서,

상기 모듈구동부는,

상기 스타트신호에 따라 상기 발진회로부, 상기 리셋제어부, 상기 시정카운터부, 상기 시정인식부, 상기 데이터처리부 및 상기 전원부를 구동상태로 유지하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 7

제 6 항에 있어서,

상기 모듈구동부는,

상기 스타트신호의 인가 종료 후, 상기 동작유지신호에 의해 상기 구동상태를 유지하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 8

제 3 항에 있어서,

상기 시정카운터부는,

상기 스타트신호의 인식을 위한 시작카운터부와,

상기 동작정지신호의 인식을 위한 정지카운터부를 구비하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 9

제 3 항에 있어서,

상기 명령데이터에 의해 리셋신호를 생성하는 리셋제어부를 더 구비하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 10

제 9 항에 있어서,

상기 시정카운터부는,

상기 스타트신호 및 동작정지신호의 인식을 위해 하나의 카운터부를 구비하며,

상기 스타트신호의 수신 후, 상기 동작정지신호의 수신 후 및 비정상 신호의 수신시 상기 리셋제어부에 의해 리셋되는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 11

제 3 항에 있어서,

상기 데이터처리부는,

상기 데이터신호의 상기 데이터비트를 저장 및 출력하는 데이터출력부와,

상기 명령데이터에 따라 상기 데이터비트가 상기 데이터출력부에 저장되도록 제어하는 데이터리드부 및,

상기 애크신호를 판별하기 위한 애크리드부를 구비하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 12

제 11 항에 있어서,

상기 데이터출력부는,

상기 데이터비트 수에 대응하는 수의 데이터비트 저장영역을 구비하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 13

제 12 항에 있어서,

상기 데이터출력부는,

상기 데이터비트의 논리값이 저장되는 저장영역을 선택하는 비트인식부를 더 구비하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 14

제 13 항에 있어서,

상기 비트인식부는,

상기 애크리드부로부터의 애크확인신호와 상기 비트인식부 내부 신호의 조합에 따라 상기 데이터비트를 출력하도록 상기 데이터출력부를 제어하는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 15

제 3 항에 있어서,

상기 스타트신호는,

상기 전원공급부가 상기 발진회로부에 전원을 공급하는데 소요되는 지연시간과,

상기 클럭신호에 의해 카운터되는 클럭시간의 합에 의해 구성되는 하이레벨유지시간을 포함하여 구성되는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 16

제 3 항에 있어서,

상기 발진회로부, 상기 모듈구동부, 상기 시정인식부, 상기 시정카운터부 및 상기 데이터처리부 중 적어도 어느 하나는 상기 명령데이터의 폴링에지 또는 라이징 에지 중 적어도 어느 하나를 인식하는 에지트리거 방식인 것을 특징으로 하는 단선직렬 통신모듈.

청구항 17

제 16 항에 있어서,

상기 데이터신호 및 상기 애크신호 중 적어도 어느 하나는 상기 폴링에지 이후 로우레벨 논리값을 유지하는 펄스폭을 가지는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 18

제 16 항에 있어서,

상기 데이터 신호 및 상기 애크신호 중 적어도 어느 하나는 상기 라이징에지 이후 하이레벨 논리값을 유지하는 펄스폭을 가지는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 19

제 16 항에 있어서,

상기 펄스폭은, 상기 로우레벨 유지기간에 상기 클럭신호의 폴링에지가 적어도 하나 발생하는 시간인 것을 특징으로 하는 단선직렬 통신모듈.

청구항 20

제 3 항에 있어서,

상기 데이터신호의 상기 데이터비트에 대응하는 시간은 상기 스타트신호 및 상기 동작정지신호 중 적어도 어느 하나보다 짧은 시간을 가지는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 21

제 16 항에 있어서,

상기 애크신호는, 폴링에지 또는 라이징에지가 적어도 두 번 이상 포함되고,

상기 애크리드부가 상기 폴링에지를 인식하는 최소시간 길이를 가지는 것을 특징으로 하는 단선직렬 통신모듈.

청구항 22

제 18 항 또는 제 21 항에 있어서,

상기 펄스폭 또는 상기 최소시간 길이는 상기 필터부에 의해 필터링 되는 노이즈의 주기보다 긴 시간을 가지는

것을 특징으로 하는 단선직렬 통신모듈.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 집적회로 간의 통신 및 그 장치에 관한 것으로 특히, 데이터 전송속도가 빠르면서도 노이즈의 영향을 감소시키는 것이 가능한 단선직렬 통신모듈에 관한 것이다.
- <9> 컴퓨터, 각종 모바일 기기 등에 실장되는 회로들은 많은 종류와 수의 IC 칩을 구비하게 된다. 이러한 IC 들은 크게 컨트롤러(또는 중앙처리장치)와 주변장치로 구분되며, 주변장치는 컨트롤러의 제어에 따라 동작하거나 다른 주변장치를 제어하게 된다.
- <10> 이를 위해, 컨트롤러와 주변장치 사이에는 통신을 수행하게 되며, 컨트롤러 및 IC에는 통신 단자가 마련된다. 예를 들어, 중앙처리장치에 의한 마이크로 프로세서 제어, LCD 드라이버 칩 제어, 원격지의 I/O포트 제어, 램, E²PROM, 전화 또는 비디오 시스템 모듈 제어 등에 이러한 통신을 이용할 수 있다.
- <11> 이러한 칩간 통신 또는 모듈간 통신에 대표적으로 이용되는 것이 I²C(Inter IC Bus : IIC)와 RS232C 방식이다. 이외에도 PWM(Pulse Width Modulation) 개념을 이용한 리니어 스텝방식(Linear Step)과 쉬프트 방식 등이 이용되고 있다. I²C는 두 개의 핀을 이용해 통신을 수행하는 것으로 100Kbps와 400Kbps의 고속 통신이 가능하며, 두 개의 핀 중 한 핀을 통해 데이터를 전송하고 다른 한 핀을 통해 동기를 위한 클럭을 전송한다. 카운터 방식은 마스터 측의 신호에 따라 미리 정해진 숫자의 명령어를 선택하는 방식이다. 예를 들어 8개의 명령을 제어할 수 있도록 해 놓은 경우, 순서대로 카운터를 상승시켜 8개의 명령 중 원하는 명령을 선택하는 방식이다.
- <12> 이러한 기존의 버스 통신 방식은 상술한 특성으로 인해 많은 문제점을 가진다. 우선 고속 통신이 가능한 I²C의 경우 핀 단자를 두 개 사용해야 하고, 그로 인해 버스도 2라인이 구성되어야 한다. 이로 인해 I²C 방식은 점점 더 집적화 되는 회로모듈의 소형화를 어렵게 하는 문제점이 있다. 싱글 와이어 방식으로 데이터를 전송하는 쉬프트 방식의 경우 1번째 명령을 수행한 뒤 8번째 명령을 수행하기 위해서는 차례로 카운트를 하여야 하는 번거로움이 있다. 이 때문에 쉬프트 방식의 경우 명령에 대응하는 동작속도가 느리고, 많은 동작 및 명령을 지정하기 어려운 문제점이 있다. 아울러, 싱글 와이어를 이용하는 방식은 신호 전송 중에 신호에 노이즈가 발생해도, 이를 제거하거나 데이터를 재요청하기 어려운 문제점이 있다. 이 때문에 기존의 싱글 와이어는 노이즈로 인한 오동작 또는 미동작이 빈번하게 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <13> 따라서, 본 발명의 목적은 데이터 전송속도가 빠르면서도 노이즈의 영향을 감소시키는 것이 가능한 단선직렬 통신모듈을 제공하는 것이다.
- <14> 또한, 본 발명의 다른 목적은, 노이즈 제거특성, 구동/유휴 상태 전환특성, 동기화 방식에 준하는 데이터의 정확성과 속도 특성, 다수의 명령어 보유 특성을 가지도록 한 단선직렬 통신모듈을 제공하는 것이다.
- <15> 또한, 본 발명의 다른 목적은 단선으로 제공되는 싱글버스를 이용하는 통신방법에 있어서, 제어대상 칩의 안정적인 동작을 보장할 수 있도록 동기화 전송방식에 준하는 정확도를 가지는 데이터 전송이 가능한 단선직렬 통신모듈을 제공하는 것이다.
- <16> 또한, 본 발명의 다른 목적은 데이터 송신 및 수신 정확도를 향상시킬 수 있도록 싱글버스 상에서 전송가능한 형태의 정확도 높은 데이터 형태를 제공하도록 한 단선직렬 통신모듈을 제공하는 것이다..
- <17> 또한, 본 발명의 다른 목적은 회로설계의 자유도 증가 및 회로 제작 비용의 저감을 위해 싱글버스와, 싱글버스에 적합한 데이터 전송 및 처리가 가능한 단선직렬 통신모듈을 제공하는 것이다.
- <18> 또한, 본 발명의 다른 목적은 노이즈가 많은 구동환경 하에서도 명령데이터의 안정적인 전송, 수신 및 처리가

가능하도록 데이터 전송 유무의 확인 가능한 단선직렬 통신모듈을 제공하는 것이다.

<19> 마지막으로, 본 발명의 다른 목적은 다양한 명령의 처리가 가능하고, 빠른 응답속도를 가지도록 다비트의 명령 신호를 전달하도록 한 단선직렬 통신모듈을 제공하는 것이다.

발명의 구성 및 작용

<20> 상기 목적을 달성하기 위하여 본 발명에 따른 단선직렬 통신모듈은 명령데이터를 생성하는 상위 제어장치와 싱글버스로 연결되어, 스타트신호, 데이터신호, 액크신호 및 동작정지신호로 구분되는 명령데이터를 수신하고, 상기 데이터신호를 적어도 1비트 이상의 데이터비트로 변환하여 상기 명령데이터에 따라 동작하는 제어대상칩에 전달하는 것을 특징으로 한다.

<21> 상기 제어대상칩과 일체형인 것을 특징으로 한다.

<22> 상기 명령데이터에 포함된 노이즈를 제거하는 필터부와, 상기 명령데이터에 따라 구동 또는 유희 상태를 결정하는 모듈구동부와, 상기 모듈구동부의 제어에 따라 클럭신호를 발생하는 발진회로부와, 상기 스타트신호 및 상기 정지신호의 판별을 위한 신호확인신호를 생성하는 시정카운터부와, 상기 신호확인신호에 따라 상기 모듈구동부에 상기 구동 상태의 유지를 위한 동작유지신호를 제공하는 시정인식부와, 상기 데이터신호를 변환하여 상기 데이터비트를 생성하는 데이터처리부 및, 상기 클럭신호의 생성을 위한 전원을 공급하는 전원공급부를 구비하는 것을 특징으로 한다.

<23> 상기 필터부는, 상기 노이즈가 제거된 상기 명령데이터를 상기 모듈구동부 및 상기 데이터처리부에 제공하는 것을 특징으로 한다.

<24> 상기 모듈구동부는, 상기 구동 또는 상기 유희상태의 판단을 위해 적어도 하나 이상의 낸드게이트 또는 엔드게이트로 구성되는 판단부를 구비하는 것을 특징으로 한다.

<25> 상기 모듈구동부는, 상기 스타트신호에 따라 상기 발진회로부, 상기 리셋제어부, 상기 시정카운터부, 상기 시정인식부, 상기 데이터처리부 및 상기 전원부를 구동상태로 유지하는 것을 특징으로 한다.

<26> 상기 모듈구동부는, 상기 스타트신호의 인가 종료 후, 상기 동작유지신호에 의해 상기 구동상태를 유지하는 것을 특징으로 한다.

<27> 상기 시정카운터부는, 상기 스타트신호의 인식을 위한 시작카운터부와, 상기 동작정지신호의 인식을 위한 정지카운터부를 구비하는 것을 특징으로 한다.

<28> 상기 명령데이터에 의해 리셋신호를 생성하는 리셋제어부를 더 구비 한다.

<29> 상기 시정카운터부는, 상기 스타트신호 및 동작정지신호의 인식을 위해 하나의 카운터부를 구비하며, 상기 스타트신호의 수신 후, 상기 동작정지신호의 수신 후 및 비정상 신호의 수신시 상기 리셋제어부에 의해 리셋되는 것을 특징으로 한다.

<30> 상기 데이터처리부는, 상기 데이터신호의 상기 데이터비트를 저장 및 출력하는 데이터출력부와, 상기 명령데이터에 따라 상기 데이터비트가 상기 데이터출력부에 저장되도록 제어하는 데이터리드부(51) 및, 상기 액크신호를 판별하기 위한 액크리드부를 구비하는 것을 특징으로 한다.

<31> 상기 데이터출력부는, 상기 데이터비트 수에 대응하는 수의 데이터비트 저장영역을 구비하는 것을 특징으로 한다.

<32> 상기 데이터비트 저장영역은, 적어도 하나 이상의 래치로 구성되는 것을 특징으로 한다.

<33> 상기 데이터출력부는, 상기 데이터비트의 논리값이 저장되는 저장영역을 선택하는 비트인식부를 더 구비하는 것을 특징으로 한다.

<34> 상기 비트인식부는, 상기 액크리드부로부터의 액크확인신호에 따라 상기 데이터비트를 출력하도록 상기 데이터출력부를 제어하는 것을 특징으로 한다.

<35> 상기 스타트신호는 상기 클럭신호 주파수 주기의 적어도 20배의 하이레벨 유지시간을 가지도록 하는 것을 특징으로 한다.

<36> 상기 스타트신호의 상기 하이레벨유지시간은, 상기 전원공급부가 상기 발진회로부에 전원을 공급하는데 소요되

는 지연시간과, 상기 클럭신호에 의해 카운터되는 클럭시간의 합인 것을 특징으로 한다.

- <37> 상기 발진회로부, 상기 모듈구동부, 상기 시정인식부, 상기 시정카운터부 및 상기 데이터처리부 중 적어도 어느 하나는 상기 명령데이터의 폴링에지를 인식하는 폴링에지트리거 방식인 것을 특징으로 한다.
- <38> 상기 데이터신호 및 상기 애크신호 중 적어도 어느 하나는 상기 폴링에지 이후 로우레벨 논리값을 유지하는 펄스폭을 가지는 것을 특징으로 한다.
- <39> 상기 펄스폭은, 상기 로우레벨 유지기간에 상기 클럭신호의 폴링에지가 적어도 하나 발생하는 시간인 것을 특징으로 한다.
- <40> 상기 데이터신호의 상기 데이터비트에 대응하는 시간은 상기 데이터처리부가 상기 데이터신호의 논리 레벨을 인식하도록, 상기 클럭신호 주기의 적어도 6배 내지 8배 시간을 가지는 것을 특징으로 한다.
- <41> 상기 애크신호는, 폴링에지가 적어도 두 번 이상 포함되고, 상기 애크리드부가 상기 폴링에지를 인식하는 최소 시간 길이를 가지는 것을 특징으로 한다.
- <42> 상기 펄스폭 또는 상기 최소시간 길이는 상기 필터부에 의해 필터링 되는 노이즈의 주기보다 긴 시간을 가지는 것을 특징으로 한다.
- <43> 상기 목적외에 본 발명의 다른 특징 및 작용들은 첨부도면을 참조한 실시예에 대한 상세한 설명을 통해 명백하게 드러나게 될 것이다.
- <44> 첨부된 도면과 관련하여 이하에서 개시되는 상세한 설명은 발명의 바람직한 실시예들을 설명할 의도로서 행해진 것이고, 발명이 실행될 수 있는 형태들만을 나타내는 것은 아니다. 본 발명의 사상이나 범위에 포함된 동일하거나 또는 등가의 기능들이 다른 실시예들에 의해서도 달성될 수 있음을 주지해야 한다.
- <45> 도면에 개시된 어떤 특징들은 설명의 용이함을 위해 확대한 것이고, 도면 및 그 구성요소들이 반드시 적절한 비율로 도시되어 있지는 않다. 그러나, 당업자라면 이러한 상세 사항들을 쉽게 이해할 것이다.
- <46> 이하, 첨부도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하기로 한다.
- <47> 도 1은 본 발명에 따른 단선직렬 통신모듈의 배치를 설명하기 위한 도면이다.
- <48> 도 1을 참조하면, 단선직렬 통신모듈(30 : 30a, 30b)은 제어대상칩(20 : 20a, 20b)의 부근 또는 내부에 실장되는 형태로 이용된다. 이러한 제어대상칩(20)은 마이컴, I/O 포트, 메모리, E²PROM과 같은 것일 수 있다. 이때, 본 발명의 단선직렬 통신모듈(30)은 중앙처리장치(10 : 10a, 10b)로부터의 명령데이터(Operation Data : OD)를 수신하여 제어대상칩(20)에 전달한다. 여기서 중앙처리장치(10)는 상위 마이크로 컨트롤러, 중앙처리장치 및 이의 등가장치일 수 있다. 도 1a는 단선직렬 통신모듈(30a)이 제어대상칩(20a)의 부근에 별도로 형성된 경우를 나타낸 도면이고, 도 1b는 단선직렬 통신모듈(30b)이 제어대상칩(20b)의 내부에 실장된 형태를 도시한 것이다.
- <49> 중앙처리장치(10)는 싱글버스(Single Bus : SB, 15)를 이용하여 명령데이터(OD)를 단선직렬 통신모듈(30)에 전달한다. 이러한 명령데이터(OD)는 단선직렬 통신모듈(30)의 기능을 구동시키는 스타트신호(Start Signal : SS), 제어대상칩(20)의 동작을 지정하는 데이터신호(Data Signal : DS), 데이터의 정상 송신을 단선직렬 통신모듈(30)이 확인하도록 하는 애크신호(Acknowledge Signal : AS) 및 단선직렬 통신모듈(30)을 유희상태로 전환하기 위한 정지신호(STop Signal : STS)를 포함할 수 있다.
- <50> 이 명령데이터(OD)는 싱글버스(15)를 통해 순차적으로 단선직렬 통신모듈(30)로 전달되고, 단선직렬 통신모듈(30)은 전달받은 명령데이터(OD)를 제어대상칩(20)에 제공한다.
- <51> 도 2는 도 1의 단선직렬 통신모듈의 내부 구성을 도시한 블럭도이다.
- <52> 도 2를 참조하면, 본 발명에 따른 단선직렬 통신모듈(30)은 필터부(31), 모듈구동부(33), 발진회로부(35), 시정인식부(37), 시정카운터부(39), 데이터처리부(41), 리셋제어부(43) 및 전원공급부(43)를 구비한다.
- <53> 필터부(31)는 중앙처리장치로부터 전달되는 명령데이터(OD)를 수신하고, 수신된 명령데이터(OD)에 포함된 노이즈를 제거하여 모듈구동부(33), 데이터처리부(41) 및 리셋제어부(43)에 제공한다.
- <54> 모듈구동부(33)는 필터부(31)를 통해 전달되는 명령데이터(OD)에 따라 유희상태의 단선직렬 통신모듈(30)을 구동 또는 유희상태로 전환한다. 이를 위해 모듈 구동부(33)는 필터부(31)와 연결되고, 구동 또는 유희상태의 환

단을 위한 판단부를 구비한다. 이 판단부는 낸드게이트(NAND)나 이의 증가소자일 수 있으며, 이로써 본 발명을 한정하는 것은 아니다. 이 모듈구동부(33)는 중앙처리장치(10)로부터의 명령데이터(OD)를 포함한 신호의 수신시 발진회로부(35)를 구동하여, 단선직렬 통신모듈(33)의 내부 회로에 클럭신호(CLK)가 공급되도록 발진회로부(35)를 제어한다. 이러한, 발진회로부(35)의 제어를 위해 모듈구동부(33)는 시정인식부(37)로부터 동작유지신호(Enable Signal : ES)를 수신한다. 또한, 모듈구동부(33)는 중앙처리장치(10)로부터 스타트신호(SS)의 수신 종료 후 시정인식부(37)로부터 동작정지신호(STS2)의 수신시까지 동작유지신호(ES)에 의해 단선직렬 통신모듈(33)을 유희상태를 유지하도록 제어한다.

<55> 발진회로부(35)는 모듈구동부(33)로부터의 제어에 따라 단선직렬 통신모듈(30) 내부의 회로에 클럭신호(CLK)를 제공한다. 발진회로부(35)로부터의 클럭신호(CLK)는 데이터처리부(41)와 리셋제어부(43)에 공급된다. 발진회로부(35)로부터 공급되는 클럭신호(CLK)를 이용하여 데이터처리부(41)는 전송되는 명령데이터(OD)로부터 데이터신호(DS)를 추출하며, 리셋제어부(43)는 시정카운터부(39)의 리셋을 수행한다.

<56> 시정카운터부(39)는 시정인식부(37)가 명령데이터(OD)에 포함된 신호로부터 스타트신호(SS) 또는 정지신호(STS)를 판별할 수 있도록, 수신되는 명령데이터(OD)를 이용하여 신호확인신호(Signal Confirm Signal : SCS)를 시정인식부(37)에 전달한다. 또한, 시정카운터부(39)는 신호확인신호(SCS)의 생성중에 스타트신호(SS) 또는 정지신호(STS) 규격에 적합하지 않은 신호의 수신시 리셋제어부(43)의 제어에 의해 초기화된다. 이를 위해 시정카운터부(39)는 다수의 플립플롭과 낸드게이트와 같은 논리소자를 이용하여 구성할 수 있다. 또한, 신호확인신호(SCS)의 생성을 위해 리셋제어부(43)를 통해 필터부(31)에서 제공되는 명령데이터(OD)를 수신할 수 있으며, 이로써 본 발명을 한정하는 것은 아니다. 아울러, 시정카운터부(39)는 시작카운터부와 정지카운터부로 구분되어 구성될 수 있으며, 이와 같이 구분되는 경우 리셋제어부는 생략될 수 있다. 또한, 시작카운터부와 정지카운터부로 구분되어 구성되는 경우, 각각 다수의 플립플롭과 논리소자를 구비하여 구성될 수 있다. 아울러, 본 발명의 실시예에서는 시정카운터부(39)가 리셋제어부(43)를 경유하여 클럭을 수신하는 것으로 설명되어 있지만, 이로써 본 발명을 한정하는 것은 아니다.

<57> 시정인식부(37)는 시정카운터부(39)로부터 신호확인신호(SCS)를 수신하여, 수신된 명령데이터(OD)가 스타트신호(SS)인 경우, 동작유지신호(ES)를 모듈구동부(33)에 제공한다. 또한, 시정인식부(37)는 수신된 명령데이터(OD)가 정지신호(STS)인 경우 동작정지신호(STS2)를 모듈구동부(33)에 제공한다. 이를 위해, 시정인식부(37)는 적어도 하나의 플립플롭과 인버터와 같은 논리소자를 이용하여 구성할 수 있으며, 이로써 본 발명을 한정하는 것은 아니다. 이 시정인식부(37)는 싱글버스를 통해 명령데이터(OD)를 수신하는 경우, 명령데이터(OD)에 포함된 신호들에 따라 모듈구동부(33)가 단선직렬 통신모듈(30)을 구동상태나 유희상태로 유지하도록 제어한다. 특히, 본 발명에서는 싱글버스를 통해 스타트신호(SS), 데이터신호(DS), 액세스신호(AD) 및 정지신호(STS)가 모두 전송되기 때문에 모듈구동부(33)에 의해 신호오인이 발생하는 것을 방지하는 역할을 하게 된다. 즉 스타트신호(SS)의 수신 후부터 정지신호(STS)의 수신전까지 수신하는 신호는 데이터신호(DS) 및 액세스신호(AS)로 간주하고, 단선직렬 통신모듈(30)이 데이터신호(DS)와 액세스신호(AS)를 처리할 수 있는 환경을 제공한다. 다시말하면, 스타트신호(SS)가 수신된 후 정지신호(STS)가 수신될 때까지 시정인식부(37)는 단선직렬 통신모듈(30)이 구동상태로 유지되도록 모듈구동부(33)를 제어하게 된다. 이에 대해서는 후술하는 과형도를 통해 좀더 상세히 설명하기로 한다.

<58> 리셋제어부(43)는 필터부(31)를 통해 전달되는 명령데이터(OD)를 시정카운터부(39)에 제공함과 아울러, 명령데이터(OD)의 옳고 그름을 판단하여 명령데이터(OD)가 잘못된 데이터인 경우 시정카운터부(39)를 리셋한다. 이를 위해, 리셋제어부는 다수의 논리소자로 구성된다.

<59> 데이터처리부(41)는 스타트신호(SS)와 정지신호(STS) 사이에 공급되는 데이터신호(DS) 및 액세스신호(AS)를 수신하여 제어대상칩(20)에 전달한다. 이를 위해 데이터처리부(41)는 스타트신호(SS)의 인가 이후에 인가되는 신호를 수신하여, 비트수를 판별하고, 정상신호인지 판별하여 정렬 후 제어대상칩(20)에 전달한다. 이 데이터처리부(41)는 데이터리드부(51), 비트인식부, 데이터출력부 및 액세스리드부를 구비한다. 이 데이터처리부(41)에 대해서는 도 3을 통해 좀더 상세히 설명하기로 한다.

<60> 전원공급부(43)는 단선직렬 통신모듈(30)의 구동을 위한 전원을 공급한다. 더욱 상세하게는 전원공급부(43)는 단선직렬 통신모듈(30) 내부에 실장된 소자들의 구동을 위한 구동전압과 기준전압을 제공한다. 이 전원공급부(43)는 중앙처리장치로부터 신호가 수신되는 경우 모듈 구동부에 의해 구동된다. 이때, 전원공급부(43)는 발진회로부(35)에 전원을 공급하여 발진회로부(35)로 하여금 단선직렬 통신모듈(30) 내부에 클럭신호(CLK)를 공급하도록 한다. 아울러, 전원공급부(43)는 모듈구동부(33)에 따라 전원 공급을 중단하여 단선직렬 통신모듈(30)이

유휴상태를 유지하도록 한다.

- <61> 도 3은 도 2의 데이터처리부를 상세히 도시한 블록도이다.
- <62> 도 3을 참조하면, 데이터처리부는 도 2를 통해 설명한 바와 같이 중앙처리장치(10)로부터 신호가 공급되면 모듈 구동부(32)의 제어에 따라 동작하게 된다. 이러한 데이터처리부(41)는 데이터리드부(51), 에크리드부(55), 비트인식부(53) 및 데이터출력부(60)를 구비한다.
- <63> 데이터리드부(51)는 필터부(31)를 거쳐 수신되는 명령데이터(OD)로부터 데이터신호(DS)가 데이터출력부(60)의 버퍼래치(63)에 저장되도록 제어한다. 이 데이터리드부(51)는 스타트신호(SS)의 인가 이후에 수신되는 신호 중 특정기간의 신호가 버퍼래치(63)에 저장되도록 제어한다. 즉, 명령데이터(OD)가 전달되면, 각 비트기간에서 일정 시간이 지난기간에 필터부(31)로부터 전달되는 신호의 값이 래치에 입력되도록 하는 저장신호(Save Order : S0)를 작성하여 데이터출력부(60)에 전달한다.
- <64> 비트인식부(53)는 데이터리드부(51)에 의해 데이터출력부(60)에 저장되는 데이터의 비트 수를 체크함과 아울러, 신호 값이 저장되는 버퍼래치를 결정한다. 또한, 비트인식부(53)는 수신된 비트의 수가 미리 정해진 수와 일치하고 에크리드부(55)로부터의 에크확인신호(Ack Confirm Signal : AC)가 수신되는 경우, 데이터출력부(60)에 저장된 신호값 즉, 데이터비트(DB)를 제어대상칩(20)에 전달하도록 데이터출력부(60)를 제어한다. 이를 위해 비트인식부(53)는 신호 값이 저장되는 래치를 선택하기 위한 래치선택신호(Latch Select Signal: LS)와, 데이터의 출력을 제어하는 출력신호(Output Order : OO)를 작성하여 데이터출력부(60)에 전달한다. 이 비트인식부(53)는 다수의 플립플롭으로 구성될 수 있다.
- <65> 에크리드부(55)는 명령데이터(OD)에 포함된 에크신호(AS)를 판별한다. 그리고, 에크리드부(55)는 에크신호(AS)의 수신에 따라 에크확인신호(AC)를 작성하여 비트인식부(53)에 전달한다. 비트인식부(53)는 이 에크확인신호(AC)에 따라 메인래치에 저장된 데이터비트(DB)를 제어대상칩(20)에 출력하게 된다. 여기서, 비트인식부(53)에 의해 데이터출력부(60)의 버퍼래치(63)에 신호 저장하는 중에 에크확인신호(AC)를 수신하는 경우 비트인식부(53)에 의한 데이터비트(DB) 저장은 중단되어 오입력된 데이터를 제어대상칩(20)이 전달받지 않게 된다.
- <66> 데이터출력부(60)는 데이터리드부(51)로부터의 저장명령(SO)에 따라 필터부(31)로부터 전달되는 신호의 값을 저장한다. 특히, 데이터출력부(60)는 비트인식부(53)의 래치선택신호(LS)와 데이터리드부(51)로부터의 저장명령(SO)에 따라 신호 값을 각각 다른 영역 즉, 각각 다른 버퍼래치(63)에 저장한다. 아울러, 데이터출력부(60)는 버퍼래치(63)에 저장된 신호 값을 메인래치에 저장하고, 비트인식부(53)로부터의 출력명령(OO)에 따라 제어대상칩(20)에 전달한다. 이를 위해, 데이터출력부(60)는 저장명령(SO)과 래치선택신호(LS)에 따라 신호 값의 저장 위치를 판단하는 래치선택회로(61), 신호값을 임시로 저장하는 버퍼래치(63) 및 버퍼래치(63)로부터 신호 값을 전달받아 제어대상칩(20)에 전달하는 메인래치(65)로 구성된다.
- <67> 도 4는 도 2의 회로를 구동상태 또는 유휴상태로 전환하기 위한 파형을 도시한 파형도이다. 또한, 도 5는 시정 카운터부로 이용할 수 있는 플립플롭의 구성을 간략하게 도시한 예시도이다. 여기서, 도 4 및 도 5는 단선직렬 통신모듈(30)의 구동상태 또는 유휴상태의 전환 및 그에 따른 제어대상칩(20)의 구동을 설명하기 위한 파형도이다. 도 4 및 이후의 도면에서 클럭신호(CLK)는 폴링 에지 트리거에 의해 동작하는 것으로 도시하였다. 또한, 도 4의 신호는 시정카운터부(39)가 4개의 플립플롭에 의해 구성되고, 1Mhz의 클럭 주파수를 이용하는 것을 기준으로 예를 들었으며, 이것으로 본 발명을 한정하는 것은 아니다.
- <68> 도 4 및 도 5를 참조하면, 중앙처리장치로부터 제공되는 명령데이터(OD)는 4개의 구분되는 데이터 신호를 갖는다. 즉, 스타트신호(SS), 데이터신호(DS), 에크신호(AS) 및 정지신호(STS)로 명령데이터(OD)가 구성된다. 우선, 스타트신호(SS)는 유휴 상태로 대기하는 단선직렬 통신모듈(30) 및 제어대상칩(20)을 구동하기 위한 신호이다. 데이터신호(DS)는 구동상태로 유지되는 제어대상칩(20)에 전달할 명령이 기록된다. 에크신호(AS)는 데이터신호(DS)의 전송이 끝났음을 단선직렬 통신모듈(30)에 알리는 신호이며, 정지신호(STS)는 제어대상칩(20) 및 단선직렬 통신모듈(30)에 명령데이터(OD)가 전달되어 구동된 후 유휴상태로 전환하기 위한 명령이다.
- <69> 도 4에서는 이 중 데이터신호(DS)와 에크신호(AS)는 생략하고 스타트신호(SS) 및 정지신호(STS)에 대한 설명을 위한 파형을 도시하였다. 데이터신호(DS)와 에크신호(AS)에 대해서는 도 6을 통해 후술하기로 한다.
- <70> 중앙처리장치(10)로부터 제 1 시점(T1)에 명령데이터(OD)의 전달이 시작된다. 그에 따라, 모듈구동부(33)는 발진회로부(35)가 클럭신호(CLK)를 발생하도록 제어한다. 도 4의 ES는 동작유지신호(ES)의 파형을 도시한 것이다. 이 동작유지신호에 의해 제5시점(T5)에 명령데이터(OD)의 전송이 중지되어도 단선직렬 통신모듈(30)은 구

동상태를 유지하게 된다.

- <71> 한편, 모듈구동부(33)에 의해 발진회로부(35)의 구동이 시작되면, 전원공급부(43)로부터 클럭신호(CLK)의 생성을 위한 전원이 공급된다. 하지만, 전원공급부(43)의 구동에 필요한 구동마진(M1)으로 인해 명령데이터(OD)가 전송된 제1시점(T1)으로부터 일정 시간 지연된 제2시점(T2)에 발진회로부(35)에 전원이 공급된다. 전원이 공급되어 발진회로부(35)가 제2시점(T2)부터 클럭신호(CLK)를 생성하여 단선직렬 통신모듈(30)의 내부에 공급하게 된다. 이를 통해, 시정카운터부(39), 시정인식부(37) 및 데이터처리부(41)가 구동상태로 전환된다. 실제로 모듈구동부(33)의 제어에 의해 전원공급부(43)가 전원을 공급함과 동시에 시정카운터부(39), 시정인식부(37) 및 데이터처리부(41)가 구동상태로 전환될 수도 있다. 하지만 이로써 본 발명을 한정하는 것은 아니다.
- <72> 제2시점(T2)에 클럭신호(CLK)가 시정카운터부(39)로 공급되면, 제1플립플롭(FF1)은 클럭신호(CLK)의 폴링에지마다 상을 변환하여 출력한다. 이와같은 방법으로 제1플립플롭(FF1)으로부터 제4플립플롭(FF4)까지 신호의 전달이 이어진다. 이때, 제2시점(T2)로부터 14클럭 후 즉, 제3시점(T3)에 각 플립플롭(FF1 내지 FF4)의 출력이 모두 '1'로 전환된다. 이에 따라 시정카운터부(39)에 구성된 낸드게이트(67)에 동일한 신호가 공급된다. 플립플롭(FF1 내지 FF4)의 출력단에 낸드게이트(67)를 구성하였기 때문에 플립플롭(FF1 내지 FF4)의 출력이 모두 '1'이 되는 경우에만 낸드게이트(67)의 출력이 '0'이 된다. 즉, 도 4 및 도 5에서는 이 낸드게이트(67)의 로우출력(0)이 신호확인신호(SCS)로 이용될 수 있다.
- <73> 시정카운터부(39)로부터 로우출력(0)에 해당하는 신호확인신호(SCS)를 전달받은 시정인식부(37)는 단선직렬 통신모듈(30)이 구동상태를 유지하도록 모듈구동부(33)를 제어한다. 이 시정인식부(37)는 시정카운터부(39)와 마찬가지로 플립플롭을 이용하여 간단하게 구성하는 것이 가능하다. 회로의 구성시 T플립플롭을 이용하면, 별도의 신호가 공급되기 전까지 이전 신호의 레벨을 유지하게 되므로, 시정카운터부(39)로부터 다시 신호확인신호(SCS)가 공급되기 전까지 시정인식부(37)는 논리값을 유지할 수 있게 된다.
- <74> 이 제3시점(T3)에 제어대상칩(20)의 구동이 이루어진다. 즉, 제3시점(T3) 이후의 기간에 단선직렬 통신모듈(30)로부터 제어대상칩(20)으로 명령데이터(OD)가 전달된다. 또한, 제3시점(T3) 이후의 기간에 데이터신호(DS)와 액세스신호(AS)가 단선직렬 통신모듈(30)로 전달되어 처리된다.
- <75> 액세스신호(AS)의 수신이 종료된 제4시점(T4) 이후의 기간은 중앙처리장치(10)로부터 정지신호(STS)가 전달되는 시기이다. 이때, 제4시점(T4)까지는 명령데이터(OD)의 데이터 값이 전달되는 것으로 표현하였지만, 실제로 전달되지 않을 수 있다. 이 기간은 데이터신호(DS)와 액세스신호(AS)의 전송을 위한 마진임을 표현하기 위해 데이터신호를 '온'상태로 표현하였다.
- <76> 한편, 제3시점(T3) 이후에도 시정카운터부(39)는 계속해서 명령데이터(OD)를 체크하게 된다. 즉, 명령데이터(OD)의 전달 중에 어느 시점에서든 정지신호(STS)가 전달될 수 있기 때문에 계속해서 시정카운터부(39)가 명령데이터(OD)를 체크하게 된다. 이러한 상태에서, 액세스신호(AS)의 전달이 종료되고, 스타트신호(SS)와 동일한 패턴으로 클럭신호(CLK)에 따라 플립플롭(FF1 내지 FF4)이 동작하게 된다. 이로 인해 제6시점(T6)에서 플립플롭(FF1 내지 FF4)의 출력값이 동일해지면, 시정카운터부(39)는 신호확인신호(SCS)를 시정인식부(37)에 전달하게 된다. 이 신호확인신호(SCS)에 의해 시정인식부(37)에 기록된 값의 위상이 바뀌게 되고, 이를 통해 단선직렬 통신모듈(30)은 유희상태로 전환된다. 아울러, 도 4에서는 제6시점에 제어대상칩(20)이 턴오프 되는 것을 표현하였지만, 이는 단선직렬 통신모듈(30)로부터 제어대상칩(20)으로의 명령데이터(OD) 전달이 종료되었음을 뜻하는 것이다.
- <77> 도 6은 도 5의 스타트신호 및 액세스신호 구간을 도시한 파형도이다. 도 6은 명령데이터(OD)가 4비트로 전송되는 경우를 예로 든 것이다. 또한, 명령데이터(OD)의 폴링에지에서 트리거가 되는 것을 예로 한 것으로, 다른 클럭은 폴링, 라이징 어느 것이든 무관하게 사용해도 무방하다.
- <78> 도 6을 참조하면, 명령데이터(OD)에 포함된 데이터신호(DS)는 도 6과 같이 여러 비트로 이루어진 데이터일 수 있다. 이 데이터신호(DS)는 각각의 비트 별로 제1 내지 제4 기간(B1 내지 B4)로 구분하였다. 또한, 제1 및 제2기간(B1, B2)의 종단에서 하이레벨을 유지하는 구간(A1, A2)은 데이터신호(DS)를 수신하는 소자가 폴링에지 트리거 동작을 하기 때문에 폴링에지를 만들기 위한 하이레벨구간(A1, A2)이다. 아울러, 도 6에서는 제1 및 제2기간(B1, B2)는 로우레벨을 제3 및 제4기간(B3, B4)는 하이레벨을 가지는 데이터 즉 "0011"을 표현한 것이다. 그리고, 액세스기간(ACK)에는 데이터신호(DS)의 전송이 종료되었음을 알리는 액세스신호(AS)의 인가기간이 이어진다.
- <79> 클럭신호(CLK)의 아래에 있는 3줄의 파형은 데이터리드부(51)의 플립플롭(DFF1 내지 DFF3)을 도시한 것으로 반

드시 3개의 플립플롭(DFF1 내지 DFF3)으로 구성되어야만 하는 것은 아니다. 도 6에서는 본 발명의 실시예를 설명하기 위한 예로 3개로 구성되는 플립플롭을 나타냈으며 이로써 본 발명을 한정하는 것은 아니다. 아울러, 비트인식부의 플립플롭 또한 예로 든 것이다.

- <80> 명령데이터(OD)의 데이터신호(DS)는 도 6에 도시된 바와 같이 일정한 기간 이상의 길이를 가지도록 인가된다. 이는 각 소자 또는 신호간의 마진을 확보하기 위한 것이다. 특히, 데이터리드부(51)를 구성하는 플립플롭(DFF1 내지 DFF3)은 클럭신호(CLK)에 동기하여 데이터신호(DS)의 값을 인지할 시점을 결정한다. 즉, 제1 내지 제4기간(B1 내지 B4)의 읽기기간(R1 내지 R4)이 데이터리드부(51)에 의해 결정된 시점이다. 즉, 데이터리드부(51)의 플립플롭()이 특정한 논리값을 나타낼 때 수신된 신호의 레벨이 데이터출력부(60)의 버퍼래치(63)에 기록된다. 도 6에서는 플립플롭(DFF1 내지 DFF3)에 의해 표현되는 논리값이 '010'일 때 데이터신호(DS)의 신호 레벨을 인지하는 것으로 표현하였으나 이로써 본 발명을 한정하는 것은 아니다. 즉, 1비트의 데이터신호(DS)를 인가하는 전체 시간길이는 B1이지만, 데이터출력부(60)에 데이터신호(DS)의 논리값을 기록하는 시점은 각 비트구간(B1 내지 B4)에서 데이터리드부(51)의 플립플롭이 '010'이라는 논리값을 가질 때 이루어진다. 즉, R1 구간에서의 명령데이터(OD)의 신호레벨은 '0'이며, R3 구간에서 명령데이터(OD)의 신호레벨은 '1'이다. 따라서, 데이터출력부(60)의 버퍼/메인래치(63, 65)의 제1비트영역과 제3비트영역에는 각각 '0'과 '1'이 저장된다.
- <81> 아울러, 제3 및 제4비트구간(B3, B4)의 초기에 이어지는 로우레벨구간(A2)는 폴링에지를 소자들이 인식하도록 하기 위한 마진이다. 이에 대해서는 도 7 이후의 도면을 참조하여 상세히 설명하기로 한다.
- <82> 그리고, 각 비트구간(B1 내지 B4)의 데이터가 각각의 비트영역에 기록되도록 비트인식부(53)의 플립플롭들(BFF1 내지 BFF3)이 비트영역을 지정한다. 즉 제1비트기간(R1)의 비트인식부(53)의 플립플롭(BFF1 내지 BFF3)이 나타내는 논리값은 '111'이고, 제2비트기간(R2)의 플립플롭(BFF1 내지 BFF3)이 나타내는 논리값은 '101'이 된다. 마찬가지로 제3비트기간(R3)과 제4비트기간(R4)의 논리값은 각각 '110', '001'이 된다. 이를 통해 각 비트기간(R1 내지 R4)의 신호레벨 값이 각 논리값에 해당되는 래치(63, 65)에 저장된다.
- <83> 이와같은 방법으로 데이터출력부(60)의 래치(63, 65)에 데이터비트(DB)가 저장되며, 중앙처리장치(10)는 데이터신호(DS)의 전송종료를 알리는 애크신호(AS)를 전송한다. 도 6에서는 애크신호(AS)를 애크기간(ACK) 동안 '010'의 논리값을 갖는 것으로 가정하였다. 이는 애크기간(ACK) 동안 두 번의 폴링에지가 발생하면 소자가 이를 인식하게 하는 것이며, 이로써 본 발명을 한정하는 것은 아니다. 이 애크기간(ACK)의 애크신호(AS)에 의해 명령데이터(OD)가 메인래치(65)로부터 제어대상칩(20)으로 전달된다.
- <84> 표 1은 명령데이터의 각 신호길이를 나타낸 표이며, 도 7a 및 도 7b는 표 1을 설명하기 위한 파형예시도이다.

표 1

변수	기호	최소	표준	최대	단위
시작시간	T _{SS}	30			μs
종료시간	T _{STS}	25			μs
하이레벨시간	T _H	7			μs
로우레벨시간	T _L	6	8	10	μs
애크시간	T _{ACK}	1.0	1.5	3.0	μs
라이징시간	T _R			100	ns
폴링시간	T _F			100	ns
펄스폭	T _{TRG}	0.3	1	2.2	μs
노이즈길이	T _N			0.1	μs

- <86> 이하에서는 표 1, 도 7a 및 도 7b를 포함하여 설명하기로 한다.
- <87> 표 1에서 시작시간(T_{SS})은 단선직렬 통신모듈(30)이 스타트신호(SS)를 인식하는데 필요한 최소시간이며, 종료시간(T_{STS})은 단선직렬 통신모듈(30)이 종료신호(STS)를 인식하는데 필요한 최소시간을 의미한다. 또한, 하이레벨시간(T_H)은 단선직렬 통신모듈(30)이 데이터비트(DB)를 하이레벨로 인식하기 위해 필요한 최소시간을, 로우레벨시간(T_L)은 단선직렬 통신모듈(30)이 데이터비트(DB)를 로우레벨로 인식하기 위해 필요한 최소시간을 의미한다.

라이징시간(T_r)은 명령데이터(OD)의 신호가 로우레벨로부터 하이레벨로 변화하는데 필요한 최대시간을, 폴링시간(T_f)은 신호가 하이레벨로부터 로우레벨로 변화하는데 필요한 최대시간을 의미한다. 펄스폭(T_{TRG})은 폴링에지를 단선직렬 통신모듈(30)이 인식하는데 필요한 최소시간을 의미한다. 아울러, 노이즈길이(T_N)는 필터부에서 필터링이 가능한 노이즈의 최대길이를 의미한다. 단, 이상에서 말한 기준은 발진회로로부터의 클럭신호(CLK)의 주파수가 1MHz, 폴링에지트리거 방식인 경우의 예를 든 것으로 라이징에지트리거 방식이나 클럭신호(CLK)의 주파수가 변경되는 경우 및 소자의 특성에 따라 다른 시간으로 정의될 수 있다.

<88> 도 7a에서 명령데이터(OD)가 중앙처리장치(10)로부터 단선직렬 통신모듈(30)로 전달되기 시작하면, 싱글버스(15)의 전위가 로우레벨에서 하이레벨로 변하게 된다. 이때, 로우레벨에서 하이레벨로 변화하는 시간은 표 1에 도시한 바와 같이 100ns이하의 시간길이를 갖는다. 그리고, 싱글버스(15)의 전위가 하이레벨로 변화하고 일정시간이 지나면 단선직렬 통신모듈(30)은 이를 스타트신호(SS)로 인식하게 된다. 이때, 단선직렬 통신모듈(30)이 스타트신호(SS)를 인식하는 방법은 하이레벨 신호가 일정시간 이상 지속하게 함으로써 간단히 구현할 수 있다. 특히, 본 발명에서는 단선직렬 통신모듈(30)을 전력소모가 전혀 없는 유희상태로부터 기동할 수 있기 때문에 이러한 방법은 더욱 중요해진다. 아울러, 상술한 바와 같이 본 발명의 단선직렬 통신모듈(30)은 싱글버스(15)의 전위가 하이가 된 후부터 클럭신호가 제공되며, 클럭신호의 제공을 위해 전원공급부로부터 전원공급이 필요해진다. 이때, 구동전원은 전원공급부의 기동시간 때문에 싱글버스(15)의 전위가 하이가 된 후 일정시간이 지나서 공급되기 시작된다. 이 때문에 본 발명에서는 전원공급이 이루어지는 시간을 시작시간(T_{SS})에 포함하여 구현하였지만 이로써 본 발명을 한정하는 것은 아니다. 다시 말하면, 표 1에서 시작시간(T_{SS})는 30 μ s로 정의하였다. 이때 30 μ s 중 일부는 전원공급을 위해 딜레이된 시간을 이용할 수 있다. 즉, 소자특성에 따라 전원공급에 필요한 시간을 합하여 시작시간(T_{SS})를 정의하면 단선직렬 통신모듈(30)의 기동시간을 최소화하는 것이 가능하다. 도 4를 참고하여 설명하면, 도 4에서 싱글버스(15)의 전위가 하이가 된 후 클럭신호(CLK)가 생성되기까지 일정시간 즉, 구동마진(M1)의 기간이 필요해진다. 그리고, 이후에 14클럭이 카운트 된 후에 단선직렬 통신모듈(30)은 구동시작 신호로 인식하였다. 즉, 1클럭이 1 μ s이므로 전원공급부로부터의 딜레이 시간을 최소 16 μ s 이상으로 간주한 것이다. 따라서, 싱글버스(15)의 전위가 30 μ s 이상이 된 이후에 시정인식부는 싱글버스(15)로 수신되는 신호를 스타트신호(SS)로 인식하게 된다. 이러한 스타트신호(SS)의 길이는 노이즈 및 데이터신호(DS) 등에 의해 오동작을 방지하기 위한 것이다.

<89> 단선직렬 통신모듈(30)이 유희상태에서 구동상태로 전환되면 싱글버스(15)의 전위는 일정시간 로우레벨 상태를 유지하게 된다. 이때, 폴링시간(T_p)은 최대 100ns로 설정하여 소자의 오인식을 방지하는 것이 바람직하다. 그리고, 싱글버스(15)의 전위가 로우레벨을 일정하게 유지하는 펄스폭(T_{TRG})은 단선직렬 통신모듈(30)의 소자가 클럭신호(CLK)에 의해 폴링에지를 인식하도록 하기 위한 최소시간이다. 여기서, 소자들이 폴링에지가 아닌 라이징에지를 인식하는 경우에도 폴링에지의 경우와 동일하게 적용할 수 있다. 단, 폴링에지와 달리 라이징에지 이후 라이징에지를 소자가 인식하도록 하기 위해 하이레벨 상태를 일정시간 인식해야하며, 이전 데이터비트가 하이레벨인 경우 라이징 에지를 만들기 위한 로우레벨 구간이 존재해야 한다. 그리고, 클럭신호(CLK)의 주파수가 더 높은 경우 펄스폭(T_{TRG})의 길이는 더 짧아질 수 있으며, 본 발명에서는 클럭신호(CLK)의 주파수를 고려하여 최소 0.3 μ s 내지 최대 2.2 μ s의 시간길이를 가지도록 정의하였으며, 바람직하게 1.0 μ s의 시간을 갖도록 하는 것이 이상적이다. 이때의 최소값이 0.3 μ s는 필터부에서 필터링하는 노이즈의 주파수로 인해 결정되는 값이다. 즉, 본 발명에서는 필터가 가능한 노이즈의 길이가 0.1 μ s를 최대로하여 회로를 구성하였다. 즉, 펄스폭(T_{TRG})의 시간길이를 이보다 짧게 하는 경우 필터부에서 노이즈로 판단하여 필터링할 수 있기 때문에 노이즈로 인식되지 않을 수 있는 최소시간길이를 가지도록 정의하였다.

<90> 단선직렬 통신모듈(30)이 폴링에지를 인식하게 되면 이후의 신호레벨은 데이터비트(DB)로 인식하게 된다. 이를 위해, 싱글버스(15)의 전위는 하이레벨시간(T_H)과 로우레벨시간(T_L)만큼 신호 전위를 유지해야 한다. 앞서 도 6을 통해 데이터리드부(51)의 플립플롭(DFF1 내지 DFF3)이 특정한 논리값을 가질 때 신호를 인식한다고 설명한 바 있다. 즉, 하이레벨시간(T_H)과 로우레벨시간(T_L)은 플립플롭의 동작을 위한 시간여유로 이해해도 무방하다. 여기서 하이레벨시간(T_H)이 로우레벨시간(T_L)과 다른 것은 하이레벨시간(T_H)은 단선직렬 통신모듈(30)이 폴링에지를 인식하도록 하기 위한 펄스폭(T_{TRG})이 필요하기 때문에 이를 포함한 시간으로 인해 로우레벨시간(T_L)과 길이를 다르게 설정하였으나 이로써 본 발명을 한정하는 것은 아니다.

- <91> 여기서, 데이터비트(DB)가 로우레벨인 경우, 폴링에지를 만들기 위해 다음 데이터비트(DB)의 전송전에 하이레벨을 유지할 시간이 필요해진다. 이 기간은 제어의 편리를 위해 하이레벨시간(T_H)과 동일하게 설정하였으나 이로써 본 발명을 한정하는 것은 아니다.
- <92> 데이터비트(DB)의 전송이 종료되면 데이터비트(DB)의 전송종료를 알리기 위한 액크신호(AS)가 전달된다. 본 발명에서는 이 액크신호(AS)가 두 번의 폴링에지를 가지도록 '010'의 논리값을 가지도록 하였다. 특히, 이 액크신호(AS)는 데이터신호(DS)의 전송완료를 알리는 것을 목적으로 하기 때문에 각 논리값을 유지하는 시간은 단선직렬 통신모듈(30)이 신호를 인식할 수 있는 펄스폭(T_{TRG})을 가지도록 하여 구성하는 것이 바람직하다. 이를 도 7b에 도시하였다.
- <93> 아울러, 액크신호(AS)의 전달 뒤에 중앙처리장치(10)는 명령데이터(OD)의 전송이 종료되었음을 알리는 정지신호(STS)를 전송하게 된다. 이 정지신호(STS)는 싱글버스(15)의 전위를 일정시간 이상 로우레벨로 유지하도록 하는 것으로 구현이 가능하다. 다만 이 경우, 데이터비트(DB)의 로우레벨과 오인식되지 않게 하기 위해 로우레벨 시간보다 긴 시간동안 로우레벨을 유지하도록 하는 것이 바람직하다. 이를 위해 본 발명에서 종료시간을 최소 $25\mu s$ 이상이 되도록 설정하였다.
- <94> 본 발명의 상세한 설명은 폴링에지트리거 방식을 기준하여 설명하였음을 이미 언급한 바 있다. 이러한 본 발명은 라이징에지트리거 방식을 이용하는 경우에도 동일하게 적용이 가능하다. 단, 폴링에지와 라이징에지 이후 싱글 버스의 전위가 달라지기 때문에 폴링에지 이후 로우레벨을 유지하는 기간은 라이징에지 이후 하이레벨을 유지하는 기간으로 바꾸어 생각하면 쉽게 적용이 가능하다. 즉, 본 발명의 적용을 폴링에지에서 라이징에지로 변경하더라도 단지 신호의 인식 시점이 달라질 뿐 동작 및 특성은 동일하게 적용된다.

발명의 효과

- <95> 상술한 바와 같이 본 발명에 따른 단선직렬 통신모듈은 노이즈의 영향을 최소화하면서도 빠른 데이터 전송속도에 의해 민첩한 동작이 가능해진다.
- <96> 또한, 본 발명에 따른 단선직렬 통신모듈은 월등히 향상된 노이즈 제거특성, 구동/유휴 상태 전환특성, 동기화 방식에 준하는 데이터의 정확성과 속도 특성, 다수의 명령어 보유 특성을 가지는 것이 가능해진다.
- <97> 또한, 본 발명에 따른 단선직렬 통신모듈은 단선으로 제공되는 싱글버스 상에서 동기화 전송방식에 준하는 정확도로 데이터 전송이 가능함으로 인해 제어대상 칩의 안정적인 동작을 보장하는 것이 가능하다.
- <98> 또한, 본 발명에 따른 단선직렬 통신모듈은 싱글버스 상에서 전송가능한 형태의 정확도 높은 데이터 형태를 제공함으로써, 데이터 송신 및 수신 정확도를 획기적으로 향상시키는 것이 가능하다.
- <99> 또한, 본 발명에 따른 단선직렬 통신모듈은 싱글버스에 적합한 데이터의 전송과 그에 따른 안정적인 동작으로 인해 하나의 버스만 이용해도 되므로 회로설계의 자유도가 증가하고 회로 제작 비용을 저감하는 것이 가능하다.
- <100> 또한, 본 발명에 따른 단선직렬 통신모듈은 데이터 전송 유무의 확인이 가능하기 때문에 노이즈가 많은 구동환경 하에서도 명령데이터의 안정적인 전송/수신 및 처리가 가능해진다.
- <101> 마지막으로, 본 발명에 따른 단선직렬 통신모듈은 다비트의 명령신호를 전송할 수 있기 때문에 다양한 명령의 처리가 가능해짐과 아울러, 각각의 명령신호를 순서에 상관없이 구분할 수 있으므로 빠른 응답속도를 가질 수 있다.
- <102> 이상에서 설명한 것은 본 발명의 기술적 사상을 설명하기 위한 하나의 실시예에 불과한 것으로서, 본 발명의 기술적 범위는 상술한 실시예에 의해 한정되는 것이 아니고, 본 발명의 특허청구범위에 기재된 청구항에 의해 한정되어야 할 것이다. 또한, 본 발명이 본 발명의 기술분야에서 통상의 지식을 가진 자가 할 수 있는 다양한 변형 및 균등한 타 실시예를 포괄할 수 있음을 이해할 것이다.

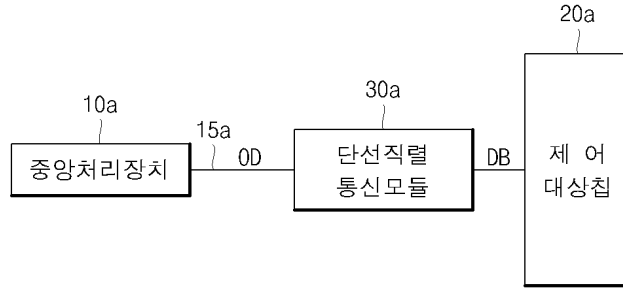
도면의 간단한 설명

- <1> 도 1은 본 발명에 따른 단선직렬 통신모듈의 배치를 설명하기 위한 도면.
- <2> 도 2는 도 1의 단선직렬 통신모듈의 내부 구성을 도시한 블럭도.
- <3> 도 3은 도 2의 데이터처리부를 상세히 도시한 블럭도.

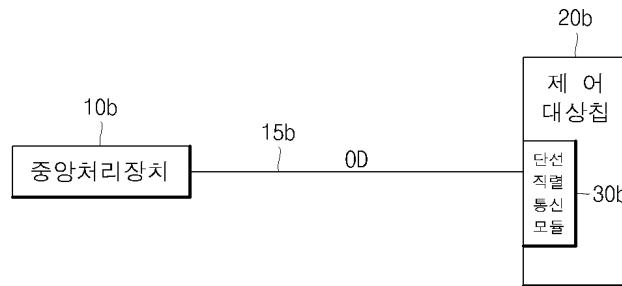
- <4> 도 4는 도 2의 회로를 구동상태 또는 유ힴ상태로 전환하기 위한 과형을 도시한 과형도.
- <5> 도 5는 시정카운터부로 이용할 수 있는 플립플롭의 구성을 간략하게 도시한 예시도.
- <6> 도 6은 도 5의 스타트신호 및 애크신호 구간을 도시한 과형도.
- <7> 도 7a 및 도 7b는 표 1을 설명하기 위한 과형예시도.

도면

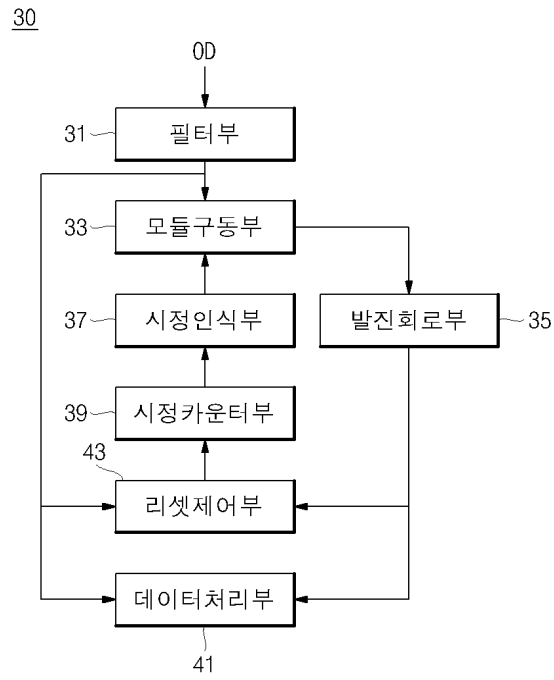
도면1a



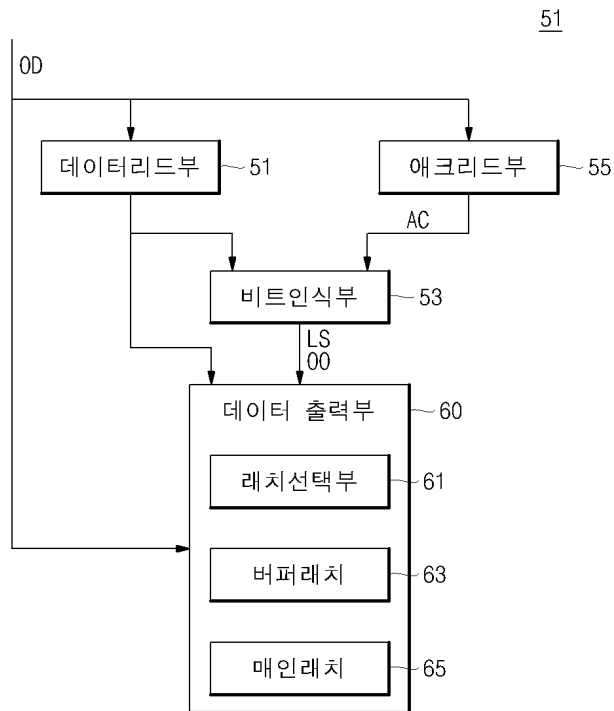
도면1b



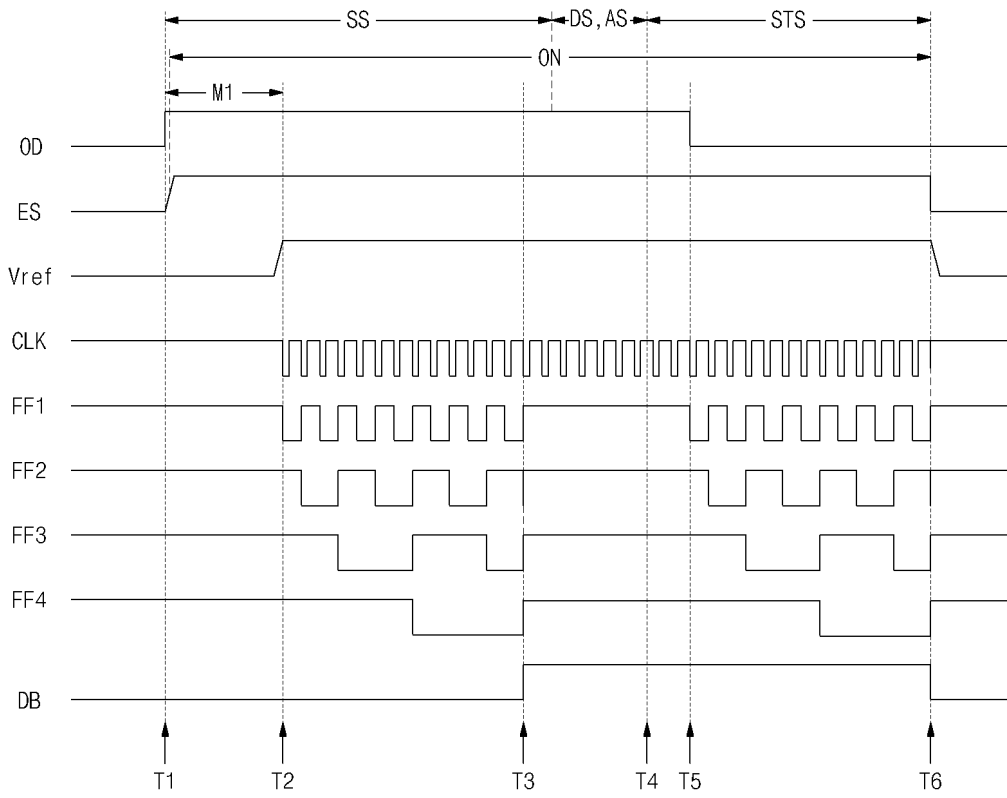
도면2



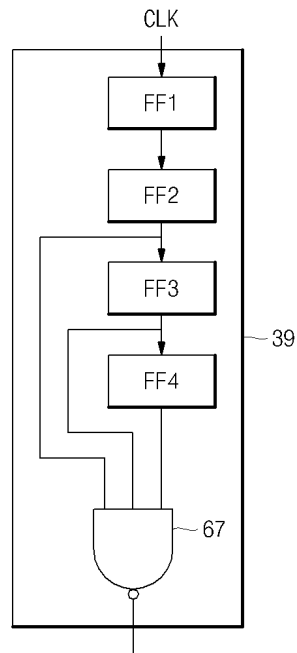
도면3



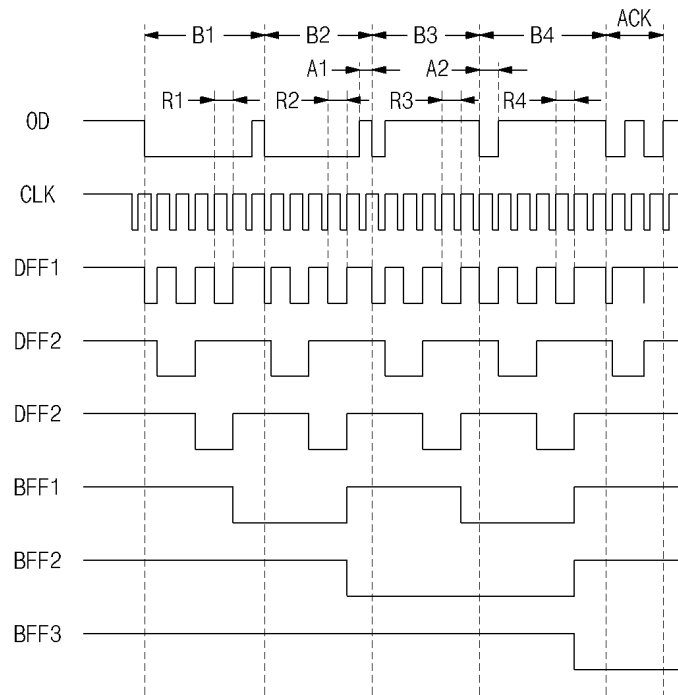
도면4



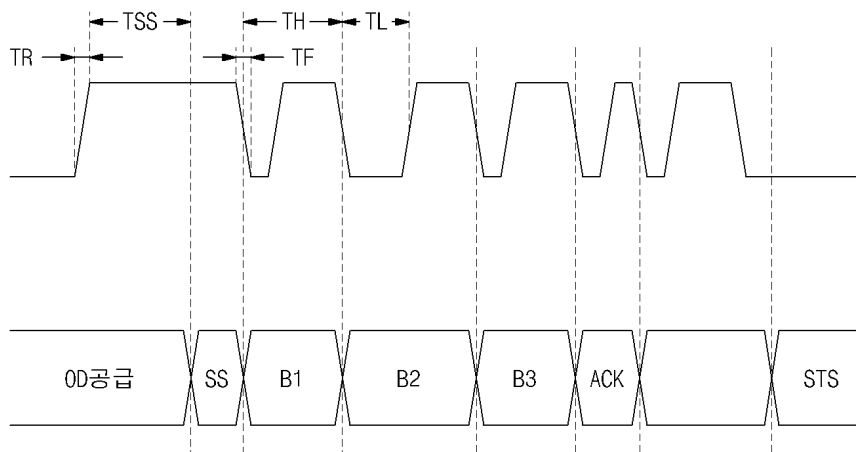
도면5



도면6



도면7a



도면7b

