

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成28年6月16日(2016.6.16)

【公開番号】特開2013-251892(P2013-251892A)
 【公開日】平成25年12月12日(2013.12.12)
 【年通号数】公開・登録公報2013-067
 【出願番号】特願2013-94860(P2013-94860)
 【国際特許分類】

H 0 3 K 3/354 (2006.01)

H 0 3 K 3/03 (2006.01)

【F I】

H 0 3 K 3/354 B

H 0 3 K 3/03

【手続補正書】

【提出日】平成28年4月25日(2016.4.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

二のインバータ回路が並列に設けられた回路を複数段有する半導体装置であって、
 並列に設けられた前記二のインバータ回路からはそれぞれ逆極性の信号が出力され、
 前段のインバータ回路から出力される信号を前記二のインバータ回路において互いに入れ替え、

前記二のインバータ回路の一方の入力信号の一方は、前記二のインバータ回路の他方が有するトランジスタのバックゲートに入力される信号の一方と同一であり、

前記二のインバータ回路の前記他方の入力信号の一方は、前記二のインバータ回路の前記一方が有するトランジスタのバックゲートに入力される信号の一方と同一であることを特徴とする半導体装置。

【請求項2】

並列に接続された第1のインバータ回路と第2のインバータ回路により設けられたインバータ段を複数有し、

前記第1及び第2のインバータ回路は、それぞれ第1及び第2の入力端子と、前記第1の入力端子の反転信号が出力される出力端子と、二のトランジスタを有し、

第1のインバータ回路の前記出力端子は、後段の第1のインバータ回路の第1の入力端子と後段の第2のインバータ回路の第2の入力端子に電氣的に接続され、

第2のインバータ回路の前記出力端子は、後段の第1のインバータ回路の第2の入力端子と後段の第2のインバータ回路の第1の入力端子に電氣的に接続され、

前記第1及び第2のインバータ回路の前記第2の入力端子は、前記二のトランジスタの一方のバックゲートに電氣的に接続され、

前記インバータ段は奇数段であることを特徴とする半導体装置。

【請求項3】

2k個のインバータ回路によって構成される回路を有する半導体装置であって、

前記回路において、

第1のインバータ回路の第1の入力端子と、第2のインバータ回路の第2の入力端子が、第1のバッファ回路の入力端子に電氣的に接続され、

前記第 1 のインバータ回路の出力端子が、第 3 のインバータ回路の第 1 の入力端子と、第 4 のインバータ回路の第 2 の入力端子に電氣的に接続され、

前記第 1 のインバータ回路の第 2 の入力端子と、前記第 2 のインバータ回路の第 1 の入力端子が、第 2 のバッファ回路の入力端子に電氣的に接続され、

前記第 2 のインバータ回路の出力端子が、前記第 3 のインバータ回路の第 2 の入力端子と、前記第 4 のインバータ回路の第 1 の入力端子に電氣的に接続され、

第 $2n - 1$ (n は 2 以上の自然数) のインバータ回路の出力端子が、第 $2n + 1$ のインバータ回路の第 1 の入力端子と、第 $2n + 2$ のインバータ回路の第 2 の入力端子に電氣的に接続され、

第 $2n$ のインバータ回路の出力端子が、前記第 $2n + 1$ のインバータ回路の第 2 の入力端子と、前記第 $2n + 2$ のインバータ回路の第 1 の入力端子に電氣的に接続され、

第 $2k - 3$ のインバータ回路の出力端子が、第 $2k - 1$ のインバータ回路の第 1 の入力端子と、第 $2k$ のインバータ回路の第 2 の入力端子に電氣的に接続され、

第 $2k - 2$ のインバータ回路の出力端子が、前記第 $2k - 1$ のインバータ回路の第 2 の入力端子と、前記第 $2k$ のインバータ回路の第 1 の入力端子に電氣的に接続され、

前記第 $2k - 1$ のインバータ回路の出力端子が、前記第 1 のバッファ回路の入力端子と、第 1 の終端インバータ回路の入力端子と、第 2 の終端インバータ回路の出力端子に電氣的に接続され、

前記第 $2k$ のインバータ回路の出力端子が、前記第 1 の終端インバータ回路の出力端子と、前記第 2 の終端インバータ回路の入力端子と、前記第 2 のバッファ回路の入力端子に電氣的に接続されることを特徴とする半導体装置。

【請求項 4】

請求項 3 において、

前記インバータ回路のすべてが、第 1 のトランジスタ及び第 2 のトランジスタを有し、

前記第 1 のトランジスタのソース及びドレインの一方が、高電位電源電位線に電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの他方が、前記第 2 のトランジスタのソース及びドレインの一方と、出力端子に電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの他方が、低電位電源電位線に電氣的に接続され、

前記第 1 のトランジスタの第 1 のゲートが、第 1 のトランジスタのソース及びドレインの前記他方と、前記第 2 のトランジスタのソース及びドレインの前記一方に電氣的に接続され、

前記第 1 のトランジスタの第 2 のゲートが、前記インバータ回路の第 2 の入力端子に電氣的に接続され、

前記第 2 のトランジスタの第 1 のゲートが、第 1 の入力端子に電氣的に接続され、

前記第 2 のトランジスタの第 2 のゲートが、共通電位線に電氣的に接続されることを特徴とする半導体装置。

【請求項 5】

請求項 3 又は 4 において、

前記第 1 の終端インバータ回路と前記第 2 の終端インバータ回路のすべてが、第 3 のトランジスタ及び第 4 のトランジスタを有し、

前記第 3 のトランジスタのソース及びドレインの一方が、前記高電位電源電位線に電氣的に接続され、

前記第 3 のトランジスタのソース及びドレインの他方が、前記第 4 のトランジスタのソース及びドレインの一方と、出力端子に電氣的に接続され、

前記第 4 のトランジスタのソース及びドレインの他方が、前記低電位電源電位線に電氣的に接続され、

前記第 3 のトランジスタのゲートが、前記第 3 のトランジスタのソース及びドレインの前記一方に電氣的に接続され、

前記第4のトランジスタのゲートが、前記入力端子に電氣的に接続されることを特徴とする半導体装置。

【請求項6】

請求項3乃至5のいずれか一において、

前記第1のバッファ回路及び前記第2のバッファ回路は、複数のインバータ回路により構成されていることを特徴とする半導体装置。

【請求項7】

請求項3乃至6のいずれか一において、

$k = 7$ であることを特徴とする半導体装置。