

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5496635号
(P5496635)

(45) 発行日 平成26年5月21日 (2014. 5. 21)

(24) 登録日 平成26年3月14日 (2014. 3. 14)

(51) Int. Cl.

F I

H O 1 L 29/812 (2006. 01)

H O 1 L 29/80 F

H O 1 L 21/338 (2006. 01)

H O 1 L 29/78 3 O 1 B

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 5 2 T

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 5 2 K

H O 1 L 29/12 (2006. 01)

H O 1 L 29/78 6 5 8 F

請求項の数 7 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2009-284464 (P2009-284464)
 (22) 出願日 平成21年12月15日 (2009. 12. 15)
 (65) 公開番号 特開2010-166040 (P2010-166040A)
 (43) 公開日 平成22年7月29日 (2010. 7. 29)
 審査請求日 平成23年10月12日 (2011. 10. 12)
 (31) 優先権主張番号 特願2008-324798 (P2008-324798)
 (32) 優先日 平成20年12月19日 (2008. 12. 19)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000154325
 住友電工デバイス・イノベーション株式会社
 神奈川県横浜市栄区金井町 1 番地
 (74) 代理人 100087480
 弁理士 片山 修平
 (72) 発明者 中田 健
 神奈川県横浜市栄区金井町 1 番地 住友電
 工デバイス・イノベーション株式会社内
 (72) 発明者 八重樫 誠司
 神奈川県横浜市栄区金井町 1 番地 住友電
 工デバイス・イノベーション株式会社内

審査官 儀同 孝信

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に G a N 系半導体層を形成する工程と、
 前記 G a N 系半導体層上に酸化アルミニウムからなるゲート絶縁膜を 4 5 0 以下の成膜温度で形成する工程と、
 前記ゲート絶縁膜の上面に保護膜を形成する工程と、
 前記ゲート絶縁膜の上面が前記保護膜に覆われた状態で、前記ゲート絶縁膜を形成する工程の後の最初のアルカリ溶液を用いた処理を実行する工程と、
 前記ゲート絶縁膜上にゲート電極を形成する工程と、を有し、
 前記ゲート電極を形成する工程はフォトリソグラフィ法を用いた工程であり、
 前記アルカリ溶液を用いた処理は前記フォトリソグラフィ法の現像処理であることを特徴とする半導体装置の製造方法。

【請求項 2】

前記保護膜は、酸化シリコン、酸窒化シリコン、酸化ハフニウムまたは酸化ジルコニウムのいずれかからなることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

基板上に G a N 系半導体層を形成する工程と、
 前記 G a N 系半導体層上に酸化アルミニウムからなるゲート絶縁膜を 4 5 0 以下の成膜温度で形成する工程と、
 前記ゲート絶縁膜を 7 0 0 以上で熱処理する工程と、

10

20

前記熱処理する工程の後、前記ゲート絶縁膜を形成する工程の後の最初のアルカリ溶液を用いた処理を実行する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、を有し、

前記ゲート電極を形成する工程はフォトリソグラフィ法を用いた工程であり、

前記アルカリ溶液を用いた処理は前記フォトリソグラフィ法の現像処理であることを特徴とする半導体装置の製造方法。

【請求項 4】

基板上に GaN 系半導体層を形成する工程と、

前記 GaN 系半導体層上に酸化アルミニウムからなるゲート絶縁膜を 450 以下の成膜温度で形成する工程と、

前記ゲート絶縁膜を O₂ または N₂ を用いプラズマ処理する工程と、

前記プラズマ処理する工程の後、前記ゲート絶縁膜を形成する工程の後の最初のアルカリ溶液を用いた処理を実行する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、を有し、

前記ゲート電極を形成する工程はフォトリソグラフィ法を用いた工程であり、

前記アルカリ溶液を用いた処理は前記フォトリソグラフィ法の現像処理であり、

前記ゲート絶縁膜は ALD 法により形成されることを特徴とする半導体装置の製造方法

。

【請求項 5】

前記 GaN 系半導体層上にソース電極及びドレイン電極を形成する工程を含むことを特徴とする請求項 1 から 4 いずれか一項記載の半導体装置の製造方法。

【請求項 6】

前記 GaN 系半導体層上にソース電極と、前記基板の前記 GaN 系半導体層が形成された面と前記基板を介して反対の面にドレイン電極とを形成する工程を含むことを特徴とする請求項 1 から 4 いずれか一項記載の半導体装置の製造方法。

【請求項 7】

前記プラズマ処理する工程のプラズマ処理時間は、5 分以上であることを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、特に、GaN 系半導体装置上にゲート絶縁膜を形成する工程を有する半導体装置の製造方法に関する。

【背景技術】

【0002】

Ga (ガリウム) と N (窒素) とを含む化合物半導体 (GaN 系半導体) 層を用いた電界効果トランジスタ (FET: Field Effect Transistor) 等は、高周波数かつ高出力で動作する高周波高出力増幅用素子として注目されている。GaN 系半導体とは、窒化ガリウム (GaN) を含む半導体であり、例えば GaN、GaN と窒化アルミニウム (AlN) との混晶である AlGaN、GaN と窒化インジウム (InN) との混晶である InGaN、または GaN と AlN と InN との混晶である AlInGaN 等の半導体である。

【0003】

GaN 系半導体を用いた FET として、GaN 系半導体層とゲート電極との間にゲート絶縁膜を有する FET (MISFET: Metal Insulator Semiconductor FET) が知られている (特許文献 1)。MISFET においては、ゲート絶縁膜を用いることによりゲート電極と半導体層との間のリーク電流を抑制することができる。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 6 - 2 8 6 9 4 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、A L D 法等の低温成長で成膜されたゲート絶縁膜においては、プロセス工程中で使用されるアルカリ溶液によってゲート絶縁膜が侵食されることにより、ゲート電極と半導体層との間にリーク電流が発生することがある。特に、逆方向電界の印加により、ゲート電極から半導体層への逆方向リーク電流がゲート絶縁膜の欠損部分に集中した場合、F E T の故障や不良が発生することがある。C V D 法やスパッタリング法において

10

【 0 0 0 6 】

本発明は、上記課題に鑑み、ゲート絶縁膜の侵食を抑制し、F E T の故障や不良の発生を抑制することが可能な半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本半導体装置の製造方法は、基板上に G a N 系半導体層を形成する工程と、前記 G a N 系半導体層上に酸化アルミニウムからなるゲート絶縁膜を 4 5 0 以下の成膜温度で形成する工程と、前記ゲート絶縁膜の上面に保護膜を形成する工程と、前記ゲート絶縁膜の上面が前記保護膜に覆われた状態で、前記ゲート絶縁膜を形成する工程の後の最初のアルカリ溶液を用いた処理を実行する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、を有し、前記ゲート電極を形成する工程はフォトリソグラフィ法を用いた工程であり、前記アルカリ溶液を用いた処理は前記フォトリソグラフィ法の現像処理である。本発明によれば、ゲート絶縁膜の侵食を抑制し、F E T の故障や不良の発生を抑制することが可能な半導体装置の製造方法を提供することができる。

20

【 0 0 0 8 】

上記構成において、前記保護膜は、酸化シリコン、酸窒化シリコン、酸化ハフニウムまたは酸化ジルコニウムのいずれかからなる構成とすることができる。この構成によれば、アルカリ溶液に対する耐エッチング性が高い材料を用いて保護膜を形成するため、ゲート絶縁膜の侵食を抑制することができる。

30

【 0 0 0 9 】

本半導体装置の製造方法は、基板上に G a N 系半導体層を形成する工程と、前記 G a N 系半導体層上に酸化アルミニウムからなるゲート絶縁膜を 4 5 0 以下の成膜温度で形成する工程と、前記ゲート絶縁膜を 7 0 0 以上で熱処理する工程と、前記熱処理する工程の後、前記ゲート絶縁膜を形成する工程の後の最初のアルカリ溶液を用いた処理を実行する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、を有し、前記ゲート電極を形成する工程はフォトリソグラフィ法を用いた工程であり、前記アルカリ溶液を用いた処理は前記フォトリソグラフィ法の現像処理である。本発明によれば、ゲート絶縁膜の侵食を抑制し、F E T の故障や不良の発生を抑制することが可能な半導体装置の製造方法を提供することができる。

40

【 0 0 1 1 】

本半導体装置の製造方法は、基板上に G a N 系半導体層を形成する工程と、前記 G a N 系半導体層上に酸化アルミニウムからなるゲート絶縁膜を 4 5 0 以下の成膜温度で形成する工程と、前記ゲート絶縁膜を O₂ または N₂ を用いプラズマ処理する工程と、前記プラズマ処理する工程の後、前記ゲート絶縁膜を形成する工程の後の最初のアルカリ溶液を用いた処理を実行する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、を有し、前記ゲート電極を形成する工程はフォトリソグラフィ法を用いた工程であり、前記アルカリ溶液を用いた処理は前記フォトリソグラフィ法の現像処理であり、前記ゲート絶縁膜は A L D 法により形成される。本発明によれば、ゲート絶縁膜の侵食を抑制し、F E T の故障や不良の発生を抑制することが可能な半導体装置の製造方法を提供することができ

50

る。

【 0 0 1 3 】

上記構成において、前記 G a N 系半導体層上にソース電極及びドレイン電極を形成する工程を含む構成とすることができる。

【 0 0 1 4 】

上記構成において、前記 G a N 系半導体層上にソース電極と、前記基板の前記 G a N 系半導体層が形成された面と前記基板を介して反対の面にドレイン電極とを形成する工程を含む構成とすることができる。

【 発明の効果 】

【 0 0 1 5 】

本発明によれば、ゲート絶縁膜の侵食を抑制し、F E T の故障や不良の発生を抑制することが可能な半導体装置の製造方法を提供することができる。

【 図面の簡単な説明 】

【 0 0 1 6 】

【 図 1 】 図 1 (a) 及び図 1 (b) は、それぞれ実験に用いたサンプル A 及び B を例示する断面図である。

【 図 2 】 図 2 (a) 及び図 2 (b) は、それぞれサンプル A 及び B における絶縁膜の形成工程を例示するフローチャートである。

【 図 3 】 図 3 (a) 及び図 3 (b) は、それぞれサンプル A 及び B における逆方向リーク電流の測定結果を示す図である。

【 図 4 】 図 4 は、サンプル A を模式的に例示する断面図である。

【 図 5 】 図 5 (a) 及び図 5 (b) は、それぞれサンプル C 及び D における絶縁膜の形成工程を例示するフローチャートである。

【 図 6 】 図 6 は、サンプル A、B、C 及び D におけるエッチングレートの測定結果を示す図である。

【 図 7 】 図 7 (a) は熱処理温度を変化させた場合のエッチングレートの測定結果を示す図であり、図 7 (b) はプラズマ処理時間を変化させた場合のエッチングレートの測定結果である。

【 図 8 】 図 8 (a) から図 8 (c) は、実施例 1 に係る F E T の製造工程を例示する断面図 (その 1) である。

【 図 9 】 図 9 (a) から図 9 (c) は、実施例 1 に係る F E T の製造工程を例示する断面図 (その 2) である。

【 図 1 0 】 図 1 0 は、実施例 1 に係る F E T の製造工程を例示する断面図 (その 3) である。

【 図 1 1 】 図 1 1 は、実施例 2 に係る F E T を例示する断面図である。

【 図 1 2 】 図 1 2 (a) 及び図 1 2 (b) は、実施例 3 に係る F E T の製造工程を例示する断面図である。

【 図 1 3 】 図 1 3 は、実施例 4 に係る F E T を例示する断面図である。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

まず、本発明者が行った実験について説明する。最初に、サンプルの構成について説明する。図 1 (a) は実験に用いたサンプル A を例示する断面図であり、図 1 (b) はサンプル B を例示する断面図である。

【 0 0 1 8 】

図 1 (a) に示すように、サンプル A においては、基板 5 0 上に M O C V D (M e t a l O r g a n i c C V D) 法を用い G a N からなる G a N 系半導体層 5 2 が形成されている。G a N 系半導体層 5 2 上に絶縁膜 5 4 として酸化アルミニウム膜が形成されている。絶縁膜 5 4 上には、下から N i 、 A u の順に電極 5 6 が形成されている。

【 0 0 1 9 】

図 1 (b) に示すように、サンプル B においては、サンプル A の構成に加え、絶縁膜 5

10

20

30

40

50

4 上に保護膜 5 5 として酸化シリコン膜が形成されている。保護膜 5 5 上には、電極 5 6 が形成されている。

【 0 0 2 0 】

次に、サンプル A 及び B の形成工程について説明する。図 2 (a) はサンプル A の絶縁膜 5 4 及び電極 5 6 の形成工程を例示する図であり、図 2 (b) はサンプル B の絶縁膜 5 4、保護膜 5 5 及び電極 5 6 の形成工程を例示する図である。

【 0 0 2 1 】

図 2 (a) に示すように、最初に G a N 層表面を表面処理する (ステップ S 1 0)。表面処理として、硫酸と過酸化水素水との混合溶液を用いた有機汚染の洗浄、アンモニアと過酸化水素水との混合液を用いた粒子状汚染の洗浄、4 0 程度に過熱したアンモニア水による処理を行った。基板を A L D (A t o m i c L a y e r D e p o s i t i o n) 装置内に配置する (ステップ S 1 2)。A L D 法によって酸化アルミニウムを形成する場合、最初に T M A (トリメチルアルミニウム) を基板へ供給して、これを基板面に吸着し、ついで T M A をパージする。この後、O₂ または O₃ を基板へ供給し、基板面に吸着した T M A と反応させた後、パージが実行されることで、1 原子層が形成される。A L D 法は、この一連のサイクルを 1 ステップとして繰り返すことで、所望の膜を形成するものである。A L D 装置内で基板 5 0 を、酸化アルミニウムの成長温度より高い 5 0 0 で熱処理する (ステップ S 1 4)。このとき、キャリアガスとして窒素ガスを流した状態で 5 0 0 を約 5 分間保持する。その後、成長温度である 4 0 0 に降温する (ステップ S 1 6)。A L D 装置内で、T M A 及び O₃ を交互に供給し酸化アルミニウム膜を成長させる (ステップ S 1 8)。このとき、成長温度は 4 5 0、圧力は 1 t o r r である。T M A 及び O₃ の供給時間は各々 0 . 3 秒である。T M A から O₃ へのガスの切り替え、O₃ から T M A へのガスの切り替えの際、窒素ガスによるパージを 5 秒間行った。T M A と O₃ の供給で 1 サイクルとし、5 0 0 サイクル行うことで膜厚が約 4 0 n m の酸化アルミニウム絶縁膜 5 4 を形成した。その後、降温させ、A L D 装置から基板を取り出した (ステップ S 2 0)。フォトリソグラフィ法により絶縁膜 5 4 上にパターンを形成した後、保護膜 5 5 上に電極 5 6 を形成した (ステップ S 2 2)。

【 0 0 2 2 】

図 2 (b) に示すように、サンプル B においては、ステップ S 2 0 とステップ S 2 2 との間に、スパッタリング法により絶縁膜 5 4 の上に、酸化シリコンからなる膜厚が 3 n m の保護膜 5 5 を形成した (ステップ S 2 4)。その後、フォトリソグラフィ法により保護膜 5 5 上にパターンを形成し、保護膜 5 5 上に電極 5 6 を形成した (ステップ S 2 2)。

【 0 0 2 3 】

次に、実験結果について説明する。図 3 (a) はサンプル A において、電極 5 6 に印加する電圧を変化させた際の逆方向リーク電流を測定した結果を示す図であり、図 3 (b) はサンプル B における測定結果を示す図である。横軸が電圧、縦軸が逆方向リーク電流を各々表す。サンプル A 及び B とともに複数個測定しており、図中の実線は個々のサンプルの測定結果を示す。

【 0 0 2 4 】

図 3 (a) に示すように、サンプル A では、最低で 3 7 . 7 V の電圧において逆方向リーク電流の増加によるサンプルの破壊が発生した。また、破壊が発生した電圧 (破壊電圧) は、3 7 . 7 ~ 6 9 . 9 V の間に分布していた。一方で、図 3 (b) に示すように、サンプル B では、最低で 9 2 . 0 V の電圧において逆方向リーク電流の増加によるサンプルの破壊が発生した。また、破壊電圧は、9 2 . 0 ~ 1 0 6 . 6 V の間に分布していた。

【 0 0 2 5 】

上記のように、サンプル A では低電圧で破壊が発生し、破壊が発生した電圧が広く分布していた。これに対し、サンプル B においては、低電圧での破壊が発生しておらず、また破壊電圧の分布もサンプル A に比べて狭かった。この原因について、図面を参照して説明する。図 4 は、サンプル A を模式的に例示する断面図である。

【 0 0 2 6 】

図4に示すように、絶縁膜54は侵食されており、欠損部53が形成されている。これは、絶縁膜54を形成する酸化アルミニウムはアルカリ溶液に可溶であるため、図2(a)のステップS22において、フォトリソグラフィ法に使用したアルカリ系現像液(4.9% TMAH (Tetra Methyl Ammonium Hydroxide)を50%希釈した溶液)により引き起こされたものである。絶縁膜54の侵食は、スパッタリング法やCVD法により絶縁膜54が形成される場合にも生じる。特に、450以下の低温成長で絶縁膜54が成膜された場合、侵食は発生しやすい。さらに400以下の温度では、侵食が顕著となる。欠損部53においては、GaN系半導体層52と電極56との距離が短くなるため、電極56からGaN系半導体層52への逆方向リーク電流が発生しやすい。実験で観測された破壊は、欠損部53に逆方向リーク電流が集中したことによる。また、欠損部53の大きさにより破壊電圧が変化するため、サンプルAにおいては破壊電圧の分布が広がった。

10

【0027】

これに対し、サンプルBにおいては、絶縁膜54の上に酸化シリコンからなる保護膜55を形成した。酸化シリコンは酸化アルミニウムよりもアルカリ溶液に対する耐エッチング性が高いため、酸化アルミニウムが保護される。結果的に、絶縁膜54の侵食が抑制され、逆方向リーク電流の発生も抑制された。このため、低電圧での破壊が起きず、サンプルAに比べて高電圧でのみ破壊が発生した。

【0028】

次に、絶縁膜54を保護するための他の方法を用いたサンプルについて説明する。図5(a)は、サンプルCの絶縁膜54及び電極56の形成工程を例示する図であり、図5(b)は、サンプルDの絶縁膜54及び電極56の形成工程を例示する図である。

20

【0029】

図5(a)に示すように、サンプルCにおいては、ステップS20とステップS22との間に、熱処理炉により熱処理を行った(ステップS26)。熱処理は、窒素ガス雰囲気中で700、5分間行った。この工程により、絶縁膜54の耐エッチング性が向上する。その後、フォトリソグラフィ法により絶縁膜54の上にパターンを形成し、電極56を形成した(ステップS22)。その他の工程は、図2(a)に示したものと同様である。

【0030】

図5(b)に示すように、サンプルDにおいては、ステップS20とステップS22との間に、アッシング装置によりプラズマ処理を行った(ステップS28)。プラズマ処理は O_2 を用い、プラズマパワー800Wにて10分間行った。この工程により、絶縁膜54の耐エッチング性が向上する。その後、フォトリソグラフィ法により絶縁膜54の上にパターンを形成し、電極56を形成した(ステップS22)。その他の工程は、図2(a)に示したものと同様である。

30

【0031】

次に、サンプルA、B、C及びDの各々において、前述のアルカリ系現像液を用いてゲート絶縁膜と接する絶縁膜をエッチングした際の、絶縁膜のエッチングレートを測定した結果について説明する。図6は測定結果を示す図である。横軸は各サンプル、縦軸はエッチングレートを各々表す。

40

【0032】

図6に示すように、サンプルAと比較して、サンプルB、C及びDのいずれにおいてもエッチングレートは大幅に抑制された。特に、絶縁膜54上に保護膜55を形成したサンプルBでは、エッチングレートは最小となった。以上のように、絶縁膜54を保護膜55により保護すること、または絶縁膜54に熱処理やプラズマ処理を行うことで、絶縁膜54のエッチングレートは低下した。これにより、電極56とGaN系半導体層52との逆方向リーク電流の発生が抑制される。

【0033】

次に、熱処理の処理温度及びプラズマ処理の処理時間を変更してエッチングレートを測定した結果について説明する。図7(b)はプラズマ処理において処理時間を変更した場

50

合のエッチングレートの測定結果を示す図である。熱処理時間は5分、図7(a)及び図7(b)の各々において、横軸は各サンプル、縦軸はエッチングレートを表す。

【0034】

まず、熱処理の実験結果について説明する。図7(a)は熱処理温度を変更した場合のエッチングレートの測定結果を示す図である。熱処理時間は5分とし、500、700及び900の各々で熱処理を行ったサンプルを準備し、各々サンプルE1、サンプルE2及びサンプルE3とした。なお、サンプルAは図6で説明したものと同一である。

【0035】

図7(a)に示すように、熱処理を行わなかったサンプルAと比較して、熱処理を行ったサンプルE1～E3はいずれもエッチングレートが抑制された。また、熱処理温度を高温にするほどエッチングレート抑制の効果が向上した。特に、700以上の温度では、エッチングレートが大幅に抑制された。これは、700付近で酸化アルミニウムの再結晶化が始まるためと考えられる。

10

【0036】

次に、プラズマ処理の実験結果について説明する。図7(b)はプラズマ処理時間を変更した場合のエッチングレートの測定結果を示す図である。プラズマ処理は O_2 を用い、プラズマパワー800Wにより、5分、10分及び20分の各々でプラズマ処理を行ったサンプルを準備し、各々サンプルF1、サンプルF2及びサンプルF3とした。

【0037】

図7(b)に示すように、プラズマ処理を行わなかったサンプルAと比較して、プラズマ処理を行ったサンプルF1～F3はいずれもエッチングレートが抑制された。プラズマ処理では、処理時間に対するエッチングレートの変化が顕著ではなかった。これは、プラズマ処理が表面の処理を行うものであり、一定時間以上処理を行っても、その効果は時間によって大きく変化しないためと考えられる。また、エッチングレート抑制の効果は、図7(a)に示した熱処理の方が大きかった。

20

【0038】

次に、ゲート電極と接する絶縁膜のエッチングレートを抑制させた半導体装置に係る実施例について説明する。

【実施例1】

【0039】

実施例1は横型のFETにおいて、ゲート絶縁膜18上に保護膜19を設けた例である。図8(a)から図10は、実施例1に係る半導体装置の製造方法を例示する断面図である。図8(a)に示すように、Si基板10上に例えばMOCVD法を用いてバッファ層(不図示)を形成する。バッファ層上に膜厚が例えば1000nmのGaN電子走行層12を形成する。GaN電子走行層12上に膜厚が例えば30nmのAlGaN電子供給層14を形成する。AlGaN電子供給層14のAl組成比は例えば0.2である。AlGaN電子供給層14上に、膜厚が例えば3nmのGaNキャップ層16を形成する。以上の工程により、基板10上に、GaN電子走行層12、AlGaN電子供給層14及びGaNキャップ層16からなるGaN系半導体層15が形成される。

30

【0040】

図8(b)に示すように、GaNキャップ層16上に酸化アルミニウム膜からなる膜厚が例えば40nmのゲート絶縁膜18を形成する。ゲート絶縁膜18の形成方法は、図2(b)と同じであり、ALD装置内で、ゲート絶縁膜18の成長温度以上の温度で熱処理した後、ALD装置内で、ALD法を用い膜厚が40nmのゲート絶縁膜18を形成する。

40

【0041】

図8(c)に示すように、スパッタリング法により、ゲート絶縁膜18の上面に例えば酸化シリコンからなる、膜厚が例えば3nmの保護膜19を形成する。

【0042】

図9(a)に示すように、例えば BCl_3/Cl_2 ガスを用いたエッチングにより素子

50

間分離を行い、ゲート絶縁膜 18 及び保護膜 19 に開口部を設ける。開口部に下から例えば A1、Ti の順にソース電極 20 及びドレイン電極 22 を形成する。

【0043】

図 9 (b) に示すように、フォトリソグラフィ法により保護膜 19 上にパターンを形成し、例えばリフトオフ法により例えば Ni / Au 等ゲート電極 24 を設ける。このとき、ゲート絶縁膜 18 の上面が保護膜 19 に覆われた状態で、ゲート絶縁膜 18 形成後の最初のアルカリ溶液を用いた処理（現像液として例えば TMAH 溶液等）を実行する。これにより、保護膜 19 が形成される前に、アルカリ溶液を用いた処理を実行することによる、ゲート絶縁膜 18 の侵食が防止できる。現像液としては、例えば TMAH 溶液等の他に、コリン (CHOLINE: Trimethyl-2-hydroxyethyl ammonium hydroxide) 溶液を使用することもできる。図 9 (c) に示すように、ソース電極 20 及びドレイン電極 22 の各々に接続される例えば Au 系の金属からなる配線 26 を形成する。その後、図 10 に示すように、ゲート絶縁膜 18、保護膜 19、ゲート電極 24 及び配線 26 を覆う別の保護膜 28 を形成する。以上の工程により、実施例 1 に係る半導体装置が完成する。

【0044】

実施例 1 によれば、ゲート絶縁膜 18 上に保護膜 19 を形成し（図 2 (b) のステップ S24）、その後フォトリソグラフィ法により保護膜 19 上にパターンを形成し、ゲート電極 24 を設ける（ステップ S22）。すなわち、ゲート絶縁膜 18 が保護膜 19 で保護された後に、アルカリ溶液が使用される。このため、ゲート絶縁膜 18 の侵食が抑制され、逆方向リーク電流の発生が抑制される。結果的に、FET の故障や不良の発生を抑制することが可能となる。

【0045】

実施例 1 では、スパッタリング法により保護膜 19 を形成するとしたが、例えば ALD 法等の方法でもよい。また、ゲート絶縁膜 18 は ALD 法を用いて形成するとしたが、例えばスパッタリング法や CVD 法で形成してもよい。

【0046】

アルカリ溶液を使用する工程としてゲート電極 24 を形成する工程を説明したが、他の工程においてアルカリ溶液を使用する場合でも保護膜 19 が形成されていれば、ゲート絶縁膜 18 はアルカリ溶液による侵食に対し保護される。

【実施例 2】

【0047】

実施例 2 は縦型の FET において、ゲート絶縁膜 72 上に保護膜 73 を設けた例である。図 11 は実施例 2 に係る半導体装置を例示する断面図である。図 11 に示すように、導電性の SiC 基板 60 上に、n 型 GaN ドリフト層 62、p 型 GaN バリア層 64 及び n 型 GaN キャップ層 66 が形成されている。これらの層にはドリフト層 62 に達する開口部 82 が形成されている。開口部 82 を覆うように再成長層として、不純物を添加しない GaN 電子走行層 68、AlGaIn 電子供給層 70 が形成されている。電子供給層 70 上にゲート絶縁膜 72 が形成されている。ゲート絶縁膜 72 は、図 2 (b) の方法で形成されている。ゲート絶縁膜 72 上に酸化シリコンからなる保護膜 73 が形成されている。開口部 82 に沿ってキャップ層 66 上にソース電極 74、開口部 82 内にゲート電極 78、基板 60 の裏面にドレイン電極 80 が形成されている。

【0048】

ゲート絶縁膜上に保護膜を設けた FET は、実施例 1 のように、GaN 系半導体層 15 上にソース電極 20 及びドレイン電極 22 が形成された横型の FET でもよい。また、実施例 2 のように、GaN 系半導体層上にソース電極 74 が、基板 60 の GaN 系半導体層が形成された面と基板 60 を介して反対の面にドレイン電極 80 が形成された縦型の FET でもよい。また、保護膜は酸化シリコン以外にも、アルカリ溶液に対する耐エッチング性が高ければ、他の材料を用いてもよい。例えば酸窒化シリコン、酸化ハフニウム、酸化ジルコニウム等である。

【実施例 3】

【0049】

実施例 3 は横型の FET において熱処理を行った例である。図 12 (a) 及び図 12 (b) は、実施例 3 に係る半導体装置の製造方法を例示する断面図である。

【0050】

図 12 (a) に示すように、既述した図 8 (a) 及び図 8 (b) と同様の工程により、GaN 系半導体層 15 上に酸化アルミニウム膜からなる膜厚が 40 nm のゲート絶縁膜 18 を形成する。ゲート絶縁膜 18 形成後、図 12 (a) の状態において、700 で 5 分の熱処理を行う。

【0051】

熱処理後、例えば $\text{BCl}_3 / \text{Cl}_2$ ガスを用いたエッチングにより素子間分離を行い、ゲート絶縁膜 18 に開口部を設ける。開口部に下から Al、Ti の順にソース電極 20 及びドレイン電極 22 を形成する。さらに、フォトリソグラフィ法により、ゲート絶縁膜 18 上に例えば Ni / Au 等の金属からなるゲート電極 24 を形成する。このとき、現像液としてアルカリ溶液を使用する。ソース電極 20 及びドレイン電極 22 の各々に接続される例えば Au 系の金属からなる配線 26 を形成する。ゲート絶縁膜 18、ゲート電極 24 及び配線 26 を覆う別の保護膜 28 (窒化シリコン膜) を形成する。図 12 (b) に示すように、以上の工程により、実施例 3 に係る半導体装置が完成する。

【0052】

実施例 3 によれば、ゲート絶縁膜 18 を形成した後に熱処理を行い (図 5 (a) のステップ S24)、その後フォトリソグラフィ法により保護膜 19 上にパターンを形成し、ゲート電極 24 を設ける (ステップ S22)。すなわち、熱処理によりゲート絶縁膜 18 の耐エッチング性を向上させた後に、アルカリ溶液が使用される。このため、ゲート絶縁膜 18 の侵食が抑制され、逆方向リーク電流の発生が抑制される。結果的に、FET の故障や不良の発生を抑制することが可能となる。

【実施例 4】

【0053】

実施例 4 は縦型の FET において熱処理を行った例である。図 13 は実施例 4 に係る半導体装置を例示する断面図である。図 13 に示すように、ゲート絶縁膜 72 上に保護膜がないことの他は、図 11 に示したものと同様の構成である。ゲート絶縁膜 72 は、700、5 分の熱処理が行われている。

【実施例 5】

【0054】

実施例 5 は横型の FET においてプラズマ処理を行った例である。実施例 5 に係る半導体装置の製造方法は、図 12 (a) 及び図 12 (b) に示した断面図を参照して説明する。

【0055】

図 12 (a) に示すように、既述した図 8 (a) 及び図 8 (b) と同様の工程により、GaN 系半導体層 15 上に酸化アルミニウム膜からなる膜厚が 40 nm のゲート絶縁膜 18 を形成する。ゲート絶縁膜 18 形成後、図 12 (a) の状態において、 O_2 を用いたプラズマ処理を行う。プラズマ処理後、既述したものと同様の工程により、実施例 5 に係る半導体装置が完成する。

【0056】

実施例 5 によれば、ゲート絶縁膜 18 を形成した後にプラズマ処理を行い (図 5 (b) のステップ S28)、その後フォトリソグラフィ法により保護膜 19 上にパターンを形成し、ゲート電極 24 を設ける (ステップ S22)。すなわち、プラズマ処理によりゲート絶縁膜 18 の耐エッチング性を向上させた後に、アルカリ溶液が使用される。このため、ゲート絶縁膜 18 の侵食が抑制され、逆方向リーク電流の発生が抑制される。結果的に、FET の故障や不良の発生を抑制することが可能となる。なお、ゲート絶縁膜 18 が侵食されることを防止するため、プラズマ処理工程の前においては、アルカリ溶液は使用しな

10

20

30

40

50

い。

【実施例 6】

【0057】

実施例 6 は縦型の F E T においてプラズマ処理を行った例である。実施例 6 に係る半導体装置は図 1 3 に例示したものと同様の構成であるため説明を省略する。ゲート絶縁膜 7 2 には、例えば O_2 を用いたプラズマ処理が行われている。

【0058】

ゲート絶縁膜に熱処理またはプラズマ処理を行った F E T は、実施例 3 及び 5 のように、G a N 系半導体層 1 5 上にソース電極 2 0 及びドレイン電極 2 2 が形成された横型の F E T でもよい。また、実施例 4 及び 6 のように、G a N 系半導体層上にソース電極 7 4 が、基板 6 0 の G a N 系半導体層が形成された面と基板 6 0 を介して反対の面にドレイン電極 8 0 が形成された縦型の F E T でもよい。以上から、実施例 3 から 6 では、ゲート絶縁膜 1 8 がアルカリ溶液により侵食されることを防止することができる。このため、保護膜を用いた実施例 1 及び 2 と同様な効果（図 3（b）参照）を得られるものである。

【0059】

基板として、実施例 1 では S i 基板の例、実施例 2 では、S i C 基板の例を説明したが、サファイア基板または G a N 基板を用いることもできる。

【0060】

実施例 3 及び 4 では、ゲート絶縁膜 1 8 の形成後、7 0 0 、5 分間の熱処理を行うとしたが、熱処理の条件は変更してもよい。熱処理の温度は酸化アルミニウムの成膜温度以上とし、好ましくは 7 0 0 以上とする。これにより、エッチングレートは大きく抑制される（図 7（a）参照）。熱処理温度を 8 0 0 とすると、7 0 0 で熱処理を行う場合よりもエッチングレートは抑制される。また、熱処理温度を 9 0 0 とすると、さらにエッチングレートは抑制される。

【0061】

実施例 5 及び 6 では、 O_2 を用いてプラズマ処理を行うとしたが、例えば N_2 を用いてプラズマ処理を行ってもよい。

【0062】

なお、本発明により、ゲート電極下以外の領域が保護膜に覆われている場合は、その領域のアルカリ処理耐性が向上し、デバイスの信頼性向上に寄与することは言うまでもない。

【0063】

以上、本発明の実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

【0064】

1 0、5 0	基板
1 2	G a N 電子走行層
1 4	A l G a N 電子供給層
1 5、5 2	G a N 系半導体層
1 6	G a N キャップ層
1 8	ゲート絶縁膜
1 9	保護膜
2 0	ソース電極
2 2	ドレイン電極
2 4	ゲート電極
5 4	絶縁膜
5 6	電極

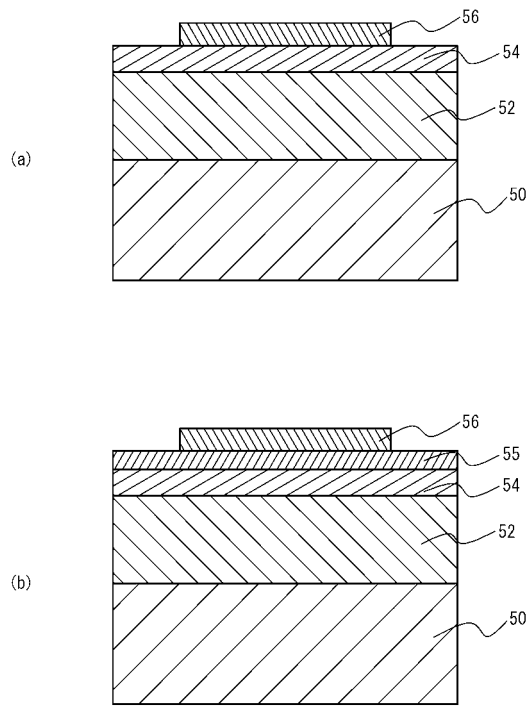
10

20

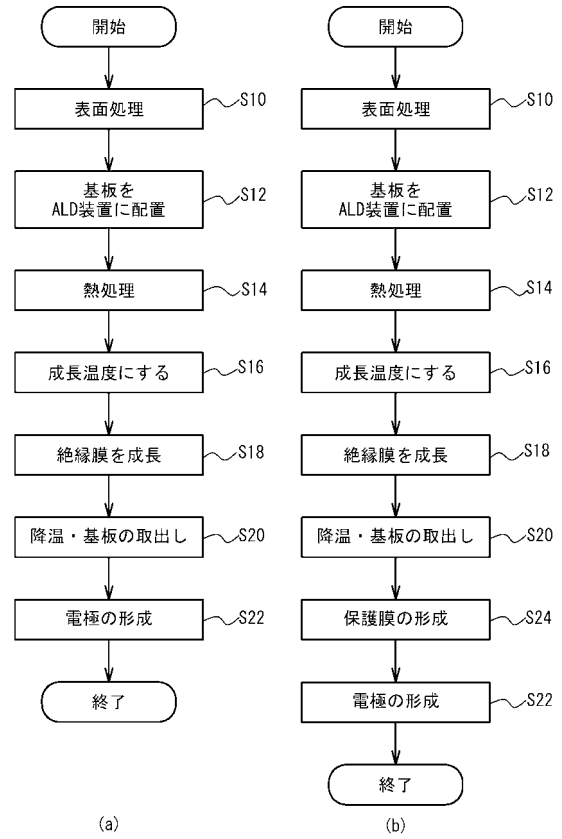
30

40

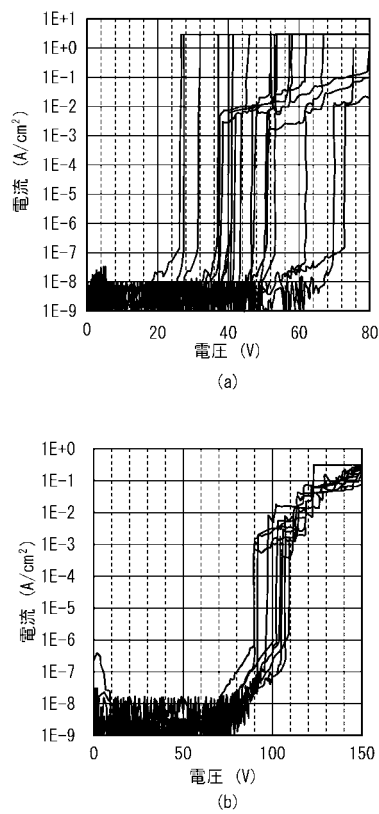
【図 1】



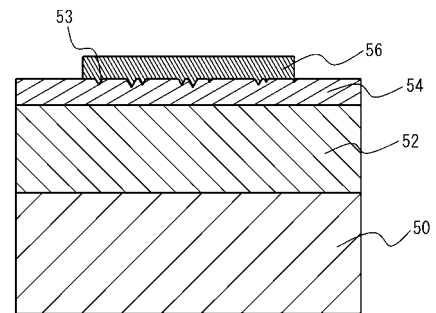
【図 2】



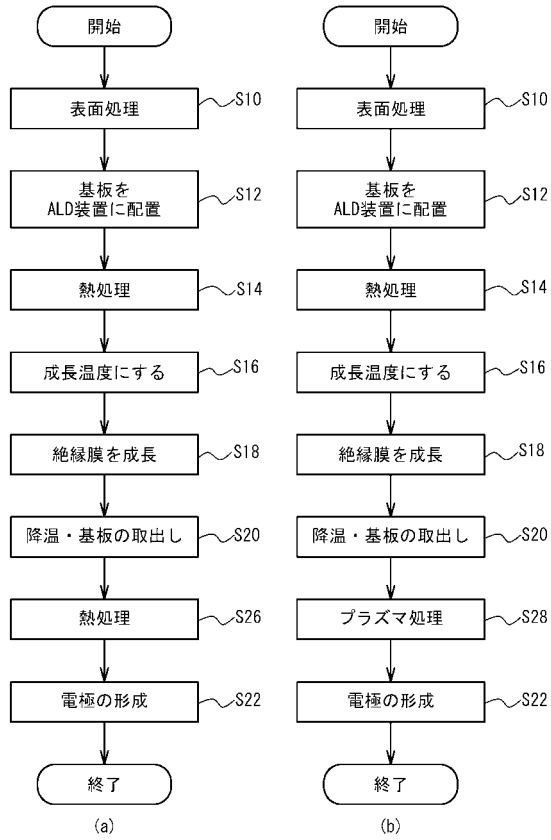
【図 3】



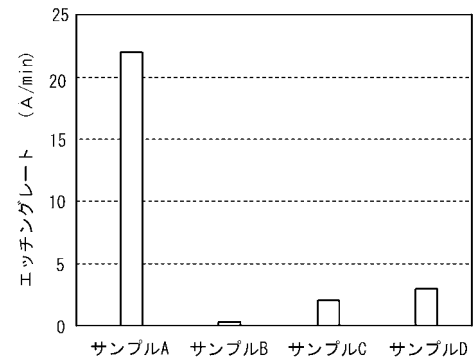
【図 4】



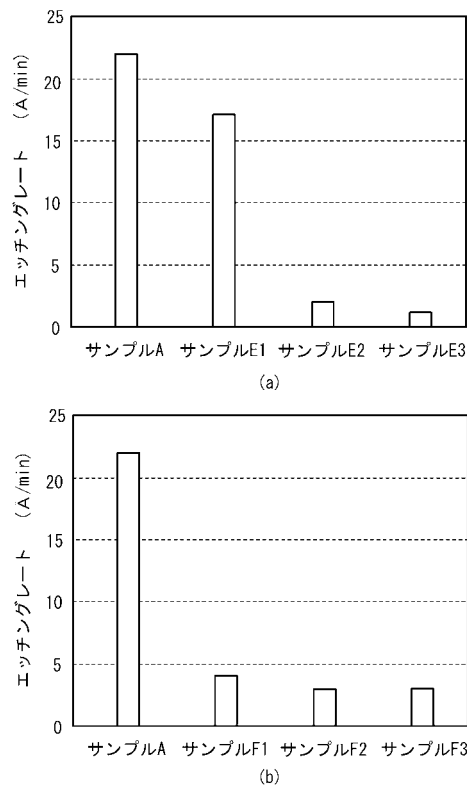
【図 5】



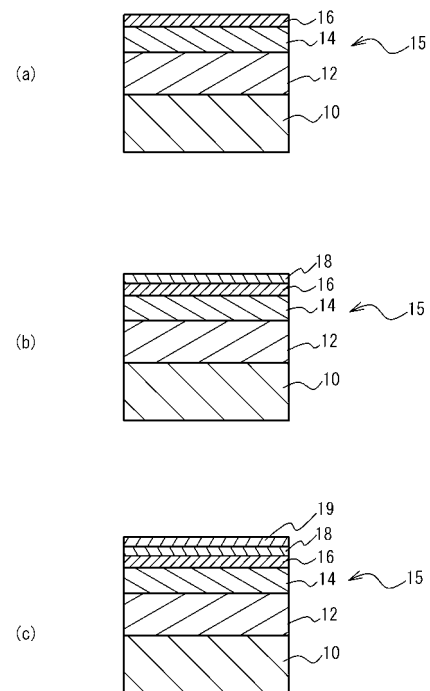
【図 6】



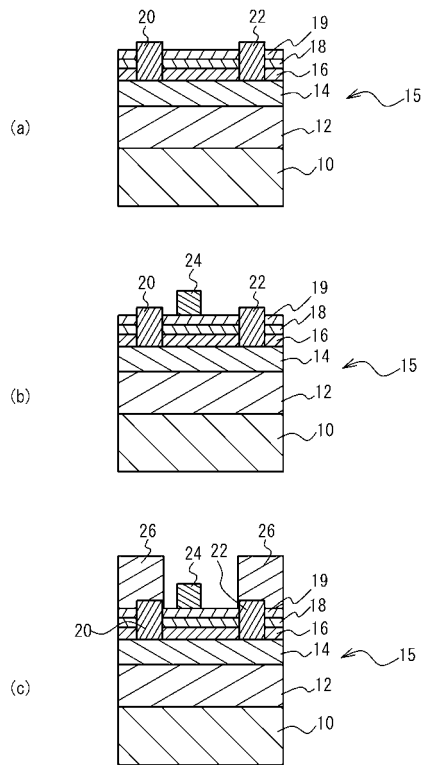
【図 7】



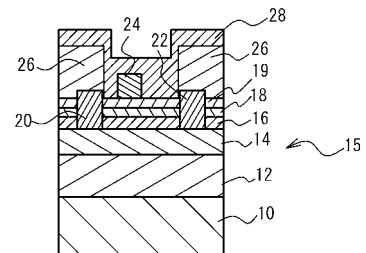
【図 8】



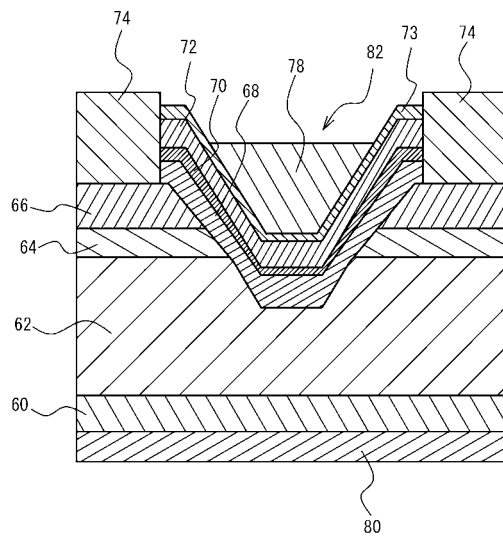
【 図 9 】



【 図 1 0 】

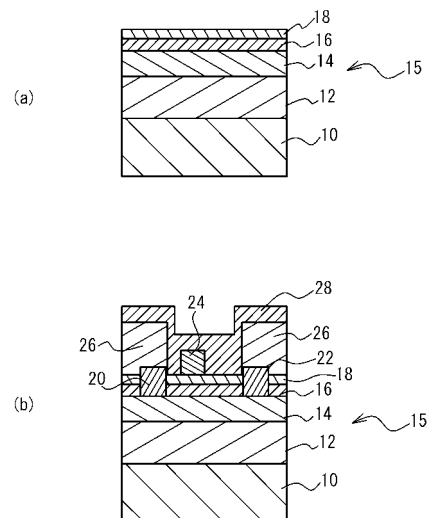


【 図 1 1 】

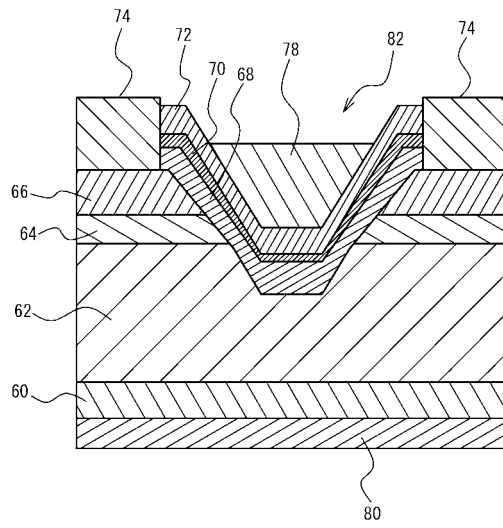


【 图 1 2 】

熱処理、またはプラズマ処理



【図 13】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/786	(2006.01)	H 0 1 L	29/78	6 1 7 T
H 0 1 L	29/778	(2006.01)	H 0 1 L	29/78	6 1 8 B
H 0 1 L	21/337	(2006.01)	H 0 1 L	29/78	6 1 7 V
H 0 1 L	29/808	(2006.01)	H 0 1 L	29/78	6 1 7 U
H 0 1 L	21/28	(2006.01)	H 0 1 L	29/80	H
H 0 1 L	29/417	(2006.01)	H 0 1 L	29/80	V
H 0 1 L	21/316	(2006.01)	H 0 1 L	21/28	3 0 1 B
			H 0 1 L	29/50	J
			H 0 1 L	21/316	X
			H 0 1 L	29/78	6 5 2 E
			H 0 1 L	29/78	6 5 3 A
			H 0 1 L	29/78	6 5 2 J

(56)参考文献 特開2008-283202(JP,A)

特開2008-205392(JP,A)

特開2006-286942(JP,A)

特開2008-098603(JP,A)

特開2008-072029(JP,A)

特開2008-103408(JP,A)

特開2008-016762(JP,A)

国際公開第2008/110216(WO,A1)

Yuanzheng Yue他,AlGaIn/GaN MOS-HEMT With HfO₂ Dielectric and Al₂O₃ Interfacial Passivation Layer Grown by Atomic Layer Deposition,IEEE ELECTRON DEVICE LETTERS,米国,IEEE,2008年 8月, VOL.29, NO.8, 838-840

P.D.Ye他,GaN metal-oxide-semiconductor high-electron-mobility-transistor with atomic layer deposited Al₂O₃ as gate dielectric,APPLIED PHYSICS LETTERS,米国,American Institute of Physics,2005年,86,063501,1-3

(58)調査した分野(Int.Cl.,DB名)

H 0 1 L 2 1 / 3 3 8

H 0 1 L 2 1 / 2 8

H 0 1 L 2 1 / 3 1 6

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 3 3 7

H 0 1 L 2 9 / 1 2

H 0 1 L 2 9 / 4 1 7

H 0 1 L 2 9 / 7 7 8

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 9 / 8 0 8

H 0 1 L 2 9 / 8 1 2