

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月20日(20.01.2022)



(10) 国際公開番号

WO 2022/014283 A1

(51) 国際特許分類:
H01L 23/50 (2006.01)

(21) 国際出願番号: PCT/JP2021/023767

(22) 国際出願日: 2021年6月23日(23.06.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-119772 2020年7月13日(13.07.2020) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 杉江 尚(SUGIE Hisashi); 〒6158585 京
都府京都市右京区西院溝崎町2-1番地 ロ
ーム株式会社内 Kyoto (JP).

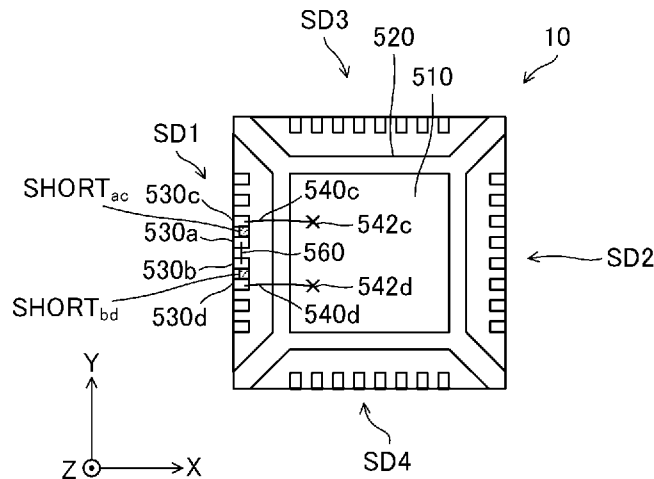
(74) 代理人: 特許業務法人 佐野特許事務所
(SANO PATENT OFFICE); 〒5400032 大阪府
大阪府中央区天満橋京町2-6 天満橋八
千代ビル別館5F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR DEVICE AND MOTOR DRIVING SYSTEM

(54) 発明の名称: 半導体装置及びモータ駆動システム

[図10A]



(57) Abstract: This semiconductor device is provided with: a semiconductor chip on which a semiconductor integrated circuit is formed; a plurality of leads that are disposed in the periphery of the semiconductor chip; a chip wire that connects between the semiconductor chip and the leads; and a package that seals these components. The semiconductor integrated circuit detects a detection target current flowing through a sense resistor, on the basis of a voltage drop at the sense resistor, and performs a predetermined operation on the basis of the detection result. The plurality of leads include first and second leads that are connected to one end and the other end of the sense resistor. In the package, the sense resistor is formed by using a sense metal body that connects between the first and the second leads without passing through the semiconductor chip.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、半導体集積回路が形成された半導体チップと、半導体チップの周囲に配置された複数のリードと、各リード及び半導体チップ間を接続するチップ向けワイヤと、それらを封止するパッケージと、を備える。半導体集積回路は、センス用抵抗を通じて流れる検出対象電流をセンス用抵抗での電圧降下に基づいて検出し、検出結果に基づいて所定の動作を行う。複数のリードは、センス用抵抗の一端及び他端に接続される第1及び第2リードを含む。パッケージ内において、半導体チップを経由することなく第1及び第2リード間を接続するセンス用金属体を用いてセンス用抵抗を形成する。

明 細 書

発明の名称：半導体装置及びモータ駆動システム

技術分野

[0001] 本開示は、半導体装置及びモータ駆動システムに関する。

背景技術

[0002] 三相モータと、三相モータの各コイルに対してコイル電流を供給するインバータ回路と、各相のコイル電流の検出結果に基づきインバータ回路を制御することを通じて三相モータの回転制御を行うモータ制御装置と、を備えたモータ駆動システムが知られている。当該モータ駆動システムにおいて、半導体集積回路をパッケージングした半導体装置（いわゆるモータドライバIC）によりモータ制御装置が形成されることが多い。

[0003] 検出対象となるコイル電流が比較的大きい（例えば10Aや10A超）システムにおいては、コイル電流を検出するための検出抵抗（10mΩ程度の抵抗）を半導体装置に対して外付け接続し、検出抵抗の両端子間電圧を示す信号を半導体装置の外部から半導体装置に入力することが一般的である。

先行技術文献

特許文献

[0004] 特許文献1：特開2017-139892号公報

発明の概要

発明が解決しようとする課題

[0005] この際、半導体装置に外付け接続された検出抵抗の抵抗値にはばらつきがあり、検出抵抗の抵抗値のばらつきは、電流の検出精度を劣化させ、ひいては所望のモータ制御（例えばベクトル制御）の実現を妨げる。半導体装置に検出抵抗を内蔵させることも検討されるが、検出対象の電流が大きい場合には（例えば10Aや10A超）、発熱等の関係から実現が容易ではない。

[0006] モータ駆動システムを例に挙げて、電流検出に関わる事情を説明したが、このような事情は、モータ駆動システムに限らず、電流検出が必要な様々な

装置又はシステムにおいて同様に当てはまる。

[0007] 本開示は、パッケージ内の抵抗成分を利用し、良好な電流検出を可能にする半導体装置、及び、これを利用したモータ駆動システムを提供することを目的とする。

課題を解決するための手段

[0008] 本開示に係る半導体装置は、半導体集積回路が形成された半導体チップと、前記半導体チップの周囲に配置された複数のリードと、前記複数のリードに含まれる2以上のリードと前記半導体チップとを接続する2以上のチップ向けワイヤと、封止樹脂を有し、前記複数のリードの夫々の一部が前記封止樹脂から露出するように、前記半導体チップ、前記複数のリード及び前記2以上のチップ向けワイヤを封止するパッケージと、を備え、前記半導体集積回路は、センス用抵抗を通じて流れる検出対象電流を前記センス用抵抗での電圧降下に基づいて検出するように構成された電流検出回路と、前記検出対象電流の検出結果に基づいて所定の動作を行うように構成された主回路と、を備え、前記複数のリードは、前記センス用抵抗の一端及び他端に接続される第1及び第2リードを含み、前記パッケージ内において、前記半導体チップを経由することなく前記第1及び前記第2リード間を接続するセンス用金属体を用いて前記センス用抵抗を形成した構成（第1の構成）である。

発明の効果

[0009] 本開示によれば、良好な電流検出を可能にする半導体装置、及び、これを利用したモータ駆動システムを提供することが可能となる。

図面の簡単な説明

[0010] [図1]図1は、本開示の第1実施形態に係るモータ駆動システムの全体構成図である。

[図2]図2は、本開示の第1実施形態に係り、半導体装置が基板上に実装される様子を示す図である。

[図3]図3は、図1の電流検出回路の内部構成例を示す図である。

[図4]図4は、本開示の第1実施形態に係り、斜め上より観測した半導体装置

の外観斜視図である。

[図5]図5は、本開示の第1実施形態に係り、下方より観測した半導体装置の平面図である。

[図6]図6は、本開示の第1実施形態に係り、斜め下より観測した半導体装置の外観斜視図である。

[図7]図7は、本開示の第1実施形態に係る半導体装置の断面図である。

[図8]図8は、本開示の第1実施形態に係る半導体装置の透過平面図である。

[図9]図9は、本開示の第1実施形態に係るダイパッドの平面図である。

[図10A]図10Aは、本開示の第1実施形態に属する実施例EX1__1に係り、半導体装置の透過平面図である（センス用ワイヤが1本のケース）。

[図10B]図10Bは、本開示の第1実施形態に属する実施例EX1__1に係り、半導体装置の透過平面図である（センス用ワイヤが1本のケース）。

[図11]図11は、本開示の第1実施形態に属する実施例EX1__1に係り、半導体装置の透過平面図である（外部端子に注目）。

[図12]図12は、本開示の第1実施形態に属する実施例EX1__1に係り、センス用ワイヤと2つのリードとの関係を示す図である。

[図13]図13は、本開示の第1実施形態に属する実施例EX1__1に係り、半導体装置の透過平面図である（センス用ワイヤが2本のケース）。

[図14]図14は、本開示の第1実施形態に属する実施例EX1__1に係り、半導体装置の透過平面図である（センス用ワイヤが3本のケース）。

[図15]図15は、本開示の第1実施形態に属する実施例EX1__1に係り、半導体装置の外部端子と基板上の配線パターンとの関係を示す図である。

[図16]図16は、本開示の第1実施形態に属する実施例EX1__2に係り、テスト工程のフローチャートである。

[図17]図17は、本開示の第1実施形態に属する実施例EX1__2に係り、テスト工程におけるテスト用基板、ソケット及び半導体装置の関係を示す図である。

[図18]図18は、本開示の第1実施形態に属する実施例EX1__3に係り、

各リードの平面図である。

[図19]図19は、本開示の第1実施形態に属する実施例E X 1 __ 3に係り、2つのリード間が2本のセンス用ワイヤで接続される様子を示す図である。

[図20]図20は、本開示の第1実施形態に属する実施例E X 1 __ 3に係り、2つのリード間が4本のセンス用ワイヤで接続される様子を示す図である。

[図21]図21は、第1実施形態との対比に供される、電流検出に関わる複数のリード及びその周辺の平面図である。

[図22]図22は、第1実施形態との対比に供される、電流検出に関わる複数のリード及びその周辺の平面図であって、電流の流れを示す図である。

[図23]図23は、本開示の第1実施形態に属する実施例E X 1 __ 4に係り、電流検出に関わる複数のリード及びその周辺の平面図であって、電流の流れを示す図である。

[図24]図24は、本開示の第2実施形態に係り、半導体装置の透過平面図である。

[図25]図25は、本開示の第3実施形態に係り、半導体装置の透過平面図である。

[図26]図26は、本開示の第3実施形態に係り、2つのリード及び連結金属部の平面図である。

[図27]図27は、本開示の第3実施形態に係り、変形された半導体装置の透過平面図である。

発明を実施するための形態

[0011] 以下、本開示の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、素子又は部位等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、素子又は部位等の名称を省略又は略記することがある。例えば、後述の“MH [1]”によって参照されるハイサイドトランジスタは（図1参照）、ハイサイドトラン

ジスタMH [1] と表記されることもあるし、トランジスタMH [1] と略記されることもあり得るが、それらは全て同じものを指す。

[0012] まず、本開示の実施形態の記述にて用いられる幾つかの用語について説明を設ける。グランドとは、基準となる0V（ゼロボルト）の電位を有する基準導電部を指す又は0Vの電位そのものを指す。基準導電部は金属等の導体にて形成される。0Vの電位をグランド電位と称することもある。本開示の実施形態において、特に基準を設けずに示される電圧は、グランドから見た電位を表す。レベルとは電位のレベルを指し、任意の注目した信号又は電圧についてハイレベルはローレベルよりも高い電位を有する。

[0013] MOSFETを含むFET（電界効果トランジスタ）として構成された任意のトランジスタについて、オン状態とは、当該トランジスタのドレイン及びソース間が導通している状態を指し、オフ状態とは、当該トランジスタのドレイン及びソース間が非導通となっている状態（遮断状態）を指す。FETに分類されないトランジスタについても同様である。MOSFETは、特に記述無き限り、エンハンスメント型のMOSFETであると解される。MOSFETは“metal-oxide-semiconductor field-effect transistor”の略称である。以下、任意のトランジスタについて、オン状態、オフ状態を、単に、オン、オフと表現することもある。

[0014] <<第1実施形態>>

本開示の第1実施形態を説明する。図1に第1実施形態に係るモータ駆動システムSYSの全体構成を示す。モータ駆動システムSYSは、モータ制御装置として機能する半導体装置10と、インバータ回路20と、三相モータ30と、MPU（Micro Processing Unit）等にて形成される上位回路40と、を備える。

[0015] 三相モータ30は、スター結線された三相分のコイルL [1]、L [2] 及びL [3] を備えた三相ブラシレス同期モータである。コイルL [1]、L [2] 及びL [3] は、夫々、U相、V相及びW相のコイルに相当し、本実施形態では、U相、V相、W相を、夫々、第1相、第2相、第3相と称す

る。第1相に対応する回路構成、第2相に対応する回路構成、第3相に対応する回路構成は、互いに共通である。従って、以下、適宜、任意の整数を表す記号 i を用いて各回路の構成等を説明する。記号 “[i]” を含む記号（例えば $L[i]$ ）にて参照される回路、素子、物理量等は、第 i 相における回路、素子、物理量等を表す。

[0016] 三相モータ30は、ステータと永久磁石を備えたロータとを有し、ステータにコイル $L[1]$ 、 $L[2]$ 及び $L[3]$ が設けられる。コイル $L[1]$ の一端は、外部配線 $WR_0[1]$ を通じて後述の外部端子 $OUT_0[1]$ 、 $SNS_N[1]$ 及び $OUT_{MNT}[1]$ に共通接続される。コイル $L[2]$ の一端は、外部配線 $WR_0[2]$ を通じて後述の外部端子 $OUT_0[2]$ 、 $SNS_N[2]$ 及び $OUT_{MNT}[2]$ に共通接続される。コイル $L[3]$ の一端は、外部配線 $WR_0[3]$ を通じて後述の外部端子 $OUT_0[3]$ 、 $SNS_N[3]$ 及び $OUT_{MNT}[3]$ に共通接続される。コイル $L[1] \sim L[3]$ の他端同士は中性点 NP にて共通接続される。外部配線 $WR_0[1] \sim WR_0[3]$ 及び後述の $WR_{IN}[1] \sim WR_{IN}[3]$ は、半導体装置10の外部に設けられた配線であり、半導体装置10が実装される基板（後述の基板 SUB ）上の配線パターンを含む。図2に半導体装置10が実装された基板 SUB を示す。但し、図2では、基板 SUB 上に実装される部品の内、半導体装置10以外の部品の図示が省略されており、配線パターンの図示も省略されている。

[0017] コイル $L[1]$ 、 $L[2]$ 、 $L[3]$ に流れる電流を、夫々、コイル電流 $IL[1]$ 、 $IL[2]$ 、 $IL[3]$ と称する。三相モータ30による電力の回生を無視すれば、コイル電流 $IL[1]$ 、 $IL[2]$ 、 $IL[3]$ は、夫々、外部端子 $OUT_0[1]$ 、 $OUT_0[2]$ 、 $OUT_0[3]$ から中性点 NP に向けて流れる。以下では、特に記述なき限り、コイル電流 $IL[1]$ は外部端子 $OUT_0[i]$ から中性点 NP に向けて流れるものとする。

[0018] 半導体装置10は、半導体集積回路が形成された半導体チップを封止樹脂から成るパッケージ内に封入及び封止することで形成され、半導体装置10のパッケージに複数の外部端子が露出して設けられている。

[0019] 図1の構成例に係る半導体装置10において、上記複数の外部端子には、チャージポンプ用の外部端子CP1及びCP2と、電源電圧印可用の外部端子 P_{VCP} 及び P_{VM} と、コイル電流が通過する外部端子 $OUT_{IN}[1] \sim OUT_{IN}[3]$ 及び $OUT_O[1] \sim OUT_O[3]$ と、コイル電流検出用の外部端子 $SNS_P[1] \sim SNS_P[3]$ 及び $SNS_N[1] \sim SNS_N[3]$ と、コイル端子電圧監視用の外部端子 $OUT_{MNT}[1] \sim OUT_{MNT}[3]$ と、ゲート信号出力用の外部端子 $P_{HG}[1] \sim P_{HG}[3]$ 及び $P_{LG}[1] \sim P_{LG}[3]$ と、グランド端子である外部端子 P_{GND} と、が含まれる。外部端子 P_{GND} はグランドに接続される。また、図1には図示されていないが、上記複数の外部端子には2以上の外部端子にて構成される通信用端子群が含まれており、半導体装置10（後述の制御回路120）及び上位回路40間の通信は通信用端子群を介して行われる。更に、他の外部端子も半導体装置10に設けられ得る。

[0020] インバータ回路20は、第1相のハーフブリッジ回路210[1]と、第2相のハーフブリッジ回路210[2]と、第3相のハーフブリッジ回路210[3]と、を備え、半導体装置10の制御の下、コイル $L[1] \sim L[3]$ に対してコイル電流 $I_L[1] \sim I_L[3]$ を供給する。

[0021] ハーフブリッジ回路210[1]、210[2]及び210[3]の夫々は、電源電圧VMが加わるラインとグランドとの間に直列に接続されたハイサイドトランジスタ及びローサイドトランジスタから成る。電源電圧VMは所定の正の直流電圧である。ハイサイドトランジスタ及びローサイドトランジスタはNチャネル型のMOSFET (Metal Oxide Semiconductor Field effect transistor)として構成される。ハーフブリッジ回路210[i]に設けられたハイサイドトランジスタ及びローサイドトランジスタを、夫々、MH[i]及びML[i]にて参照する。

[0022] ハーフブリッジ回路210[1]～210[3]の夫々において、ハイサイドトランジスタMH[i]のドレインは、電源電圧VMが印加される電源端子に接続されて電源電圧VMの供給を受け、ハイサイドトランジスタMH[i]

] i のソースとローサイドトランジスタ $ML[i]$ のドレインはノード $ND[i]$ にて共通接続され、ローサイドトランジスタ $ML[i]$ のソースはグランドに接続される。

[0023] トランジスタ $MH[1]$ 及び $ML[1]$ 間の接続ノード $ND[1]$ は、外部配線 $WR_{IN}[1]$ を通じて外部端子 $OUT_{IN}[1]$ 及び $SNS_P[1]$ に共通接続される。トランジスタ $MH[2]$ 及び $ML[2]$ 間の接続ノード $ND[2]$ は、外部配線 $WR_{IN}[2]$ を通じて外部端子 $OUT_{IN}[2]$ 及び $SNS_P[2]$ に共通接続される。トランジスタ $MH[3]$ 及び $ML[3]$ 間の接続ノード $ND[3]$ は、外部配線 $WR_{IN}[3]$ を通じて外部端子 $OUT_{IN}[3]$ 及び $SNS_P[3]$ に共通接続される。

[0024] 半導体装置10は、電流検出回路10と、制御回路120と、プリドライバ回路130と、内部電源回路140と、チャージポンプ回路150と、校正情報保持部160と、センス用抵抗 $R_{SNS}[1]$ 、 $R_{SNS}[2]$ 及び $R_{SNS}[3]$ と、を備える。外部端子 P_{VM} に対し、半導体装置10の外部から電源電圧 VM が供給される。半導体装置10の外部において、外部端子 P_{VCP} 及び P_{VM} 間にコンデンサ C_{CPA} が設けられ、外部端子 $CP1$ 及び $CP2$ 間にコンデンサ C_{CPB} が設けられる。チャージポンプ回路150は、外部端子 $CP1$ 、 $CP2$ 、 P_{VCP} 及び P_{VM} に接続され、コンデンサ C_{CPA} 及び C_{CPB} を用いて電源電圧 VM を昇圧することで電源電圧 VCP を生成する。電源電圧 VCP は電源電圧 VM よりも高い直流電圧（例えば5Vだけ高い直流電圧）である。電源電圧 VM 及び VCP の電位差分の電圧がコンデンサ C_{CPA} の両端間に加わって、外部端子 P_{VCP} に電源電圧 VCP が生じる。内部電源回路140は電源電圧 VM に基づき1以上の内部電源電圧を生成する。半導体装置10内の各回路は内部電源電圧に基づいて駆動する。

[0025] センス用抵抗 $R_{SNS}[i]$ は半導体装置10内に設けられたコイル電流 $IL[i]$ の検出用抵抗である。従って、センス用抵抗 $R_{SNS}[1]$ の一端及び他端は、夫々、外部端子 $OUT_{IN}[1]$ 及び $OUT_O[1]$ に接続され、センス用抵抗 $R_{SNS}[2]$ の一端及び他端は、夫々、外部端子 $OUT_{IN}[2]$ 及び $OUT_O[2]$ に接続される。

OUT_o[2]に接続され、センス用抵抗 R_{SNS} [3]の一端及び他端は、夫々、外部端子OUT_{iN}[3]及びOUT_o[3]に接続される。

[0026] 第1相において、外部端子OUT_{iN}[1]及びSNS_P[1]間は外部配線WR_{iN}[1]の一部により短絡されており、且つ、外部端子OUT_o[1]及びSNS_N[1]間は外部配線WR_o[1]の一部により短絡されている。第2相及び第3相についても同様である。即ち、外部端子OUT_{iN}[i]及びSNS_P[i]間は外部配線WR_{iN}[i]の一部により短絡されており、且つ、外部端子OUT_o[i]及びSNS_N[i]間は外部配線WR_o[i]の一部により短絡されている。このため、第i相について、センス用抵抗 R_{SNS} [i]にコイル電流 I_L [i]が流れることでセンス用抵抗 R_{SNS} [i]にコイル電流 I_L [i]に応じた電圧降下が発生し、センス用抵抗 R_{SNS} [i]での電圧降下が外部端子SNS_P[i]及びSNS_N[i]間に加わる。更に、第1～第3相の夫々に関し、半導体装置10のパッケージ内において外部端子SNS_P[i]及びOUT_{iN}[i]間が短絡されていると共に外部端子SNS_N[i]及びOUT_o[i]間が短絡されているが、これらの短絡を実現するための構成は後述される。

[0027] 電流検出回路110は、外部端子SNS_P[1]～SNS_P[3]及びSNS_N[1]～SNS_N[3]に接続され、外部端子SNS_P[1]及びSNS_N[1]間の電圧に基づきコイル電流 I_L [1]を検出し、外部端子SNS_P[2]及びSNS_N[2]間の電圧に基づきコイル電流 I_L [2]を検出し、外部端子SNS_P[3]及びSNS_N[3]間の電圧に基づきコイル電流 I_L [3]を検出する。コイル電流 I_L [i]の検出とはコイル電流 I_L [i]の電流値の検出であり、電流検出回路110によるコイル電流 I_L [1]、 I_L [2]、 I_L [3]の検出電流値を、夫々、検出電流値VAL__ I_L [1]、VAL__ I_L [2]、VAL__ I_L [3]と称する。検出電流値VAL__ I_L [1]、VAL__ I_L [2]及びVAL__ I_L [3]を表す信号 I_L_DET が電流検出回路110から制御回路120に送られる。尚、信号 I_L_DET は、校正情報保持部160にて保持される校正情報を参照した上

で生成されるが、校正情報については後述する。

[0028] 電流検出回路110は、具体的には例えば、図3に示す如く、第1相用の電流センサ111[1]及びADC112[1]と、第2相用の電流センサ111[2]及びADC112[2]と、第3相用の電流センサ111[3]及びADC112[3]と、で構成される。電流センサ111[i]は、外部端子SNS_P[i]及びSNS_N[i]に接続され、外部端子SNS_P[i]及びSNS_N[i]間の電圧（電位差）に比例する電圧値を有したアナログ電圧信号として、アナログ信号S_A[i]を出力する。演算増幅器を含む増幅回路にて電流センサ111[i]を構成できる。ADC112[i]はアナログーデジタル変換器であって、アナログ信号S_A[i]をアナログーデジタル変換することでデジタル信号S_D[i]を生成する。デジタル信号S_D[i]は外部端子SNS_P[i]及びSNS_N[i]間の電圧（電位差）に比例する信号値を有し、デジタル信号S_D[i]の信号値が検出電流値VAL_{IL}[i]に相当する。尚、図3の構成例では、3つのアナログーデジタル変換器（即ちADC112[1]～112[3]）によりデジタル信号S_D[1]～S_D[3]が生成されているが、電流検出回路110にアナログーデジタル変換器を1つだけ設けておき、1つのアナログーデジタル変換器を時分割で用いることにより当該1つのアナログーデジタル変換器にてアナログ信号S_A[1]～S_A[3]からデジタル信号S_D[1]～S_D[3]を生成するようにしても良い。

[0029] 制御回路120は、信号IL_{DET}と、上位回路40から供給されるモータ駆動指令信号と、に基づき、三相モータ30を回転駆動させるための駆動制御信号DRVを生成し、生成した駆動制御信号DRVをプリドライバ回路130に出力する。

[0030] プリドライバ回路130は、外部端子OUT_{MNT}[1]～OUT_{MNT}[3]、P_{HG}[1]～P_{HG}[3]、P_{LG}[1]～P_{LG}[3]及びP_{GND}に接続される。外部端子OUT_{MNT}[1]～OUT_{MNT}[3]は、上述したように、夫々、外部配線WR_O[1]～WR_O[3]を通じてコイルL[1]～L[3]の

一端に接続される。外部端子 $P_{HG}[1] \sim P_{HG}[3]$ 及び $P_{LG}[1] \sim P_{LG}[3]$ は、夫々、図示されない他の外部配線を通じてトランジスタ $MH[1] \sim MH[3]$ 及び $ML[1] \sim ML[3]$ のゲートに接続される。プリドライバ回路 130 は、外部端子 $OUT_{MNT}[1] \sim OUT_{MNT}[3]$ の電圧を参照しつつ、駆動制御信号 DRV に基づいてゲート信号 $HG[1] \sim HG[3]$ 及び $LG[1] \sim LG[3]$ を生成し、ゲート信号 $HG[1] \sim HG[3]$ 及び $LG[1] \sim LG[3]$ を、夫々、トランジスタ $MH[1] \sim MH[3]$ 及び $ML[1] \sim ML[3]$ のゲートに供給することで、それらのトランジスタを個別にオン／オフする。

[0031] ゲート信号 $HG[1] \sim HG[3]$ 及び $LG[1] \sim LG[3]$ は、夫々に、ハイレベル又はローレベルの信号レベルをとる。但し、ゲート信号 $HG[i]$ 及び $LG[i]$ 間でハイレベルの電位は互いに異なり、ローレベルの電位も互いに異なる。ゲート信号 $HG[i]$ がハイレベルとされることでトランジスタ $MH[i]$ がオンとなり、ゲート信号 $HG[i]$ がローレベルとされることでトランジスタ $MH[i]$ がオフとなる。ゲート信号 $LG[i]$ とトランジスタ $ML[i]$ との関係も同様である。尚、ハイレベルのゲート信号 $HG[i]$ は電源電圧 V_{CP} を用いて形成される。

[0032] 具体的には例えば、制御回路 120 は、上位回路 40 からモータ駆動指令信号を受け、モータ駆動指令信号にて指定される回転速度で三相モータ 30 が回転するよう或いはモータ駆動指令信号にて指定されるトルクが三相モータ 30 にて発生するよう、検出電流値 $VAL_IL[1]$ 、 $VAL_IL[2]$ 及び $VAL_IL[3]$ に基づき三相モータ 30 をベクトル制御することができる。当該ベクトル制御を実現するための駆動制御信号 DRV がプリドライバ回路 130 に提供されることで、例えば、三相モータ 30 が正弦波駆動される。

[0033] 図 4 を参照し、半導体装置 10 は、QFN (Dual Flatpack No-leaded) と称されるパッケージを有する。但し、半導体装置 10 のパッケージの種類は任意である。本実施形態で述べるパッケージとは半導体装置 10 のパッケ

ージを指すものとする。本実施形態では、互いに直交するX軸、Y軸及びZ軸から成る三次元直交座標系を想定し、Z軸の負側から正側に向かう向きを上向き、その逆の向きを下向きと定義する。X軸及びY軸に平行な面をXY面、Y軸及びZ軸に平行な面をYZ面、Z軸及びX軸に平行な面をZX面と称する。パッケージは直方体の外形形状を持ち、パッケージの外形形状としての直方体は、XY面に平行な上面SF1及び下面SF2と、4つの側面SF3と、を備える。上面SF1及び下面SF2は互いに対向する2つの面であり、上面SF1は下面SF2よりもZ軸の正側に位置する。4つの側面SF3は、YZ面に平行であって且つ互いに対向する2つの側面SF3と、ZX面に平行であって且つ互いに対向する2つの側面SF3と、から成る。

[0034] 図4はZ軸の正側から上面SF1及び2つの側面SF3を観測したときの半導体装置10の外観斜視図である。図5はZ軸の負側から下面SF2を観測したときの半導体装置10の平面図である。図6はZ軸の負側から下面SF2及び2つの側面SF3を観測したときの半導体装置10の外観斜視図である。Z軸に平行な方向からパッケージを観測したとき、パッケージの外形は四角形であり、その四角形における4つの辺を辺SD1～SD4と称する(図5参照)。辺SD1及びSD2は、互いに対向する2つの辺であり、共にY軸に平行である。辺SD3及びSD4は、互いに対向する2つの辺であり、共にX軸に平行である。図4～図6の夫々において、符号“ET”は半導体装置10に設けられた外部端子を表している。ここでは、説明の具体化のため、半導体装置10に設けられた外部端子ETの個数は32であるとする。但し、本開示において、半導体装置10に設けられる外部端子ETの個数は任意である。尚、図4～図6では、図示の煩雑化防止のため、一部の外部端子のみに対し、符号“ET”を付している。

[0035] 計32個の外部端子ETは、辺SD1に沿って配置された第1外部端子列と、辺SD2に沿って配置された第2外部端子列と、辺SD3に沿って配置された第3外部端子列と、辺SD4に沿って配置された第4外部端子列とから成り、各外部端子列は8つの外部端子ETにて構成される。各外部端子列

において8つの外部端子ETは等間隔で並べて配置される。各外部端子ETは、パッケージから露出する金属端子であり、主として下面SF2から露出している。但し、第1外部端子列における各外部端子ETは下面SF2から辺SD1に対応する側面SF3に亘ってパッケージから露出し、第2外部端子列における各外部端子ETは下面SF2から辺SD2に対応する側面SF3に亘ってパッケージから露出している。第3及び第4外部端子列における各外部端子ETについても同様である。計32個の外部端子ETの内、26本の外部端子ETが、図1に示した外部端子CP1、CP2、P_{VCP}、P_{VM}、OUT_{IN}[1]～OUT_{IN}[3]、OUT_O[1]～OUT_O[3]、SNS_P[1]～SNS_P[3]、SNS_N[1]～SNS_N[3]、OUT_{MNT}[1]～OUT_{MNT}[3]、P_{HG}[1]～P_{HG}[3]、P_{LG}[1]～P_{LG}[3]及びP_{GND}に割り当てられる。この割り当て方は任意である。

[0036] 図7は、図4に示す切断線A-Aに沿って半導体装置10を切断したときにおける半導体装置10の断面図（即ちZX面に平行な断面による半導体装置10の断面図）である。但し、図7は半導体装置10の構成部品の位置関係を示す模式的な断面図であり、各構成部品の詳細な形状は実際の形状と異なりうる。

[0037] 半導体装置10は、半導体チップ510と、半導体チップ510を支持するダイパッド520と、複数のリード530と、半導体チップ510と複数のリード530とを接続（電氣的に接続）するための複数のチップ向けワイヤ540と、封止樹脂550と、を備える。ワイヤ540は、一般にボンディングワイヤと称されるものに相当するが、後述のセンス用ワイヤと明確に区別すべく、チップ向けワイヤと称する。

[0038] 封止樹脂550は、半導体チップ510、ダイパッド520、各リード530及び各チップ向けワイヤ540、並びに、後述のセンス用金属体（センス用ワイヤ560等；図7において不図示）を一括して封止する絶縁材であり、封止樹脂550により半導体装置10のパッケージが形成される。但し、複数のリード530の夫々の一部が封止樹脂550から露出するよう、パ

パッケージが形成される。具体的には、各リード530の下面531の全部又は一部は封止樹脂550の下面（従ってパッケージの下面SF2）から露出し、各リード530の側面532の全部又は一部も封止樹脂550の側面（従ってパッケージの側面SF3）から露出する。

[0039] 半導体チップ510は半導体基板上に半導体集積回路を形成した部品であり、半導体チップ510における半導体集積回路により、図1に示されるブロック110、120、130、140、150及び160を含む、半導体装置10内の各回路が形成される。但し、詳細は後述するが、センス用抵抗 $R_{SNS}[1] \sim R_{SNS}[3]$ は半導体チップ510外に形成される。半導体チップ510は、各機能素子が形成されている側の面（表面）を上方に向けた状態でダイパッド520上にダイボンディングされている。また、半導体チップ510の表面には、複数のパッド（不図示）が配線層の一部を表面保護層から露出させることにより形成されている。各パッドは、チップ向けワイヤ540を介して対応するリード530に接続される。つまり、半導体チップ510と複数のリード530とが複数のチップ向けワイヤ540を介して接続される。チップ向けワイヤ540を介した接続、又は、チップ向けワイヤ540による接続とは、当然、電氣的な接続を意味する。

[0040] ダイパッド520は、Z軸方向に厚み方向を持つ薄い金属板にて構成される。図7の例では、ダイパッド520の全体が封止樹脂550にて封止されているが、ダイパッド520の下面が封止樹脂550の下面（従ってパッケージの下面SF2）から露出するよう、半導体装置10を構成しても良い。但し、この場合、ダイパッド520が封止樹脂550から抜けないようにするための抜け止め部（不図示）がダイパッド520に形成される。

[0041] 図8は、封止樹脂550が透明であると仮定した場合における、半導体チップ510、ダイパッド520及び各リード530の透過平面図である（実際には封止樹脂550は不透明である）。但し、図8の透過平面図はZ軸の正側から半導体装置10を観測したときの透過平面図である。図8では、半導体チップ510、ダイパッド520及び各リード530以外の構成部品の

図示を省略している。図8において最も外側の四角形はパッケージの外縁を表している。また、図8では、図示の煩雑化防止のため、一部のリードのみに対し、符号“530”を付している。

[0042] 半導体チップ510及びダイパッド520の夫々は、平面視において概略四角形の形状を持つ。但し、ダイパッド520は、図9に示す如く、平面視において四角形の形状を有する本体部521に対し、その四角形の各頂点からパッケージの対応する角部へと伸びる計4つの吊りリード522が付加されている。平面視において、ダイパッド520の四角形の方が半導体チップ510の四角形よりも大きく、ダイパッド520の表面上に半導体チップ510の全体が載る。尚、本実施形態において平面視とは、観測対象を上方からZ軸に沿って観測することを指す。

[0043] リード530は、半導体チップ510の中心又はダイパッド520の中心から見て、X軸の正側、X軸の負側、Y軸の正側、Y軸の負側に、夫々、8個ずつ設けられている。即ち、計32個のリード530が半導体チップ510及びダイパッド520の周囲に分散配置される。計32個のリード530は、辺SD1に沿って配置された第1リード列と、辺SD2に沿って配置された第2リード列と、辺SD3に沿って配置された第3リード列と、辺SD4に沿って配置された第4リード列とから成り、各リード列は8つのリード530にて構成される。各リード列において8つのリード530は等間隔で並べて配置されている。

[0044] 各リード530は、パッケージ内に収まる金属部とパッケージから露出する金属部とで構成され、前者の金属部はインナーリードと称される一方で後者の金属部はアウターリードと称される。各リード530においてアウターリードが、対応する金属端子ETとして機能する。パッケージの種類によってはアウターリードがピン形状の金属端子ETとしてパッケージから突出する。第1リード列を形成する8つのリード530により第1外部端子列を形成する8つの外部端子ETが構成され、第2リード列を形成する8つのリード530により第2外部端子列を形成する8つの外部端子ETが構成される。

。第3及び第4リード列についても同様である。

[0045] 各リード530は、Z軸方向に厚み方向を持つ薄い金属板にて構成される。図8において、各リード530の平面視の形状は概略四角形となっているが、各リード530の平面視の形状は任意であって良い。リード530の材質は銅である。但し、銅以外の金属を用いてリード530を形成しても良い。例えば、いわゆる42合金（鉄にニッケルを配合した合金）にてリード530を形成しても良い。ダイパッド520の材質はリード530の材質と同じであって良い。各リード530には各リード530がパッケージから抜けないようにするための抜け止め部533が形成されている（図7参照）。また、図7及び図8からは明らかでないが、各リード530の露出部分に対し半田濡れ性を有する金属メッキ層が形成される。

[0046] チップ向けワイヤ540は、金、アルミニウム又は銅を用いて構成される金属製のワイヤである。各チップ向けワイヤ540において、チップ向けワイヤ540の一端が半導体チップ510上の所望のパッドに接続され、チップ向けワイヤ540の他端が所望のリード530上の所望位置に接続されることで、所望のパッドと所望のリード530とがチップ向けワイヤ540を介して電氣的に接続される。リード530及びチップ向けワイヤ540間の接続点（リード530に対しチップ向けワイヤ540がワイヤボンディングされる点）はインナーリード上にある。

[0047] 計32個のリード530の全てがチップ向けワイヤ540を介して半導体チップ510に接続されていても良いが、計32個のリード530の内、一部のリード530は半導体チップ510に接続されていなくても良い。即ち、半導体装置10は、 n 本の外部端子 OUT を形成する n 個のリード530を備えると共に m 本のチップ向けワイヤ540を備えて、 n 個のリード530に含まれる m 個のリード530を m 本のチップ向けワイヤ540を介して半導体チップ510に接続する構成であって良い。本実施形態の例において、“ $n=32$ ”であるが、 n の値は32に限定されない。 m は n 以下且つ2以上の任意の整数である。後述されるが、外部端子 $OUT_{IN}[i]$ 及び OUT 。

[i] を形成する各リード530に対しチップ向けワイヤ540は接続されなくて良い。

[0048] 第1実施形態は、以下の実施例EX1__1～EX1__6を含む。各実施例の中で、主として、図1のセンス用抵抗 $R_{SNS}[1] \sim R_{SNS}[3]$ に関わる特徴的な構成を説明する。第1実施形態にて上述した事項は、特に記述無き限り且つ矛盾無き限り、以下の実施例EX1__1～EX1__6に適用され、各実施例において、第1実施形態で上述した事項と矛盾する事項については各実施例での記載が優先されて良い。また矛盾無き限り、実施例EX1__1～EX1__6の内、任意の実施例に記載した事項を、他の任意の実施例に適用することもできる（即ち複数の実施例の内の任意の2以上の実施例を組み合わせることも可能である）。

[0049] <<実施例EX1__1>>

実施例EX1__1を説明する。図10Aは、封止樹脂550が透明であると仮定した場合における、半導体装置10の透過平面図である。但し、図10Aの透過平面図はZ軸の正側から半導体装置10を観測したときの透過平面図である。図10Aでは、実施例EX1__1に関わる技術の説明に必要な部分のみを図示し、半導体装置10の幾つかの構成要素の図示を省略している（後述の図11、図13及び図14においても同様）。図10Aにおいて最も外側の四角形はパッケージの外縁を表している（後述の図11、図13、図14、図25及び図27においても同様）。また、図10Aでは、複数のリード530の内、特定の4つのリードに対してのみ符号“530a”、“530b”、“530c”及び“530d”を付している（後述の図13及び図14においても同様）。リード530c及び半導体チップ510間を接続するチップ向けワイヤ540は特に符号“540c”にて参照され、リード530d及び半導体チップ510間を接続するチップ向けワイヤ540は特に符号“540d”にて参照される。図10Bは図10Aの一部の拡大図である。図10A及び図10Bにおいて、斜線領域（ハッチング領域）にて表される部分 $SHORT_{ac}$ 及び $SHORT_{bd}$ については後述するものとし

、まず当該部分 $SHORT_{ac}$ 及び $SHORT_{bd}$ の存在を無視して、それら以外の部分の構成を説明する。

[0050] リード530a～530dは、辺SD1に対して設けられた互いに隣接する4つのリード530であり、Y軸の負側から正側に向けて、リード530d、530b、530a、530cの順番で並んでいる。つまり、リード530a及び530bは互いに隣接し、リード530b及び530c間にリード530aが位置し、且つ、リード530a及び530d間にリード530bが位置する。ここでは、リード530a～530dが第1相に割り当てられた4つのリード530であると考える。そうすると、図10A及び図11の対比から理解されるよう、リード530a、530b、530c、530dに対し、夫々、外部端子 $OUT_{IN}[1]$ 、 $OUT_O[1]$ 、 $SNS_P[1]$ 、 $SNS_N[1]$ が割り当てられる。つまり、リード530aにより外部端子 $OUT_{IN}[1]$ が形成され、リード530bにより外部端子 $OUT_O[1]$ が形成され、リード530cにより外部端子 $SNS_P[1]$ が形成され、リード530dにより外部端子 $SNS_N[1]$ が形成される。

[0051] 図10Aに示す半導体装置10において、リード530a及び530b間はパッケージ内でセンス用ワイヤ560にて接続される。センス用ワイヤ560はリード530a及び530b間を接続するセンス用金属体の例である。センス用ワイヤ560は、金、アルミニウム又は銅を用いて構成される金属製のワイヤである。センス用ワイヤ560の材質はチップ向けワイヤ540の材質と同じであって良く、センス用ワイヤ560の太さ（即ち断面の直径）もチップ向けワイヤ540の太さと同じであって良い。

[0052] 図12に、X軸方向に沿って観測した、リード530a及び530b並びにセンス用ワイヤ560の側面図を示す。センス用ワイヤ560の一端はリード530aの上面の所定位置（従ってリード530aにおけるインナーリード上の所定位置）に接続され、センス用ワイヤ560の他端はリード530bの上面の所定位置（従ってリード530bにおけるインナーリード上の所定位置）に接続される。センス用ワイヤ及びリード間の接続はチップ向け

ワイヤ及びリード間の接続と同様、周知のワイヤボンディングにより実現される。センス用ワイヤ560は、リード530a及び530b間を最短の経路で又は最短の経路に近い経路で接続する。少なくとも、センス用ワイヤ560は、半導体チップ510に接続されず、従って半導体チップ510を経由することなくリード530a及び530b間を接続する。尚、センス用ワイヤ560を介した接続、又は、センス用ワイヤ560による接続とは、当然、電気的な接続を意味する。

[0053] リード530a及び530b間を接続するセンス用ワイヤ560の本数は1本でも良いし、2以上の任意の本数でも良い。即ち例えば、図13に示す如く2本のセンス用ワイヤ560にてリード530a及び530b間を接続しても良いし、図14に示す如く3本のセンス用ワイヤ560にてリード530a及び530b間を接続しても良い。リード530a及び530b間を複数のセンス用ワイヤ560にて接続する場合、複数のセンス用ワイヤ560の長さは互いに同じとされると良い。但し、複数のセンス用ワイヤ560の長さは全て互いに異なっても良いし、p本のセンス用ワイヤ560の長さの中にq種類の長さが混在していても良い（pは3以上の整数：qはp未満且つ2以上の整数）。

[0054] 以下、実施例EX1__1では、 N_A 本のセンス用ワイヤ560にてリード530a及び530b間が接続されているものとする。 N_A は1以上の任意の整数である。 N_A 本のセンス用ワイヤ560により図1のセンス用抵抗 $R_{SNS}[1]$ が形成される。即ち、“ $N_A=1$ ”である場合にはセンス用ワイヤ560の抵抗値そのものがセンス用抵抗 $R_{SNS}[1]$ の抵抗値として機能し、“ $N_A \geq 2$ ”である場合には N_A 本のセンス用ワイヤ560の並列抵抗値がセンス用抵抗 $R_{SNS}[1]$ の抵抗値として機能する。厳密にはリード530a及び530b自体の抵抗成分もセンス用抵抗 $R_{SNS}[1]$ に含まれることになるが、各リードの抵抗値はセンス用ワイヤ560の抵抗値と比べて無視できるほど小さい（従って無視して考える）。

[0055] 図15に半導体装置10が実装された基板SUBの一部の概略的な平面図

を示す。基板SUBの必要な箇所に半田が塗布されたランドが複数形成される（図15においてランドは図示せず）。基板SUBの各ランドの表面と半導体装置10の各外部端子（各リードの下面）とが対向する位置に半導体装置10を配置し、各ランド上の半田に各外部端子（各リードの下面）を接触させた状態でリフローを行うことにより、半導体装置10が基板SUBに実装される。基板SUB上には、図1に示す外部配線 $WR_{IN}[1]$ の一部である配線パターン $WR_{IN}[1]'$ が形成され、且つ、図1に示す外部配線 $WR_O[1]$ の一部である配線パターン $WR_O[1]'$ が形成される。外部端子 $OUT_{IN}[1]$ に接続されるランドと外部端子 $SNS_P[1]$ に接続されるランドとが基板SUB上で配線パターン $WR_{IN}[1]'$ により短絡されることで、外部端子 $OUT_{IN}[1]$ （従ってリード530a）は外部配線 $WR_{IN}[1]'$ を通じて外部端子 $SNS_P[1]$ （従ってリード530c）に短絡される。同様に、外部端子 $OUT_O[1]$ に接続されるランドと外部端子 $SNS_N[1]$ に接続されるランドとが基板SUB上で配線パターン $WR_O[1]'$ により短絡されることで、外部端子 $OUT_O[1]$ （従ってリード530b）は外部配線 $WR_O[1]'$ を通じて外部端子 $SNS_N[1]$ （従ってリード530d）に短絡される。

[0056] 図10Aを再度参照し、半導体チップ510及びチップ向けワイヤ540c間の接続点542cと、半導体チップ510及びチップ向けワイヤ540d間の接続点542dは、半導体チップ510に形成された電流検出回路110（図1参照）に接続される。接続点542c、542dは、夫々、半導体チップ510に対しチップ向けワイヤ540c、540dがワイヤボンディングされる点を指す。センス用抵抗 $R_{SNS}[1]$ （ここでは N_A 本のセンス用ワイヤ560）にはコイル電流 $I_L[1]$ に比例する電圧降下が発生し、接続点542c及び542d間には、その電圧降下に応じた電位差が発生する。このため、電流検出回路110は、接続点542c及び542d間の電位差に基づいてコイル電流 $I_L[1]$ を検出し、上述の検出電流値 $V_{AL_I_L}[1]$ を得ることができる。接続点542c及び542d間の電位差と

、外部端子 $SNS_P [1]$ 及び $SNS_N [1]$ 間の電位差は、同じであると考えて良い。

[0057] 尚、外部端子 $OUT_{IN} [1]$ 及び $OUT_O [1]$ の夫々と半導体チップ 510 を接続するためのチップ向けワイヤ 540 は存在しない。つまり、外部端子 $OUT_{IN} [1]$ 及び $OUT_O [1]$ の夫々に対しチップ向けワイヤ 540 は接続されない。外部端子 $OUT_{IN} [1]$ 及び半導体チップ 510 間、又は、外部端子 $OUT_O [1]$ 及び半導体チップ 510 間を、特定のチップ向けワイヤ 540 にて接続しておくことも可能であるが、この際、その特定のチップ向けワイヤ 540 は半導体チップ 510 上において有意な回路に接続されず、図 1 を参照して説明した半導体装置 10 の動作に何ら影響を与えない。

[0058] 図 10A に示す例では、辺 $SD1$ に沿って並ぶ 8 つのリード 530 の内、中央付近に位置する 4 つのリード 530 をリード 530a ~ 530d に割り当てているが、辺 $SD1$ に沿って並ぶ 8 つのリード 530 の内、何れのリードをリード 530a ~ 530d に割り当てるかは任意である。但し、リード 530a ~ 530d は、上述の如く、リード 530d、530b、530a、530c の順番で並んでいることが望ましい。この際、リード 530d 又は 530c は、辺 $SD1$ に沿って並ぶ 8 つのリード 530 の端のリード 530 であっても良い。

[0059] 第 1 相 ~ 第 3 相の内、第 1 相に注目してコイル電流検出に関わる構造を説明したが、第 2 相におけるコイル電流検出に関わる構造、及び、第 3 相におけるコイル電流検出に関わる構造も、第 1 相のそれと同様であり、第 1 相について説明した技術は第 2 相及び第 3 相にも適用される。第 2 相に注目した場合、実施例 EX1 __ 1 の上述の説明文における記号 “ [1] ” を記号 “ [2] ” に読み替えた上でリード 530a ~ 530d が例えば辺 $SD3$ に沿って並ぶ 4 つのリード 530 であると考えれば良い。同様に、第 3 相に注目した場合、実施例 EX1 __ 1 の上述の説明文における記号 “ [1] ” を記号 “ [3] ” に読み替えた上でリード 530a ~ 530d が例えば辺 $SD4$ に沿って並ぶ 4 つのリード 530 であると考えれば良い。

[0060] より具体的には以下のようにすれば良い。半導体装置10にリード530a~530dの組を3つ設け、第1組のリード530a~530dを夫々外部端子 $OUT_{IN}[1]$ 、 $OUT_O[1]$ 、 $SNS_P[1]$ 及び $SNS_N[1]$ に割り当て、第2組のリード530a~530dを夫々外部端子 $OUT_{IN}[2]$ 、 $OUT_O[2]$ 、 $SNS_P[2]$ 及び $SNS_N[2]$ に割り当て、第3組のリード530a~530dを夫々外部端子 $OUT_{IN}[3]$ 、 $OUT_O[3]$ 、 $SNS_P[3]$ 及び $SNS_N[3]$ に割り当てる。第1組のリード530a~530dと、第2組のリード530a~530dと、第3組のリード530a~530dとは、典型的には、半導体装置10における互いに異なる辺に配列されるが、それらの計12個のリードの内、互いに異なる組に属する複数のリードが共通の辺に配列されることがあっても良い。

[0061] 電流検出回路110は、第1組のリード530c及び530d間の電位差（第1組についての接続点542c及び542d間の電位差）に基づきコイル電流 $I_L[1]$ を検出して上述の検出電流値 $VAL_I_L[1]$ を得ることができ、第2組のリード530c及び530d間の電位差（第2組についての接続点542c及び542d間の電位差）に基づきコイル電流 $I_L[2]$ を検出して上述の検出電流値 $VAL_I_L[2]$ を得ることができ、第3組のリード530c及び530d間の電位差（第3組についての接続点542c及び542d間の電位差）に基づきコイル電流 $I_L[3]$ を検出して上述の検出電流値 $VAL_I_L[3]$ を得ることができる。

[0062] 具体的な数値例を挙げる。辺SD1、SD2、SD3又はSD4において、互いに隣接する2つのリード530の中心間の距離が $500\mu m$ （マイクロメートル）である場合を考える。センス用ワイヤ560の断面形状は円形であって、センス用ワイヤ560の断面における直径は $30\mu m$ であり、センス用ワイヤ560が銅にて形成されとする。この場合において、 $500\mu m$ の長さのセンス用ワイヤ560を用いたとすると、1本のセンス用ワイヤ560の抵抗値（両端間の抵抗値）は約 $12.5m\Omega$ となる。2本のセンス用ワイヤ560の並列抵抗値は約 $6.25m\Omega$ となり、3本のセンス用ワ

イヤ560の並列抵抗値は約4.16mΩとなる。

[0063] 実効値が14A（アンペア）の正弦波電流を各相のコイル電流 $I_L[i]$ として三相モータ30に供給する正弦波駆動を考える。この正弦波駆動において、各相のセンス用抵抗 $R_{SNS}[i]$ に2本のセンス用ワイヤ560を用いたならば（即ち“ $N_A=2$ ”であれば）、“ $14A \times 6.25m\Omega = 87.5mV$ ”より、各相のセンス用抵抗 $R_{SNS}[i]$ に実効値87.5mVの正弦波状の電圧降下が発生し、ベクトル制御が可能な程度の精度でコイル電流 $I_L[i]$ を検出することが可能である。

[0064] このとき、各相のセンス用抵抗 $R_{SNS}[i]$ での消費電力は“ $14A \times 14A \times 6.25m\Omega \div 1.23$ ”より約1.23Wとなり、センス用抵抗 $R_{SNS}[1] \sim R_{SNS}[3]$ での合計消費電力は約3.7Wとなる。そうすると、一般的な5mm角程度のQFNパッケージの許容消費電力（パッケージ内での消費電力の最大許容量を表し、パッケージパワーとも称される）内に概ね収まる。コイル電流 $I_L[i]$ の検出に対して必要な精度とパッケージパワーとの兼ね合いを考慮して、センス用ワイヤ560の本数（即ち N_A の値）又はセンス用ワイヤ560の直径を調整すれば良い。

[0065] 第1仮想構成に係る一般的なモータ駆動システムでは、コイル電流（特に10A以上のコイル電流など、比較的大きなコイル電流）を検出するために、半導体装置に対し検出抵抗（10mΩ程度の抵抗）を外付け接続する。この際、半導体装置に外付け接続された検出抵抗の抵抗値にはばらつきがあり、検出抵抗の抵抗値のばらつきは、コイル電流の検出精度を劣化させ、ひいては所望のモータ制御（例えばベクトル制御）の実現を妨げる。これを考慮し、上述の如く、半導体装置10のパッケージ内において、上記検出抵抗に相当するセンス用抵抗 $R_{SNS}[i]$ を、リード間を接続するセンス用金属体（ここでは1本以上のセンス用ワイヤ560）にて形成する。これにより、半導体装置10の出荷検査工程においてセンス用金属体（ここでは1本以上のセンス用ワイヤ560）の抵抗値を測定することができ、以後は、測定結果に基づく校正情報を用いて外部端子 $SNS_P[i]$ 及び $SNS_N[i]$ 間の電

位差を評価することにより、正確にコイル電流 $I_L [i]$ を検出することが可能となる（校正情報に関わる技術は後述の実施例で詳説する）。別途、外付け部品として検出抵抗を用意する必要がなくなるというメリットも生じる。

[0066] また、上述したように、各相において、センス用ワイヤ 560 の本数（即ち N_A の値）を調整することによりセンス用抵抗 $R_{SNS} [i]$ の抵抗値を調整することが可能であり、これに代えて或いはこれに加えて、センス用ワイヤ 560 の直径を調整することによりセンス用抵抗 $R_{SNS} [i]$ の抵抗値を調整することも可能である。これらの調整により、パッケージパワーを考慮しつつ、コイル電流 $I_L [i]$ の必要な検出精度を確保することができる。

[0067] 以下の第2仮想構成も検討される。第2仮想構成では、リード 530a 及び半導体チップ 510 間を第1チップ向けワイヤで接続すると共に、リード 530b 及び半導体チップ 510 間を第2チップ向けワイヤで接続し、半導体チップ 510 及び第1チップ向けワイヤ間の接続点と、半導体チップ 510 及び第2チップ向けワイヤ間の接続点と、を半導体チップ 510 上で接続する。そうすると、第2仮想構成では、第1及び第2チップ向けワイヤの直列抵抗にてセンス用抵抗 $R_{SNS} [i]$ を構成することができる。但し、第2仮想構成では、図10A等に示す構成と比べて、センス用抵抗 $R_{SNS} [i]$ を形成するためのワイヤの長さが長くなり（例えば数倍になり）、ワイヤでの消費電力が高くなりすぎる。また、ワイヤでの発熱が半導体集積回路に与える影響が大きくなると懸念される。

[0068] ところで、実施例 EX1__1 に係る半導体装置 10 にはリード間短絡技術が適用されている。実施例 EX1__1 に係るリード間短絡技術により、パッケージ内で半導体チップ 510 を経由することなくリード 530a 及び 530c 間が短絡され且つリード 530b 及び 530d 間が短絡される。より具体的には、リード間短絡技術が適用された実施例 EX1__1 に係る半導体装置 10 には、図10A及び図10B等に示す如く、パッケージ内で半導体チップ 510 を経由することなくリード 530a 及び 530c 間を短絡する短

絡用金属体 $SHORT_{ac}$ と、パッケージ内で半導体チップ510を経由することなくリード530b及び530d間を短絡する短絡用金属体 $SHORT_{bd}$ と、が設けられる。図10A及び図10B等では、便宜上、各短絡用金属体を斜線領域で表している。

[0069] 短絡用金属体 $SHORT_{ac}$ は、リード530a及び530cを一体的に結合させる金属体である。短絡用金属体 $SHORT_{ac}$ はリード530a及び530cと同じ材質にて構成される。図10A及び図10B等では、図面の便宜上、短絡用金属体 $SHORT_{ac}$ を斜線領域で表現すると共に、リード530a又はリード530cと短絡用金属体 $SHORT_{ac}$ との間に境界が存在するかのように図示されているが、そのような境界が存在しない一体の金属平板にてリード530a、短絡用金属体 $SHORT_{ac}$ 及びリード530cが形成されて良い。当該一体の金属平板にて単一のリードが構成され、当該単一のリードによりリード530a及びリード530cが形成されている、と考えることもできる。Z軸方向における短絡用金属体 $SHORT_{ac}$ の長さ（厚み）は、Z軸方向におけるリード530a及び530c（特にリード530a及び530cの各金属部530__p4）の長さ（厚み）と同じであって良い。

[0070] 短絡用金属体 $SHORT_{bd}$ についても同様である。つまり、短絡用金属体 $SHORT_{bd}$ は、リード530b及び530dを一体的に結合させる金属体である。短絡用金属体 $SHORT_{bd}$ はリード530b及び530dと同じ材質にて構成される。図10A及び図10B等では、図面の便宜上、短絡用金属体 $SHORT_{bd}$ を斜線領域で表現すると共に、リード530b又はリード530dと短絡用金属体 $SHORT_{bd}$ との間に境界が存在するかのように図示されているが、そのような境界が存在しない一体の金属平板にてリード530b、短絡用金属体 $SHORT_{bd}$ 及びリード530dが形成されて良い。当該一体の金属平板にて単一のリードが構成され、当該単一のリードによりリード530b及びリード530dが形成されている、と考えることもできる。Z軸方向における短絡用金属体 $SHORT_{bd}$ の長さ（厚み）は、Z軸方

向におけるリード530b及び530d（特にリード530b及び530dの各金属部530__p4）の長さ（厚み）と同じであって良い。

[0071] Z軸方向における短絡用金属体SHORT_{a,c}及びSHORT_{b,d}の長さ（厚み）は各センス用ワイヤ560の直径（例えば30μm）よりも十分に大きく（例えば200μm）、且つ、X軸方向における短絡用金属体SHORT_{a,c}及びSHORT_{b,d}の長さ（幅）も各センス用ワイヤ560の直径よりも十分に大きい。故に、リード530a～530dの並び方向（Y軸方向）において、短絡用金属体SHORT_{a,c}及びSHORT_{b,d}の夫々の単位長さ当たりの抵抗値は、N_A本のセンス用ワイヤ560から成るセンス用抵抗R_{SNS}[i]の単位長さ当たりの抵抗値よりも十分に小さい（無視できる程度に小さい）。上述したように、N_Aは1以上の任意の整数を表す。加えて、リード530a～530dの並び方向において、短絡用金属体SHORT_{a,c}及びSHORT_{b,d}の夫々の長さは各センス用ワイヤ560の長さよりも短い。このため、短絡用金属体SHORT_{a,c}及びSHORT_{b,d}の各抵抗値（例えば10μΩ程度）はN_A本のセンス用ワイヤ560から成るセンス用抵抗R_{SNS}[i]の抵抗値（例えば5mΩ程度）よりも十分に小さい。短絡用金属体SHORT_{a,c}及びSHORT_{b,d}を設けることの意義については、後述のテスト工程の説明の後に、明らかとなる。

[0072] <<実施例EX1__2>>

実施例EX1__2を説明する。実施例EX1__2では、校正情報を利用したコイル電流の正確な検出方法を説明する。図16は、校正情報を取得及び記録するためのテスト工程のフローチャートである。テスト工程は半導体装置10の出荷検査工程の一部に組み込まれる。

[0073] テスト工程では、図2の基板10とは別に、図17のテスト基板SUB_{TSET}_Tが用意され、半導体装置10がテスト状態とされる。テスト基板SUB_{TSET}_Tには、半導体装置10を装着するためのソケットSCTが実装されている。テスト状態では、ソケットSCTに半導体装置10が装着される。ソケットSCTに半導体装置10が装着されると、半導体装置10の各外部端子がソ

ケットSCTを通じて、テスト基板SUB_{TSET}上の対応する配線パターンと導通する（図17において配線パターンの図示を省略）。配線パターンWR_N[i]’及びWR_O[i]’（図15参照：但し図15ではi=1）と同等の配線パターンがテスト基板SUB_{TSET}に形成され、テスト状態において、テスト基板SUB_{TSET}の配線パターンにより外部端子OUT_{IN}[i]及びSNS_P[i]間が短絡され且つ外部端子OUT_O[i]及びSNS_N[i]間が短絡される。更に、テスト状態において、半導体装置10の各相のセンス用抵抗R_{SNS}[i]に対し、必要な電流を供給できるようテスト基板SUB_{TSET}が形成されている。

[0074] テスト工程では、まずステップS11においてテスト基板SUB_{TSET}上のソケットSCTに対し半導体装置10が装着され、続くステップS12にて変数iに“1”を代入してからステップS13に進む。ステップS13ではテスト状態において、センス用抵抗R_{SNS}[i]に対し所定のテスト電流I_{TSET}を供給する（即ち外部端子OUT_{IN}[i]及びOUT_O[i]間にテスト電流I_{TSET}を流す）。テスト電流I_{TSET}は外部端子OUT_{IN}[i]から外部端子OUT_O[i]に向けて流れる直流電流（例えば10A）であるとする。

[0075] ステップS13に続くステップS14において、半導体装置10内のテスト回路（不図示）は、センス用抵抗R_{SNS}[i]にテスト電流I_{TSET}が供給されているときの外部端子SNS_P[i]及びSNS_N[i]間の電圧を電圧V_{TEST}[i]として検出し、電圧V_{TEST}[i]に基づき第i相の校正情報を取得する。テスト回路は、半導体チップ510上に形成された回路であり、テスト状態においてのみ有意に動作する。尚、第i相の校正情報の取得は、テスト回路とテスト基板SUB_{TSET}上の回路とが協働して実現されるものであっても良い。

[0076] ステップS14の後、ステップS15において、上記テスト回路により“i=3”であるか否かが確認される。“i=3”であればステップS17に進むが、“i=3”でなければステップS16にて変数iに“1”を加算してからステップS13に戻り、ステップS13及びS14の処理が繰り返さ

れる。このため、ステップS 1 7に至る時点では、第1～第3相の校正情報が取得済みとなる。ステップS 1 7では、第1～第3相の校正情報を図1の校正情報保持部1 6 0に書き込み、その後、図1 6のテスト工程を終える。各校正情報の書き込みは、テスト回路により、或いは、テスト回路とテスト基板SUB_{TSET}上の回路との協働により、実現される。

[0077] 校正情報保持部1 6 0は、ステップS 1 7にて書き込まれた第1～第3相の校正情報を不揮発的に保持する。校正情報保持部1 6 0は、不揮発性メモリ（例えばOTPROM (one time programmable read only memory)）にて構成される。或いは、ツェナーザップ法、ポリシリコンフューズ法、又は、レーザーカット法など、周知の手法を用いて各相の校正情報を不揮発的に保持させても良い。尚、図1 6のテスト工程において、“ $i = 1$ ”におけるステップS 1 3及びS 1 4の処理と、“ $i = 2$ ”におけるステップS 1 3及びS 1 4の処理と、“ $i = 3$ ”におけるステップS 1 3及びS 1 4の処理とを、並列に実行するようにしても良い。

[0078] 第 i 相の校正情報はセンス用抵抗 $R_{SNS}[i]$ の抵抗値（実際の抵抗値）に基づき予め設定される情報である。これについて説明を加える。

[0079] 今、センス用抵抗 $R_{SNS}[i]$ の抵抗値における設計値を記号“ $R_{IDEAL}[i]$ ”にて表す。そうすると、設計通りであったならば、ステップS 1 3及びS 1 4の段階で“ $I_{TEST} \times R_{IDEAL}[i]$ ”（例えば $10A \times 10m\Omega = 100mV$ ）に相当する電圧が外部端子SNS_P[i]及びSNS_N[i]間に生じるはずである。しかしながら、実際に検出される電圧 $V_{TEST}[i]$ は“ $I_{TEST} \times R_{IDEAL}[i]$ ”からずれることも多い（例えば $V_{TEST}[i] = 80mV$ ）。センス用抵抗 $R_{SNS}[i]$ の実際の抵抗値（以下、実抵抗値と称する）を記号“ $R_{REAL}[i]$ ”にて表すと、“ $V_{TEST}[i] = I_{TEST} \times R_{REAL}[i]$ ”である。テスト工程において、テスト電流 I_{TEST} の値は既知であるので電圧 $V_{TEST}[i]$ から実抵抗値 $R_{REAL}[i]$ が分かる（例えば、 $R_{REAL}[i] = V_{TEST}[i] / I_{TEST} = 80mV / 10A = 8m\Omega$ ）。図1 6のステップS 1 4では、実抵抗値 $R_{REAL}[i]$ に基づく第 i 相の校正情報

が取得される。

- [0080] テスト工程を含む出荷検査工程を経た後の半導体装置 10 が図 2 に示す如く基板 10 に実装された上で、モータ駆動システム S Y S に組み込まれる。半導体装置 10 がモータ駆動システム S Y S に組み込まれている状態を、上述のテスト状態と明確に区別すべく、実稼働状態と称することがある。本実施形態において、テスト工程に関する説明以外、半導体装置 10 は実稼働状態にあると解される。実稼働状態における校正情報を用いたコイル電流の検出方法を説明する。校正情報を用いたコイル電流 $I_L [1] \sim I_L [3]$ の検出方法は第 1 相～第 3 相間で同じであるので、以下、変数 i を用い、第 i 相のコイル電流 $I_L [i]$ の検出方法を説明する。
- [0081] 第 i 相の校正情報は実抵抗値 $R_{REAL} [i]$ そのものであっても良い。この場合、実稼働状態において、図 1 の電流検出回路 110 は、外部端子 $SNS_P [i]$ 及び $SNS_N [i]$ 間の電圧を実抵抗値 $R_{REAL} [i]$ で割ることによりコイル電流 $I_L [i]$ の検出電流値 $VAL_I_L [i]$ を得ることができる。
- [0082] 実際には例えば、第 i 相の校正情報は図 3 の $ADC112 [i]$ に対する校正情報であると良い。この場合、実稼働状態において “ $S_D [i] = k_{REF} \times k_C [i] \times S_A [i]$ ” となるように $ADC112 [i]$ を構成しておく（但し $S_D [i]$ は量子化誤差を含む）。即ち、実稼働状態において、検出電流値 $VAL_I_L [i]$ を表すデジタル信号 $S_D [i]$ の値が、固定された所定の基準係数 k_{REF} ($k_{REF} = 1$ でも良い) と、補正係数 $k_C [i]$ と、アナログ信号 $S_A [i]$ の値と、の積と一致するよう、 $ADC112 [i]$ を構成しておく。この際、補正係数 $k_C [i]$ が第 i 相の校正情報となり、“ $k_C [i] = R_{IDEAL} [i] / R_{REAL} [i]$ ” とされる。例えば、“ $(R_{IDEAL} [i], R_{REAL} [i]) = (10\text{ m}\Omega, 8\text{ m}\Omega)$ ” であったならば “ $k_C [i] = 1.25$ ” となり、実抵抗値 $R_{REAL} [i]$ が設計値 $R_{IDEAL} [i]$ よりも低いことに起因する、実稼働状態での検出電流値 $VAL_I_L [i]$ の誤差が解消される。

[0083] このように、電流検出回路110では、各相において、センス用抵抗 $R_{SNS}[i]$ の実抵抗値に応じ予め設定された第 i 相の校正情報と、外部端子 $SNS_P[i]$ 及び $SNS_N[i]$ 間の電圧（第 i 相についての接続点542c及び542d間の電位差に相当；図10A等参照）と、に基づき、コイル電流 $I_L[i]$ を検出する。これにより、正確にコイル電流 $I_L[i]$ を検出することが可能となる。

[0084] また、センス用抵抗 $R_{SNS}[1] \sim R_{SNS}[3]$ の温度を検出するための温度検出回路（不図示）を電流検出回路110に設けておいても良い。温度検出回路は、パッケージ内の第1～第3温度検出箇所の温度を検出し、第1温度検出箇所の温度に応じた第1温度検出信号、第2温度検出箇所の温度に応じた第2温度検出信号、及び、第3温度検出箇所の温度に応じた第3温度検出信号を出力する。そして、電流検出回路110は、第 i 温度検出信号をも参照して各相のコイル電流 $I_L[i]$ を検出しても良い。これにより、センス用抵抗 $R_{SNS}[i]$ の抵抗値の温度依存性も考慮され、より正確にコイル電流 $I_L[i]$ を検出することが可能となる。

[0085] 第1～第3温度検出箇所は互いに異なる3つの箇所であっても良く、この場合、第 i 温度検出箇所としてセンス用抵抗 $R_{SNS}[i]$ の配置箇所に近い箇所が選ばれると良い。但し、センス用抵抗 $R_{SNS}[1] \sim R_{SNS}[3]$ の温度間のばらつきを無視できることも多く、この場合には、温度検出箇所を1つにしても良い。温度検出箇所が1つとされる場合、第1～第3温度検出箇所は共通且つ単一の温度検出箇所と解され、第1～第3温度検出信号は共通且つ単一の温度検出信号と解される。

[0086] センス用抵抗 $R_{SNS}[i]$ の温度係数（例えばセンス用ワイヤ560の温度係数）は既知であるので、電流検出回路110は、第 i 温度検出信号とセンス用抵抗 $R_{SNS}[i]$ の温度係数に基づき、検出電流値 $VAL_I_L[i]$ を補正すれば良い。具体的には例えば、実稼働状態において“ $S_D[i] = k_{REF} \times k_C[i] \times k_{TC}[i] \times S_A[i]$ ”となるように図3のADC112[i]を構成しておけば良い（但し $S_D[i]$ は量子化誤差を含む）。ここで、

$k_{TC}[i]$ は第 i 温度検出箇所の温度に応じた補正係数である。テスト工程において第 i 温度検出信号から特定される第 i 温度検出箇所の温度が温度 $T_{REF}[i]$ である一方で、実稼働状態において第 i 温度検出信号から特定される第 i 温度検出箇所の温度が $T_{REAL}[i]$ であり、且つ、センス用抵抗 $R_{SNS}[i]$ の温度係数（例えばセンス用ワイヤ 560 の温度係数）が $k_R[i]$ であるならば、“ $k_{TC}[i] = 1 / (1 + (T_{REAL}[i] - T_{REF}[i]) \cdot k_R[i])$ ” とすれば良い。

[0087] <<実施例 EX 1__3>>

実施例 EX 1__3 を説明する。リード 530 の具体的な形状は任意であるが、実施例 EX 1__3 では、リード 530 の形状の一具体例を挙げる。図 18 に、実施例 EX 1__3 に係るリード 530 の平面図を示す。図 18 では、図示の簡略化上、辺 SD 1 に設けられた 2 つのリード 530 のみを代表として図示している（後述の図 19 及び図 20 においても同様）。図 18 に示される 2 つのリード 530 により外部端子 $OUT_{IN}[i]$ 及び $OUT_O[i]$ を構成することができる。この場合にあっては上述のリード間短絡技術の適用により、図 18 に示される一方のリード 530 が図 18 に示されない他のリード 530 と一体に結合されると共に、図 18 に示される他方のリード 530 が図 18 に示されない更に他のリード 530 と一体に結合されることになるが、図 18 では、その結合の様子の図示を省略している（後述の図 19 及び図 20 においても同様）。以下、1 つのリード 530 に注目してリード 530 の形状を説明するが、他のリード 530 も同様の形状を持つ。

[0088] リード 530 は、金属部 530__p1～530__p4 が一体となった金属体である。リード 530 が設けられた辺（図 18 では辺 SD 1）から半導体チップ 510 に向かって（従ってダイパッド 520 に向かって）、金属部 530__p1、530__p2、530__p3、530__p4 の順番で並ぶ。金属部 530__p1、530__p2、530__p3 及び 530__p4 の平面視の形状は夫々に概略四角形である。但し、金属部 530__p4 において、半導体チップ 510 及びダイパッド 520 に近い側の角部はカットされている

。

[0089] 図18において軸AXは、金属部530__p1～530__p4の並び方向に沿った、リード530の中心軸を表している。中心軸AXを内包し且つZ軸に平行な面に対し、リード530は面对称の構造を持つ。Z軸及び中心軸AXに直交する方向において、金属部530__p2の長さは金属部530__p1及び530__p3の夫々の長さよりも長く、且つ、金属部530__p4の長さは金属部530__p1及び530__p3の夫々の長さよりも長い。故に、リード530において、金属部530__p1～530__p4の並び方向における金属部530__p2の両側には窪み530__p5及び530__p6が形成されることになり、窪み530__p5及び530__p6には封止樹脂550が存在する（封止工程において封止樹脂550が回り込む）。このため、リード530に対し半導体チップ510及びダイパッド520から離す向きの外力が加わっても当該リード530はパッケージから抜けない。窪み530__p5及び530__p6により抜け止め部が形成されていると言える。

。

[0090] 第1及び第2リード530により外部端子OUT_{IN}[i]及びOUT_O[i]を構成する場合、図19に示す如く、第1及び第2リード530間を接続するセンス用ワイヤ560の一端、他端は、センス用ワイヤ560の本数に依らず、夫々、第1リード530における金属部530__p4、第2リード530における金属部530__p4に接続される（ワイヤボンディングされる）。第1及び第2リード530間を接続するセンス用ワイヤ560の本数が複数である場合（図19では2本）、複数のセンス用ワイヤ560の長さを互いに一致させることが望ましい（但し上述したように異なっても良い）。複数のセンス用ワイヤ560は互いに離間して配置される。尚、複数のセンス用ワイヤ560がパッケージ内で接触しても問題は無い。

[0091] 例えば、2本のセンス用ワイヤ560で第1及び第2リード530間を接続する場合、各リード530の金属部530__p4上に互いに異なる接続点CP1及びCP2を設定する。そして、一方のセンス用ワイヤ560の一端

、他端を、夫々、第1リード530の接続点CP1、第2リード530の接続点CP1に接続（ワイヤボンディング）し、他方のセンス用ワイヤ560の一端、他端を、夫々、第1リード530の接続点CP2、第2リード530の接続点CP2に接続（ワイヤボンディング）すれば良い。金属部530__p4上における接続点CP1の設定位置は複数のリード530間で共通であり、金属部530__p4上における接続点CP2の設定位置も複数のリード530間で共通である。このため、2本のセンス用ワイヤ560の長さを等しくすることができる。第1及び第2リード530の各金属部530__p4について、接続点CP1及びCP2の位置は金属部530__p1～530__p4の並び方向において（図19ではX軸方向において）互いにずれており、第1及び第2リード530の並び方向においても（図19ではY軸方向において）互いにずれている。

[0092] 第1及び第2リード530間を複数のセンス用ワイヤ560で接続する場合、必要に応じ、第1及び第2リード530の各金属部530__p4を半導体チップ510に向けて（従ってダイパッド520に向けて）、延長するようにしても良い。図20に当該延長後の第1及び第2リード530の平面図を示す。図20では、第1及び第2リード530間が、第1～第4センス用ワイヤ560で接続されている。金属部530__p1～530__p4の並び方向において（図20ではX軸方向において）第1～第4センス用ワイヤ560は互いに離間して且つこの順番で並べて配置される。第1～第4センス用ワイヤ560の長さを互いに一致させる。但し、上述したように、第1～第4センス用ワイヤ560の長さに複数種類の長さが混在していても良く、例えば、第1及び第3センス用ワイヤ560の長さを第1の長さとし、第2及び第4センス用ワイヤ560の長さを第2の長さとすることも可能である（ここで第1及び第2の長さは互いに異なる）。第1～第4センス用ワイヤ560は互いに離間して配置される。

[0093] 第1～第4センス用ワイヤ560の長さを互いに一致させる構成を説明する。まず各リード530の金属部530__p4上に互いに異なる接続点CP

1～CP4を設定する。そして、第jセンス用ワイヤ560の一端、他端を、夫々、第1リード530の接続点CPj、第2リード530の接続点CPjに接続（ワイヤボンディング）する。これは、“j=1”、“j=2”、“j=3”及び“j=4”の夫々の条件下で満たされる。

[0094] 金属部530__p4上における接続点CPjの設定位置は複数のリード530間で共通である。これは、“j=1”、“j=2”、“j=3”及び“j=4”の夫々の条件下で満たされる。第1及び第2リード530の各金属部530__p4について、接続点CP1～CP4の位置は金属部530__p1～530__p4の並び方向において（図20ではX軸方向において）互いにずれている。但し、第1及び第2リード530の各金属部530__p4について、接続点CP1及びCP3の位置は第1及び第2リード530の並び方向において（図20ではY軸方向において）互いに一致していて良く、接続点CP2及びCP4の位置は第1及び第2リード530の並び方向において（図20ではY軸方向において）互いに一致していて良い。第1及び第2リード530の各金属部530__p4について、接続点CP1及びCP3の位置は、第1及び第2リード530の並び方向において（図20ではY軸方向において）接続点CP2及びCP4の位置とずれている。

[0095] 尚、金属部530__p4の延長とは、標準且つ規定のリードの形状との比較に対する延長を指す。金属部530__p4の延長は全リード530に対して適用されて良い。或いは、金属部530__p4の延長は、センス用ワイヤ560が接続されるリード530のみに適用されるようにしても良い。この場合、センス用ワイヤ560が接続されるリード530（即ち外部端子OUT_{IN}[i]又はOUT_{OUT}[i]を形成するリード530）の金属部530__p4の中心軸AX方向の長さは、他のリード530（例えば外部端子SNS_P[i]又はSNS_N[i]を形成するリード530や、外部端子P_{GND}を形成するリード530）の金属部530__p4の中心軸AX方向の長さよりも長くなる。金属部530__p4の延長は辺ごとに行われるようにしても良い。例えば、辺SD1～SD4の内、辺SD1に設けられる各リード530に対

しては上記延長を適用する一方、辺SD2に設けられる各リード530に対しては上記延長を適用しないといったことも可能であり、この場合、辺SD1に設けられる各リード530の金属部530__p4の中心軸AX方向の長さは、辺SD2に設けられる各リード530の金属部530__p4の中心軸AX方向の長さよりも長くなる。

[0096] <<実施例EX1__4>>

実施例EX1__4を説明する。実施例EX1__4では実施例EX1__3で示した形状を各リード530が有しているものとし、図21及び図22に示す4つのリード530A～530Dに注目する。但し、図21及び図22に示す構成は後述の第2実施形態に係る構成であって、リード間短絡技術が適用された第1実施形態に係る構成との対比に供される。リード530A、530B、530C及び540Dは、図10Aに示すリード530a、530b、530c及び540dに相当する。即ち、リード530A、530B、530C及び530Dは、夫々、外部端子OUT_{IN}[i]、OUT_O[i]、SNS_P[i]、SNS_N[i]を形成するためのリード530である。リード530A～530Dが設けられる辺（辺SD1～SD4の何れか）に沿って、リード530C、530A、530B、530Dの順番で、それらが互いに隣接して配置される。図20を参照して説明した方法に従い、第1リード530としてのリード530Aと第2リード530としてのリード530Bとが4本のセンス用ワイヤ560で接続されている。図21において、540Cはリード530Cと半導体チップ510とを接続するチップ向けワイヤを表し、540Dはリード530Dと半導体チップ510とを接続するチップ向けワイヤを表す。チップ向けワイヤ540Cの一端はリード530C上の接続点CP4に接続され（ワイヤボンディングされ）、チップ向けワイヤ540Dの一端はリード530D上の接続点CP4に接続される（ワイヤボンディングされる）。

[0097] 図22は、第2実施形態に係り、上述のテスト状態におけるリード530A～530D周辺の状態の概念図である。テスト基板SUB_{TEST}（図17参

照) 上に形成された配線パターンは配線パターン 610 及び 620 を含む。テスト状態において、リード 530A のアウターリードとして機能する外部端子 $OUT_{IN}[i]$ はソケット SCT の第 1 端子 630A を介して配線パターン 610 の一部に接続され、リード 530B のアウターリードとして機能する外部端子 $OUT_O[i]$ はソケット SCT の第 2 端子 630B を介して配線パターン 620 の一部に接続され、リード 530C のアウターリードとして機能する外部端子 $SNS_P[i]$ はソケット SCT の第 3 端子 630C を介して配線パターン 610 の他の一部に接続され、リード 530D のアウターリードとして機能する外部端子 $SNS_N[i]$ はソケット SCT の第 4 端子 630D を介して配線パターン 620 の他の一部に接続される。図 22 では、ソケット SCT の各端子を破線楕円にて概念的に示している。

[0098] 図 22 は、リード間短絡技術が適用されていないリード 530A~540D の状態を示しており、図 22 の状態では、パッケージ内でリード 530A 及び 530C 間が接続されておらず且つリード 530B 及び 530D 間も接続されていない。図 22 において、端子 630A 及び 630B の部分に示される 2 つの矢印は、テスト工程におけるテスト電流 I_{TEST} (図 16 参照) の流れを表している。図 22 の状態でテスト工程が行われたとき、図 16 のステップ S14 にて検出される電圧 $V_{TEST}[i]$ は、センス用ワイヤ 560 の電圧降下に加えて端子 630A 及び 630B の接触抵抗による電圧降下も含むことになる。端子 630A 及び 630B の各接触抵抗は、センス用ワイヤ 560 の抵抗との比較において無視できない抵抗値を持つことがあり、且つ、様々にばらつく。例えば、センス用ワイヤ 560 によるセンス用抵抗 $R_{SNS}[i]$ が $10\text{ m}\Omega$ 程度であるに対し、端子 630A 及び 630B の各接触抵抗は数 $\text{m}\Omega$ から $100\text{ m}\Omega$ 程度の範囲でばらつくことがある。このような接触抵抗の存在は、望ましい校正情報の取得を妨げ、ひいては実稼働状態における正確なコイル電流 $I_L[i]$ の検出が難しくなる。

[0099] これを考慮し、実施例 EX1__4 を含む本実施形態では半導体装置 10 にリード間短絡技術が適用される。実施例 EX1__4 に係るリード間短絡技術

により、パッケージ内で半導体チップ510を経由することなくリード530A及び530C間が短絡され且つリード530B及び530D間が短絡される。リード間短絡技術は第1～第3相に対し共通に適用できる。変数*i*を用い、第*i*相に対するリード間短絡技術を説明する。図23に、リード間短絡技術が適用された、上述のテスト状態におけるリード530A～530D周辺の状態の概念図を示す。リード間短絡技術が適用された実施例EX1__4に係る半導体装置10には、パッケージ内で半導体チップ510を経由することなくリード530A及び530C間を短絡する短絡用金属体SHORT_{AC}と、パッケージ内で半導体チップ510を経由することなくリード530B及び530D間を短絡する短絡用金属体SHORT_{BD}と、が設けられる。図23では、便宜上、各短絡用金属体を斜線領域で表している。

[0100] 短絡用金属体SHORT_{AC}は、リード530Aの金属部530__p4とリード530Cの金属部530__p4とを一体的に結合させる金属体である（金属部530__p4の意義については実施例EX1__3を参照：図18）。短絡用金属体SHORT_{AC}はリード530A及び530Cと同じ材質にて構成され、一体の金属平板にてリード530A、短絡用金属体SHORT_{AC}及びリード530Cが形成されて良い。Z軸方向における短絡用金属体SHORT_{AC}の長さ（厚み）は、Z軸方向におけるリード530A及び530C（特にリード530A及び530Cの各金属部530__p4）の長さ（厚み）と同じであって良い。

[0101] 短絡用金属体SHORT_{BD}についても同様である。つまり、短絡用金属体SHORT_{BD}は、リード530Bの金属部530__p4とリード530Dの金属部530__p4とを一体的に結合させる金属体である。短絡用金属体SHORT_{BD}はリード530B及び530Dと同じ材質にて構成され、一体の金属平板にてリード530B、短絡用金属体SHORT_{BD}及びリード530Dが形成されて良い。Z軸方向における短絡用金属体SHORT_{BD}の長さ（厚み）は、Z軸方向におけるリード530B及び530D（特にリード530B及び530Dの各金属部530__p4）の長さ（厚み）と同じであって

良い。

- [0102] Z軸方向における短絡用金属体 $SHORT_{AC}$ 及び $SHORT_{BD}$ の長さ（厚み）は各センス用ワイヤ560の直径（例えば $30\mu m$ ）よりも十分に大きく（例えば $200\mu m$ ）、且つ、中心軸AX（図18参照）方向における短絡用金属体 $SHORT_{AC}$ 及び $SHORT_{BD}$ の長さ（幅）も各センス用ワイヤ560の直径よりも十分に大きい。故に、リード530A～530Dの並び方向（X軸又はY軸方向）において、短絡用金属体 $SHORT_{AC}$ 及び $SHORT_{BD}$ の夫々の単位長さ当たりの抵抗値は、 N_A 本のセンス用ワイヤ560から成るセンス用抵抗 $R_{SNS}[i]$ の単位長さ当たりの抵抗値（図23では、4本のセンス用ワイヤ560の並列接続回路の抵抗値）よりも十分に小さい（無視できる程度に小さい）。上述したように、 N_A は1以上の任意の整数を表す。加えて、リード530A～530Dの並び方向において、短絡用金属体 $SHORT_{AC}$ 及び $SHORT_{BD}$ の夫々の長さは各センス用ワイヤ560の長さよりも短い。このため、短絡用金属体 $SHORT_{AC}$ 及び $SHORT_{BD}$ の各抵抗値（例えば $10\mu\Omega$ 程度）は N_A 本のセンス用ワイヤ560から成るセンス用抵抗 $R_{SNS}[i]$ の抵抗値（例えば $5m\Omega$ 程度）よりも十分に小さい。
- [0103] 図23において、端子630A～630Dの部分に示される4つの矢印は、テスト工程におけるテスト電流 I_{TEST} （図16参照）の流れを表している。図23の状態ではテスト工程が行われたとき、図16のステップS14にて検出される電圧 $V_{TEST}[i]$ は、端子630A及び630Bの接触抵抗による電圧降下の成分を実質的に含まない。リード530Aにおける電位がソケットSCTを介することなく短絡用金属体 $SHORT_{AC}$ を通じてリード530Cに直接加わり、リード530Bにおける電位がソケットSCTを介することなく短絡用金属体 $SHORT_{BD}$ を通じてリード530Dに直接加わるからである。結果、テスト工程において望ましい校正情報を取得でき、実稼働状態において正確にコイル電流 $I_L[i]$ を検出することが可能となる。
- [0104] リード間短絡技術が適用されたとき、電流（テスト電流 I_{TEST} 又はコイル電流 $I_L[i]$ ）がリード530A及び530Bだけでなくリード530C

及び530Dにも流れることが想定されるが、これによる問題は特に生じない。逆に、基板SUBにおいて、コイル電流 $I_L[i]$ が流れる配線パターンを2つの外部端子分に広げることができるというメリットが生まれる。また実稼働状態において、仮に配線ミス等により外部端子 $SNS_P[i]$ 又は $SNS_N[i]$ と基板SUBとが非接続となっても、正しくコイル電流 $I_L[i]$ を検出することが可能である。

[0105] <<実施例EX1__5>>

実施例EX1__5を説明する。MAP (Molded Array Packaging) 法を用いて半導体装置10の製造する工程の例を簡単に説明する。MAP法では、リードフレーム上で複数の半導体チップが封止樹脂により一括して封止された後、1つの半導体チップを備える半導体装置の個体に切り分けられる。

[0106] 半導体装置10の製造にあたりリードフレーム（不図示）が用意される。MAP法で利用されるリードフレームは、周知の如く、複数の半導体装置10を形成するための複数のダイパッド520と、複数のリード530の元となるリード金属部と、それらを支持する支持金属部と、を包含する成型された板金である。後述のダイシング工程において、支持金属部が除去されると共に、リード金属部における不要金属部が除去されることで複数のリード530が分離形成される。

[0107] 各工程を説明する。まずボンディング工程において、リードフレームの各ダイパッド520上に接合材を介して各半導体チップ510が接合され（ダイボンディングされ）、続いて、チップ向けワイヤ540及びセンス用ワイヤ560が必要な箇所に接続される（ワイヤボンディングされる）。その後、封止工程において、リードフレームが成型金型にセットされ、リードフレーム上の全ての半導体チップ510が、リードフレーム、チップ向けワイヤ540及びセンス用ワイヤ560と共に封止樹脂（図7の封止樹脂550に相当）により一括して封止される。次いで、各リード530の内、外部端子として機能する金属面にメッキ層が形成された後、ダイシング工程において、リードフレームが所定のダイシングラインに沿って切り分けられることで

半導体装置 10 の個体が得られる。その後、上述のテスト工程（図 16 参照）を含む出荷検査工程を経て、モータ駆動システム S Y S に組み込み可能な半導体装置 10 が完成する。

[0108] 上述のリード間短絡技術が用いられる場合、上述のリードフレームに各短絡用金属体（ $SHORT_{ac}$ 及び $SHORT_{bd}$ 、又は、 $SHORT_{AC}$ 及び $SHORT_{BD}$ ）を含めておけば良い。

[0109] <<実施例 EX 1__6>>

実施例 EX 1__6 を説明する。以下では、外部端子 $OUT_{IN}[i]$ を形成するリード 530（例えば 530a、530A）を特に第 1 対象リード 530 と称することがあり、外部端子 $OUT_O[i]$ を形成するリード 530（例えば 530b、530B）を特に第 2 対象リード 530 と称することがある（図 10A、図 21 参照）。更に、外部端子 $SNS_P[i]$ を形成するリード 530（例えば 530c、530C）を特に第 3 対象リード 530 と称することがあり、外部端子 $SNS_N[i]$ を形成するリード 530（例えば 530d、530D）を特に第 4 対象リード 530 と称することがある（図 10A、図 21 参照）。半導体装置 10 には第 1～第 4 対象リード 530 の組が 3 組分（3 相分）設けられる。

[0110] 第 1 及び第 2 対象リード 530 を互いに隣接させる構成、即ち、第 1 及び第 2 対象リード 530 間に他のリード 530 を介在させない構成を上述したが（図 10A、図 21 参照）、第 1 及び第 2 対象リード 530 間に他の 1 以上のリード 530 を介在させる（配置する）ことも可能である。

[0111] <<第 2 実施形態>>

本開示の第 2 実施形態を説明する。第 2 実施形態並びに後述の第 3 及び第 4 実施形態は第 1 実施形態を基礎とする実施形態であり、第 2～第 4 実施形態において特に述べない事項に関しては、矛盾の無い限り、第 1 実施形態の記載が第 2～第 4 実施形態にも適用される。第 2 実施形態の記載を解釈するにあたり、第 1 及び第 2 実施形態間で矛盾する事項については第 2 実施形態の記載が優先されて良い（後述の第 3 及び第 4 実施形態についても同様）。

矛盾の無い限り、第1～第4実施形態の内、任意の複数の実施形態を組み合わせても良い。

[0112] 上述したように、リード間短絡技術は極めて有益な効果をもたらすが、仮に、校正情報を得る際のソケットSCTの各端子及び半導体装置の各外部端子間の接触抵抗を十分に小さくできるのであれば、リード間短絡技術の適用は見送られても良い。

[0113] 即ち、第1実施形態に係る半導体装置10から各短絡用金属体を削除するようにしても良い。より具体的には例えば、図10A及び図10Bの半導体装置10の構成から短絡用金属体SHORT_{a,c}及びSHORT_{b,d}を削除しても良い（図13又は図14の半導体装置10についても同様）。図24に、封止樹脂550が透明であると仮定した場合における、第2実施形態に係る半導体装置10の透過平面図の例を示す。図24ではセンス用ワイヤ560の本数が1本であるが、第2実施形態においても、センス用ワイヤ560の本数は1以上の任意の本数であって良い。

[0114] 図10A及び図10Bの半導体装置10の構成から短絡用金属体SHORT_{a,c}及びSHORT_{b,d}を削除する場合にあっては、第1相について、辺SD1～SD4の内、リード530a及び530bが設けられる辺（即ち外部端子OUT_{IN}[1]及びOUT_O[1]が設けられる辺）と、リード530c又は530dが設けられる辺（即ち外部端子SNS_P[1]又はSNS_N[1]が設けられる辺）とは、互いに異なっていても良い。例えば、第1相について、リード530a及び530bを辺SD1に設ける一方で、リード530c及び530dを辺SD3に設ける、或いは、リード530c、530dを夫々辺SD3、SD4に設ける、といったことも可能である。第2相及び第3相についても同様である。

[0115] また、図21及び図22に示す半導体装置10は第2実施形態に係る半導体装置10の例である。

[0116] <<第3実施形態>>

本開示の第3実施形態を説明する。

[0117] 第3実施形態では、センス用抵抗 $R_{SNS}[i]$ をセンス用ワイヤではなく連結金属部により形成する。図25に連結金属部の例である連結金属部570を示す。尚、図25では、便宜上、連結金属部を斜線領域で表している（後述の図26及び図27でも同様）。連結金属部はセンス用抵抗 $R_{SNS}[i]$ を形成するためのセンス用金属体の例である。連結金属部は、第1及び第2対象リード530（図25ではリード530a及び530b）と一体に形成され、パッケージ内において第1及び第2対象リード530を連結する。連結金属部は第1及び第2対象リード530と同じ材質にて構成され、一体の金属平板にて第1及び第2対象リード530及び連結金属部が形成されて良い。

[0118] 図25の半導体装置10においては、第1対象リード530の例であるリード530a及び第2対象リード530の例であるリード530bと一体に形成された連結金属部570が、センス用ワイヤ560（図10A参照）の代わりに、設けられる。第1実施形態で述べたように、リード530a及び530bは互いに隣接する2つのリード530であって、リード530a及び530bにより外部端子 $OUT_{IN}[i]$ 及び $OUT[i]$ が形成される。

[0119] 連結金属部570は、リード530a及び530bの厚さ（Z軸方向における長さ）と同じ又は同程度の厚さ（Z軸方向における長さ）を有する金属板であって良く、その厚さは、例えば $200\mu m$ である。各リード530aの形状として図18に示す形状が採用される場合、図26に示す如くリード530a及び530bの並び方向に沿ってリード530aの金属部530__p4及びリード530bの金属部530__p4を連結する金属板を連結金属部570とすることができ、この場合、リード530a及び530bの各金属部530__p4の厚さ（Z軸方向における長さ）と同じ又は同程度の厚さ（Z軸方向における長さ）を連結金属部570に持たせると良い。

[0120] 半導体装置10のパッケージを5mm角程度のサイズを有するQFNパッケージとする場合、リード530a及び530b並びに連結金属部570の形状及び大きさにも依るが、外部端子 $OUT_{IN}[i]$ から連結金属部570

を經由して外部端子OUT。 $[i]$ に至るまでの抵抗成分は、数 $100\mu\Omega$ 程度である。仮に、その抵抗成分が $0.35m\Omega$ であったとすれば、そこに $100A$ の電流を流したときに、 $35mV$ の電圧降下が外部端子OUT $_{IN}[i]$ 及びOUT。 $[i]$ 間に発生する。このことから、図25に示すような構成は、 $100A$ 程度又は $100A$ 超の電流を外部端子OUT $_{IN}[i]$ 及びOUT。 $[i]$ 間に流すシステムにおいて、特に有益である。

[0121] また、連結金属部により連結される第1及び第2対象リード530は互いに隣接していなくても良い。例えば、図27に示す如く、互いに隣接しないリード530 a' 及び530 b' を連結金属部570'にて連結するようにしても良い。リード530 a' は外部端子OUT $_{IN}[i]$ を形成するリード530（即ち第1対象リード530）の例であり、リード530 b' は外部端子OUT。 $[i]$ を形成するリード530（即ち第2対象リード530）の例である。リード530 a' 及び530 b' は半導体装置10における共通の辺（辺SD1～SD4の何れか）に設けられるが、当該共通の辺においてリード530 a' 及び530 b' 間には1以上の他のリード530（図27では2つの他のリード530）が介在している（配置されている）。これら他のリード530を迂回しつつ、パッケージ内で連結金属部570'がリード530 a' 及び530 b' と一体に形成される。

[0122] 連結金属部570'は、リード530 a' 及び530 b' の厚さ（Z軸方向における長さ）と同じ又は同程度の厚さ（Z軸方向における長さ）を有する金属板であって良く、その厚さは、例えば $200\mu m$ である。リード530 a' 及び530 b' 間に設けられる他のリード530の個数を増減することで、連結金属部570'によるセンス用抵抗 $R_{SNS}[i]$ の抵抗値を増減させることができる。また、連結金属部570'の幅（リード530 a' 及び530 b' の並び方向及びZ軸に直交する方向における連結金属部570'の長さ）を調整することでもセンス用抵抗 $R_{SNS}[i]$ の抵抗値を調整できる。リード530 a' 及び530 b' 間に設けられる各リード530と半導体チップ510とのワイヤボンディングが難しい場合もあるので、リード53

0 a' 及び 530 b' 間に設けられる各リード 530 は半導体チップ 510 に接続されないリード 530 とされても良い（即ち NC 端子を構成するリード 530 であっても良い）。

[0123] このように、第 3 実施形態に係る半導体装置 10 において、連結金属部（570、570'）は半導体チップ 510 及びダイパッド 520 の周囲に配置され、半導体チップ 510 を経由することなく第 1 及び第 2 対象リード 530 間が連結金属部（570、570'）にて接続される。

[0124] 半導体装置 10 の製造工程において、連結金属部（570、570'）は上述のリードフレームの中に含まれる。即ち第 1 及び第 2 対象リード 530 並びに連結金属部（570、570'）が一体となった金属部を包含するリードフレームが用意され、上述のボンディング工程、封止工程、ダイシング工程及び出荷検査工程を経て、半導体装置 10 の個体が完成する。

[0125] 尚、第 3 実施形態に係る半導体装置 10 に対して、上述のリード間短絡技術を適用しても良いし、適用しなくても良い。図 25～図 27 は、リード間短絡技術の適用有無を無視している。

[0126] <<第 4 実施形態>>

本開示の第 4 実施形態を説明する。

[0127] 各実施形態に示された FET（電界効果トランジスタ）のチャネルの種類は例示であり、Nチャネル型の FET が Pチャネル型の FET に変更されるように、或いは、Pチャネル型の FET が Nチャネル型の FET に変更されるように、FET を含む回路の構成は変形され得る。

[0128] 不都合が生じない限り、上述の任意のトランジスタは、任意の種類のトランジスタであって良い。例えば、MOSFET として上述された任意のトランジスタを、不都合が生じない限り、接合型 FET、IGBT（Insulated Gate Bipolar Transistor）又はバイポーラトランジスタに置き換えることも可能である。任意のトランジスタは第 1 電極、第 2 電極及び制御電極を有する。FET においては、第 1 及び第 2 電極の内的一方がドレインで他方がソースであり且つ制御電極がゲートである。IGBT においては、第 1 及び

第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がゲートである。IGBTに属さないバイポーラトランジスタにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がベースである。

[0129] 本開示に係る半導体装置(10)の用途は、三相モータの駆動用途に限定されない。任意の配線に流れる任意の種類の電流(例えば、単相モータのコイルに流れる電流や、スイッチング電源回路のスイッチング素子、コイル又は出力端子に流れる電流)を検出する用途に、本開示に係る半導体装置(10)を適用することができる。

[0130] <<付記>>

上述の実施形態にて具体化された技術的思想について考察する。

[0131] 本開示の一側面に係る半導体装置(10)は、半導体集積回路が形成された半導体チップ(510)と、前記半導体チップの周囲に配置された複数のリード(530)と、前記複数のリードに含まれる2以上のリードと前記半導体チップとを接続する2以上のチップ向けワイヤ(540)と、封止樹脂(550)を有し、前記複数のリードの夫々の一部が前記封止樹脂から露出するように、前記半導体チップ、前記複数のリード及び前記2以上のチップ向けワイヤを封止するパッケージと、を備え、前記半導体集積回路は、センス用抵抗($R_{SNS}[i]$)を通じて流れる検出対象電流($I_L[i]$)を前記センス用抵抗での電圧降下に基づいて検出するように構成された電流検出回路(110)と、前記検出対象電流の検出結果に基づいて所定の動作を行うように構成された主回路(120及び130)と、を備え、前記複数のリードは、前記センス用抵抗の一端及び他端に接続される第1及び第2リード(530a及び530b、530A及び530B、又は、530a'及び530b')を含み、前記パッケージ内において、前記半導体チップを経由することなく前記第1及び前記第2リード間を接続するセンス用金属体(560、570又は570')を用いて前記センス用抵抗を形成した構成(第1の構成)である。

[0132] 主回路は図1の構成例では制御回路120及びブリドライバ回路130により構成されるが、本開示において、主回路は、これに限定されず、主回路が行う動作は任意である。例えば、入力電圧を出力トランジスタにてスイッチングすることで矩形波状のスイッチング電圧を生成し、スイッチング電圧をコイル及び出力コンデンサから成る整流平滑回路で整流及び平滑化することにより出力電圧を生成する降圧型スイッチング電源回路を想定し、当該降圧型スイッチング電源回路の構成要素として本開示の半導体装置が利用される場合を考える。この場合には、上記出力トランジスタに流れる電流又は整流平滑回路のコイルに流れる電流を検出対象電流として取り扱い、半導体装置内の主回路は、検出対象電流の検出結果に基づき所定の動作として出力トランジスタのスイッチングを行うようにしても良い。

[0133] 上記第1の構成に係る半導体装置において、具体的には例えば（図10A、図23等参照）、前記複数のリードは、前記半導体装置が実装されるべき基板（SUB）上で前記第1及び第2リードと、夫々、短絡されるべき第3及び第4リード（530c及び530d、又は、530C及び530D）を含み、前記2以上のチップ向けワイヤは、前記第3リードと前記半導体チップとを接続する第1チップ向けワイヤ（540c又は540C）及び前記第4リードと前記半導体チップとを接続する第2チップ向けワイヤ（540d又は540D）を含み、前記電流検出回路は、前記半導体チップ及び前記第1チップ向けワイヤ間の接続点（542c）と、前記半導体チップ及び前記第2チップ向けワイヤ間の接続点（542d）と、の間の電位差に基づいて、前記検出対象電流を検出するように構成された構成（第2の構成）であっても良い。

[0134] 上記第2の構成に係る半導体装置において、前記電流検出回路は、前記センス用金属体の実抵抗値に応じて予め設定された校正情報と、前記電位差と、に基づいて、前記検出対象電流を検出するように構成された構成（第3の構成）であっても良い。

[0135] 上記第3の構成に係る半導体装置において、前記電流検出回路は、前記パ

ッケージ内の温度に応じた信号も参照して前記検出対象電流を検出するように構成された構成（第４の構成）であっても良い。

[0136] 上記第１～第４の構成の何れかに係る半導体装置において、前記センス用金属体は、１以上のセンス用ワイヤにて構成される構成（第５の構成）であっても良い。

[0137] 上記第５の構成に係る半導体装置において、前記パッケージ内において、前記半導体チップを経由することなく前記第１及び第３リード間を短絡する第１短絡用金属体と、前記半導体チップを経由することなく前記第２及び第４リード間を短絡する第２短絡用金属体と、を更に設けた構成（第６の構成）であっても良い。

[0138] 上記第６の構成に係る半導体装置において、各短絡用金属体の抵抗値は、前記１以上のセンス用ワイヤにて構成された前記センス用金属体の抵抗値よりも小さい構成（第７の構成）であっても良い。

[0139] 上記第１～第４の構成の何れかに係る半導体装置において、前記センス用金属体としての前記センス用抵抗は、前記パッケージ内において前記第１及び第２リードと一体に形成された連結金属部により形成される構成（第８の構成）であっても良い。

[0140] 上記第１～第８の構成の何れかに係る半導体装置において、前記第１及び第２リードは互いに隣接する２つのリードである、又は、前記第１及び第２リード間に１以上の他のリードが介在する構成（第９の構成）であっても良い。

[0141] 本開示の一側面に係るモータ駆動システム（ＳＹＳ）は、第１～第３コイル（ $L[1] \sim L[3]$ ）を有する三相モータ（３０）と、各コイルに対して電流を供給するように構成されたインバータ回路（２０）と、上記第１～第９の構成の何れかに係る半導体装置（１０）と、を備え、前記半導体装置における前記電流検出回路（１１０）は、第１～第３センス用抵抗（ $R_{SNS}[1] \sim R_{SNS}[3]$ ）を通じて流れる第１～第３検出対象電流（ $I_L[1] \sim I_L[3]$ ）を前記第１～第３センス用抵抗での電圧降下に基づいて検出す

るように構成され、前記第１～第３検出対象電流は前記第１～第３コイルに流れる電流であり、前記半導体装置において、前記第１及び第２リード並びに前記センス用金属体の組が３組分設けられて、各組の前記センス用金属体を用いて各センス用抵抗を形成し、前記半導体装置における前記主回路（１２０及び１３０）は、前記第１～第３検出対象電流の検出結果に基づき前記インバータ回路を制御するように構成された構成（第１０の構成）である。

[0142] 本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

符号の説明

- [0143] S Y S モータ駆動システム
- １０ 半導体装置
 - ２０ インバータ回路
 - ３０ 三相モータ
 - ４０ 上位回路
 - １１０ 電流検出回路
 - １２０ 制御回路
 - １３０ プリドライバ回路
 - ５１０ 半導体チップ
 - ５２０ ダイパッド
 - ５３０ リード
 - ５４０ チップ向けワイヤ
 - ５５０ 封止樹脂
 - ５６０ センス用ワイヤ
 - ５７０、５７０' 連結金属部

SHORT_{a c}、SHORT_{b d} SHORT_{AC}、SHORT_{BD} 短絡用金属体

請求の範囲

[請求項1]

半導体集積回路が形成された半導体チップと、
前記半導体チップの周囲に配置された複数のリードと、
前記複数のリードに含まれる2以上のリードと前記半導体チップとを接続する2以上のチップ向けワイヤと、
封止樹脂を有し、前記複数のリードの夫々の一部が前記封止樹脂から露出するように、前記半導体チップ、前記複数のリード及び前記2以上のチップ向けワイヤを封止するパッケージと、を備え、
前記半導体集積回路は、センス用抵抗を通じて流れる検出対象電流を前記センス用抵抗での電圧降下に基づいて検出するように構成された電流検出回路と、前記検出対象電流の検出結果に基づいて所定の動作を行うように構成された主回路と、を備え、
前記複数のリードは、前記センス用抵抗の一端及び他端に接続される第1及び第2リードを含み、
前記パッケージ内において、前記半導体チップを経由することなく前記第1及び前記第2リード間を接続するセンス用金属体を用いて前記センス用抵抗を形成した
半導体装置。

[請求項2]

前記複数のリードは、前記半導体装置が実装されるべき基板上で前記第1及び第2リードと、夫々、短絡されるべき第3及び第4リードを含み、
前記2以上のチップ向けワイヤは、前記第3リードと前記半導体チップとを接続する第1チップ向けワイヤ及び前記第4リードと前記半導体チップとを接続する第2チップ向けワイヤを含み、
前記電流検出回路は、前記半導体チップ及び前記第1チップ向けワイヤ間の接続点と、前記半導体チップ及び前記第2チップ向けワイヤ間の接続点と、の間の電位差に基づいて、前記検出対象電流を検出するように構成された

請求項 1 に記載の半導体装置。

[請求項3] 前記電流検出回路は、前記センス用金属体の実抵抗値に応じて予め設定された校正情報と、前記電位差と、に基づいて、前記検出対象電流を検出するように構成された請求項 2 に記載の半導体装置。

[請求項4] 前記電流検出回路は、前記パッケージ内の温度に応じた信号も参照して前記検出対象電流を検出するように構成された請求項 3 に記載の半導体装置。

[請求項5] 前記センス用金属体は、1 以上のセンス用ワイヤにて構成される請求項 1 ～ 4 の何れかに記載の半導体装置。

[請求項6] 前記パッケージ内において、前記半導体チップを経由することなく前記第 1 及び第 3 リード間を短絡する第 1 短絡用金属体と、前記半導体チップを経由することなく前記第 2 及び第 4 リード間を短絡する第 2 短絡用金属体と、を更に設けた請求項 5 に記載の半導体装置。

[請求項7] 各短絡用金属体の抵抗値は、前記 1 以上のセンス用ワイヤにて構成された前記センス用金属体の抵抗値よりも小さい請求項 6 に記載の半導体装置。

[請求項8] 前記センス用金属体としての前記センス用抵抗は、前記パッケージ内において前記第 1 及び第 2 リードと一体に形成された連結金属部により形成される請求項 1 ～ 4 の何れかに記載の半導体装置。

[請求項9] 前記第 1 及び第 2 リードは互いに隣接する 2 つのリードである、又は、前記第 1 及び第 2 リード間に 1 以上の他のリードが介在する請求項 1 ～ 8 の何れかに記載の半導体装置。

[請求項10] 第 1 ～ 第 3 コイルを有する三相モータと、
各コイルに対して電流を供給するように構成されたインバータ回路と、

請求項 1 ～ 9 の何れかに記載の半導体装置と、を備え、

前記半導体装置における前記電流検出回路は、第 1 ～ 第 3 センス用抵抗を通じて流れる第 1 ～ 第 3 検出対象電流を前記第 1 ～ 第 3 センス用抵抗での電圧降下に基づいて検出するように構成され、

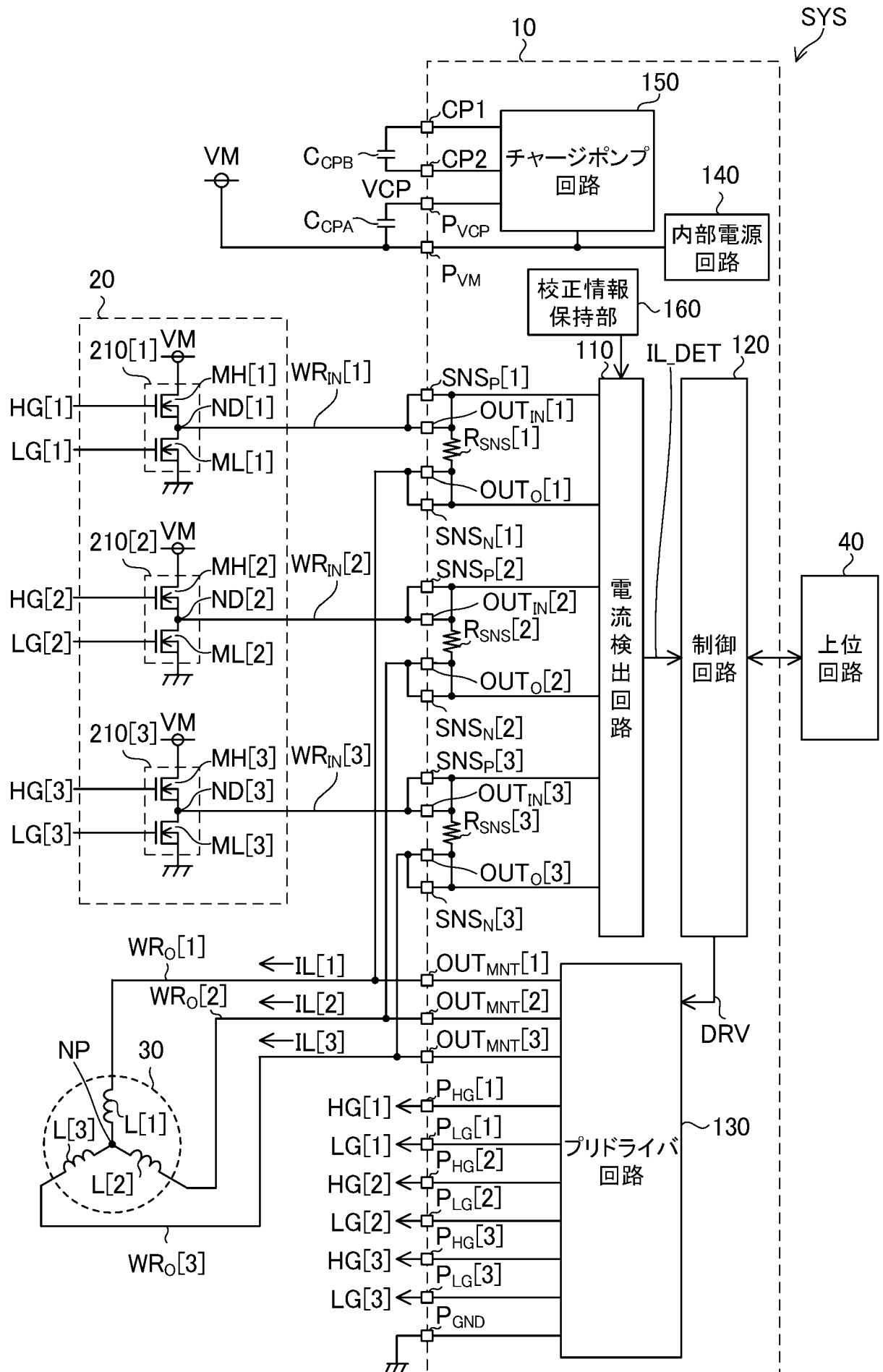
前記第 1 ～ 第 3 検出対象電流は前記第 1 ～ 第 3 コイルに流れる電流であり、

前記半導体装置において、前記第 1 及び第 2 リード並びに前記センス用金属体の組が 3 組分設けられて、各組の前記センス用金属体を用いて各センス用抵抗を形成し、

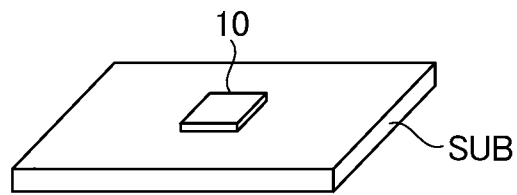
前記半導体装置における前記主回路は、前記第 1 ～ 第 3 検出対象電流の検出結果に基づき前記インバータ回路を制御するように構成された

モータ駆動システム。

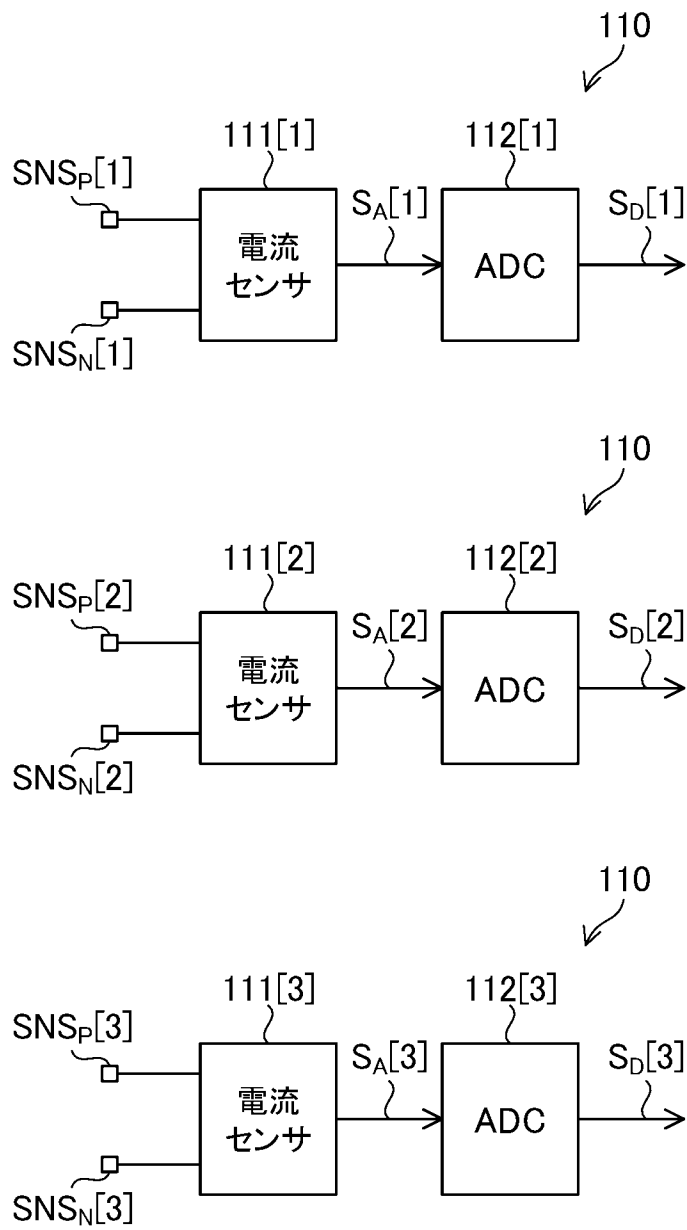
[図1]



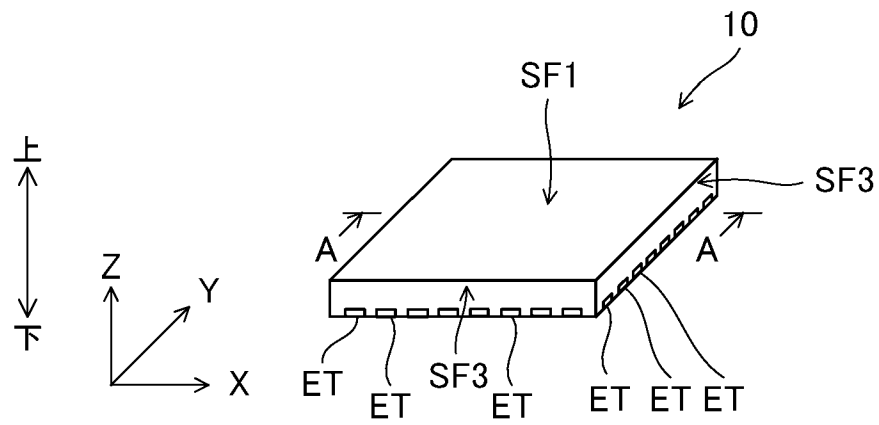
[図2]



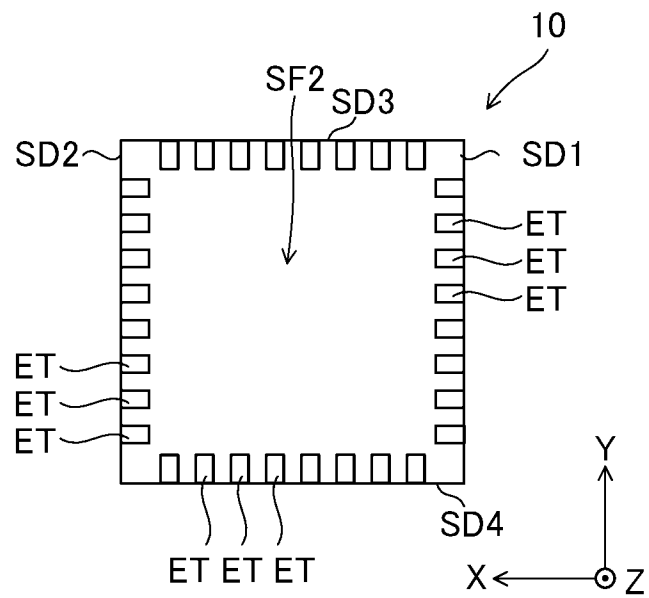
[図3]



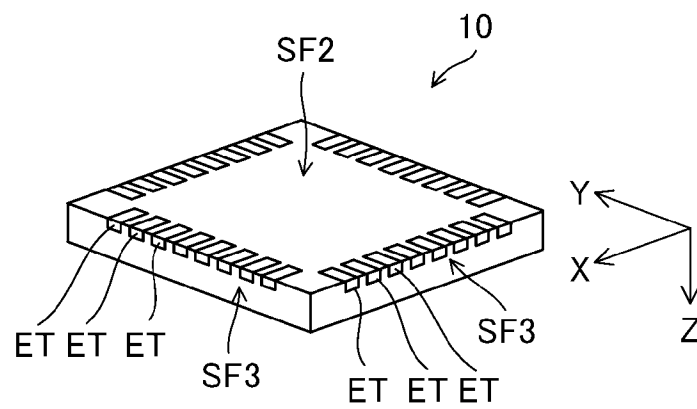
[図4]



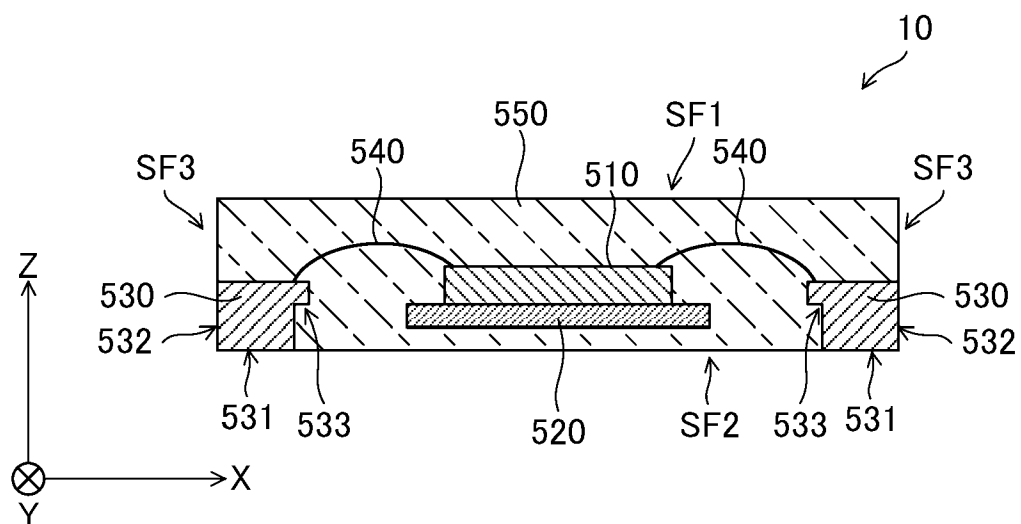
[図5]



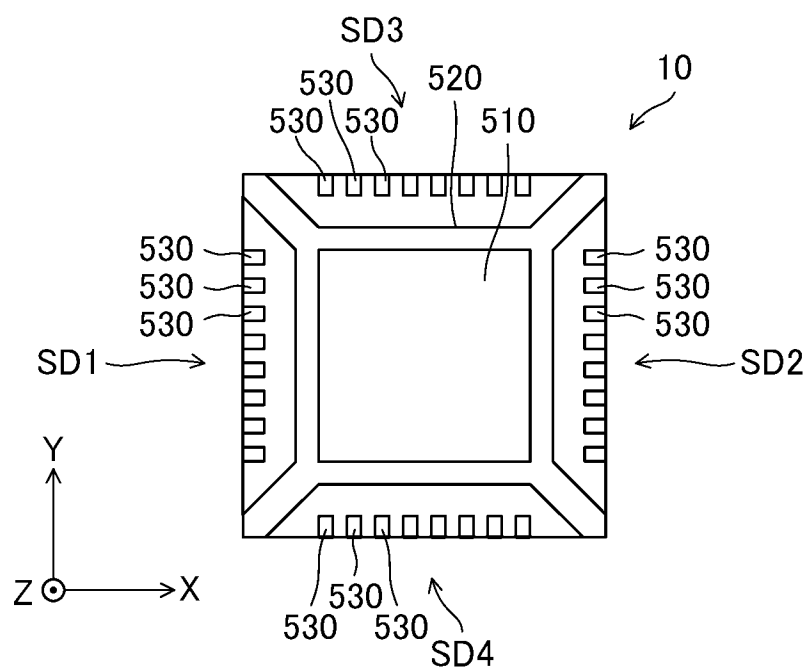
[図6]



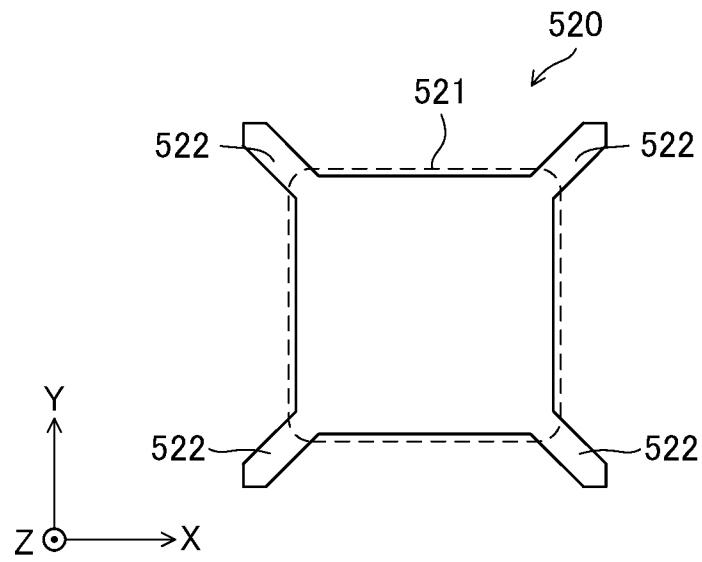
[図7]



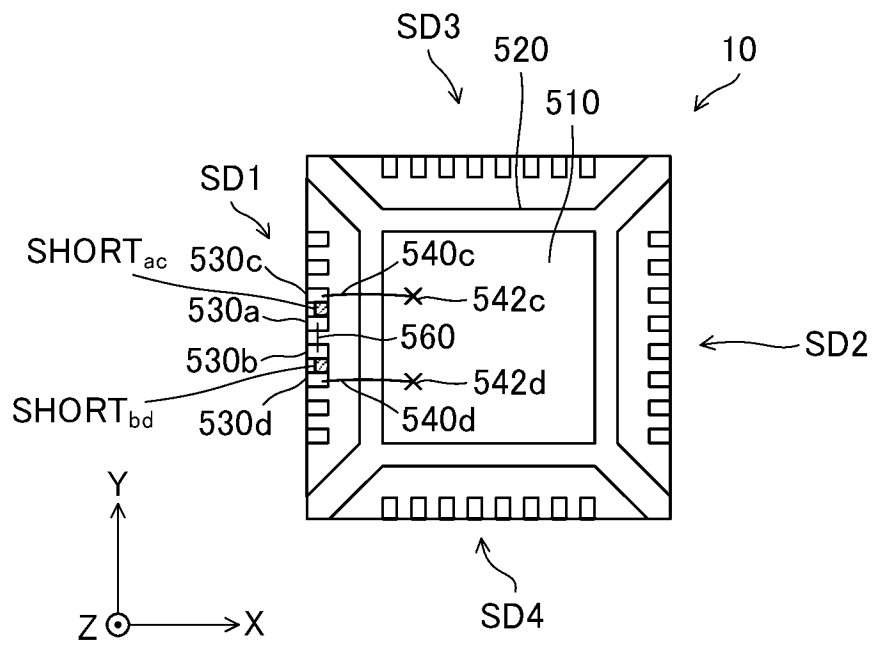
[図8]

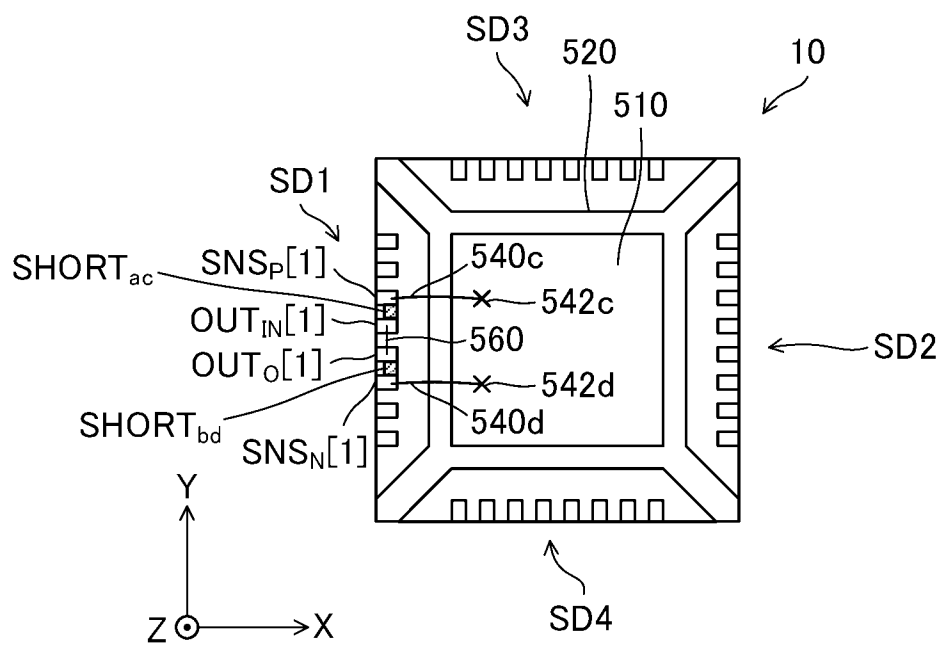
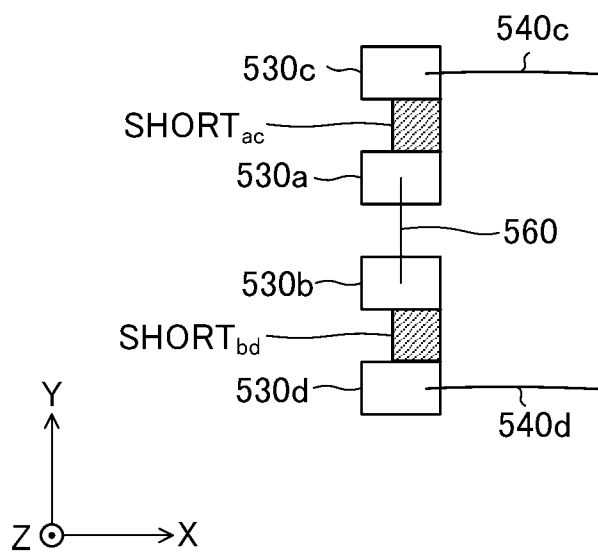


[図9]

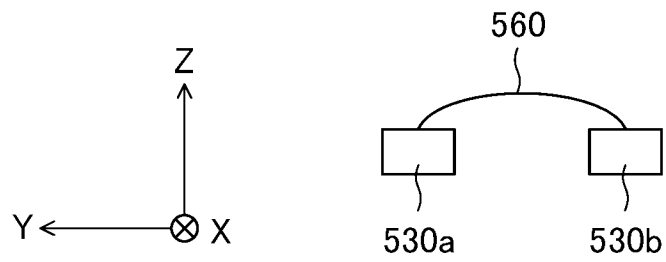


[図10A]

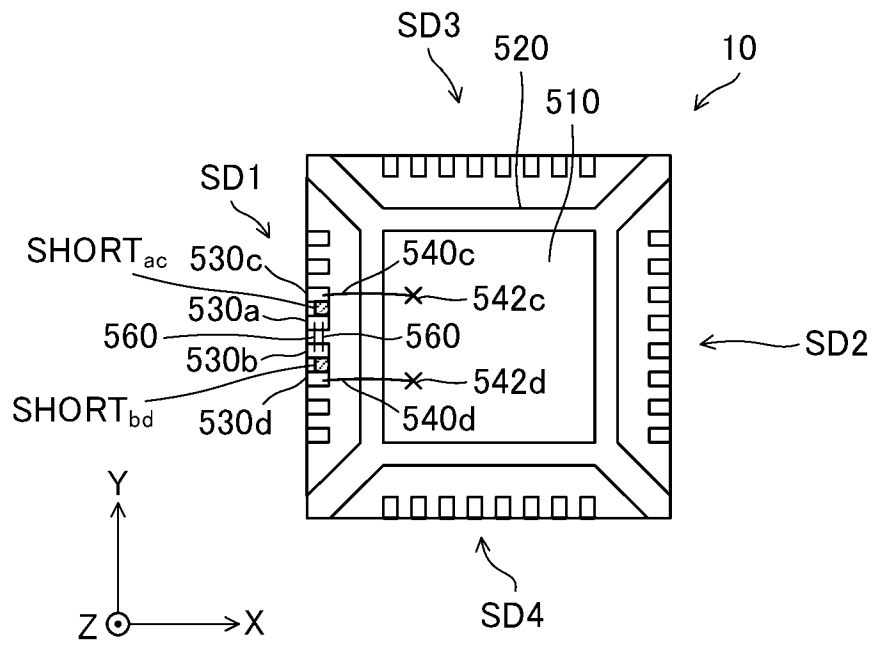




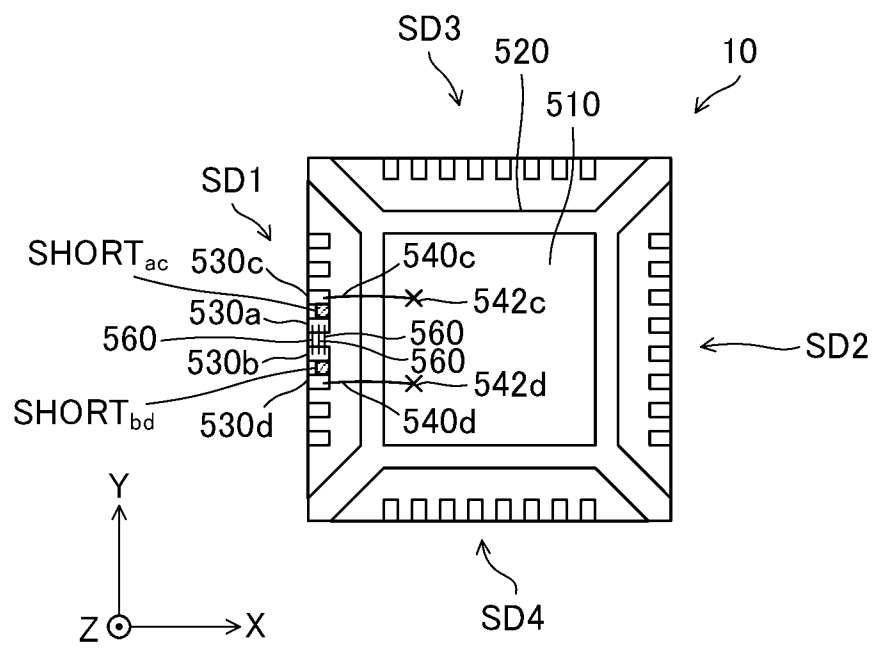
[図12]



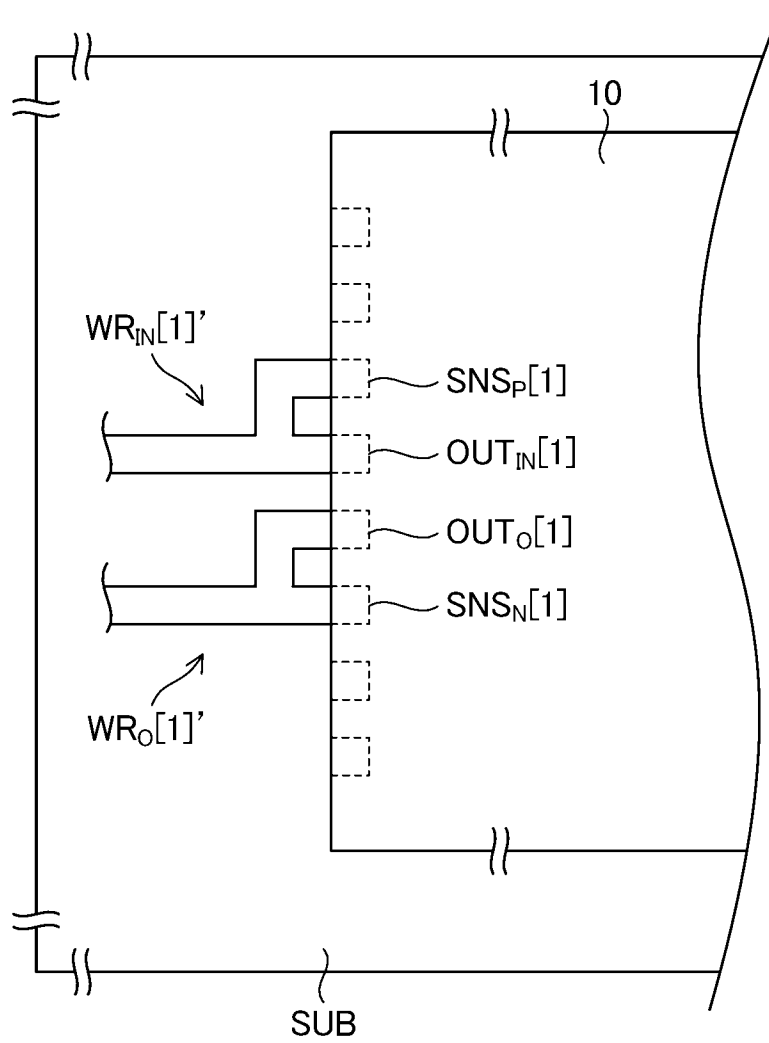
[図13]



[図14]

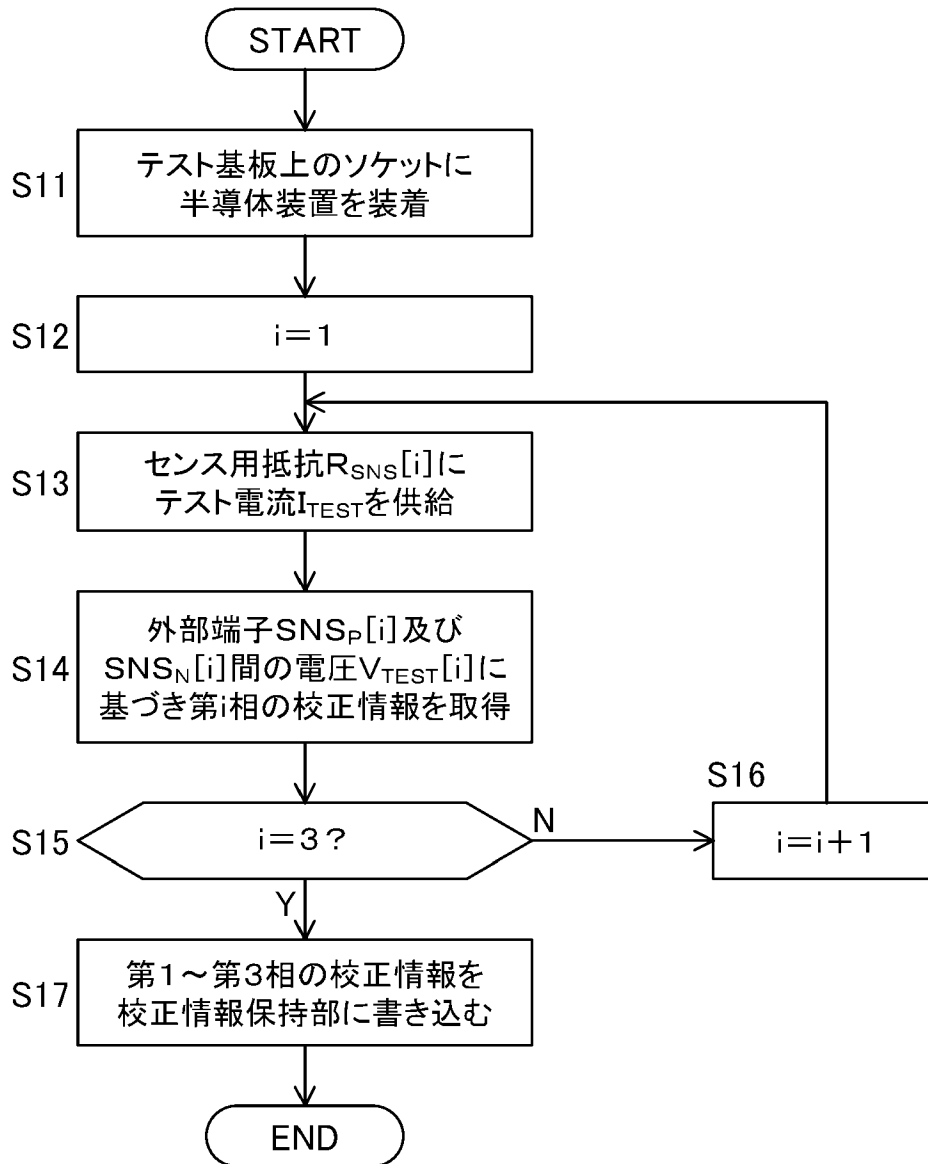


[図15]

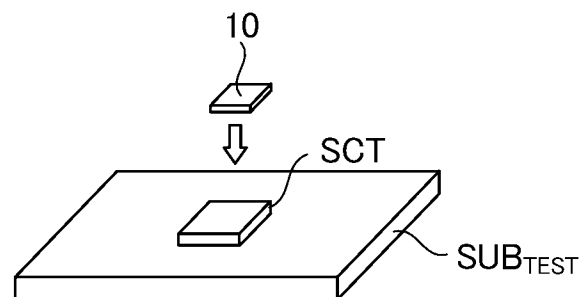


[図16]

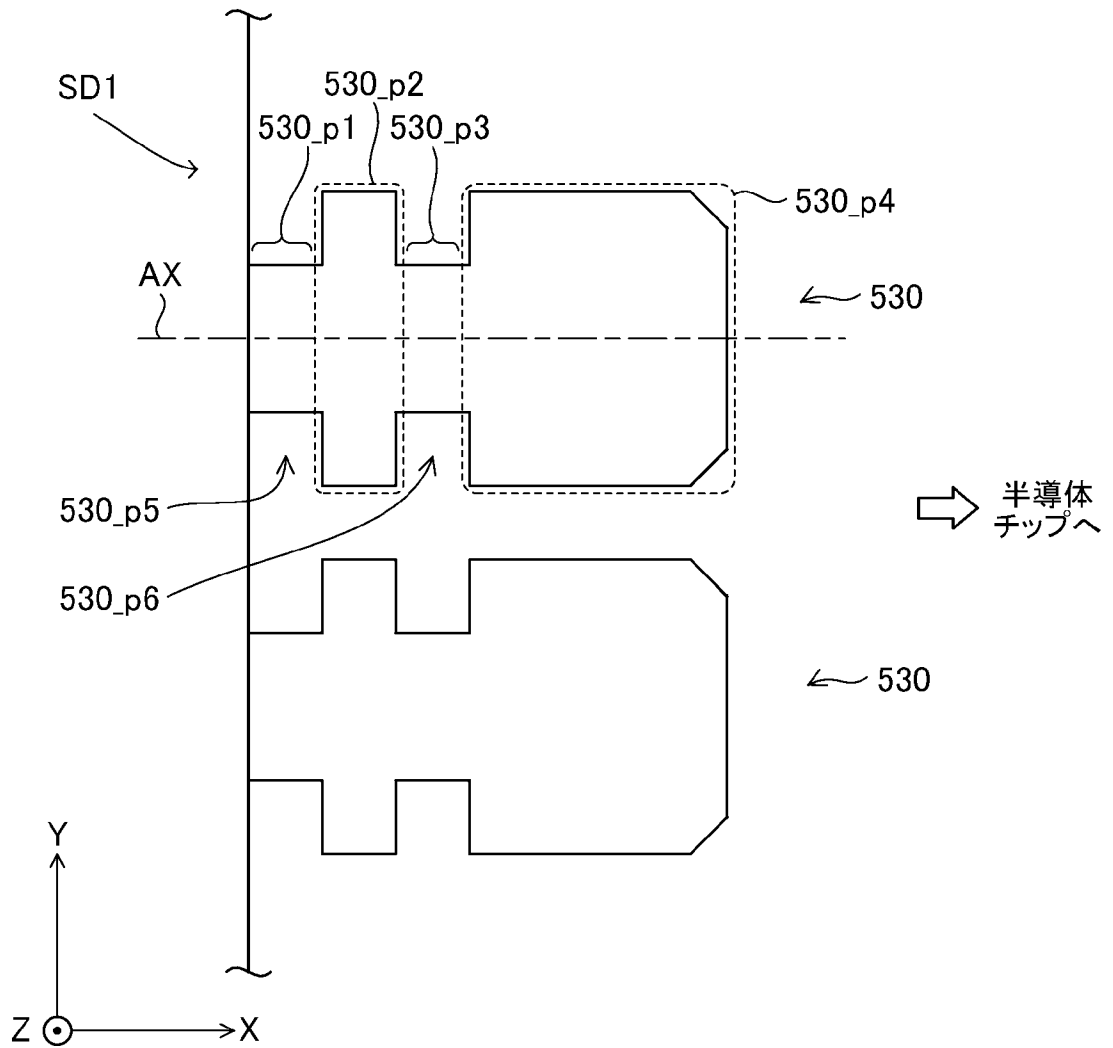
テスト工程



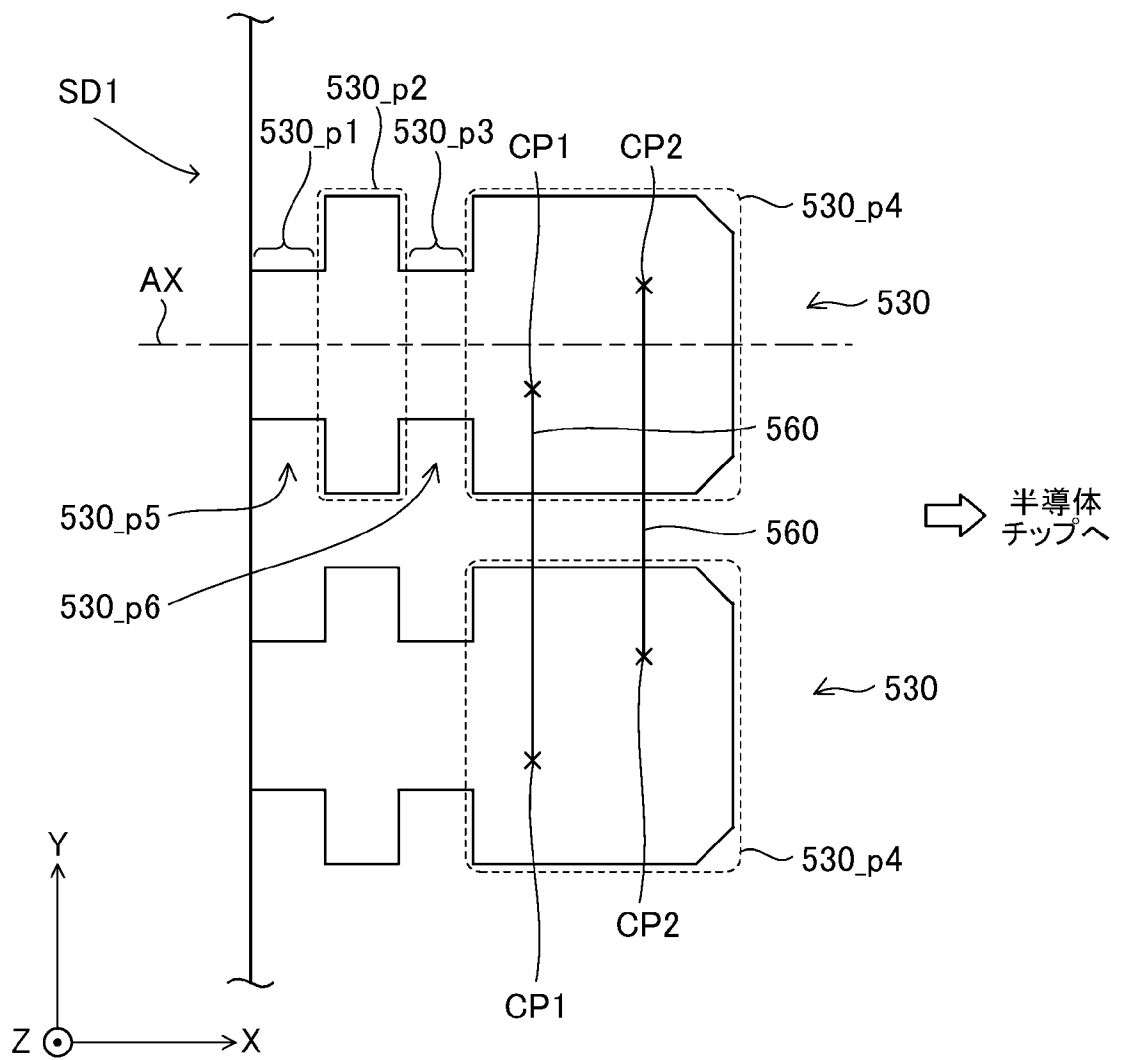
[図17]



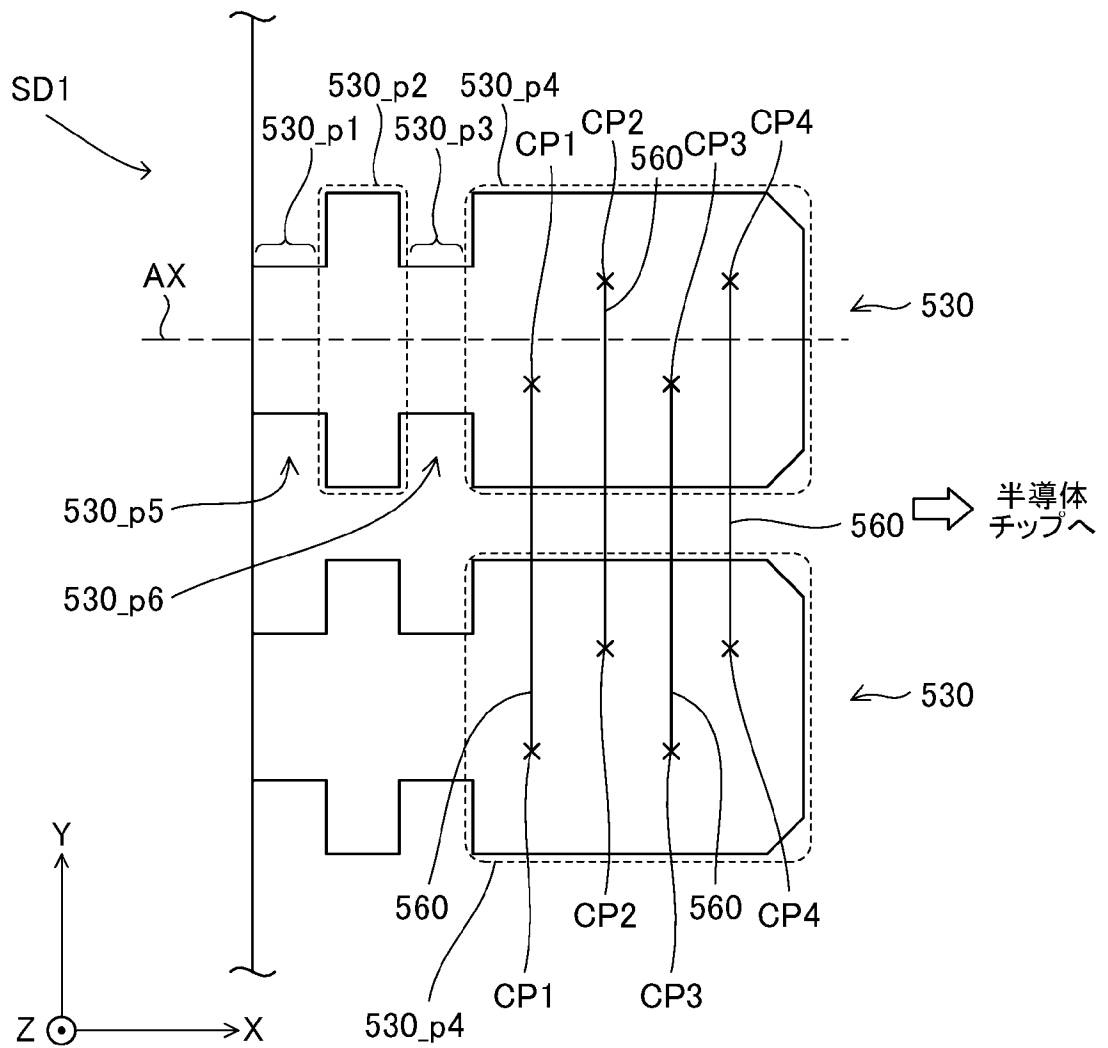
[図18]



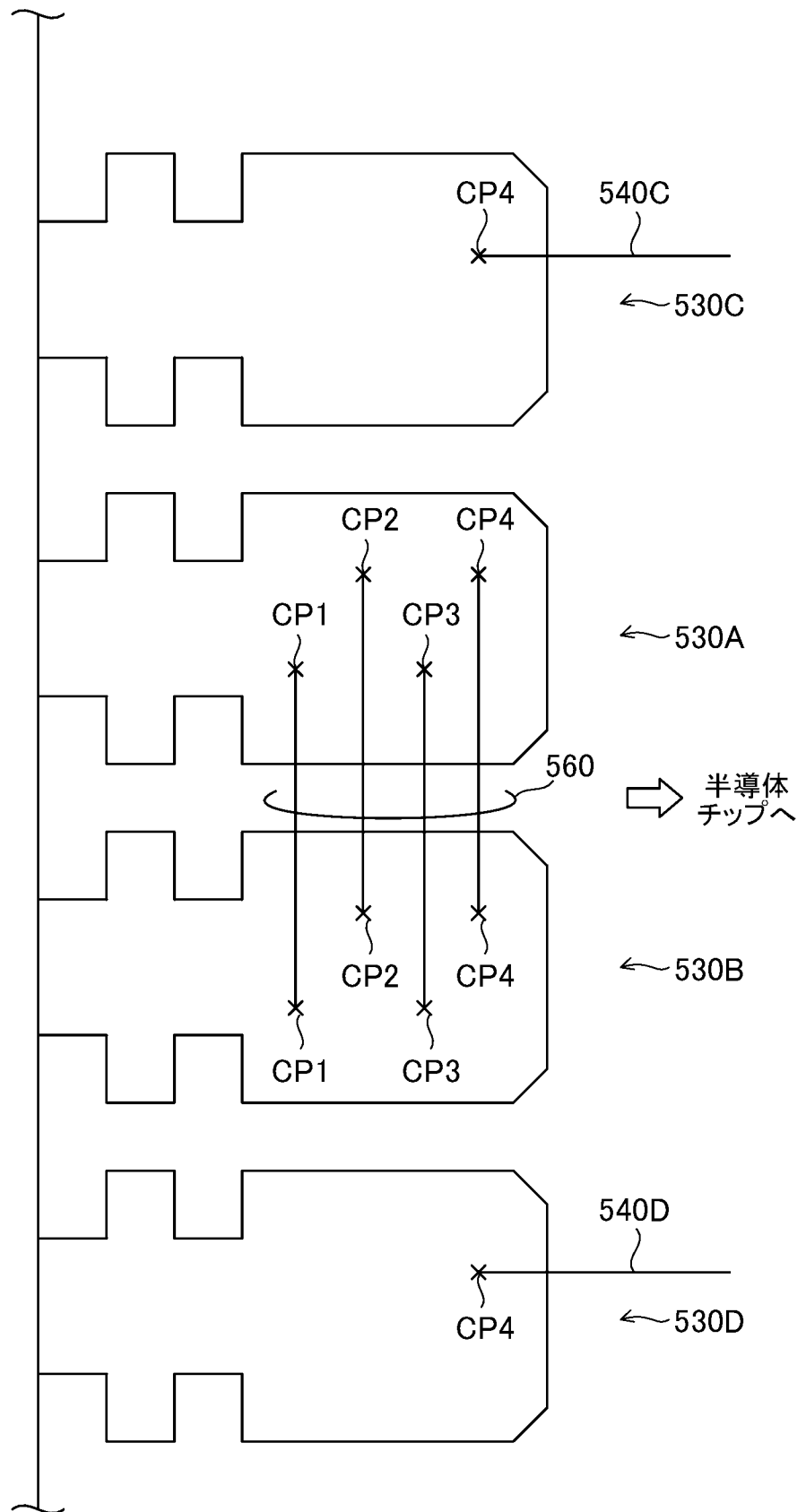
[図19]



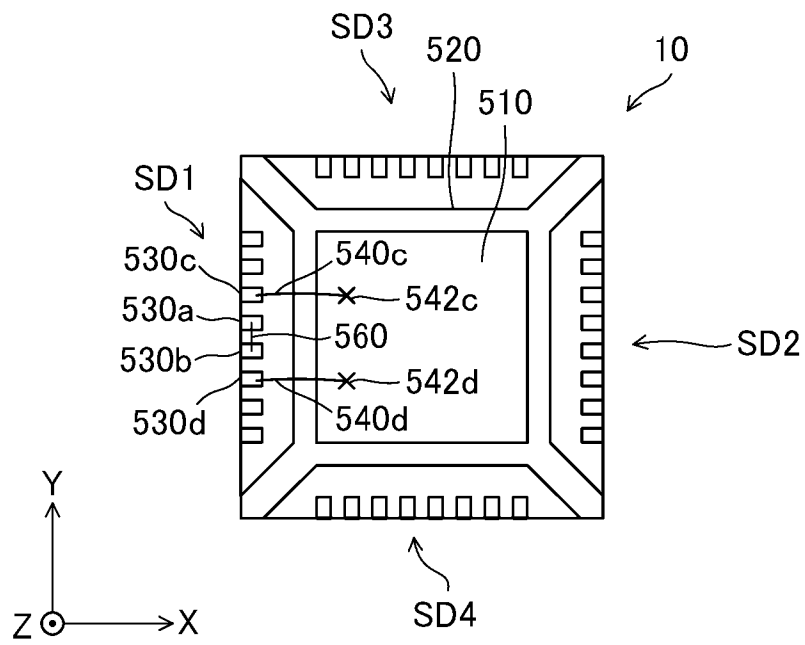
[図20]



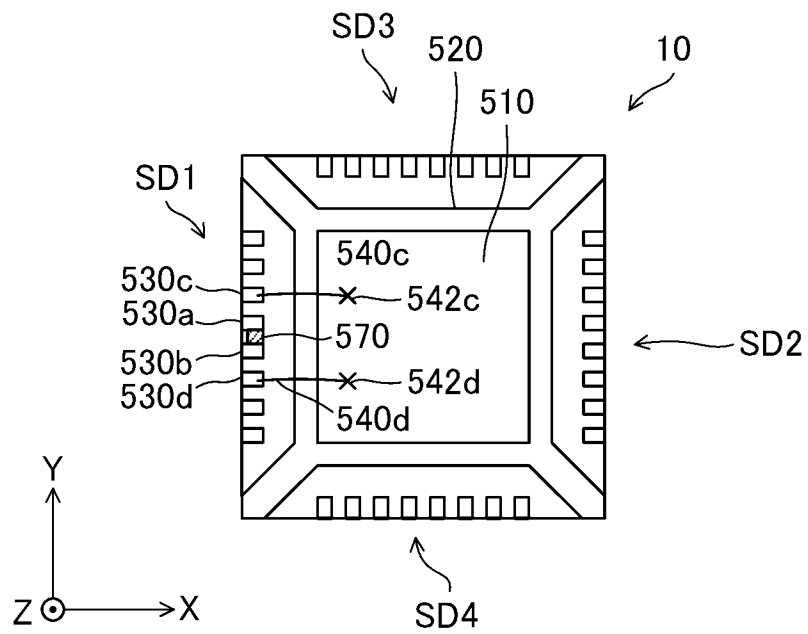
[図21]



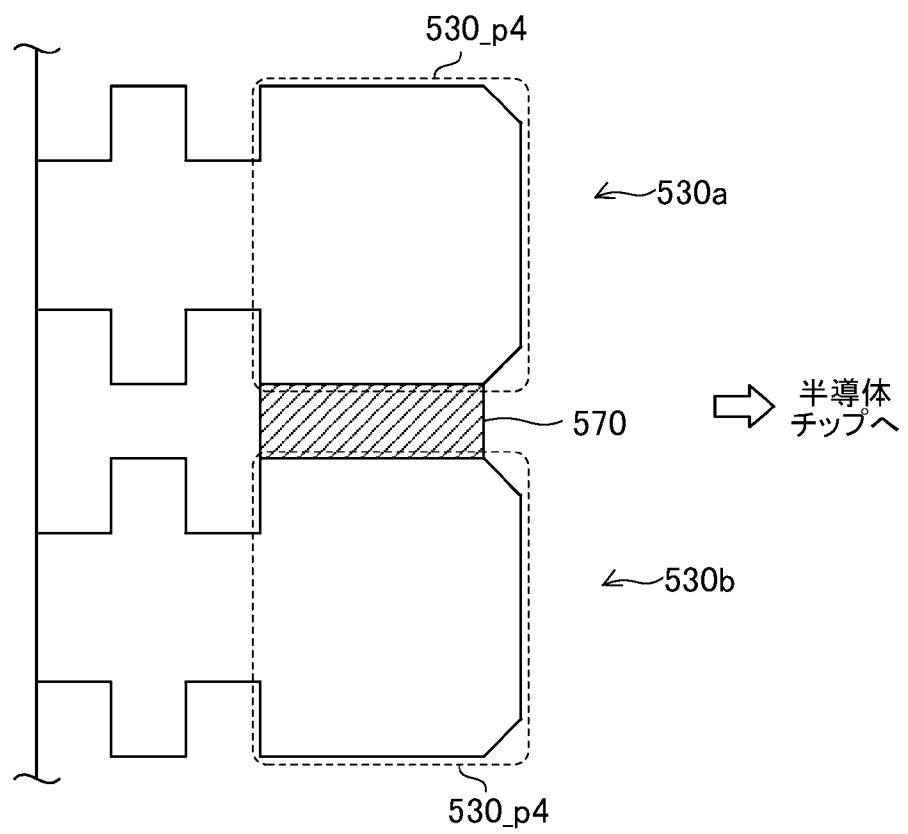
[図24]



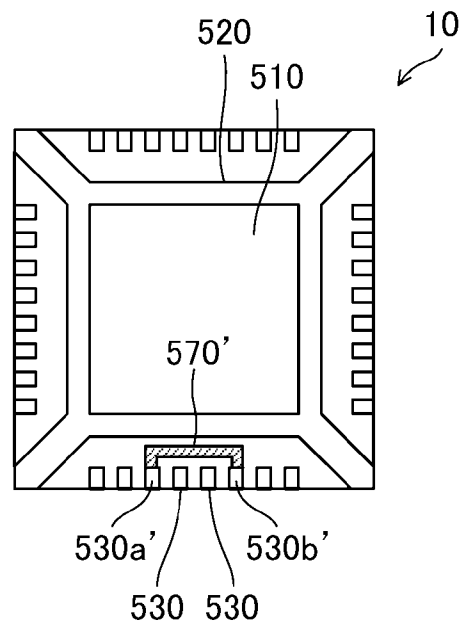
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/023767

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/50 (2006.01) i

FI: H01L23/50 R

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2020-13955 A (RENESAS ELECTRONICS CORP.) 23 January 2020 (2020-01-23) paragraphs [0006], [0014]-[0023], [0082]-[0083], fig. 1-4, 17	1, 9-10 2-8
Y A	JP 2019-204997 A (ROHM CO., LTD.) 28 November 2019 (2019-11-28) paragraphs [0001], [0168]-[0175], fig. 21-22	1, 9-10 2-8
A	WO 2012/120568 A1 (PANASONIC CORP.) 13 September 2012 (2012-09-13) paragraphs [0001], [0143]-[0150], fig. 16	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

24 August 2021 (24.08.2021)

Date of mailing of the international search report

31 August 2021 (31.08.2021)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/023767

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2020-13955 A	23 Jan. 2020	(Family: none)	
JP 2019-204997 A	28 Nov. 2019	US 2019/0356310 A1 paragraphs [0002], [0201]-[0208], fig. 21-22	
WO 2012/120568 A1	13 Sep. 2012	US 2013/0320496 A1 paragraphs [0002], [0188]-[0196], fig. 16	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/50(2006.01)i FI: H01L23/50 R														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/50 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	JP 2020-13955 A（ルネサスエレクトロニクス株式会社）23.01.2020（2020 - 01 - 23） 段落[0006], [0014]-[0023], [0082]-[0083], 図1-4, 17	1, 9-10 2-8												
Y A	JP 2019-204997 A（ローム株式会社）28.11.2019（2019 - 11 - 28） 段落[0001], [0168]-[0175], 図21-22	1, 9-10 2-8												
A	WO 2012/120568 A1（パナソニック株式会社）13.09.2012（2012 - 09 - 13） 段落[0001], [0143]-[0150], 図16	1-10												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 24.08.2021	国際調査報告の発送日 31.08.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小池 英敏 5F 8396 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/023767

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-13955	A	23.01.2020	(ファミリーなし)	
JP	2019-204997	A	28.11.2019	US 2019/0356310 A1	
				段落[0002], [0201]-[0208], 図21-22	
WO	2012/120568	A1	13.09.2012	US 2013/0320496 A1	
				段落[0002], [0188]-[0196], 図16	