

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4401488号
(P4401488)

(45) 発行日 平成22年1月20日 (2010. 1. 20)

(24) 登録日 平成21年11月6日 (2009. 11. 6)

(51) Int. Cl.

F I

G 0 9 F 9/00 (2006. 01)

G 0 9 F 9/00 3 4 6 D

G 0 9 F 9/30 (2006. 01)

G 0 9 F 9/30 3 3 8

H 0 1 L 29/786 (2006. 01)

H 0 1 L 29/78 6 1 2 A

H 0 4 N 5/335 (2006. 01)

H 0 4 N 5/335 U

G 0 2 F 1/1343 (2006. 01)

G 0 2 F 1/1343

請求項の数 1 (全 18 頁)

(21) 出願番号	特願平11-235768	(73) 特許権者	000001007
(22) 出願日	平成11年8月23日 (1999. 8. 23)		キヤノン株式会社
(65) 公開番号	特開2000-148037 (P2000-148037A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成12年5月26日 (2000. 5. 26)	(74) 代理人	100076428
審査請求日	平成18年8月9日 (2006. 8. 9)		弁理士 大塚 康德
(31) 優先権主張番号	特願平10-247217	(74) 代理人	100112508
(32) 優先日	平成10年9月1日 (1998. 9. 1)		弁理士 高柳 司郎
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 光電変換装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素列を構成するように複数の画素がマトリックス状に配列された光電変換装置であって、

前記複数の画素はそれぞれ、

第1の主電極、第2の主電極、及びこれらの二つの主電極間の電氣的導通を制御する制御電極を有する薄膜トランジスタと、

第1の電極及び第2の電極を有し、前記第1の電極が前記薄膜トランジスタの第1の主電極に接続されている光電変換素子と

を備え、

前記光電変換装置は、

複数の画素列のそれぞれに対して設けられた複数の信号転送ラインと、

複数の画素列のそれぞれに対して設けられた複数のバイアスラインであって、該当する画素列を構成する画素の前記光電変換素子の第2の電極に各バイアスラインが接続された複数のバイアスラインと、

奇数列の画素列に対して設けられたバイアスラインの第1の端部を通して、当該画素列を構成する前記光電変換素子の第2の電極に蓄積された電子を除去するために当該第2の電極にバイアスを印加する第1の共通電極ドライバと、

偶数列の画素列に対して設けられたバイアスラインの第1の端部を通して、当該画素列を構成する前記光電変換素子の第2の電極に蓄積された電子を除去するために当該第2の

電極にバイアスを印加する第2の共通電極ドライバと、

前記薄膜トランジスタの制御電極に接続されており、前記光電変換素子の第1の電極からの電気信号を当該薄膜トランジスタの第2の主電極と前記信号転送ラインとを通して読み出すことで、暗電流除去のための空読み出しと目的の読み出し信号を得るための本読み出しとを行うゲートドライバと、

奇数列の画素列に対して設けられたバイアスラインの第2の端部同士を電氣的に接続する第1の冗長配線と、

偶数列の画素列に対して設けられたバイアスラインの第2の端部同士を電氣的に接続する第2の冗長配線と

を備え、

奇数列の画素列を構成する画素に対して前記バイアスの印加、前記空読み出し、及び前記本読み出しを順に行うサイクルと、偶数列の画素列を構成する画素に対して前記バイアスの印加、前記空読み出し、及び前記本読み出しを順に行うサイクルとが半サイクル分ずれており、

前記第1の共通電極ドライバによる前記バイアスの印加と前記第2の共通電極ドライバによる前記バイアスの印加とは異なるタイミングで行われ、

奇数列の画素列における前記空読み出しと偶数列の画素列における前記本読み出しとが同時に行われ、且つ奇数列の画素列における前記本読み出しと偶数列の画素列における前記空読み出しとが同時に行われる

ことを特徴とする光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、例えば液晶表示装置や光電変換装置を構成するのに好適に使用される薄膜トランジスタ（TFT）マトリックスパネルを有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術及び発明が解決しようとする課題】

従来、液晶パネルなどの表示装置の表示部やエリアセンサなどの光電変換装置の読取部をX-Yマトリックス状に配列された多数の表示画素や読取画素により構成し、各画素への信号入力や各画素からの信号読出しを画素ごとに設けられたTFTを介してX-Yマトリックス駆動方式で行うことが、広く行われている。表示装置の表示画素は少なくとも一方が透明な1対の電極の間に液晶を介在させた液晶表示素子を用いて構成することができ、光電変換装置の読取画素は1対の電極の間に半導体光電変換層を介在させた光電変換素子を用いて構成することができる。

【0003】

このようなTFT付きの画素のマトリックス状配列を有するTFTパネルは、近年、急速に大判化が進んでいる。これは、TFTパネルを用いた液晶表示装置の製造技術の発展や、光電変換素子を有するエリアセンサの多岐にわたる分野での利用（例えばX線撮像装置への適用）の影響によるものである。また、この大判化の流れとともに、画素パターンの配列ピッチの微細化が進んでいる。これらのパネル大判化や画素微細化に伴い、TFTパネル製造工程における歩留まりの低下が生じている。その原因として、次のような事が考えられる：

（1）パネルの大判化が進むにつれて、パネルあたりの配線距離が増加し、これに伴い断線確率が高くなる；

（2）パネルの画素パターンの微細化が進むにつれて、パネルあたりのTFTや配線クロス部の面積が増加したため、上下の金属配線間のショート確率が高くなる；

（3）静電気破壊（ESD）。即ち、パネルの大判化により外部と接触可能な面積が大きくなり、静電気の発生量が大きくなりやすく、かくしてESDによる不良発生の確率が高くなる。

10

20

30

40

50

【0004】

これらの技術的課題を解決することにより、歩留まりの向上が確保される。しかし、これらの原因のうち、(1)は配線幅を太くする事により解決されるが、逆に(2)は上下の金属配線間のクロス部の面積を減少させること、つまり、クロス部の配線幅を細くすることにより解決される。また、配線を太くすることにより上下の金属配線間に形成される配線間容量が増加して、転送される信号の感度が低下する。また、冗長回路を形成することにより歩留まりの向上を目指すことが考えられるが、この冗長回路により画素コンデンサ部の開口率が減少する場合には感度が減少するといった問題も発生することがある。このように、配線幅の設計は非常に難しいものとなっている。

【0005】

10

図18に、TFTマトリックスパネルの等価回路の一例を示す。

【0006】

図18において、1はTFT（薄膜トランジスタ）3をマトリックス状に配したTFTマトリックスパネル、4はコンデンサ又は光電変換素子（ここではフォトダイオードなどの容量あるいはMIS（Metal Insulating Semiconductor）型光センサの容量若しくは光導電型光センサと組み合わせられた電荷蓄積コンデンサの容量として示す）、5は信号を転送する転送ライン（Signal line）、6はバイアスライン（Vsl line）、7はゲートライン（Vg line）、11はアンプを有する信号処理回路、12は共通電極ドライバ、13はゲートドライバであり、R1、R0はそれぞれ配線抵抗、Aは断線部、Bは短絡部である。

20

【0007】

尚、図中、c11, c12...c21, c22...c5nはそれぞれコンデンサ又は光電変換素子4を個々に示しており、t11, t12...t21, t22...t5nはそれぞれTFT3を個々に示しており、Vs1, Vs2...Vs5はそれぞれバイアスライン6を個々に示しており、Dr. 1, Dr. 2...Dr. nは各ゲートラインに対応するゲートドライバを個々に示している。

【0008】

図18に示される半導体装置においては、ゲートドライバ13のDr. 1~Dr. nから複数のゲートライン7（たとえばCr（クロム）配線）に供給されるバイアス電圧により、マトリックス状に配置された複数のTFT（t11~tmn）3を駆動し、各画素を構成するTFTと対をなす光電変換素子で得られた電気信号を、該光電変換素子c11~cmnの第1の電極から、複数の転送ライン5（たとえばAl（アルミニウム）配線）を通じて、信号処理回路11へと転送し、これにより各マトリックス素子即ち画素からの信号読出しを行う。

30

【0009】

また、共通電極ドライバ12に接続された複数のバイアスライン6（たとえばAl配線）に複数の光電変換素子（c11~cmn）の第2の電極を接続している。

【0010】

図19は、図18のTFTパネルの共通電極ドライバ12によるバイアスライン6へのバイアス印加側とは反対の側のコーナー部のパターン図の一例である。

40

【0011】

このTFTパネルの製造において、図18に符号Aで示されているように、バイアスラインVs2の断線が発生した際には、コンデンサ又は光電変換素子（c22~c2n）が共通電極ドライバ12から分離され、このコンデンサ又は光電変換素子が属する画素及びそれより下方の画素は欠陥画素となり、多くの場合はライン状の欠陥が発生する。また、図18に符号Bで示されているように、異物付着等によりバイアスラインとゲートラインとのショートが発生した際には、ショートした双方のラインに所望の電圧がかからないため、バイアスラインとゲートラインに沿って欠陥が発生する。このような欠陥発生は製造歩留まり低下の原因となっていた。

【0012】

50

本発明の目的は、画素のマトリックス状配列を有する半導体装置の製造工程における配線の断線や上下の金属配線間のショートによる歩留まりの低下を防止し、パネルが大判化し更に画素パターンが微細化しても、半導体装置を良好な歩留まりで製造することができる半導体装置及びその製造方法を提供することにある。

【0013】

更に、本発明の目的は、画素コンデンサ及びTFTを含んでなる画素のマトリックス状配列を有する半導体装置の画素コンデンサ部の開口率を減少させることなしに良好な歩留まりで製造可能な半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

本発明の上記目的は、複数の画素列を構成するように複数の画素がマトリックス状に配列された光電変換装置であって、

前記複数の画素はそれぞれ、

第1の主電極、第2の主電極、及びこれらの二つの主電極間の電氣的導通を制御する制御電極を有する薄膜トランジスタと、

第1の電極及び第2の電極を有し、前記第1の電極が前記薄膜トランジスタの第1の主電極に接続されている光電変換素子と

を備え、

前記光電変換装置は、

複数の画素列のそれぞれに対して設けられた複数の信号転送ラインと、

複数の画素列のそれぞれに対して設けられた複数のバイアスラインであって、該当する画素列を構成する画素の前記光電変換素子の第2の電極に各バイアスラインが接続された複数のバイアスラインと、

奇数列の画素列に対して設けられたバイアスラインの第1の端部を通して、当該画素列を構成する前記光電変換素子の第2の電極に蓄積された電子を除去するために当該第2の電極にバイアスを印加する第1の共通電極ドライバと、

偶数列の画素列に対して設けられたバイアスラインの第1の端部を通して、当該画素列を構成する前記光電変換素子の第2の電極に蓄積された電子を除去するために当該第2の電極にバイアスを印加する第2の共通電極ドライバと、

前記薄膜トランジスタの制御電極に接続されており、前記光電変換素子の第1の電極からの電気信号を当該薄膜トランジスタの第2の主電極と前記信号転送ラインとを通して読み出すことで、暗電流除去のための空読み出しと目的の読み出し信号を得るための本読み出しとを行うゲートドライバと、

奇数列の画素列に対して設けられたバイアスラインの第2の端部同士を電氣的に接続する第1の冗長配線と、

偶数列の画素列に対して設けられたバイアスラインの第2の端部同士を電氣的に接続する第2の冗長配線と

を備え、

奇数列の画素列を構成する画素に対して前記バイアスの印加、前記空読み出し、及び前記本読み出しを順に行うサイクルと、偶数列の画素列を構成する画素に対して前記バイアスの印加、前記空読み出し、及び前記本読み出しを順に行うサイクルとが半サイクル分ずれており、

前記第1の共通電極ドライバによる前記バイアスの印加と前記第2の共通電極ドライバによる前記バイアスの印加とは異なるタイミングで行われ、

奇数列の画素列における前記空読み出しと偶数列の画素列における前記本読み出しとが同時に行われ、且つ奇数列の画素列における前記本読み出しと偶数列の画素列における前記空読み出しとが同時に行われる

ことを特徴とする光電変換装置により達成される。

【0018】

【発明の実施の形態】

10

20

30

40

50

以下、本発明の実施の形態を図面を参照しながら説明する。

【0019】

〔実施形態1〕

図1は、本発明の実施形態1に関わるTFTマトリックスパネルの等価回路図である。本実施形態は、TFTパネルが光電変換装置に適用された例である。

【0020】

図1において、図18と同じ部材については説明を省略する。尚、本実施形態の場合、符号4は光電変換素子になる。光電変換素子としては、フォトダイオード型又はMIS型の（例えば基板上に電極、絶縁層、光電変換のための半導体層、オーミックコンタクト層（ n^+ 型半導体層）を少なくとも有する積層構造を有する）光センサを好適に使用することができ

10

【0021】

図1においては、冗長配線21が各バイアスラインに共通に設けられている。また、符号14は、図18の信号処理回路11と同様なアンプを有する信号処理回路である。

【0022】

図2は、図1のTFTパネルの共通電極ドライバ12によるバイアスライン6へのバイアス印加側とは反対の側のコーナー部の概略的パターン図である。

【0023】

本実施形態では、図1及び図2に示されているように、各バイアスライン V_{s1} 、 V_{s2} 、 V_{s3} 、・・・は、共通電極ドライバ12との接続側とは反対の側の端部どうしが冗長配線21により互いに電氣的に接続されている。該冗長配線21は、パネルの絶縁基板の切断により形成されるパネル端部31の近傍に位置している。

20

【0024】

図3は、本実施形態のTFTマトリックスパネルの製造の際の欠陥及びその修復方法の一例を説明するための等価回路図である。

【0025】

TFTパネルの製造において、図3に符号Aで示されているように、バイアスライン V_{s2} の断線が発生した際には、光電変換素子 $c_{22} \sim c_{2n}$ には、他の複数のバイアスライン（ V_{s1} 、 V_{s4} など）から冗長配線21を介してバイアス電圧が印加されることにより、ライン欠陥とならない。

30

【0026】

また、光電変換素子 c_{22} の欠陥により画素欠陥を生ぜしめた場合には、当該画素のTFT（ t_{22} ）に対してレーザー照射して光電変換素子 c_{22} と転送ラインとを分離することにより、電氣的な悪影響を防止することができる。

【0027】

また、図3に符号Bで示されているように、異物付着等によりバイアスライン V_{s3} とゲートラインとのショートが発生した際には、光電変換素子 c_{32} に係るバイアスライン方向及びゲートライン方向に関し隣接する部分もしくは当該方向に関する画素全体が欠陥となる。そこで、本実施形態では、ショートしたバイアスライン V_{s3} を、ショート部分を挟む両側においてレーザー照射してショート部分をバイアスライン V_{s3} の他の部分から電氣的に分離することにより、バイアスラインとゲートラインとのショートによる欠陥を防止することができる。即ち、光電変換素子 c_{32} に係るゲートラインは修復されるし、光電変換素子 c_{32} に係るバイアスライン V_{s3} は断線扱いとなるが、光電変換素子 $c_{32} \sim c_{3n}$ には、他の複数のバイアスライン（ V_{s1} 、 V_{s4} など）から冗長配線を介してバイアスが印加されることにより、ライン欠陥とならない。また、ショート部分の付近の光電変換素子の欠陥により画素欠陥を生ぜしめた場合には、当該欠陥画素のTFTに対してレーザー照射して欠陥の光電変換素子と転送ラインとを分離することにより、電氣的な悪影響を防止することができる。

40

【0028】

以上のようにして、本実施形態では、バイアスラインに接続される冗長配線をパネル絶縁

50

基板の端部 31 の近傍に位置させることで、画素の開口率を殆ど低下させることなしに、バイアスラインの断線やバイアスラインとゲートラインとのショートによる欠陥を修復して、製造歩留まりを向上させることができる。

【0029】

さらに、冗長配線 21 を設けることにより、共通電極ドライバからの印加バイアスに対する各画素までの配線抵抗を減少させることが可能となる。

【0030】

[実施形態 2]

図 4 は、本発明の実施形態 2 に関わる TFT マトリックスパネルの概略的等価回路図である。本実施形態は、TFT パネルが光電変換装置に適用された例である。

10

【0031】

図 4 において、図 18 と同じ部材については、図 18 の説明を参照することとして、ここでは説明を省略する。

【0032】

本実施形態では、共通電極ドライバ 12 に接続された複数のバイアスライン 6 に複数の光電変換素子 (c11 ~ cmn) の第 2 の電極をそれぞれ接続している点は変わらないが、本実施形態では、バイアスライン 6 を 2 系統に分割し、2 つの共通電極ドライバ 12 により各系統のバイアスライン 6 にバイアス電圧を印加可能にしている。

【0033】

本実施形態において、光電変換素子は MIS 型のセンサとして説明する。信号転送後、光電変換素子 (素子中にコンデンサが形成される) c11 ~ cmn の第 2 の電極に蓄積された電子は、 n^+ 型半導体層 (一方の電極を構成する) に共通電極ドライバ 12 からバイアスを印加することにより除去される。

20

【0034】

図 5 は、図 4 の TFT パネルの共通電極ドライバ 12 によるバイアスライン 6 へのバイアス印加側とは反対の側のコーナー部の概略的パターン図である。

【0035】

本実施形態では、図 4 及び図 5 に示されているように、各バイアスラインは、共通電極ドライバ 12 との接続側とは反対の側の端部どうしが冗長配線 21-1, 21-2 により互いに電氣的に接続されている。ここで、バイアスライン 6 は 2 つの系統に分割されており、各系統ごとに共通電極ドライバ 12 が別々に設けられており、また各系統ごとに冗長配線 21-1, 21-2 による接続がなされている。即ち、第 1 系統の複数のバイアスラインは一方の端部が第 1 の共通電極ドライバに接続されており他方の端部どうしが冗長配線 21-1 により互いに電氣的に接続されており、第 2 系統の複数のバイアスラインは一方の端部が第 2 の共通電極ドライバに接続されており他方の端部どうしが冗長配線 21-2 により互いに電氣的に接続されている。

30

【0036】

冗長配線 21-1 及び冗長配線 21-2 は、パネルの絶縁基板の切断により形成されるパネル端部 31 の近傍に位置している。ここで、画素の配列ピッチを P としたときに、最外周にある光電変換素子の端部から絶縁基板カッティング時のパネル端部までの距離を、図 5 に示されているように、転送ライン 5 と平行方向のカッティングにおいて X とし、ゲートライン 7 と平行方向のカッティングにおいて Y として、

40

$X < P$

$Y < P$

となるように冗長配線 21-1 及び冗長配線 21-2 を配置することにより、本実施形態の光電変換装置をユニットとして複数用いて X 方向及び／または Y 方向に複数配列して更に大面積の光電変換装置を構成する際の隣接ユニットの互いに隣接する光電変換素子どうしの間隔の増加を防止することができる。

【0037】

図 6 は図 5 の C-C' 断面図である。図 6 中、符号 80 は絶縁基板であり、符号 81 は C

50

r配線層、符号82は絶縁膜、符号83はi半導体層、符号84は n^+ 半導体層、符号85はA1配線層、符号86は保護層、符号87は冗長配線21-1、符号88は冗長配線21-2であり、これらの各薄膜は、光電変換素子及びTFTを形成する成膜プロセスと同時に成膜されたものである。即ち、図6に示されているように、冗長配線21-1は、ゲートラインを形成するCr配線と同時に成膜したCr配線金属層81及びバイアスラインを形成するA1配線と同時に成膜したA1配線金属層85を用いて形成することができる。冗長配線21-1と冗長配線21-2とは、光電変換素子の形成時に成膜された絶縁膜82により電氣的に分離されている。これにより、成膜プロセスを増やすことなく冗長配線を形成することができる。

10

【0038】

図7は、本実施形態のTFTマトリックスパネルの製造の際の欠陥及びその修復方法の一例を説明するための等価回路図である。

【0039】

TFTパネルの製造において、図7に符号Aで示されているように、バイアスラインVs2の断線が発生した際には、光電変換素子c22～c2nには、他の複数の同系統のバイアスライン(Vs4, Vs6など)から冗長配線21-2を介してバイアス電圧が印加されることにより、ライン欠陥とならない。

【0040】

また、光電変換素子c22が画素欠陥を生ぜしめた場合には、当該画素のTFT(t22)に対してレーザー照射して光電変換素子c22と転送ラインとを分離することにより、電氣的な悪影響を防止することができる。

20

【0041】

また、図7に符号Bで示されているように、異物付着等によりバイアスラインVs3とゲートラインとのショートが発生した際には、光電変換素子c32に係るバイアスライン方向及びゲートライン方向に関し隣接する部分もしくは当該方向に関する全体が欠陥となる。そこで、本実施形態では、ショートしたバイアスラインVs3を、ショート部分を挟む両側においてレーザー照射してショート部分をバイアスラインVs3の他の部分から電氣的に分離することにより、バイアスラインとゲートラインとのショートによる欠陥を防止することができる。即ち、画素コンデンサc32に係るゲートラインは修復されるし、光電変換素子c32に係るバイアスラインVs3は断線扱いとなるが、光電変換素子c32～c3nは、他の複数の同系統のバイアスライン(Vs1, Vs5など)から冗長配線21-1を介してバイアスが印加されることにより、ライン欠陥とならない。また、ショート部分の付近のコンデンサが画素欠陥を生ぜしめた場合には、当該欠陥画素のTFTに対してレーザー照射して欠陥コンデンサと転送ラインとを分離することにより、電氣的な悪影響を防止することができる。

30

【0042】

本実施形態では、バイアスラインを2系統に分割し、2つの共通電極ドライバ12によりそれぞれバイアスを印加して各系統ごとに別駆動し、且つ冗長配線もこのバイアスラインの各系統ごとに分離して接続している。これにより、マトリックス状に配列された光電変換素子を2系列で駆動させることが可能となり、1サイクルの信号読出し時の解像度を1/2にすることにより、信号処理の速度を約2倍とすることができる。MIS型の光電変換素子では、バイアスラインによりバイアスを印加して信号を読み込むまでの間に暗電流が発生するために、暗電流除去のための「空読出し」をした後に目的とする読出し信号を得る「本読出し」をすることが好ましい。この場合、1サイクルの信号読み出し時間が長くなるが、これは以下のようにして補うことが可能である。

40

【0043】

図8(a), (b)に、バイアスラインを1系統とした時及び2系統とした時のバイアスラインへのバイアス印加タイミングと空読出しタイミング及び本読出しタイミングの一例を示す。

50

【0044】

図8(a)はバイアスラインを1系統とした時を示し、1サイクルの読出しに時間 t_1 を要する。これに対して、図8(b)はバイアスラインを2系統とした時を示し、第1系統と第2系統のバイアスタイミングを別駆動で印加し、第1系統の空読出し時に得られる第2系統からの信号を本読出しとし、逆に第1系統の本読出し時に得られる第2系統からの信号を空読出しとすることにより、解像度が $1/2$ ではあるが約半分の時間 $t_1/2$ で信号読出しを行うことができる。

【0045】

もちろん、本実施形態においても、2系統のバイアスラインに対して同じバイアスタイミングを印加することで、従来と同様の解像度及び所要時間での読出しを行うことも可能である。

10

【0046】

また、本実施形態では、絶縁基板上に共通電極ドライバからのバイアス印加ラインを複数本設けて、複数の経路のバイアスラインを介してバイアス電圧を印加することにより、共通電極ドライバから各光電変換素子の第2の電極までの配線抵抗(R_1 等)を低減することができ、光電変換素子の第2の電極に印加するバイアス波形を均一なものとなし、特性を向上させることが可能である。

【0047】

本実施形態でも、実施形態1と同様に、冗長配線はパネル絶縁基板の端部31の近傍に位置しているので、光電変換素子の開口率を殆ど低下させることなしに、バイアスラインの断線やバイアスラインとゲートラインとのショートによる欠陥を修復して、製造歩留まりを向上させることができる。

20

【0048】

以上の2つの実施形態では、TFTマトリックスパネルは $m \times n$ 個のマトリックスを構成しているが、実施形態1では $m \geq 2$ 、 $n \geq 1$ が可能であり、実施形態2では $m \geq 4$ 、 $n \geq 1$ が可能である。

【0049】

[実施形態3]

図9は、本発明の実施形態3に関わるTFTマトリックスパネルの概略的等価回路図である。本実施形態は、TFTパネルが光電変換装置に適用された例である。

30

【0050】

ゲートドライバ13の $Dr. 1 \sim Dr. n$ から複数のゲートライン7に供給されるバイアス電圧により、マトリックス状に配置された複数のTFT($t_{11} \sim t_{mn}$)3を駆動し、各画素を構成するTFTと対をなす光電変換素子で得られた電気信号を、該光電変換素子 $c_{11} \sim c_{mn}$ の第1の電極から、複数の転送ライン5を通じて、信号処理回路14へと転送し、これにより各マトリックス素子即ち画素からの信号読出しを行う。

【0051】

また、共通電極ドライバ12に接続された複数のバイアスライン6に複数の光電変換素子($c_{11} \sim c_{mn}$)の第2の電極を接続している。本実施形態では、バイアスラインを複数の系統に分割し、複数の共通電極ドライバ12により各系統のバイアスラインにバイアス電圧を印加するようにしている。

40

【0052】

光電変換素子はMIS型のセンサであり、信号転送後、光電変換素子 $c_{11} \sim c_{mn}$ の第2の電極に蓄積された電子は、 n^+ 型半導体層に共通電極ドライバ12からバイアス電圧を印加することにより除去される。以下この動作をリフレッシュと呼ぶ。

【0053】

図10は、図9のTFTパネルの4系統の場合の共通電極ドライバ12によるバイアスライン6へのバイアス印加側とは反対の側のコーナー部のパターン図である。

【0054】

本実施形態では、図9及び図10に示されているように、各バイアスラインは、共通電極

50

ドライバ12との接続側とは反対の側の端部どうしが冗長配線21-1~21-4により互いに電氣的に接続されている。ここで、バイアスラインは複数の系統(k系統)に分割されており、また各系統ごとに冗長配線による接続がなされている。即ち、第1系統の複数のバイアスラインは一方の端部が第1の共通電極ドライバに接続されており他方の端部どうしが冗長配線21-1により互いに電氣的に接続されており、同様に第2系統から第k系統の複数のバイアスラインは一方の端部がそれぞれ第2から第kの共通電極ドライバに接続されており他方の端部どうしが冗長配線21-2から冗長配線21-kにより夫々互いに電氣的に接続されている。

【0055】

また、冗長配線21-1から冗長配線21-kは、パネルの絶縁基板の切断により形成されるパネル端部31の近傍に位置している。

10

【0056】

図11は図10のZ-Z'における模式的断面図である。図11中、符号80は絶縁基板であり、符号81はCr配線層、符号82は絶縁膜、符号83はi半導体層、符号84はn⁺半導体層、符号85はAl配線層、符号86は保護層、符号87は冗長配線21-1、符号88は冗長配線21-4である。符号85のAl配線層と符号81のCr配線層は符号89のコンタクトホール(CH)を介して接続されているが、ここには接続抵抗が発生する。

【0057】

バイアスラインがk系統の場合、冗長配線21-1にはk-1個のクロス部が存在するため、コンタクトホールCHは2(k-1)個となる。また、冗長配線21-2にはk-2個のクロス部が存在するため、コンタクトホールCHは2(k-2)個となり、冗長配線毎にコンタクトホールCHの数が異なる。

20

【0058】

ここで4系統の場合について考えてみると、冗長配線21-1のクロス部は3個、冗長配線21-2のクロス部は2個、冗長配線21-3のクロス部は1個となり、冗長配線21-4にはクロス部は存在しない。この時、コンタクトホールCHは先に述べたように接続抵抗を持つため、系統毎の配線抵抗が異なる。配線抵抗が異なると、リフレッシュ時の時定数の差によると思われる出力(特に暗出力)の違いが各系統毎に発生する場合がある。この様な周期的な出力の差は認識しやすく、大きな問題となる場合がある。

30

【0059】

そこで本実施形態では、図10のように全ての冗長配線に同一形態、同一個数のクロス部、コンタクトホールCHを設け、配線抵抗を同等にすることにより、配線の断線や上下の金属配線間のショートによる歩留りの低下を防止できるだけでなく、パネル内における特性の均一化が可能となり、その結果パネルのS/Nをも向上することができる。

【0060】**[実施形態4]**

図9に示したTFMマトリックスパネルを4枚用いて1つの光電変換装置を構成する一例を示す。

【0061】

40

図12は、図9のTFMパネル4枚の夫々の1つの角部を集合させて配置した場合の各パネルコーナー部の模式的パターン図である。

【0062】

実施形態1~3によれば、冗長配線をパネル端部に配置しており、この時配置のスペースが必要となる。ここで図12のように画素の配列ピッチをfとすると、パネルを貼り合せる場合にはつなぎ目を画像補正するため、つなぎ目のマージンは1画素分、即ち各パネルの最外周に配置された画素間(光電変換部の重心間)の距離wは、 $w = 2f$ である事が望ましい。また、パネルの貼り合せは光電変換部の重心を基準に行う。

【0063】

図13(a)、(b)は、本実施形態における光電変換部の重心を説明する概略的パター

50

ン図である。

【0064】

図13(a)の場合には、TFTの位置等により光電変換部の重心がパネル端部から離れる。この時パネル端部と配線を含めたデバイス端部の距離aは、信頼性上及び切断マージンとして一定量必要である。その結果、パネル端部間の距離dは小さくなり、冗長配線（特に複数になった場合）の配線が困難になることがある。

【0065】

そこで本実施形態では、図13(b)の様に、TFTをパネル端部から離れた位置に配置する事等により、光電変換部の重心をパネル端部に近付ける事により、aがある一定量に規定されたとしても、dを大きくとることができるようにした。その結果冗長配線が複数

10

【0066】

[実施形態5]

本実施形態は複数画素の行列を同一パネル内で複数の領域（ここでは上下）に分けて構成するものである。図14に概略的等価回路図を示す。本実施形態では、共通電極ドライバ12を基体の図中上下両側に配置し、基体の図中左側より各画素を駆動させる構成である。これは、更なる大面積化及び高速動作などを実現する上で有用である。

【0067】

尚、図中、14は信号処理回路、12は共通電極ドライバ、13はTFTドライバ（ゲートドライバ）、21は冗長配線である。

20

【0068】

また、図15に、基体の上下方向の中央部に配されている冗長配線部を拡大した模式的パターン図を示す。図中、点cはセンサ重心、fは画素ピッチである。上下方向のパネル中央に関して、上方のセンサと下方のセンサとで配列の向きを逆にし、いずれもセンサ重心がパネル中央に近くなるように配列することで、パネル中央のクリアランス K_0 は、上方または下方のセンサ間クリアランスKよりも幅広にすることができ、画像の劣化を防止できる。よって、そのスペースを利用して冗長配線21を適切に配置することが可能となる。

【0069】

上述の実施形態の光電変換装置は非破壊検査や医療などに用いられるX線検査の検出用センサとして利用することができる。以下、医療用を例にあげて適用例を説明する。非破壊検査は患者を被検査物に代えて置きかえればよい。

30

【0070】

図16(a)，(b)は本発明をX線検出用の光電変換装置に適用した場合の模式的構成図及び模式的断面図である。

【0071】

光電変換素子とTFTは、上述したように、センサ基板6011内に複数個形成され、これらにはシフトレジスタSR1と検出用集積回路ICとが実装されたフレキシブル回路基板6010が接続されている。フレキシブル回路基板6010の逆側は回路基板PCB1，PCB2に接続されている。前記センサ基板6011の複数枚又は1枚が基台6012の上に接着され大型の光電変換装置を構成する。基台6012の下には処理回路6018内のメモリ6014をX線から保護するため鉛板6013が実装されている。センサ基板6011上にはX線を可視光に変換するための波長変換体として蛍光体6030たとえばCsIが、塗布または蒸着あるいは貼り付けされている。光電変換装置は図16(b)に示されるように全体をカーボンファイバー製のケース6020に収納している。

40

【0072】

図17は本発明の光電変換装置をX線診断システムへ応用した例を示すものである。

【0073】

X線チューブ6050で発生したX線6060は患者あるいは被験者6061の胸部60

50

62を透過し、蛍光体を上部に実装した光電変換装置6040に入射する。この入射したX線には患者6061の体内部の情報が含まれている。X線の入射に対応して蛍光体は発光し、これを光電変換して電気的情報を得る。この情報はデジタルに変換されイメージプロセッサ6070により画像処理され制御室のディスプレイ6080で観察できる。

【0074】

また、この情報は電話回線6090等の伝送手段により遠隔地へ転送でき、別の場所のドクタールームなどのディスプレイ6081に表示もしくは光ディスク等の保存手段に保存することができ、遠隔地の医師が診断することも可能である。またフィルムプロセッサ6100によりフィルム6110に記録することもできる。

【0075】

10

【発明の効果】

以上に説明したように、本発明によれば、共通電極ドライバとの接続側とは反対の側においてバイアスラインの端部どうしを冗長配線により互いに電氣的に接続することにより、光電変換素子やコンデンサ及びTFTを含んでなる画素のマトリックス状配列を有する半導体装置の製造工程における配線の断線や上下の金属配線間のショートによる歩留まりの低下を防止し、パネルが大判化し更に画素パターンが微細化しても、半導体装置を良好な歩留まりで製造することができる。

【0076】

更に、本発明によれば、光電変換素子やコンデンサ及びTFTを含んでなる画素のマトリックス状配列を有する半導体装置の画素部の開口率を減少させることなしに良好な歩留まりで半導体装置を製造することが可能である。

20

【0077】

尚、上記実施形態において、光電変換素子以外の画素素子としてのコンデンサを有する場合も同様な考え方を適用してもよい。又、本発明は、本発明の主旨の範囲内において、適宜変形、組合わせが可能であることはいうまでもない。

【図面の簡単な説明】

【図1】本発明の実施形態1に関わるTFTマトリックスパネルの等価回路図である。

【図2】図1のTFTパネルの共通電極ドライバによるバイアスラインへのバイアス印加側とは反対の側のコーナー部の概略的パターン図である。

【図3】本発明の実施形態1のTFTマトリックスパネルの製造の際の欠陥及びその修復方法の一例を説明するための等価回路図である。

30

【図4】本発明の実施形態2に関わるTFTマトリックスパネルの等価回路図である。

【図5】図4のTFTパネルの共通電極ドライバによるバイアスラインへのバイアス印加側とは反対の側のコーナー部の概略的パターン図である。

【図6】図5のC-C'断面図である。

【図7】本発明の実施形態2のTFTマトリックスパネルの製造の際の欠陥及びその修復方法の一例を説明するための等価回路図である。

【図8】バイアスラインを1系統とした時及び2系統とした時のバイアスラインへのバイアス印加タイミングと空読出しタイミング及び本読出しタイミングの一例を示す図である。

40

【図9】本発明の実施形態3に関わるTFTマトリックスパネルの概略的等価回路図である。

【図10】図9のTFTパネルの4系統の場合の共通電極ドライバによるバイアスラインへのバイアス印加側とは反対の側のコーナー部のパターン図である。

【図11】図10のZ-Z'における模式的断面図である。

【図12】図9のTFTパネル4枚の夫々の1つの角部を集合させて配置した場合の各パネルコーナー部の模式的パターン図である。

【図13】光電変換部の重心を説明する概略的パターン図である。

【図14】複数画素の行列を同一パネル内で複数の領域に分けて構成した場合の概略的等価回路図である。

50

【図 1 5】基体の上下方向の中央部に配されている冗長配線部を拡大した模式的パターン図である。

【図 1 6】本発明を X 線検出用の光電変換装置に適用した場合の模式的構成図及び模式的断面図である。

【図 1 7】本発明の光電変換装置を X 線診断システムへ応用した例を示す図である。

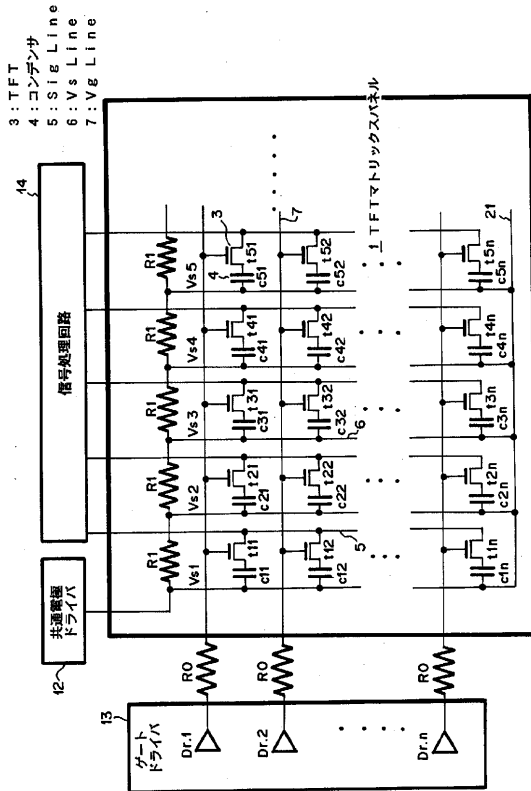
【図 1 8】T F Tマトリックスパネルの等価回路図である。

【図 1 9】図 1 8 の T F T パネルの共通電極ドライバによるバイアスラインへのバイアス印加側と反対の側のコーナー部のパターン図である。

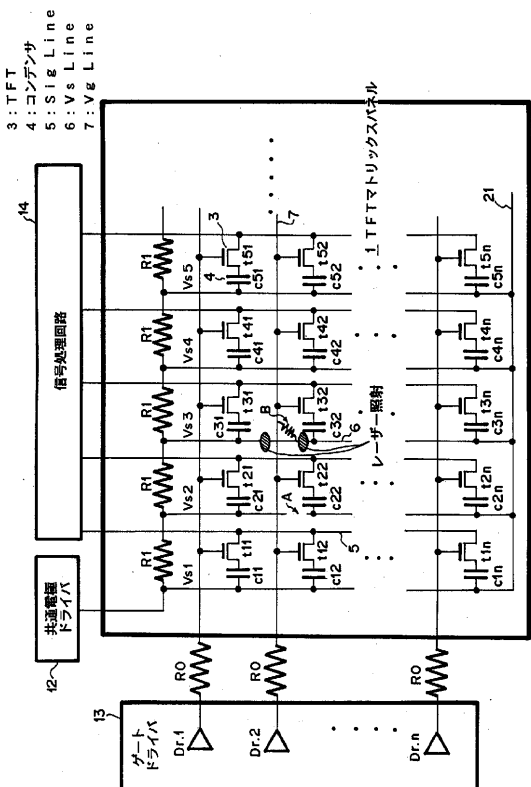
【符号の説明】

1	T F Tマトリックスパネル	10
2	光電変換装置	
3	T F T	
4	コンデンサ	
5	転送ライン (S i g l i n e)	
6	バイアスライン (V s l i n e)	
7	ゲートライン (V g l i n e)	
1 1	信号処理回路	
1 2	共通電極ドライバ	
1 3	ゲートドライバ	
1 4	信号処理回路	20
2 1	冗長配線	
2 1 - 1 , 2 1 - 2 ,	冗長配線	
3 1	絶縁基板 c u t 時のパネル端部	
8 0	絶縁基板	
8 1	C r 配線層	
8 2	絶縁膜	
8 3	i 半導体層	
8 4	n ⁺ 半導体層	
8 5	A l 配線層	
8 6	保護層	30
8 7 , 8 8	冗長配線	

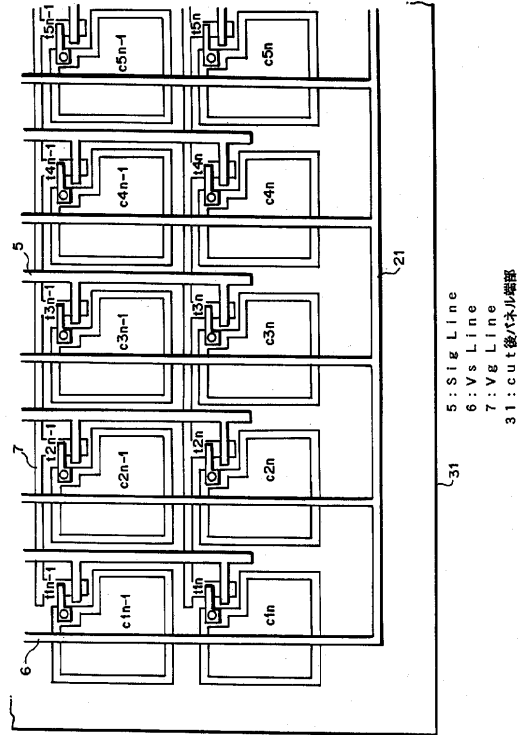
【図 1】



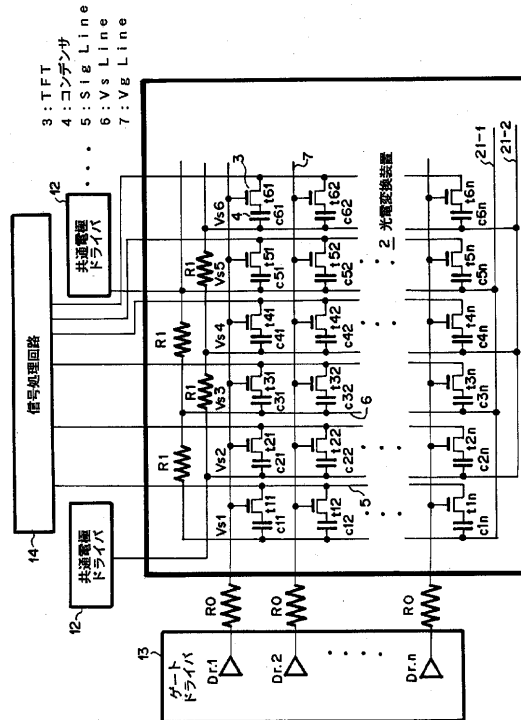
【図 3】



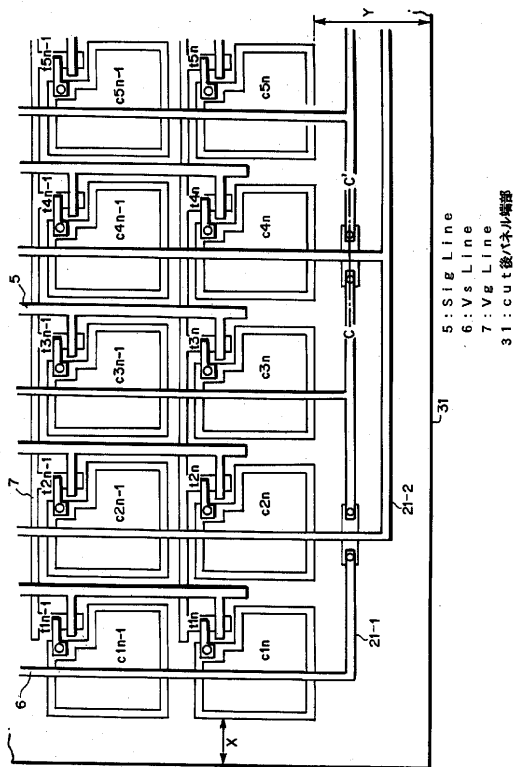
【图 2】



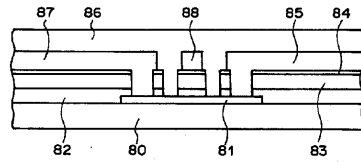
【図 4】



【図 5】

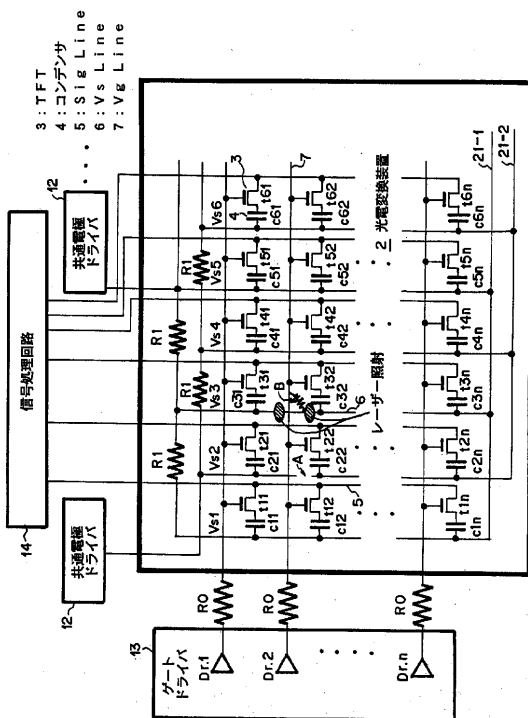


【図 6】

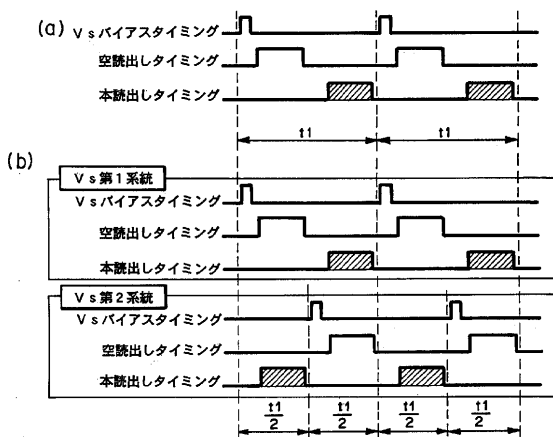


- 80: 絶縁基板
81: Vg Line と同時成膜される Cr 金属
82: 光電変換素子 と同時成膜される 絶縁膜
83: 光電変換素子 と同時成膜される I 層
84: 光電変換素子 と同時成膜される n⁺ 層
85: Vs Line と同時成膜される Al 金属
86: 保護層

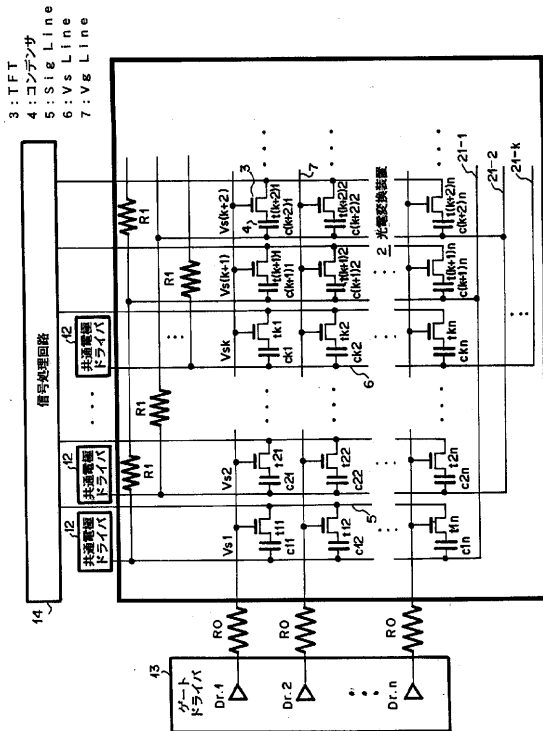
【図 7】



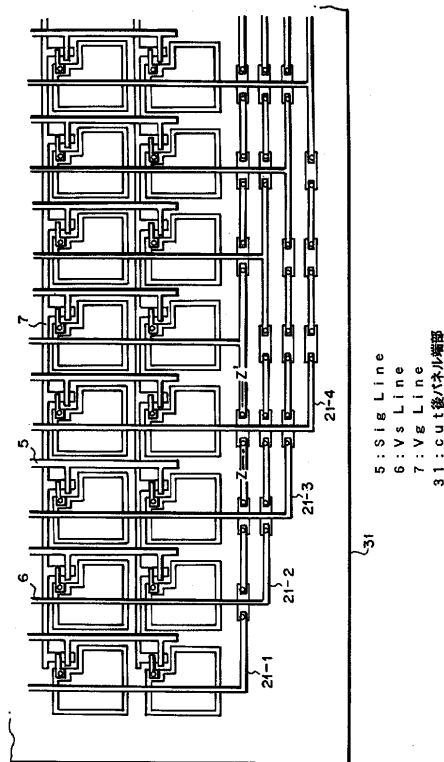
【図 8】



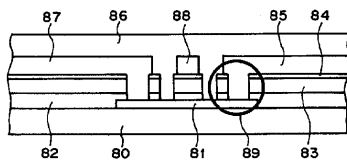
【図 9】



【図 10】

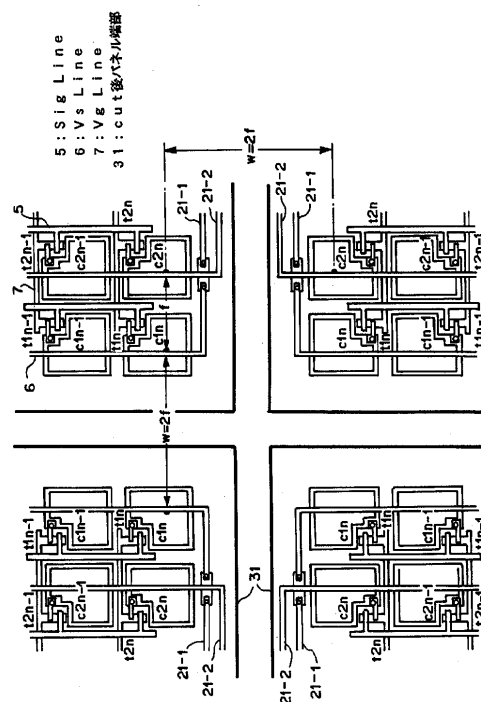


【図 11】

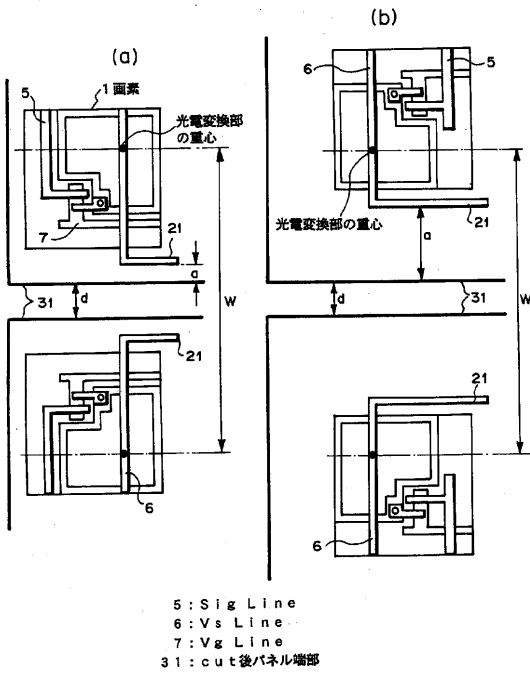


- 80: 絶縁基板
81: Vg Line と同時成膜される Cr 金属
82: 光電変換素子と同時成膜される絶縁膜
83: 光電変換素子と同時成膜される i 層
84: 光電変換素子と同時成膜される n⁺層
85: Vs Line と同時成膜される Al 金属
86: 保護層
89: コンタクトホール

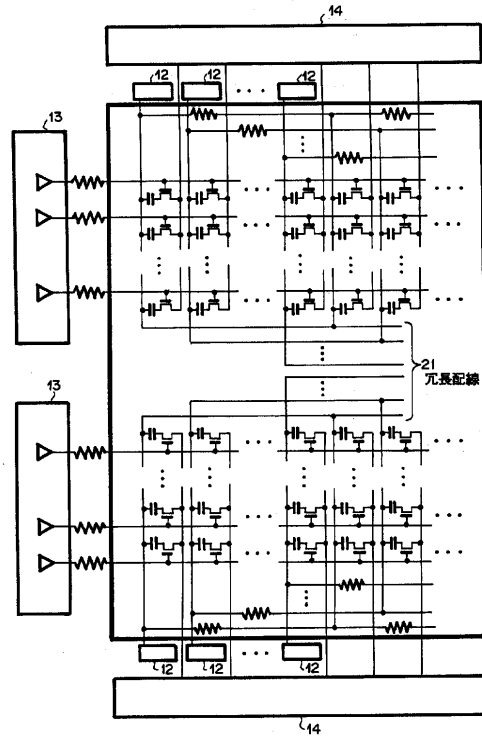
【図 12】



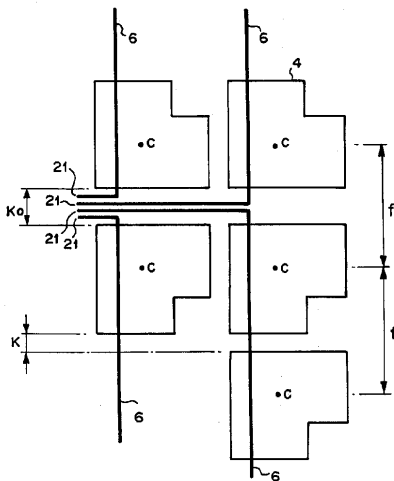
【図 13】



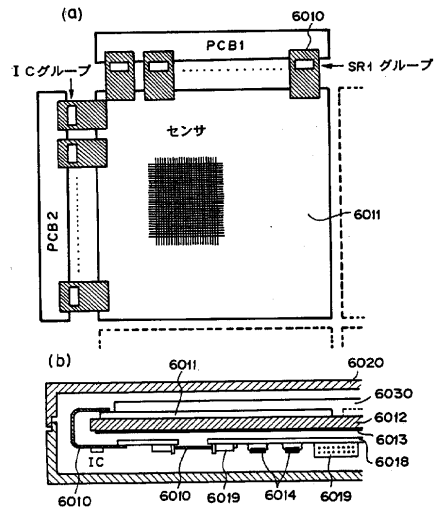
【図 14】



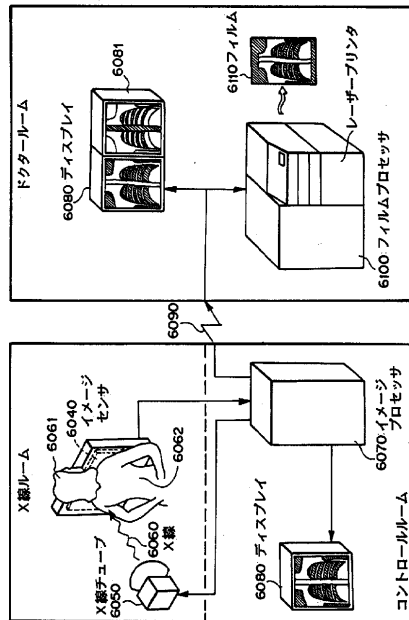
【図 15】



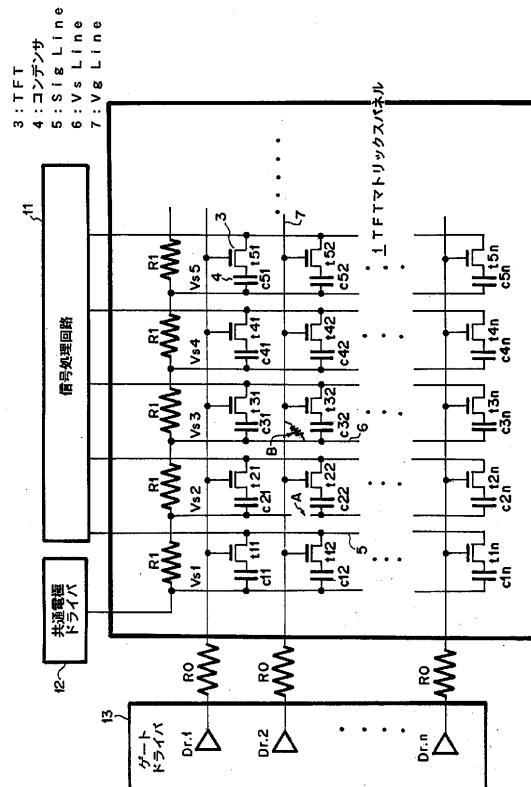
【図 16】



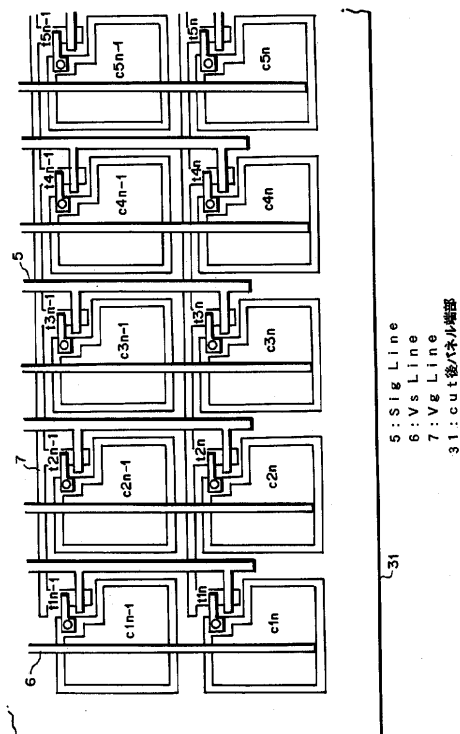
【図 17】



【図 18】



【図 19】



フロントページの続き

- (72)発明者 石井 孝昌
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 渡辺 実
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 望月 千織
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 小野 博之

- (56)参考文献 特開平08-320466 (JP, A)
特開平06-265846 (JP, A)
特開平09-321267 (JP, A)
特開平06-242417 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/00
G09F 9/30
H01L 29/786
H04N 5/335
G02F 1/1343